(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/28

(45) 공고일자 1999년02월01일
(11) 등록번호 특0169282
(24) 등록일자 1998년10월09일

(21) 출원번호 특1994-016561
(22) 출원일자 1994년07월09일
(65) 공개번호 특1995-004416
(43) 공개일자 1995년02월18일
(30) 우선권주장 93-170068 1993년07월09일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 오시마 요이치
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
아오치 히데아키
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이범일

심사관 : 권인희

(54) 반도체장치의 제조방법

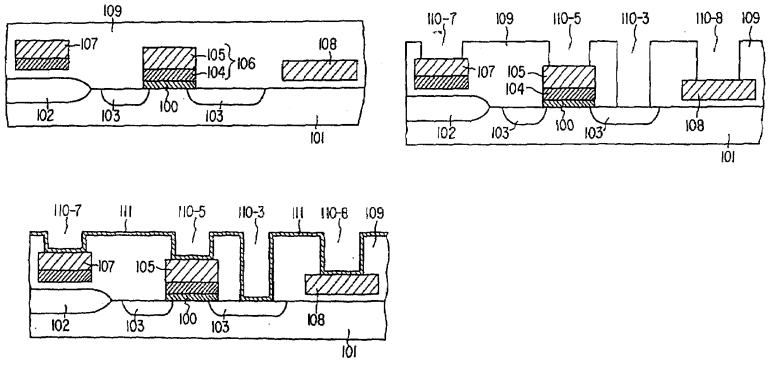
요약

본 발명은, 콘택트구멍의 적어도 그 일부를 선택성장법에 의해 매립공정을 갖춘 반도체장치의 경우 보다 실제적인 요구를 맞춘 콘택트선택성장기술의 도입을 실현하고, 콘택트선택성장 후에 콘택트구멍 패턴을 이용해서 위치를 일치시키는 것을 수행하기 위한 마크가 판독에 각각 다르게 된다는 문제를 회피하기 위한 것이다.

본 발명은, 반도체기판상의 절연막층에 콘택트구멍을 개공하고, 콘택트구멍 저면의 Si상에 SiO_2 및 WSi_2 상에 각각 티타늄 실리사이드층을 형성한다. 그 결과, Si상의 $TiSi_2$ 상에는 SiO_2 가 형성되고, WSi_2 상의 TiSix(X2)상에는 TiOx가 형성된다.

이 SiO_2 와 TiOx의 막두께를 차를 이용하여 SiO_2 만 제거되는 조건으로 처리한 후, W을 CVD선택성장시키면 WSi_2 상은 TiOx막이 남아있기 때문에 Si상만에 WOI 선택성장된다.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 따른 불휘발성 메모리 제조방법의 공정 일부에서의 웨이퍼기판을 나타낸 단면도.

제2도는 제1도의 공정에 이어지는 공정에서의 웨이퍼기판을 나타낸 단면도.

제3도는 제2도의 공정에 이어지는 공정에서의 웨이퍼기판을 나타낸 단면도.

제4도는 본 발명의 실시예 2에 따른 반도체장치의 제조방법의 최종 공정에서의 웨이퍼기판을 나타낸 단면도.

제5도는 종래의 불휘발성 메모리의 제조공정에서 사용되는 선택 CVD성장법 공정의 일부에서의 웨이퍼기판을 나타낸 단면도.

제6도는 제5도의 공정에 이어지는 공정에서의 웨이퍼기판을 나타낸 단면도.

제7도는 제6도에 나타낸 공정의 변형예에서의 웨이퍼기판을 나타낸 단면도.

제8도는 제5도에 나타낸 공정의 변형예에서의 웨이퍼기판을 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

101 : 실리콘기판 102 : 소자분리용 산화막

103 : 확산층 104 : 다결정 실리콘막

105,107,108 : 텅스텐 실리사이드막(WSi_2) 106 : 적층폴리사이드층

109 : CVD산화막 111 : 티타늄

110(110-3,110-5,110-7,110-8) : 콘택트구멍 115 : 금속산화막(TiO_X)

112 : 티타늄실리사이드($TiSi_2$) 116 : 선택 CVD 텅스텐

113 : 티타늄실리사이드($TiSi_X$) 117 : 금속배선

114 : 실리콘산화막(SiO_2) 118 : 상부패시베이션막

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 선택 CVD(화학적기상성장)기술을 이용한 콘택트구멍의 저면의 도전재료상에, 예컨대 텅스텐을 선택성장시키는 선택 CVD성장방법에 관한 것이다.

[종래의 기술 및 그 문제점]

반도체 집적회로의 미세화에 따라 반도체기판상의 절연층에 개공되는 콘택트구멍도 높은 애스펙트비로 구성할 수 있다. 이에 따라, 절연층 표면이 양호한 평탄성을 유지하고, 절연층상에 형성되는 배선의 신뢰성을 유지하기 위해 콘택트의 매립 기술이 도입되고 있는 바, 그 중에도 콘택트구멍 저면의 도전재료상에 예컨대 텅스텐을 선택성장시키는 선택CVD성장법은 장래에 유망한 기술로서 채용되어질 수 있다.

이하, 제5도(a), (b) 및 제6도(a), (b)를 참조하면서 종래 선택CVD성장법의 일례를 설명한다.

먼저, 제5도(a)에 나타난 바와 같이, 실리콘기판(201)상에 MOS트랜지스터를 형성한다. 여기서, 도면중 참조부호 203은 확산층이고, 204는 게이트 절연막이며, 206은 예컨대 텅스텐 실리사이드, 폴리사이드로 이루어진 게이트전극(배선)이다. 더욱이, 기판상의 전면에 절연산화막(218)을 퇴적한 후, 원하는 영역(예컨대, 실리콘기판(201)상과, 확산층(203)상 및, 게이트전극(206)상)에 콘택트구멍(대표적으로 210으로 기재한다.)을 개공으로 한다.

여기서, 기판(210)상의 콘택트구멍을 210-1, 확산층(203)상의 콘택트구멍을 210-3, 게이트전극(206)상의 콘택트구멍을 210-6으로 나타내고 있다. 이들 각 콘택트구멍(210-1,210-3,210-6)의 깊이는 그의 밑바탕구조에 의해 다르게 된다.

그 후, 제5도(b)에 나타낸 바와 같이 선택CVD성장법에 의해 텅스텐(216)을 성장시키면, 절연산화막(218)상에서는 텅스텐의 성장이 방해되지만, 상기 콘택트구멍저면에 드러난 실리콘기판(201)상과, 확산층(203)상 및, 게이트전극(206)상에 CVD텅스텐이 선택성장한다.

이 경우, 상기한 바와 같이 콘택트구멍의 깊이는 그의 밑바탕구조에 의해 다르게 되기 때문에 깊은 콘택트구멍(210-1,210-3)의 깊이에 맞추어 텅스텐(216)을 성장시키면 얕은 콘택트구멍(210-6)에서는 콘택트구멍으로부터 텅스텐(216)이 넘쳐버린다.

이를 막는 대책으로서 상기 선택CVD성장공정 후에, 제6도(a)에 나타낸 바와 같이, 텅스텐(216)이 넘친 얕은 콘택트구멍(210-6)상의 근방만 노정시킨 레지스트 패턴(219)을 형성하고, 레지스트 패턴(219)을 통해 얕은 콘택트구멍(210-6)상에 넘쳐 있는 텅스텐(216)을 에칭제거하는 방법이 있다.

그러나, 이와 같은 방법에 의해 텅스텐 매립 플래그를 형성하면, 제6도(b)에 나타낸 바와 같이 얕은 콘택트구멍(210-6)에 매립된 플래그의 상부형상은 凸형의 원호형상으로 되기 때문에 이 위에 배선을 형성한 경우에 배선의 형상이 나쁘게 되고, 신뢰성상 바람직하지 않다.

또한, 상기한 바와 같이 얕은 콘택트구멍(210-6)상에 넘쳐 있는 텅스텐(216)을 에칭제거할 때, 상기 방법과는 다른 방법으로서, 예컨대 제7도(a)에 나타낸 바와 같이 기판상의 전면에 레지스트(220)을 도포한 후에 이 레지스트(220)를 전면 에치백하는 것에 의해 넘쳐 있는 텅스텐을 함께 에칭제거하는 방법이다.

그러나, 이 경우는 제7도(b)에 나타낸 바와 같이 절연산화막(218)의 상면이 평탄하지 않으면 절연산화막(218)상면의 오목한 영역에 에칭찌꺼기가 발생해 버려 브란케트CVD법에 대한 선택CVD성장법의 이점이 활

용되지 않는다.

더욱이, 반도체장치의 제조공정에 상기한 바와 같은 콘택트 매립 기술을 도입하는 경우에는, 더욱이 상기한 문제와는 별개의 문제가 발생한다.

즉, 콘택트구멍을 개공한 후, 원하는 전기적 접속을 수행하기 위해, 예컨대 Al(알루미늄)배선층을 형성할 때에 배선층의 패터닝을 위한 마스크위치 일치용 마크로서 통상은 깊은 콘택트구멍(210-1)의 패턴을 이용한다.

그런데, 상기한 바와 같은 매립 기술을 적용하여 콘택트구멍(210-1)에 대한 이상적인 매립이 실현되면 콘택트구멍(210-1)의 상부 부근에서의 단차가 없어져 버리기 때문에 마스크 일치 마크(콘택트구멍(210-1)의 패턴)의 판독 검출이 곤란하게 되어 오검지가 증대한다.

이와 같은 문제는 선택 CVD성장법에 한정되지 않고, 브란케트CVD법 등의 콘택트매립 평탄화기술을 도입할 때, 어느 경우에도 직면한다.

그런데, 상기한 바와 같이 텅스텐을 선택성장시킬 때, 상기 방법과는 다른 방법으로서 제8도(a)에 나타낸 바와 같이 가장 얕은 콘택트구멍(210-6)의 깊이에 일치시켜 텅스텐을 성장시키고, 깊은 콘택트구멍 210-1과 210-3 가운데는 반 매립상태로 하는 방법이 있다.

그러나, 예컨대 불휘발성 메모리에 있어서 적층게이트 구조를 갖춘 메모리셀의 제어게이트 전극상에 가장 얕은 콘택트구멍(210-6)이 배치되어 있는 경우라든가, 제8도(b)에 나타낸 바와 같이 절연산화막(218)이 다층구조(예컨대, 218-1과 218-2의 2층)로 되어 있어 1층째의 절연산화막(218-1)상에 형성되어 있는 배선(206-2)상에 가장 얕은 콘택트구멍(210-62)이 배치되어 있는 경우등과 같이, 가장 얕은 콘택트구멍의 깊이와 실리콘기판(확산층)상의 콘택트구멍(210-1과 210-3)의 깊이가 크게 다르게 되어 있는 것이다.

이와 같은 실시예 2로 대표되는 것과 같은 상태에 있어서, 가장 얕은 콘택트구멍 깊이로 텅스텐성장량을 일치시키면, 제5도(a), (b)에 나타낸 바와 같이 깊은 콘택트구멍(210-1,210-3)에서는 텅스텐을 매립한 효과가 실질적으로 거의 기대할 수 없는 것으로 된다는 문제가 생긴다.

상기한 바와 같이, 종래 선택CVD텅스텐성장법에 의한 콘택트매립 기술에서는 여러 가지 콘택트구멍 깊이가 존재하고, 특히 그 차이가 큰 경우에는 프로세스조합성을 고려한 경우에 텅스텐 매립기술의 도입이 어렵고, 또한 Al 배선층 등을 형성할 때에 콘택트구멍 패턴을 이용한 일치마크를 판독하기 어렵다는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 보다 실제 요구에 맞는 콘택트선택 성장기술의 도입을 실현하는 것이 가능하게 되고, 콘택트 선택성장 후에 콘택트구멍 패턴을 이용해서 위치를 일치시키는 것을 수행하기 위한 마크가 판독에 어렵게 된다는 문제를 회피할 수 있는 반도체장치의 제조방법을 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 실리콘영역의 부분상에 제1도전재료로 이루어진 제1도전영역과, 이 제1도전영역이 형성된 부분과 다른 상기 실리콘영역의 부분상에 제2도전재료로 이루어진 제2도전영역을 형성하는 단계와; 상기 실리콘영역의 전체 표면에 절연층을 형성하는 단계; 상기 제1 및 제2도전영역을 노출하도록 상기 절연층에 콘택트구멍을 형성하는 단계; 상기 제1도전재료가 노출된 상기 콘택트구멍의 바닥 표면에 실리콘 산화층을 형성하고, 상기 제2도전재료가 노출된 상기 콘택트구멍의 바닥 표면에 적어도 금속산화층으로 이루어진 산화층을 형성하는 단계; 상기 제2도전재료상에 적어도 금속산화층으로 이루어진 상기 산화층을 유지하는 동안 에칭에 의해 상기 제1도전재료상에 배치된 상기 실리콘 산화층을 제거하는 단계; 선택성장법을 이용하여 제3도전재료를 퇴적하는 단계 및; 상기 제2도전재료상에 적어도 금속산화층으로 이루어진 상기 산화층을 제거하는 단계를 구비하여 이루어진 것을 특징으로 한다.

[작용]

상기와 같이 이루어진 본 발명에 의하면, 콘택트구멍 깊이가 얕은 제2도전재료(예컨대 텅스텐 폴리사이드층)로 이루어진 게이트전극이나 배선층상의 콘택트구멍에는 제3도전재료(예컨대 텅스텐)를 매립하지 않고, 콘택트 매립공정이 가장 필요로 되는 제1도전재료(예컨대 실리콘기판 확산층)상의 제일 깊은 콘택트구멍만에 제3도전재료를 선택성장시킬 수 있다.

이와 같이, 보다 실제의 요구와 맞는 콘택트선택성장기술의 도입을 실현하는 것이 가능하게 된다.

더욱이, 콘택트선택성장 후에서의 Al배선 등의 가공시에 콘택트구멍 패턴을 마스크위치와 일치시키는 마크로서 이용할 때, 이 콘택트구멍의 밑바탕을 제2도전재료로서 형성하여 둠으로서 매립에 의해 단차가 소멸하여 마크를 판독하기 어렵게 된다는 문제를 해소할 수 있게 된다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예 1을 상세히 설명한다.

제1도(a)내지 (c)와, 제2도(a)내지 (c) 및, 제3도 본 발명의 실시예 1에 따른 불휘발성 메모리 제조방법의 주요한 공정에서의 웨이퍼 단면구조를 나타내고 있다.

먼저, 반도체기판 표면의 일부에 제1도전재료로 이루어진 제1도전영역을 형성하고, 상기 반도체기판상의 일부에 제2도전재료로 이루어진 제2도전영역을 형성하며, 이 후, 상기 반도체기판상의 전면에 절연막을 형성한다.

구체적인 예로서, 제1도(a)에 나타낸 바와 같이 통상의 공정에 의해 P형 실리콘(Si)기판(101)상에 소자분리 산화막(102) 및 반도체소자(예컨대, MOS트랜지스터)를 형성하고, 다시 전체면에 예컨대 CVD산화막

(109)을 퇴적한다.

여기서, 도면중 참조부호 100은 기판(101)상에 형성된 게이트절연막이고, 106은 게이트 절연막(100)상에 형성된 게이트전극으로, 예컨대 다결정실리콘(104)과 WSi_2(105; 텅스텐 실리사이드)가 퇴적된 폴리사이드 게이트전극이다. 그리고, 103은 기판(101)의 표층부에 형성된 소오스 드레인 확산층이다.

또한, 상기 MOS트랜지스터를 형성할 때, 동시에 상기 게이트전극(106)과 동일 공정으로 퇴적된 폴리사이드층으로 이루어진 배선층(107)도 형성한다.

또한, 이 배선층(107)을 상기 게이트전극(106)과 동일 공정 또는 다른 공정으로 퇴적된 Wsi_2 층의 단일층에 의해 형성하는 경우도 있는데, 이 경우에도 후술하는 본 발명의 효과가 얻어지지만 본 예에서는 상기한 바와 같이 다결정실리콘(104)상에 WSi_2(107)이 적층된 배선층을 형성한 것으로서 설명한다.

이 배선층(107)의 밑바탕도 여러 가지인 경우가 있지만, 배선층(107)을 소자분리 산화막(102)상에 형성한 경우를 일례로서 나타내고 있다.

또한, 통상 반도체장치의 제조공정에 있어서는 후술하는 바와 같이 상기 CVD산화막(109)에 개공한 콘택트구멍을 통해 밑바탕층에 전기적으로 접속되는 배선(Al배선등)의 가공의 경우 콘택트구멍 패턴을 이용해서 마스크위치 일치 마크를 형성한다.

이 위치일치 마크용 콘택트구멍 패턴의 밑바탕으로서는 상기한 배선층의 경우와 마찬가지로 몇가지의 재료 구조가 고려되지만, 본 예에서는 SWi_2 층(108)의 단일층으로 이루어진 밑바탕을 형성한 경우를 나타내고 있다.

다음으로, CVD산화막(109)상에 에칭레지스트 패턴(도시되지 않았음)을 형성하고, 이 패턴을 마스크로서 소정의 영역을 에칭제거한다. 이에 의해, 제1도(b)에 나타낸 바와 같이 상기 실리콘 확산층(103)에 콘택트를 만들기 위한 콘택트구멍(110-3)과 상기 WSi_2층(105,107,108)에 각각 콘택트를 만들기 위한 콘택트구멍(110-3,110-5,110-7,110-8)을 개공한다.

그 후, CVD법에 의해 제1도(c)에 나타낸 바와 같이 기판상의 전체면에 제4도전재료로서 고융점금속, 예컨대 Ti(111;티타늄)을 30nm정도 퇴적한다.

다음으로, 살리사이드 공정에 의한 적당한 온도에서의 가열처리에 의해 Ti(111)을 실리사이드화 한다. 이 살리사이드화 공정으로 실리사이드화 되지 않았던 CVD산화막(109)상의 미반응 Ti(111)을, 예컨대 산화처리에 의해 에칭제거하면 제2도(a)에 나타낸 바와 같이 실리콘기판 확산층(103) 및 WSi_2 층(105,107,108)상의 콘택트 저면에 티타늄 실리사이드층이 형성된다.

여기서, 이 티타늄실리사이드층은 실리콘확산층(103)상에서는 $TiSi_2$(112)로 되어 있지만, WSi_2(105,107,108)상에서는 TiSix(113;x2)으로 되어 있다.

그 후, 제2도(b)에 나타낸 바와 같이 상기 실리콘 확산층(103)상의 $TiSi_2$(112)상에는 자연산화에 의한 약 5nm의 실리콘 산화막(114;SiO_2)이, 또는 WSi_2 (105,108)상의 TiSix(113)상에는 산화티타늄(115;TiOx)이 20nm정도 형성되도록 공정을 실시한다.

이 산화막형성공정은 예컨대, 유산(硫酸)과 과산화수소의 혼합액을 이용한 웨트산화공정에 의해 실현할 수 있지만, 이와 같은 산화공정을 의도적으로 통하지 않게 되더라도 상술한 바와 같이 실리사이드화하고 있지 않은 Ti(111)를 에칭제거하는 공정에서 자연적으로 형성되는 경우도 있다.

다음으로, 상기 SiO_2(114)와 TiOx(115)의 막두께의 차를 이용해서 SiO_2(114)만 에칭제거하는 조건으로 SiO_2(114)를 에칭제거한다. 예컨대, 이방성의 RIE(반응성 이온에칭)법에 의해 SiO_2(114)에 대해 TiOx(115)의 선택비가 높은 조건으로 에칭제거 한다. 또한, 이 경우 최고 5nm정도의 SiO_2(114)를 에칭제거하기 때문에 RIE법 이외에 웨트에칭 등을 이용해도 상관없다.

그 후, 선택성장법에 의해 상기 실리콘 확산층(103)상의 $TiSi_2$(112)상에 제3도전재료로서, 예컨대 W(텅스텐)을 퇴적하는 CVD선택성장공정을 시행한다.

이때, 제2도(c)에 나타낸 바와 같이 WSi_2 층(105,107,108)상에는 TiOx(115)이 남아있기 때문에 실리콘 확산층(103)상의 $TiSi_2$(112)상만에 W(116)이 선택성장하여 매립플래그가 형성된다.

그 후, 상기 WSi_2층(105,107,108)상의 TiOx(115)를 에칭제거하여 TiSix(113)을 노정시킨다.

그 후는, 통상의 MOS집적회로의 제조방법에 의해 제3도에 나타낸 바와 같이 금속배선(117; 예컨대, Ti, TiN, Al-Si-Cu가 하층으로부터 상층으로 순차적층된 적층배선층)을 형성하여 각 콘택트구멍의 저면에 전기적 접속을 수행하고, 그 위에 상부패시베이션막(118)을 형성한다.

즉, 상기 실시예 1에 있어서는 반도체기판(101)상의 CVD산화막(109)에 콘택트구멍(110)을 개공한 후, 콘택트구멍 저면의 Si(103)위 및 WSi_2(105,107,108)위에 각각 티타늄실리사이드층을 형성하여 산화시킨다. 그 결과, Si(103)상의 $TiSi_2$(112)상에는 약 5nm의 SiO_2막(114)이, WSi_2(105,107,108)상의 TiSix(113;x2)상에는 TiOx막(115)이 약 20nm형성된다. 이 SiO_2막(114)과 TiOx막(115)의 막두께차를 이용하여 SiO_2(114)만 제거되는 조건에서 처리한 후, W(116)을 CVD선택성장시키면, WSi_2막(105,107,108)상은 TiOx막(115)이 남아있기 때문에 Si(103)상만에 W(116)가 선택성장한다.

상기 실시예 1의 제조방법에 의하면 콘택트매립공정이 가장 필요로 되는 콘택트구멍이 깊은 실리콘기판(확산층)상 콘택트구멍만 텅스텐을 선택성장시키는 것이 가능하게 되고, 보다 실제의 요구에 맞는 콘택트

선택성장기술의 도입을 실현하는 것이 가능하다.

또한, Al 등의 배선(117)의 가공용일치 마크로서의 콘택트구멍에는 상기와 같이 텅스텐은 선택성장되지 않기 때문에 단차가 없게 되어 마크가 판독이 어렵게 된다는 것과 같은 결함을 일으키는 일 없이 매립기술을 도입할 수 있다.

상기 실시예 1에 있어서는 실리콘상에 개공하는 콘택트구멍은 기판(확산층)상만이고, 게이트전극이나 배선층이나 마크패턴 바탕층등은 적어도 최상층이 WSi_2로 되어 있으며, 기판(확산층)위만 W를 선택성장시키는 경우에 대해서 설명했는데, 다음에 실시예 2를 설명한다.

제4도는 본 발명의 실시예 2에 따른 최종공정(실시예 1의 제3도의 공정에 상당한다.)에서의 웨이퍼 단면구조를 나타낸다.

실시예 2에서는 상시 실시예 1과 비교하여 W을 매립하는 것 없이 콘택트구멍의 밑바탕에 대응하는 게이트전극이나 배선층 또는 마크패턴 밑바탕층에는 재질로서 WSi_2를 이용하고 있고, 또한 예컨대 비교적 깊은 콘택트구멍에 텅스텐매립을 실시했기 때문에 이 비교적 깊은 콘택트 구멍의 아래층(게이트전극이나 배선등)에는 다결정 실리콘(119)을 사용하고 있는 점이 다르다.

본 실시예 2의 경우는 콘택트구멍의 밑바탕층(게이트전극이나 배선등)에 따라서 콘택트구멍에 W를 매립해야 할 층과 매립하지 않을 층을 미리 만들어 나누는 관계면 콘택트구멍을 개공 후의 제조방법은 실시예 1의 경우와 마찬가지이다.

즉, 실리콘기판(확산층)상 및 다결정 실리콘상에는 $TiSi_2$와 그위의 SiO_2가 형성되기 때문에 SiO_2를 제거한 후에 $TiSi_2$상에 W이 선택성장한다.

한편, WSi_2상에는 TiSix(x2)와 그 위의 TiOx가 형성되기 때문에 W은 성장하지 않는다.

실제의 반도체장치에 있어서는, 다양한 깊이의 콘택트구멍이 혼재하고 있는 것이 많기 때문에 상대적으로 애스팩트비가 작은 얕은 콘택트에는 매립하지 않고, 애스팩트비가 높은 콘택트구멍만(그 중에서 가장 얕은 콘택트구멍에 깊이를 일치시켜)매립하면 된다.

그런데, 상기한 각 실시예 중에서는 W의 매립을 수행하는 콘택트구멍의 밑바탕막(W을 성장시키는 밑바탕막)으로서 실리콘기판(확산층)과 다결정 실리콘을 예로서 나타냈만, 이 밑바탕막의 상면에 퇴적되는 Ti과의 사이에서 형성되는 실리사이드막의 위에 형성되는 산화막이 SiO_2로 되면 좋기 때문에 실리콘 이외로 실리콘 릿치한(실리콘 농도가 짙은)실리사이드막 혹은 그것을 최상층으로 하는 적층막을 이용해도 된다.

한편, 상기한 각 실시예중에서는 W의 매립을 행하지 않는 콘택트구멍의 밑바탕막(W을 성장시키지 않는 밑바탕막), 즉 게이트전극이나 배선 또는 마크패턴 밑바탕층의 재질으로서 텅스텐 실리사이드단층 또는 WSi_2(상층)과 다결정실리콘(하층)의 적층으로 이루어지는 폴리사이드를 이용한 경우에 대해서 설명하였지만, 여기에 한정되지 않는다.

즉, W을 성장시키지 않는 밑바탕막으로서 그 윗면에 Ti가 퇴적된 경우에 Ti과의 사이에서 형성되는 실리사이드층이 TiSix(x2)라는 실리콘·푸어한(실리콘 농도가 엷은)막으로 되고, 그 결과 그 위에 형성되는 산화막이 SiO_2로 되어 그 보다도 두꺼운 TiOx막과, 혹은 TiOx를 주성분으로 하는 실질적으로 TiOx막으로 나타내는 막으로 되는 재질을 이용하는 것에 의해 본 발명의 효과가 얻어진다.

즉, Ti의 실리사이드 때에 실리콘 공급량이 적은 실리사이드막 또는 이와 비슷한 막이면 되고, WSi_2막에 한정되지 않는 것은 명백하며, W, Mo, Ti, Al, Cu 등의 어느 1개의 금속막 혹은 그 실리사이드막 또는 이들의 1개를 최상층으로 하는 적층막을 이용하는 것이 가능하다.

또한, 실리사이드를 형성하기 위한 재질(M)도 상기 실시예의 Ti에 한정되는 것은 아니다. 즉, 이 재질(M)에 대한 그 후의 산화공정에서 형성되는 산화물(MOx)이 MSi_2상에 형성되는 고작 5nm정도의 SiO_2와 비교해서 두껍고, 또는 SiO_2에 대해서 MOx의 에칭선택비가 크게 되는 조건으로서 SiO_2를 에칭제거할 수 있는 것과 같은 고융점금속(Ti,Co,Ni,Mo)이라면 좋은 것은 말할 필요도 없다.

더욱이, 상기 W을 성장시키지 않고 밑바탕막의 재질(M)로서 산화하면 그 위에 SiO_2으로 되는 MOx(최고 5nm정도의 SiO_2와 비교해 두껍고 또는 SiO_2보다도 에칭레이트가 늦기 때문에 SiO_2에칭공정에서 남는 것 같은 막)이 형성되는 것과 같은 실리콘·푸어한 실리사이드막(MSix)이나 금속막 등을 이용한다면 실리사이드공정은 생략할 수 있다. 즉, 이 경우에는 콘택트구멍을 개공한 후, 가벼운 산화분위기로 하면 W의 매립을 수행하는 콘택트구멍의 저면에는 SiO_2층이, W의 매립을 수행하지 않는 콘택트구멍의 저면에는 MOx층이 형성된다. 그 후, SiO_2층을 제거하면서 MOx층은 남기 때문에 SiO_2층이 제거된 영역만에 W이 선택성장된다.

또한, 선택성장시키는 재료도 W에 한정되지 않고 W과 동일한 선택성을 갖춘 금속(Al,Si,Cu등)이라면 동일한 효과를 기대할 수 있는 것이 명백하다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 콘택트구멍의 CVD선택성장매립기술에 있어서, 깊은 콘택트구멍만 선택성장시키는 것이 가능하게 됨과 더불어 콘택트구멍 패턴으로 형성한 일치 마크가 판독이 어렵게 된다는 장해를 회피할 수 있게 된다.

(57) 청구의 범위

청구항 1

실리콘영역의 부분상에 제1도전재료로 이루어진 제1도전영역과, 이 제1도전영역이 형성된 부분과 다른 상기 실리콘영역의 부분상에 제2도전재료로 이루어진 제2도전영역을 형성하는 단계와; 상기 실리콘영역의 전체 표면에 절연층을 형성하는 단계; 상기 제1 및 제2도전영역을 노출하도록 상기 절연층에 콘택트구멍을 형성하는 단계; 상기 제1도전재료가 노출된 상기 콘택트구멍의 바닥 표면에 실리콘 산화층을 형성하고, 상기 제2도전재료가 노출된 상기 콘택트구멍의 바닥 표면에 적어도 금속산화층으로 이루어진 산화층을 형성하는 단계; 상기 제2도전재료상에 적어도 금속산화층으로 이루어진 상기 산화층을 유지하는 동안 에칭에 의해 상기 제1도전재료상에 배치된 상기 실리콘 산화층을 제거하는 단계; 선택성장법을 이용하여 제3도전재료를 퇴적하는 단계 및; 상기 제2도전재료상에 적어도 금속산화층으로 이루어진 상기 산화층을 제거하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 절연층에 상기 콘택트구멍을 형성하는 단계에 이어서 상기 실리콘영역의 전체 표면에 제4도전재료를 퇴적하는 단계와; 상기 제4도전재료를 실리사이드로 변환시키기 위해 가열처리하는 단계 및; 이전 단계에서 실리사이드로 변환되지 않은 상기 제4도전재료를 제거하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제2항에 있어서, 상기 제4도전재료가 Ti, Co, Ni, Mo 로 구성된 군으로부터 선택된 고융점금속인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제1항에 있어서, 상기 절연층에 형성된 상기 콘택트구멍이 이어지는 단계에서 일치마크로서 사용되어지는 콘택트구멍을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

제1항에 있어서, 상기 제1도전재료가 실리콘막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제5항에 있어서, 상기 실리콘막이 단결정 실리콘으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

제5항에 있어서, 상기 실리콘막이 다결정 실리콘으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

제1항에 있어서, 상기 제1도전재료가 실리콘막을 최상층으로서 포함하는 적층막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9

제1항에 있어서, 상기 제1도전재료가 실리콘-릿치 실리사이드막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10

제1항에 있어서, 상기 제1도전재료가 실리콘-릿치 실리사이드막을 최상층으로서 포함하는 적층막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11

제1항에 있어서, 상기 제2도전재료가 W, Mo, Ti, Al, Cu로 구성된 군으로부터 선택된 금 속의 막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

제1항에 있어서, 상기 제2도전재료가 W, Mo, Ti, Al, Cu로 구성된 군으로부터 선택된 금 속의 실리사이드막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13

제1항에 있어서, 상기 제2도전재료가 W, Mo, Ti, Al, Cu로 구성된 군으로부터 선택된 금 속의 실리사이드막을 최상층으로서 포함하는 적층막으로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14

제1항에 있어서, 상기 제3도전재료가 W, Al, Si, Cu로 구성된 군으로부터 선택된 엘리먼트의 막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15

제1항에 있어서, 상기 제2도전재료가 실리콘-푸어 실리사이드막이나 금속막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

제1항에 있어서, 상기 제2도전재료가 실리콘-푸어 실리사이드막이나 금속막을 최상층으로서 포함하고, 상기 실리콘 산화막을 형성하는 단계가 반도체기판을 산화 분위기에 노출시킴으로써 상기 산화층을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

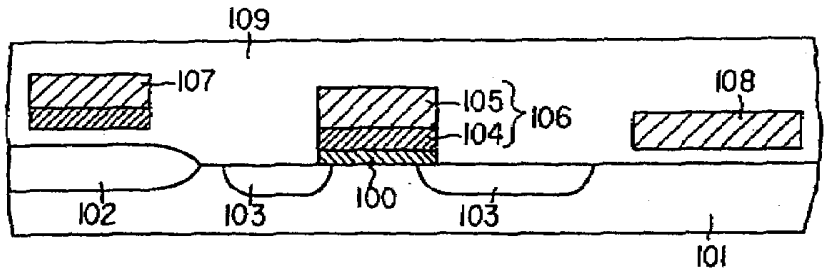
제4항에 있어서, 상기 콘택트구멍중에서, 상기 제3도전재료가 선택성장법을 이용하여 퇴적된 부분상의 콘택트구멍이 상기 제3도전재료가 퇴적되지 않은 부분상의 콘택트구멍 보다 더 깊은 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18

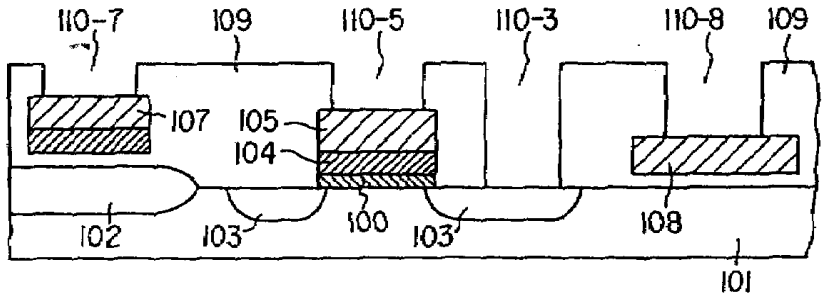
제17항에 있어서, 상기 제3도전재료가 퇴적되지 않은 부분 상의 콘택트구멍이 일치마크로서 이용됨과 더불어 상기 제3도전재료가 퇴적된 부분 상의 콘택트구멍 만큼 깊지 않은 것을 특징으로 하는 반도체장치의 제조방법.

도면

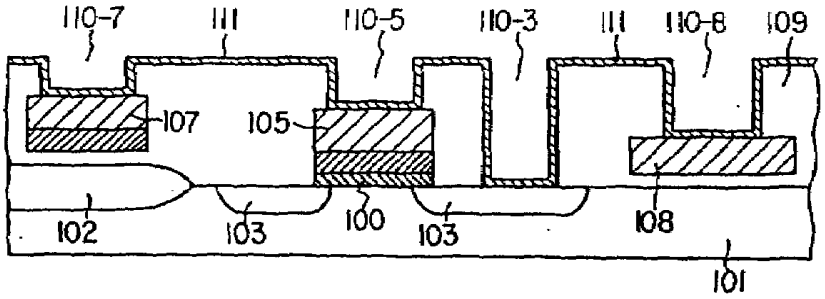
도면1a



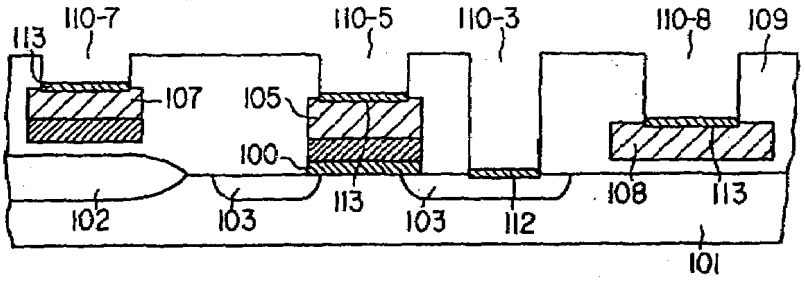
도면1b



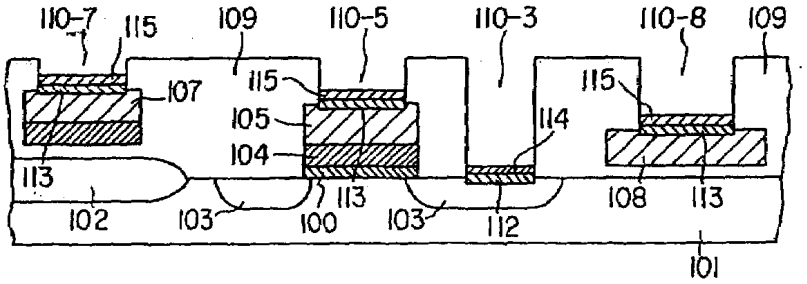
도면1c



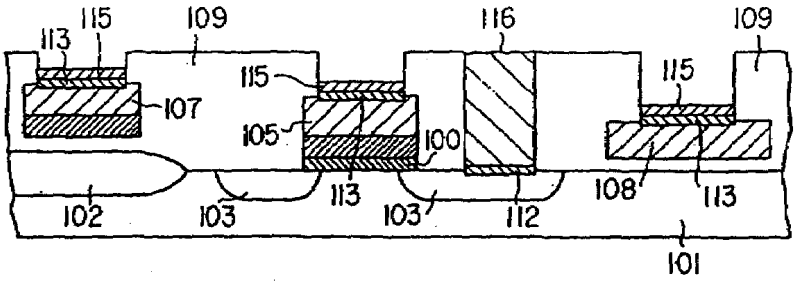
도면2a



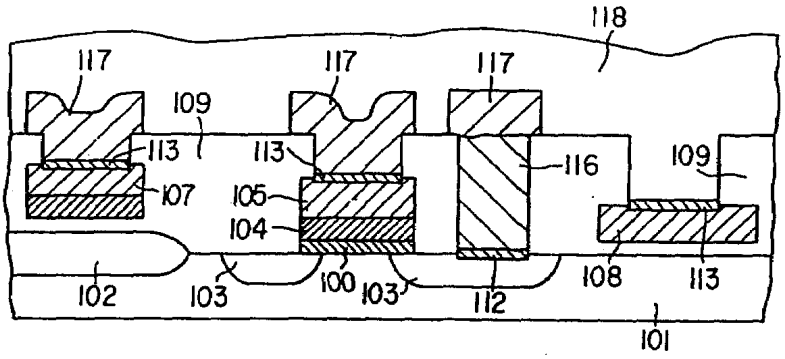
도면2b



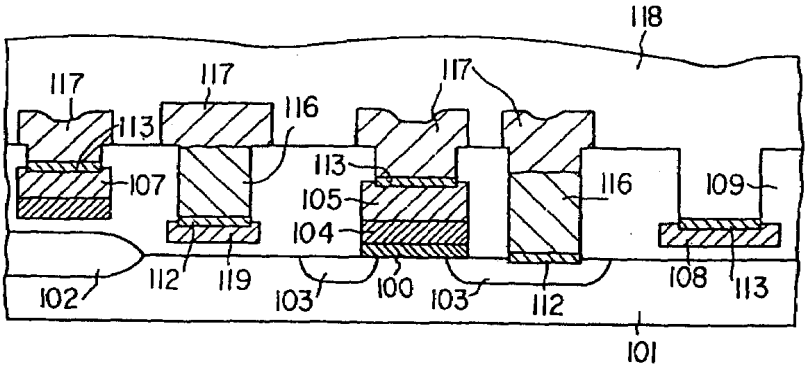
도면2c



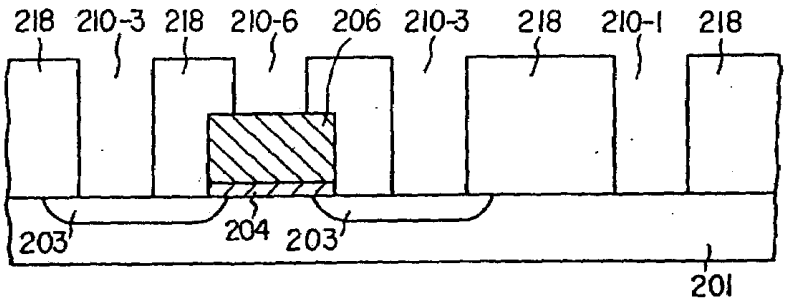
도면3



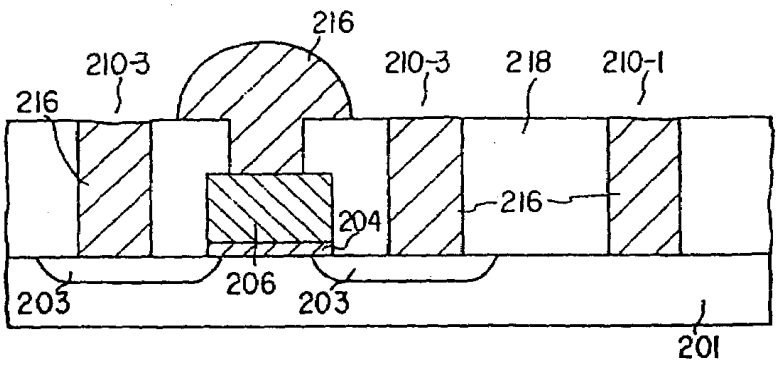
도면4



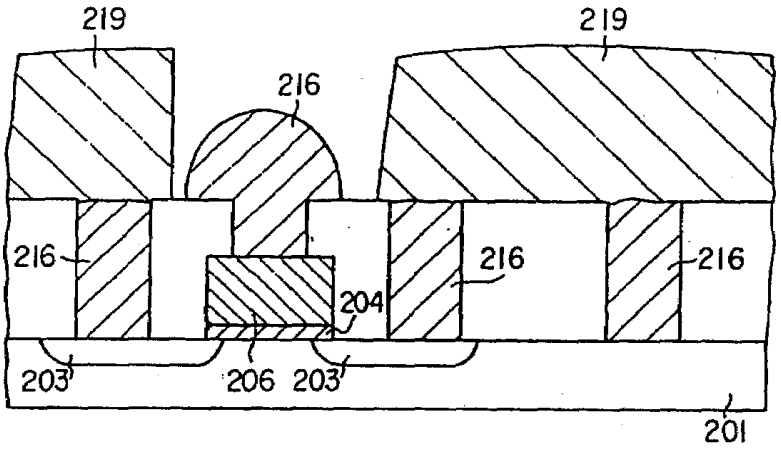
도면5a



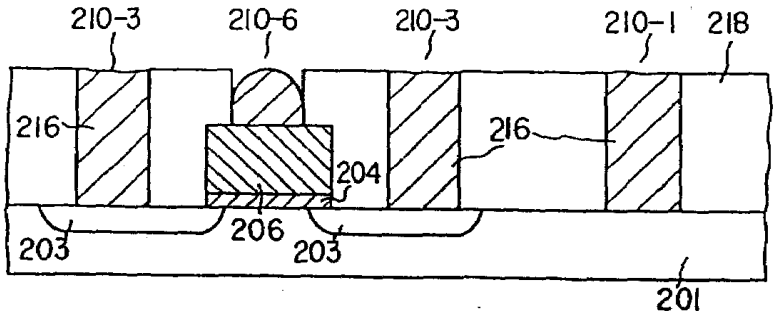
도면5b



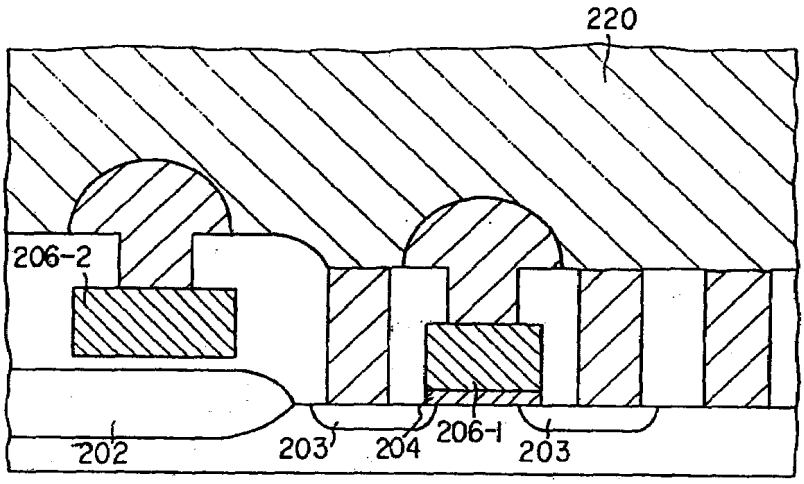
도면6a



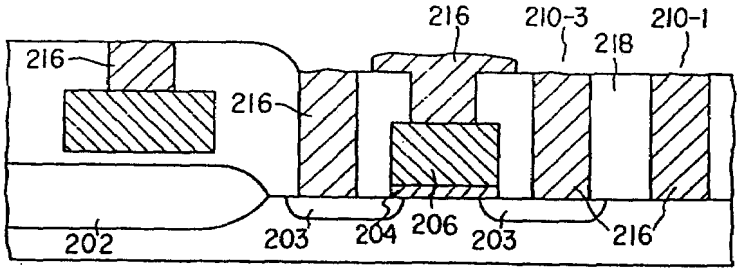
도면6b



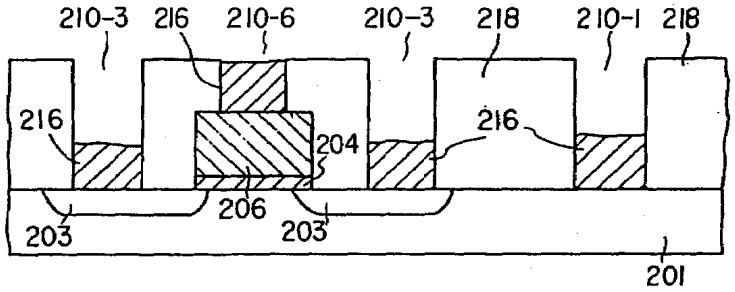
도면7a



도면7b



도면8a



도면8b

