



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201621899 A

(43) 公開日：中華民國 105 (2016) 年 06 月 16 日

(21) 申請案號：104121736 (22) 申請日：中華民國 104 (2015) 年 07 月 03 日  
 (51) Int. Cl. : *G11C7/12 (2006.01)* *G11C16/24 (2006.01)*  
 (30) 優先權：2014/08/15 美國 14/461,154  
 (71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)  
 美國  
 (72) 發明人：潘迪 阿布希那夫 PANDEY, ABHINAV (IN)；貝果 漢門特 P BELGAL,  
 HANMANT P. (US)；達姆雷 普拉桑特 S DAMLE, PRASHANT S. (IN)；克里帕  
 尼希 阿爾瓊 KRIPANIDHI, ARJUN (IN)；憂爾比 賽巴斯汀 T URIBE,  
 SEBASTIAN T. (US)；利 加格農 丹尼 賽巴斯汀 LY-GAGNON, DANY-  
 SEBASTIEN (CA)；藍根 桑傑 RANGAN, SANJAY (IN)；潘加爾 基蘭 PANGAL,  
 KIRAN (IN)  
 (74) 代理人：憚軼群；陳文郎  
 申請實體審查：有 申請專利範圍項數：24 項 圖式數：6 共 39 頁

(54) 名稱

臨界電壓擴充技術

THRESHOLD VOLTAGE EXPANSION

(57) 摘要

本文描述包括系統、方法及設備的實施例，該等系統、方法及設備與擴充記憶胞元之臨界電壓窗口相關聯。具體而言，在一些實施例中，記憶胞元可經組配以藉由經設定為設定狀態或重設狀態來儲存資料。在一些實施例中，可在讀取過程之前對處於該設定狀態中的記憶胞元進行虛擬讀取過程。在一些實施例中，可對處於該重設狀態中的記憶胞元進行修改重設演算法。本案可描述或主張其他實施例。

Embodiments including systems, methods, and apparatuses associated with expanding a threshold voltage window of memory cells are described herein. Specifically, in some embodiments memory cells may be configured to store data by being set to a set state or a reset state. In some embodiments, a dummy-read process may be performed on memory cells in the set state prior to a read process. In some embodiments, a modified reset algorithm may be performed on memory cells in the reset state. Other embodiments may be described or claimed.

指定代表圖：

符號簡單說明：

200 . . . 第一線/線

205 . . . 第二線/線

210、235 . . . 間隔

215 . . . 參考線/線

220、225 . . . 線

230 . . . 箭頭

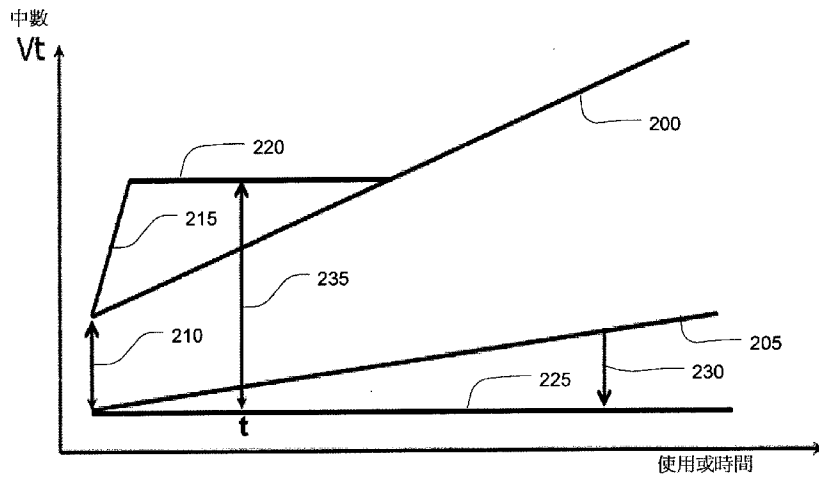


圖 2

## 發明摘要

※ 申請案號：104121736

※ 申請日：104.7.7

※ IPC 分類：

G11C 7/12 (2006.01)  
G11C 16/24 (2006.01)

## 【發明名稱】(中文/英文)

臨界電壓擴充技術

THRESHOLD VOLTAGE EXPANSION

## 【中文】

本文描述包括系統、方法及設備的實施例，該等系統、方法及設備與擴充記憶胞元之臨界電壓窗口相關聯。具體而言，在一些實施例中，記憶胞元可經組配以藉由經設定為設定狀態或重設狀態來儲存資料。在一些實施例中，可在讀取過程之前對處於該設定狀態中的記憶胞元進行虛擬讀取過程。在一些實施例中，可對處於該重設狀態中的記憶胞元進行修改重設演算法。本案可描述或主張其他實施例。

## 【英文】

Embodiments including systems, methods, and apparatuses associated with expanding a threshold voltage window of memory cells are described herein. Specifically, in some embodiments memory cells may be configured to store data by being set to a set state or a reset state. In some embodiments, a dummy-read process may be performed on memory cells in the set state prior to a read process. In some embodiments, a modified reset algorithm may be performed on memory cells in the reset state. Other embodiments may be described or claimed.

**【代表圖】**

**【本案指定代表圖】**：第（2）圖。

**【本代表圖之符號簡單說明】**：

200...第一線/線

205...第二線/線

210、235...間隔

215...參考線/線

220、225...線

230...箭頭

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

臨界電壓擴充技術

THRESHOLD VOLTAGE EXPANSION

## 【技術領域】

發明領域

[0001]本發明之實施例大體而言係關於記憶體之技術領域。特定實施例包括改變記憶胞元中之偏壓漂移及相關聯組態的過程。

## 【先前技術】

發明背景

[0002]本文提供的背景描述係用於大體呈現本發明之上下文的目的。當前署名的發明者之工作(在其描述於此背景部分中的範圍內)以及在申請時原本可能未作為先前技術的描述之態樣既不明確地亦不隱含地承認其為本發明之先前技術。除非本文中另有指示，否則此部分中描述的方法並非本發明中申請專利範圍的先前技術，且並不因為包括在此部分中而承認其為先前技術。

[0003]在可被稱為交叉點非依電性記憶體且可包括例如相變記憶體(PCM)的非依電性記憶體中，PCM之記憶胞元可通常經設定至第一臨界電壓或第二臨界電壓，此取決於正儲存於記憶胞元中的資料。第一臨界電壓可對應於記憶胞元之第一狀態，且第二臨界電壓可對應於記憶胞元之第二狀態。為識別記憶胞元處於該兩個狀態中之哪一者

中，讀取電壓可經施加至記憶胞元，且與記憶胞元之臨界電壓相比。基於該比較，可識別記憶胞元之狀態。然而，在一些實施例中，臨界電壓可隨時間推移而移位，亦即，被稱為「漂移」的現象。

### 【發明內容】

[0004] 依據本發明之一實施例，係特地提出一種設備，其包含：多個記憶胞元，其中該等多個記憶胞元中之個別記憶胞元經組配以儲存資料之一或多個位元；一偏壓邏輯，其與該等個別記憶胞元耦接，該偏壓邏輯用以：基於回應於一讀取電壓之施加而偵測到的一電流來識別該等個別記憶胞元中之一記憶胞元中的資料之一位元之一狀態；以及在該讀取電壓之該施加之前，將一虛擬讀取電壓施加至該記憶胞元。

### 【圖式簡單說明】

[0005] 藉由以下詳細描述連同隨附圖式，實施例將容易理解。為便於此描述，相同元件符號指定相同結構元件。在隨附圖式之諸圖中以實例之方式而非以限制之方式例示實施例。

[0006] 圖1例示根據各種實施例之示例性PCM。

[0007] 圖2例示根據各種實施例之臨界電壓窗口之實例。

[0008] 圖3例示根據各種實施例之施加電壓偏壓至記憶胞元的實例。

[0009] 圖4例示根據各種實施例之修改重設過程之實

例。

[0010]圖5例示根據各種實施例之可程式設計至多個臨界電壓的記憶胞元之實例。

[0011]圖6例示根據各種實施例之示例性系統，該示例性系統經組配以進行本文所描述之方法。

### 【實施方式】

較佳實施例之詳細說明

[0012]在以下詳細描述中，對形成本發明之一部分的隨附圖式進行參考，其中相同的數字在全篇中表示相同的零件，且其中以例示方式展示出可實踐之實施例。應理解，可利用其他實施例，且在不脫離本揭示案之範疇的情況下可進行結構改變或邏輯改變。因此，將不以限制性意義來看待以下詳細描述，且實施例之範疇係由所附申請專利範圍及其等效物界定。

[0013]可能以最有助於理解所請求標的之方式將各種操作依次描述為多個離散的動作或操作。然而，描述之順序不應解釋為暗示此等操作必需依賴於順序。具體而言，可不按呈現之順序進行此等操作。可按與所描述實施例不同的次序來進行所描述操作。可進行各種額外操作及/或在額外實施例中可省略所描述操作。

[0014]出於本揭示案之目的，用語「A及/或B」及「A或B」意味(A)、(B)或(A及B)。出於本揭示案之目的，用語「A、B及/或C」意味(A)、(B)、(C)、(A及B)、(A及C)、(B及C)或(A、B及C)。

[0015]描述可使用用語「在一實施例中」或「在實施例中」，該等用語可各自代表相同或不同實施例中之一或多個。此外，如關於本揭示案之實施例所使用，「包含」、「包括」、「具有」等詞為同義的。

[0016]如本文中所使用，「模組」一詞可指代以下各者，為以下各者之部分或包括以下各者：執行一或多個軟體或韌體程式的特定應用積體電路(ASIC)、電子電路、處理器(共用、專用，或群組)及/或記憶體(共用、專用或群組)；組合式邏輯電路及/或提供所描述功能性之其他適合組件。如本文所使用，「電腦實行的方法」可涉及由一或多個處理器、具有一或多個處理器之電腦系統、諸如智慧型電話的行動裝置(該行動裝置可包括一或多個處理器)、平板電腦、膝上型電腦、機上盒(set-top box)、遊戲控制台等執行的任何方法。

[0017]參考圖1，在各種實施例中，儲存裝置100可包括諸如PCM的非依電性記憶體104。資訊可藉由記憶體控制器110寫入至非依電性記憶體104及/或自非依電性記憶體104讀取。記憶體控制器110可經由一或多個通訊線路116(例如，記憶體匯流排)與非依電性記憶體104耦接。讀取操作或寫入操作可分別由讀取邏輯或寫入邏輯進行，該讀取邏輯或寫入邏輯可彼此分離，或組合，諸如讀取/寫入(R/W)模組120。對於此論述之目的，將論述讀取/寫入模組120，且可假定該讀取/寫入模組包括讀取邏輯及寫入邏輯兩者。然而，在其他實施例中，讀取模組可含有讀取邏輯且

進行以下所論述之讀取操作，且寫入模組可包括寫入邏輯且進行以下論述之寫入操作，且讀取模組及寫入模組可彼此分離。

[0018]如所示，讀取/寫入模組120可為記憶體控制器110之元件，而讀取/寫入模組120(或單獨讀取模組及/或寫入模組)可與記憶體控制器110分離，但以通訊方式耦接至記憶體控制器110。在一些實施例(未示出)中，讀取/寫入模組120可為非依電性記憶體104之元件，或以其他方式與非依電性記憶體104耦接。在一些實施例(未示出)中，讀取/寫入模組120可橫跨以下各者中一或多者而分散：記憶體控制器110、非依電性記憶體104，及/或晶粒108中一或多者。在一些實施例中，讀取/寫入模組120可實行為硬體、韌體、軟體或上述各者之一些組合。在實施例中，讀取/寫入模組120可經組配以進行讀取操作來讀取非依電性記憶體104之一或多個記憶胞元112之電壓值，如如下所描述。在實施例中，非依電性記憶體104之記憶胞元112之電壓值可被視為在藉由讀取/寫入模組120之讀取操作期間在記憶胞元112兩端所量測的電壓之值，如以下進一步詳細地所描述。

[0019]在一些實施例中，儲存裝置100可進一步包括如圖1中所示之偏壓邏輯130。在一些實施例中，偏壓邏輯130可在晶粒108中一或多者上實行為硬體、軟體、韌體或上述各者之組合。在一些實施例中，晶粒108中每一者可具有偏壓邏輯130，而在其他實施例中偏壓邏輯130可位於晶粒108中僅一者上，或該偏壓邏輯可橫跨多個晶粒108而分散。在

一些實施例中，若偏壓邏輯130位於晶粒108中僅一者上，則該偏壓邏輯可能能夠針對晶粒108中之其他者進行一或多個偏壓處理或操作，如以下所描述。在一些實施例中，偏壓邏輯可位於非依電性記憶體104、控制器110、讀取/寫入模組120及/或儲存裝置100中一或多者上，或橫跨上述各者而分散。

[0020] 在一些實施例中，記憶體控制器110及/或儲存裝置100可經由諸如周邊組件互連(PCI)或PCI高速匯流排的一或多個外部通訊線路106與計算系統之其他組件耦接。雖然未描繪，但各種其他組件可經由一或多個通訊線路106與儲存裝置100耦接，該等其他組件包括但不限於一或多個中央處理單元(CPU)、依電性記憶體(例如，動態隨機存取記憶體(DRAM))、一或多個輸入/輸出(I/O)裝置、替代性處理單元(例如，圖形處理器)等。在各種實施例中，儲存裝置100可為固態驅動機(SSD)或混合硬驅動機(HHD)。

[0021] 在包括圖1之實例的許多狀況下，非依電性記憶體104可包括多個晶粒108。例如，在圖1中，非依電性記憶體104包括N個晶粒108。N可為任何正整數。在其他實施例中，非依電性記憶體104可僅包括單個晶粒108。如圖1中所示，每一晶粒108可具有一或多個記憶胞元112。將理解，雖然每晶粒108展示三個記憶胞元112，但每一晶粒可具有更多或更少記憶胞元112。另外，每一晶粒108未必必須具有與另一晶粒108相同量的記憶胞元112。最終，資料可佈置於如本文所描述之不同分組中，例如，記憶胞元112可佈

置為記憶體之區塊或頁。

[0022]如以上所描述，諸如非依電性記憶體104的非依電性記憶體，或諸如非依電性記憶體104之晶粒108的非依電性記憶體之每一晶粒可包括佈置成二維網格或三維網格的多個記憶胞元。具體而言，諸如非依電性記憶體104的非依電性記憶體可為PCM，該非依電性記憶體可由硫屬玻璃構造。在一些實施例中，非依電性記憶體104可由諸如以下各者的合金或元素形成或包括諸如以下各者的合金或元素：鍺(Ge)、碲(Te)、銻(Sb)、砷(As)、矽(Si)、硫(S)、銢(In)、銀(Ag)、硒(Se)或其他元素。例如，非依電性記憶體可包括形成於各種系統內的相變合金，諸如形成於GeTe與Sb<sub>2</sub>Te<sub>3</sub>之間的擬二元線路上，諸如Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>(被稱為GST)，或形成於Te-As-Si-Ge系統，或Te-Ge-Sb-S系統，或As-Te-In系統，或InSbTe(被稱為IST)，或上述各者之組合上，該等相變合金包括以諸如Ag、In、Si、Se或Ge但不限於此等元素的各種元素摻雜的此等合金。可將其他材料用於非依電性記憶體中，然而，僅出於解釋之容易性，以下將論述硫屬玻璃作為一實例。具體而言，諸如記憶胞元112的每一記憶胞元可為硫屬玻璃之單獨離散元件。若記憶胞元112之硫屬玻璃經迅速加熱且隨後淬火，則硫屬玻璃可處於被稱為「非晶質」狀態的物理狀態中。相反，若使記憶胞元112之硫屬玻璃保持在一定溫度處持續給定量之時間，則硫屬玻璃可結晶且處於被稱為「結晶質」狀態的物理狀態中。在實施例中，加熱過程可藉由諸如讀取/寫入模組120的寫入器指導

或進行，且藉由使電流流過給定記憶胞元112持續給定量之時間來進行，如以下進一步詳細地描述。硫屬玻璃之天然電阻可在記憶胞元112中產生熱，且導致記憶胞元112之所描述相變。

[0023]在實施例中，處於非晶形狀態中的記憶胞元112可具有相較於處於結晶狀態中的記憶胞元112的不同電阻。例如，處於非晶形狀態中的記憶胞元112可具有相對高的電阻，且存在於「重設」狀態中。相反，處於結晶狀態中的記憶胞元112可具有相對低的電阻，且存在於「設定」狀態中。在實施例中，「設定」狀態及「重設」狀態可分別對應於邏輯「1」及邏輯「0」，或反之亦然。

[0024]在一些實施例中，讀取/寫入模組120可以「重設脈波」將記憶胞元112設定為重設狀態。如以上所述，讀取/寫入模組120可經組配以藉由迅速加熱及隨後淬火記憶胞元112來將記憶胞元112設定於重設狀態中。具體而言，讀取/寫入模組120可將重設脈波施加至記憶胞元112持續固定的時間段。

[0025]為讀取記憶胞元112之邏輯值，可例如藉由讀取/寫入模組120在記憶胞元112兩端施加被稱為「讀取電壓」的電壓，從而導致流過該胞元的電流。若讀取電壓超過被稱為「臨界電壓」(「 $V_T$ 」)的值，則讀取電壓之施加可使記憶胞元112導電，且相對大量的電流可流過記憶胞元112。若讀取電壓低於臨界電壓，則讀取電壓之施加可使記憶胞元充當絕緣體，且極少甚至無電流可流過記憶胞元

112。

[0026]具體而言，因為電壓等於電流乘以電阻，且處於設定狀態中的記憶胞元112可具有相較於處於重設狀態中的記憶胞元112的不同電阻，所以記憶胞元112之臨界電壓可取決於記憶胞元112所處的狀態而為不同的。例如，記憶胞元112之設定狀態可藉由相對低的臨界電壓指示，而記憶胞元112之重設狀態可藉由在記憶胞元112兩端的相對高的量測電壓指示。通常，讀取電壓可設定在設定狀態之相對低的臨界電壓與重設狀態之相對高的臨界電壓之間。

[0027]因為硫屬玻璃之特定狀態可導致特定電阻，該特定電阻可導致特定臨界電壓，所以可為合意的是，設定每一記憶胞元112之物理狀態，使得記憶胞元112產生用於設定狀態或重設狀態的特定臨界電壓。具體而言，用以改變記憶胞元112之物理性質以具有給定臨界電壓的操作可被稱為寫入操作。在實施例中，讀取/寫入模組120可進行寫入操作以改變一或多個記憶胞元112之硫屬玻璃之物理性質，使得設定至設定狀態的每一記憶胞元112將具有相同電阻，且因此讀取/寫入模組120可識別處於設定狀態中的每一記憶胞元112兩端的相同相對低的電壓值。類似地，讀取/寫入模組120可進行寫入操作以改變一或多個記憶胞元112之硫屬玻璃之物理性質，使得設定至重設狀態的每一記憶胞元112將具有相同電阻，且因此讀取/寫入模組120可讀取處於重設狀態中的每一記憶胞元112兩端的相對高的電壓值。

[0028] 在一些實施例中，記憶胞元112之實體結構可隨時間推移鬆弛，從而導致漂移。如以上所描述，漂移可涉及胞元112之臨界電壓之變化。圖2描繪遞增漂移之實例。具體而言，圖2在x軸上描繪時間，且在y軸上描繪臨界電壓。在圖2中，第一線200描繪針對處於重設狀態中的記憶胞元的臨界電壓之漂移。第二線205描繪針對處於設定狀態中的記憶胞元的臨界電壓之漂移。間隔210指示線200與線205之間的差異，該差異可被稱為電壓窗口。

[0029] 如以上所述，在讀取操作中，讀取電壓介於處於設定狀態中的記憶胞元與處於重設狀態中的記憶胞元之臨界電壓之間可為合意的。因此，在一些實施例中，線200與線205之間的距離為相對大可為合意的。此可為尤其真實的，因為對於諸如具有該等多個記憶胞元112之非依電性記憶體104的記憶體，處於給定狀態中的每一胞元之臨界電壓可並非完全相等。如下文將進一步詳細地描述，在一些實施例中，處於給定狀態中的記憶胞元之臨界電壓可藉由概率密度函數(PDF)識別。在實施例中，PDF可看起來類似鐘形曲線，在PDF之頂點處具有中數臨界電壓，在接合之每一側上具有遞減值。若設定狀態及重設狀態之中數臨界電壓相對靠近在一起，則該兩個狀態之PDF之邊遠分佈可重疊且導致讀出錯誤。例如，當記憶胞元事實上意欲處於重設狀態中時，該記憶胞元可經識別為處於設定狀態中。

[0030] 已注意到，漂移可藉由具有給定量級且施加持續給定時間長度(被稱為「寬度」)的電壓偏壓脈波之施加加

速。換言之，電壓偏壓脈波藉由偏壓邏輯130之施加可使處於重設狀態中的記憶胞元112之漂移加速，從而使記憶胞元比該等記憶胞元將在無電壓偏壓脈波之施加的情況下更迅速地具有較高臨界電壓。藉由偏壓邏輯130施加電壓偏壓脈波之此過程可被稱為修改重設演算法。在實施例中，電壓偏壓脈波藉由偏壓邏輯130之施加可在重設脈波至記憶胞元之施加之後，例如，可在對記憶胞元的記憶體重設操作之執行之後立即施加電壓偏壓脈波。在一些實施例中，電壓之量級及施加電壓偏壓的時間長度可使偏壓漂移之加速度增加或減小。通常，較高量級之電壓或較久的電壓偏壓之施加可使偏壓漂移加速。

[0031]可以參考線215在圖2中觀察偏壓漂移加速度。如所示，線215具有相較於線200的較高斜率，此狀況表示處於重設狀態中的記憶胞元在無電壓偏壓之施加的情況下的臨界電壓。可如以參考線215所示地施加電壓偏壓脈波，並如線220所示，直至如線該電壓偏壓脈波關閉的時間且記憶胞元之漂移可達到水平頂為止。此水平頂可繼續，直至記憶胞元大體上返回至在線200處的偏壓漂移中所見的在無電壓偏壓脈波之施加的情況下的增加的時間為止。

[0032]換言之，一旦移除電壓偏壓脈波，處於重設狀態中的記憶胞元112之電壓臨界值可不移位，直至此時間段已過去以允許記憶胞元112到達無電壓偏壓的後偏壓狀態為止。可參考圖3觀察此狀況。具體而言，圖3描繪電壓偏壓至諸如記憶胞元112的記憶胞元之施加之試驗結果。具體而

言，圖3中所描繪之圓表示試驗結果，而諸如線300的虛線或展示為線325或335之部分的虛線表示試驗結果之理論抽象。沿y軸描繪記憶胞元之中數電壓臨界值，而沿x軸以對數尺度描繪時間。

[0033]具體而言，參考線300描繪在無電壓偏壓脈波之施加的情況下的記憶胞元之正常漂移。線340描繪在電壓偏壓之施加的情況下的記憶胞元之漂移。線305幾乎立即關閉的電壓偏壓之施加，該電壓偏壓之施加使記憶胞元之電壓臨界值幾乎側向移動至線300。相反，線315為直至位置310的電壓偏壓之施加之結果，在該點處關閉電壓偏壓。如可看出的，記憶胞元隨後側向相對移動以漸近地重新接合線300。類似地，線325描繪直至位置320的電壓偏壓之施加，在該點處記憶胞元側向相對移動以漸近地重新接合300。類似地，線335描繪直至位置330的電壓偏壓之施加之實例，在該點處關閉電壓偏壓，且記憶胞元再次側向相對移動以重新接合線300。

[0034]在實施例中，重設脈波可為特定電流在給定時間段上之施加。換言之，胞元兩端的電壓可經調變以保持電流恆定。相反，電壓偏壓脈波可涉及給定電壓在一定時間段上之施加。在實施例中，電壓偏壓脈波之量級可為相對低的，例如，小於設定狀態或重設狀態之臨界電壓。在實施例中，電壓偏壓脈波可導致流過記憶胞元112的極低電流，或無電流。

[0035]在一些實施例中，電壓偏壓脈波可藉由偏壓邏輯

130施加為施加至非依電性記憶體104之字線及位元線兩者的規則讀取脈波。在其他實施例中，電壓偏壓脈波可僅施加至字線或僅施加至位元線。

[0036]另外，如以上所述，在許多實施例中，重設脈波可在電壓偏壓脈波之前。在實施例中，重設脈波可具有相對短的時間，例如小於1微秒(「 $\mu\text{s}$ 」)，因此允許額外時間來在諸如寫入脈波的相對較久的程式設計命令期間施加電壓偏壓脈波。作為一實例，在一些實施例中，可推斷出，對於電壓偏壓脈衝之量級之每1伏特增加，電壓偏壓脈衝需要被施加的時間長度可減少到十分之一。在一些實施例中，具有4.8 V之給定量級及相對短的時間長度(例如小於1秒長)的電壓偏壓脈波之施加可使處於重設狀態中的記憶胞元之電壓臨界值增加近似200毫伏(「 $\text{mV}$ 」)。在一些實施例中，可在正常寫入命令週期之外，例如在有利時間處藉由讀取/寫入模組120或記憶體控制器110施加電壓偏壓脈波。

[0037]如以上所述，在一些實施例中，處於重設狀態中的記憶胞元112之臨界電壓可經歷如在圖2中關於線200所示的漂移。然而，處於設定狀態中的記憶胞元112之臨界電壓可亦經歷如在圖2中關於線205所示的漂移。然而，已觀察到，當記憶胞元「經定限」(亦稱為迅速恢復或「打開」)時，可重設處於設定狀態中的記憶胞元之漂移時鐘(亦即，隨時間推移的漂移)。亦即，處於設定狀態中的記憶胞元之臨界電壓可降低至該胞元之初始臨界電壓，該初始臨界電

壓為在處於設定狀態中的記憶胞元之漂移之前的臨界電壓。具體而言，當處於設定狀態中的記憶胞元經受讀取操作時，隨後記憶胞元可經定限，因為施加至記憶胞元的讀取電壓可超過處於設定狀態中的記憶胞元之相對低的臨界電壓。

[0038]因此，在一些實施例中，可在實際讀取操作之前由偏壓邏輯130對記憶胞元進行「虛擬讀取」操作。在虛擬讀取操作中，可將讀取電壓施加至記憶胞元，但可並未基於該讀取電壓識別記憶胞元之實際狀態。實情為，讀取電壓在虛擬讀取操作期間之施加可用以對處於設定狀態中的記憶胞元定限，亦即重設該等胞元之漂移時鐘，使得該等記憶胞元之臨界電壓返回至預漂移狀態。在進行虛擬讀取操作，且處於設定狀態中的記憶胞元經定限之後，隨後可對該等胞元進行正常讀取操作，且可識別記憶胞元之狀態。在正常讀取操作之前進行虛擬讀取之此過程可被稱為雙重讀取演算法。

[0039]雙重讀取操作之施加可見於圖2中。具體而言，處於設定狀態中的記憶胞元之初始臨界電壓可由線225表示。虛擬讀取電壓藉由偏壓邏輯130之施加可使處於設定狀態中的胞元之臨界電壓自線205移動至線225，如由箭頭230所指示。

[0040]在實施例中，修改重設演算法或雙重讀取演算法可獨立於彼此或彼此結合地藉由偏壓邏輯130進行。例如，若修改重設演算法及雙重讀取演算法彼此結合地執行，則

由間隔210指示的電壓窗口可在時間t處顯著地增加，如由間隔235所示。

[0041]圖4描繪可由偏壓邏輯130進行來用於彼此結合地進行修改重設演算法及雙重讀取演算法的示例性過程。如以下所描述，偏壓邏輯將論述為進行該方法，但在一些實施例中記憶體控制器110、讀取/寫入模組120或記憶體控制器之另一元件或與記憶體控制器相關聯的實體可進行該方法。具體而言，虛擬讀取電壓可在400處由偏壓邏輯130施加至諸如記憶胞元112的一或多個記憶胞元。如以上所描述，虛擬讀取電壓之施加可包括在未基於虛擬讀取電壓之施加識別每一記憶胞元之狀態的情況下在記憶胞元兩端施加諸如讀取電壓(或另一電壓)的電壓。虛擬讀取電壓之施加可使處於設定狀態中的記憶胞元定限，如以上所描述。

[0042]在400處的虛擬讀取電壓之施加之後，偏壓邏輯隨後可在405處在記憶胞元兩端施加讀取電壓。基於讀取電壓之施加，偏壓邏輯可識別記憶胞元中一或多者之狀態，如以上所描述。具體而言，偏壓邏輯可在410處識別記憶胞元處於設定狀態中或重設狀態中。

[0043]最後，偏壓邏輯可進行修改重設演算法。亦即，偏壓邏輯可在415處在處於重設狀態中的記憶胞元中一或多者兩端施加電壓偏壓脈波，以使該等記憶胞元之偏壓漂移加速。

[0044]在以上實例中，雖然將偏壓邏輯130描述為施加諸如虛擬讀取電壓及/或電壓偏壓脈波的一或多個電壓，但

在一些實施例中，偏壓邏輯130可自身不施加電壓，但可反而促進電壓至非依電性記憶體104之一或多個胞元112之施加。例如，在一些實施例中，電壓可實體上源自圖1中未展示的單獨電壓源。在其他實施例中，偏壓邏輯130可直接將電壓施加至一或多個胞元112。

[0045] 在一些實施例中，記憶胞元可為多階胞元(MLC)。亦即，每一記憶胞元可能能夠保持多個兩個值。例如，在一些實施例中，每一記憶胞元可為可設定至 $2^n$ 個臨界電壓位準，以便儲存資料之 $n$ 個位元。圖5描繪用於MLC之電壓臨界值之實例。具體而言，圖5描繪非依電性記憶體中之處於每一狀態中的多個記憶胞元之PDF之實例。x軸描繪電壓，且y軸表示處於給定狀態中的胞元將具有在給定電壓處之臨界電壓的可能性。四個單獨狀態505、510、515及520描繪於圖5中，且具有在電壓525、530、535及540處的個別中數臨界電壓。

[0046] 在實施例中，最低位準505可為記憶胞元之設定狀態。較高位準510、515及520可為記憶胞元之不同重設狀態。為將胞元程式設計至重設狀態510、515或520中一者，可使用修改重設演算法使處於給定狀態中的胞元之漂移時鐘前進。具體而言，可藉由偏壓邏輯將電壓偏壓脈波施加至給定胞元以使該給定胞元前進至重設狀態510、515及520中一者。在一些實施例中，可變化脈波長度或脈波振幅以區別重設狀態510、515或520。

[0047] 圖6例示根據各種實施例之示例性計算裝置

600，諸如先前所描述之非依電性記憶體104、記憶體控制器110及/或讀取/寫入模組120的系統可併入該示例性計算裝置中。計算裝置600可包括若干組件、一或多個處理器604、呈一或多個晶粒108形式之非依電性記憶體104、記憶體控制器110、讀取/寫入模組120及至少一通訊晶片606。

[0048]在各種實施例中，一或多個處理器604各自可包括一或多個處理器核心。在各種實施例中，至少一通訊晶片606可實體地或電氣地耦接至一或多個處理器604。在進一步實行方案中，通訊晶片606可為一或多個處理器604之部分。在各種實施例中，計算裝置600可包括印刷電路板(PCB)602。對於此等實施例，一或多個處理器604及通訊晶片606可安置於該印刷電路板上。在替代實施例中，可在無PCB 602之使用的情況下耦接各種組件。

[0049]取決於計算裝置之應用，計算裝置600可包括其他組件，該等其他組件可為或可並未實體地且電氣地耦接至PCB602之。此等其他組件包括但不限於依電性記憶體(例如，動態RAM(DRAM)608)、諸如ROM 610的非依電性記憶體、I/O控制器614、數位信號處理器(未示出)、密碼處理器(未示出)、圖形處理器616、一或多個天線618、顯示器(未示出)、觸控螢幕顯示器620、觸控螢幕控制器622、電池624、音訊編解碼器(未示出)、視訊編解碼器(未示出)、全球定位系統(GPS)裝置628、指南針630、加速計(未示出)、回轉儀(未示出)、揚聲器632、攝影機634及大容量儲存裝置(諸如硬碟片驅動機、固態驅動機、光碟片(CD)、數位通用

碟片(DVD))(未示出)，等等。在各種實施例中，處理器604可與其他組件一起整合於相同晶粒上以形成系統單晶片(SoC)。在實施例中DRAM 608及/或ROM 610中一者或兩者可為或可包括諸如非依電性記憶體104的非依電性記憶體，該DRAM及/或ROM可分別與諸如記憶體控制器110的記憶體控制器耦接。

[0050]在各種實施例中，而非非依電性記憶體104或除非依電性記憶體104之外，計算裝置600可包括常駐持久記憶體或非依電性記憶體，例如，快閃記憶體612。在一些實施例中，一或多個處理器604及/或快閃記憶體612可包括儲存程式設計指令的相關聯韌體(未示出)，該相關聯韌體經組配以回應於程式設計指令藉由一或多個處理器604之執行而允許計算裝置600實踐以上關於圖4所描述之方塊中之全部或選定態樣。在各種實施例中，此等態樣可另外或替代地使用與一或多個處理器604或快閃記憶體612分離的硬體來實行。

[0051]通訊晶片606可賦能於用於往返於計算裝置600之資料轉移的有線通訊及/或無線通訊。「無線」一詞及其衍生詞可用以描述可藉由調變的電磁輻射之使用經由非固體媒體傳達資料之電路、裝置、系統、方法、技術、通訊通道等。該術語並非暗示相關聯裝置不含有任何導線，然而在一些實施例中該等裝置可能不含有任何導線。通訊晶片606可實行若干無線標準或協定中之任何幹無線標準或協定，該等幹無線標準或協定包括但不限於IEEE 802.20、

通用封包無線電服務(GPRS)、演進資料最佳化(Ev-DO)、演進高速封包存取(HSPA+)、演進高速下行鏈路封包存取(HSDPA+)、演進高速上行鏈路封包存取(HSUPA+)、全球行動通訊系統(GSM)、GSM演進增強資料率(EDGE)、碼分多重存取(CDMA)、時分多重存取(TDMA)、數位增強無線電信(DECT)、藍牙、上述各者之衍生物以及命名為3G、4G、5G及其他的任何其他無線協定。計算裝置600可包括多個通訊晶片606。例如，第一通訊晶片606可專用於較短範圍無線通訊，諸如Wi-Fi及藍牙，且第二通訊晶片606可專用於較長範圍無線通訊，諸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO等等。

[0052]在各種實行方案中，計算裝置600可為膝上型電腦、隨身型易網機、筆記型電腦、超極緻筆電、智慧型電話、計算平板電腦、個人數位助理(PDA)、超級行動PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元(例如，遊戲控制台)、數位攝影機、可攜式音樂播放器或數位視訊記錄器。在進一步實行方案中，計算裝置600可為處理資料的任何其他電子裝置。

### 實例

[0053]實例1可包括一種設備，該設備包含：多個記憶胞元，其中該等多個記憶胞元中之個別記憶胞元經組配以儲存資料之一或多個位元；偏壓邏輯，其與該等個別記憶胞元耦接，該偏壓邏輯用以：基於回應於讀取電壓之施加而偵測到的電流來識別該等個別記憶胞元中之記憶胞元中

的資料之位元之狀態；以及在該讀取電壓之該施加之前，將虛擬讀取電壓施加至該記憶胞元。

[0054] 實例2可包括實例1之設備，其中個別記憶胞元處於設定狀態或重設狀態中，且記憶體偏壓邏輯進一步經組配以將電壓偏壓脈波施加至處於重設狀態中的記憶胞元。

[0055] 實例3可包括實例2之設備，其中偏壓邏輯進一步經組配以在對記憶胞元的記憶體重設操作之執行之後立即將電壓偏壓脈波施加至記憶胞元。

[0056] 實例4可包括實例2之設備，其中記憶胞元中的資料之位元之狀態係基於讀取電壓係超過或低於記憶胞元之臨界電壓。

[0057] 實例5可包括實例2之設備，其中電壓偏壓脈波之時間參數或振幅參數係基於處於重設狀態中的記憶胞元之所欲臨界電壓。

[0058] 實例6可包括實例2之設備，其中設定狀態對應於資料之位元的等於第一邏輯值的值，且重設狀態對應於資料之位元的等於第二邏輯值的值。

[0059] 實例7可包括實例1至6中任何實例之設備，其中記憶體為相變記憶體(PCM)。

[0060] 實例8可包括實例1至6中任何實例之設備，其中個別記憶胞元為多階胞元(MLC)。

[0061] 實例9可包括包含指令之一或多個非暫時性電腦可讀媒體，該等指令在藉由電子裝置之一或多個處理器執行時致使該電子裝置用以：在設備之記憶體的多個記憶胞

元中識別處於重設狀態中的記憶胞元，其中該等多個記憶胞元中之個別記憶胞元具有臨界電壓；且基於處於該重設狀態中的該記憶胞元之所欲臨界電壓而將電壓偏壓脈波施加至該記憶胞元，其中該電壓偏壓脈波之施加係不同於重設脈波至該記憶胞元之施加。

[0062] 實例10可包括實例9之一或多個非暫時性電腦可讀媒體，其中重設脈波包括橫跨記憶胞元的近似恆定電流之施加。

[0063] 實例11可包括實例9之一或多個非暫時性電腦可讀媒體，其中該等多個記憶胞元中之個別記憶胞元處於重設狀態或設定狀態中，其中重設狀態對應於第一邏輯值且設定狀態對應於第二邏輯值。

[0064] 實例12可包括實例11之一或多個非暫時性電腦可讀媒體，該一或多個非暫時性電腦可讀媒體進一步包含指令以該等指令藉由電子裝置之該一或多個處理器執行時致使電子裝置用以：將虛擬讀取電壓施加至該等多個記憶胞元；且基於回應於在虛擬讀取電壓至該等多個記憶胞元之施加之後讀取電壓至該等多個記憶胞元之施加而偵測到的電流，來識別該等多個記憶胞元中之個別記憶胞元之狀態。

[0065] 實例13可包括實例12之一或多個非暫時性電腦可讀媒體，該一或多個非暫時性電腦可讀媒體進一步包含指令以基於讀取電壓係超過或低於該等多個記憶胞元中之個別記憶胞元之電壓臨界值，來識別該等多個記憶胞元中

之個別記憶胞元之狀態。

[0066] 實例14可包括實例9至13中任何實例之一或多個非暫時性電腦可讀媒體，其中記憶體為相變記憶體(PCM)。

[0067] 實例15可包括實例9至13中任何實例之一或多個電腦可讀媒體，其中個別記憶胞元為多階胞元(MLC)。

[0068] 實例16可包括一種系統，該系統包含：記憶體，其包括多個記憶胞元，其中該等多個記憶胞元中之個別記憶胞元處於設定狀態或重設狀態中且具有臨界電壓；一偏壓邏輯，其與該等記憶胞元耦接，該偏壓邏輯用以：將虛擬讀取電壓施加至該等多個記憶胞元；基於回應於讀取電壓至該等多個記憶胞元之施加而偵測到的電流來識別該等多個記憶胞元中處於重設狀態中的記憶胞元之第一子集及該等多個記憶胞元中處於設定狀態中的記憶胞元之第二子集；以及將電壓偏壓脈波施加至處於重設狀態中的記憶胞元之子集，其中電壓偏壓脈波之施加不同於重設脈波至該等多個記憶胞元之施加。

[0069] 實例17可包括實例16之系統，其中設定狀態對應於邏輯「1」值且重設狀態對應於邏輯「0」值。

[0070] 實例18可包括實例16之系統，其中電壓偏壓脈波之施加使處於重設狀態中的記憶胞元之子集之電壓漂移加速。

[0071] 實例19可包括實例16之系統，其中虛擬讀取電壓之施加重設處於設定狀態中的記憶胞元之子集之電壓漂移。

[0072] 實例20可包括實例16之系統，其中電壓偏壓脈波之施加係基於處於重設狀態中的記憶胞元之子集之臨界電壓之所欲值。

[0073] 實例21可包括實例20之系統，其中電壓偏壓脈波至處於重設狀態中的記憶胞元之子集之施加將處於重設狀態中的記憶胞元之子集中的個別記憶胞元之臨界電壓設定為與重設狀態相關聯的兩個可能臨界電壓之一。

[0074] 實例22可包括實例16至21中任何實例之系統，其中重設脈波包括橫跨記憶胞元的近似恆定電流之施加。

[0075] 實例23可包括實例16至21中任何實例之系統，其中記憶體為相變記憶體(PCM)。

[0076] 實例24可包括實例16至21中任何實例之系統，其中個別記憶胞元為多階胞元(MLC)。

[0077] 實例25可包括一種方法，該方法包含：藉由與包括多個記憶胞元的記憶體耦接的偏壓邏輯將虛擬讀取電壓施加至該等多個記憶胞元，其中該等多個記憶胞元中之個別記憶胞元處於設定狀態或重設狀態中且具有臨界電壓；基於回應於讀取電壓至該等多個記憶胞元之施加而偵測的電流來藉由偏壓邏輯識別該等多個記憶胞元中處於重設狀態中的記憶胞元之第一子集及該等多個記憶胞元中處於設定狀態中的記憶胞元之第二子集；以及藉由偏壓邏輯將電壓偏壓脈波施加至處於重設狀態中的記憶胞元之子集，其中電壓偏壓脈波之施加不同於重設脈波至該等多個記憶胞元之施加。

[0078] 實例26可包括實例25之方法，其中設定狀態對應於邏輯「1」值且重設狀態對應於邏輯「0」值。

[0079] 實例27可包括實例25之方法，其中施加電壓偏壓脈波使處於重設狀態中的記憶胞元之子集之電壓漂移加速。

[0080] 實例28可包括實例25之方法，其中施加虛擬讀取電壓重設處於設定狀態中的記憶胞元之子集之電壓漂移。

[0081] 實例29可包括實例25之方法，其中施加電壓偏壓脈波係基於處於重設狀態中的記憶胞元之子集之臨界電壓之所欲值。

[0082] 實例30可包括實例29之方法，其中將電壓偏壓脈波施加至處於重設狀態中的記憶胞元之子集將處於重設狀態中的記憶胞元之子集中的個別記憶胞元之臨界電壓設定為與重設狀態相關聯的兩個可能臨界電壓之一。

[0083] 實例31可包括實例25至30中任何實例之方法，其中重設脈波包括橫跨記憶胞元的近似恆定電流之施加。

[0084] 實例32可包括實例25至30中任何實例之方法，其中記憶體為相變記憶體(PCM)。

[0085] 實例33可包括實例25至30中任何實例之方法，其中個別記憶胞元為多階胞元(MLC)。

[0086] 實例34可包括一或多個非暫時性電腦可讀媒體，該一或多個非暫時性電腦可讀媒體包含指令以在該等指令藉由與偏壓邏輯耦接的一或多個處理器之執行時使偏壓邏輯進行實例25至33中任何實例之方法。

[0087] 實例35可包括一種設備，該設備包含用以進行實例25至33中任何實例之方法的構件。

[0088] 雖然本文已出於描述之目的例示且描述了某些實施例，但本申請案意欲涵蓋本文所論述之實施例之任何調適或變化。因此，本文中所描述之實施例顯然意欲不僅受申請專利範圍之限制。

[0089] 在揭示內容敘述「一」或「第一」元件或其等效物的情況下，此揭示內容包括一或多個此類元件，既不要求也不排除兩個或兩個以上此類元件。另外，用於所識別元件之序數指示符(例如，第一、第二或第三)係用來區分該等元件，且既不指示或暗示此類元件之所要求或受限制的數目，也不指示此類元件之特定位置或次序，除非另有具體陳述。

### **【符號說明】**

100...儲存裝置  
104...非依電性記憶體  
106...外部通訊線路/通訊線路  
108...晶粒  
110...記憶體控制器/控制器  
112...記憶胞元/胞元  
116...通訊線路  
120...讀取/寫入(R/W)模組  
130...偏壓邏輯  
200...第一線/線  
205...第二線/線  
210、235...間隔

215...參考線/線  
220、225、300、305、315、325、335、340...線  
230...箭頭  
310、320、330...位置  
400、405、410、415...方塊  
500...實例  
505...狀態  
510、515、520...狀態/重設狀態  
525、530、535、540...電壓  
600...計算裝置  
602...印刷電路板(PCB)  
604...處理器  
606...通訊晶片  
608...動態RAM(DRAM)  
610...ROM  
612...快閃記憶體  
614...I/O控制器  
616...圖形處理器  
618...天線  
620...觸控螢幕顯示器  
622...觸控螢幕控制器  
624...電池  
628...全球定位系統(GPS)裝置  
630...指南針  
632...揚聲器  
634...攝影機

## 申請專利範圍

1. 一種設備，其包含：

多個記憶胞元，其中該等多個記憶胞元中之個別記憶胞元經組配以儲存資料之一或多個位元；

一偏壓邏輯，其與該等個別記憶胞元耦接，該偏壓邏輯用以：

基於回應於一讀取電壓之施加而偵測到的一電流來識別該等個別記憶胞元之一記憶胞元中的資料之一位元之一狀態；以及

在該讀取電壓之該施加之前，將一虛擬讀取電壓施加至該記憶胞元。

2. 如請求項1之設備，其中該等個別記憶胞元處於一設定狀態或一重設狀態中，且該偏壓邏輯進一步經組配以將一電壓偏壓脈波施加至處於該重設狀態中的一記憶胞元。

3. 如請求項2之設備，其中該偏壓邏輯進一步經組配以在對該記憶胞元的一記憶體重設操作之執行之後立即將該電壓偏壓脈波施加至該記憶胞元。

4. 如請求項2之設備，其中該記憶胞元中的資料之該位元之該狀態係基於該讀取電壓係超過或低於該記憶胞元之一臨界電壓。

5. 如請求項2之設備，其中該電壓偏壓脈波之一時間參數或一振幅參數係基於處於該重設狀態中的該記憶胞元

- 之一所欲臨界電壓。
6. 如請求項2之設備，其中該設定狀態對應於資料之該位元的等於一第一邏輯值的一值，且該重設狀態對應於資料之該位元的等於一第二邏輯值的一值。
  7. 如請求項1之設備，其中該記憶體為一相變記憶體(PCM)。
  8. 如請求項1之設備，其中該等個別記憶胞元為多階胞元(MLC)。
  9. 一種包含指令之一或多個非暫時性電腦可讀媒體，該等指令在藉由一電子裝置之一或多個處理器執行時致使該電子裝置用以：

在一設備之一記憶體的多個記憶胞元中識別處於一重設狀態中的一記憶胞元，其中該等多個記憶胞元中之個別記憶胞元具有一臨界電壓；且

基於處於該重設狀態中的該記憶胞元之一所欲臨界電壓而將一電壓偏壓脈波施加至該記憶胞元，其中該電壓偏壓脈波之施加係不同於一重設脈波至該記憶胞元之施加。

10. 如請求項9之一或多個非暫時性電腦可讀媒體，其中該重設脈波包括橫跨該記憶胞元的一近似恆定電流之施加。
11. 如請求項9之一或多個非暫時性電腦可讀媒體，其中該等多個記憶胞元中之該等個別記憶胞元處於該重設狀態或一設定狀態中，其中該重設狀態對應於一第一邏輯

值且該設定狀態對應於一第二邏輯值。

12. 如請求項11之一或多個非暫時性電腦可讀媒體，其進一步包含指令以在該等指令藉由該電子裝置之該一或多個處理器執行時致使該電子裝置用以：

將一虛擬讀取電壓施加至該等多個記憶胞元；且

基於回應於在該虛擬讀取電壓至該等多個記憶胞元之該施加之後一讀取電壓至該等多個記憶胞元之施加而偵測到的一電流，來識別該等多個記憶胞元中之該等個別記憶胞元之該狀態。

13. 如請求項12之一或多個非暫時性電腦可讀媒體，其進一步包含指令以基於該讀取電壓係超過或低於該等多個記憶胞元中之該等個別記憶胞元之該電壓臨界值，來識別該等多個記憶胞元中之該等個別記憶胞元之該狀態。

14. 如請求項9之一或多個非暫時性電腦可讀媒體，其中該記憶體為一相變記憶體(PCM)。

15. 如請求項9之一或多個電腦可讀媒體，其中該等個別記憶胞元為多階胞元(MLC)。

16. 一種系統，其包含：

一記憶體，其包括多個記憶胞元，其中該等多個記憶胞元中之個別記憶胞元處於一設定狀態或一重設狀態中且具有一臨界電壓；

一偏壓邏輯，其與該等記憶胞元耦接，該偏壓邏輯用以：

將一虛擬讀取電壓施加至該等多個記憶胞元；

基於回應於一讀取電壓至該等多個記憶胞元之施加而偵測到的一電流來識別該等多個記憶胞元中處於該重設狀態中的記憶胞元之一第一子集和該等多個記憶胞元中處於該設定狀態中的記憶胞元之一第二子集；以及

將一電壓偏壓脈波施加至處於該重設狀態中的記憶胞元之該子集，其中該電壓偏壓脈波之施加係不同於一重設脈波至該等多個記憶胞元之施加。

17. 如請求項16之系統，其中該設定狀態對應於一邏輯「1」值，且該重設狀態對應於一邏輯「0」值。
18. 如請求項16之系統，其中該電壓偏壓脈波之該施加使處於該重設狀態中的記憶胞元之該子集之一電壓漂移加速。
19. 如請求項16之系統，其中該虛擬讀取電壓之該施加重設處於該設定狀態中的記憶胞元之該子集之一電壓漂移。
20. 如請求項16之系統，其中該電壓偏壓脈波之該施加係基於處於該重設狀態中的記憶胞元之該子集之該臨界電壓之一所欲值。
21. 如請求項20之系統，其中該電壓偏壓脈波至處於該重設狀態中的記憶胞元之該子集之該施加將處於該重設狀態中的記憶胞元之該子集中的個別記憶胞元之該臨界電壓設定為與該重設狀態相關聯的兩個可能臨界電壓之一。
22. 如請求項16之系統，其中該重設脈波包括橫跨該記憶胞

元的一近似恆定電流之施加。

23. 如請求項16之系統，其中該記憶體為一相變記憶體 (PCM)。

24. 如請求項16之系統，其中該等個別記憶胞元為多階胞元 (MLC)。

# 圖式

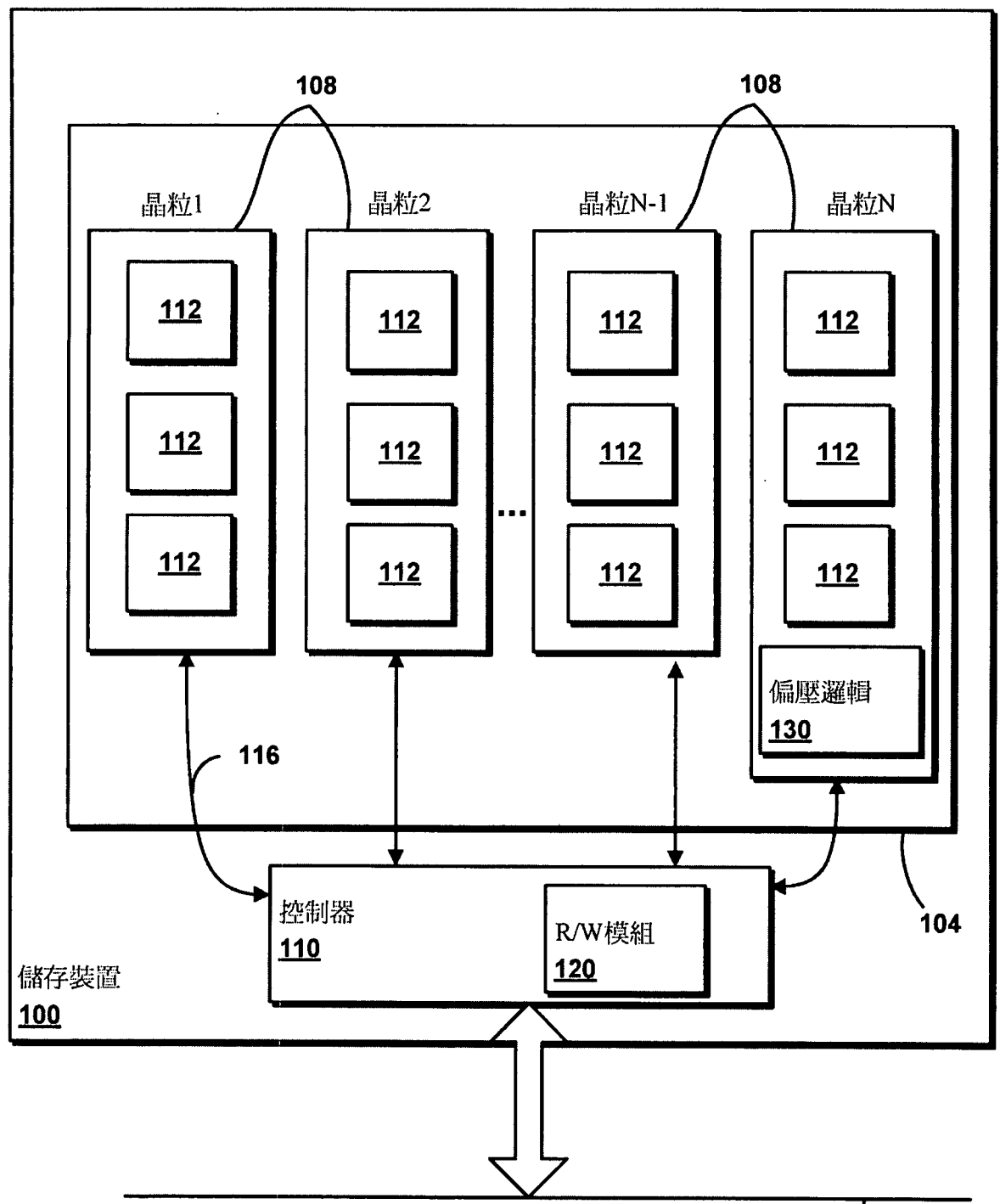


圖 1

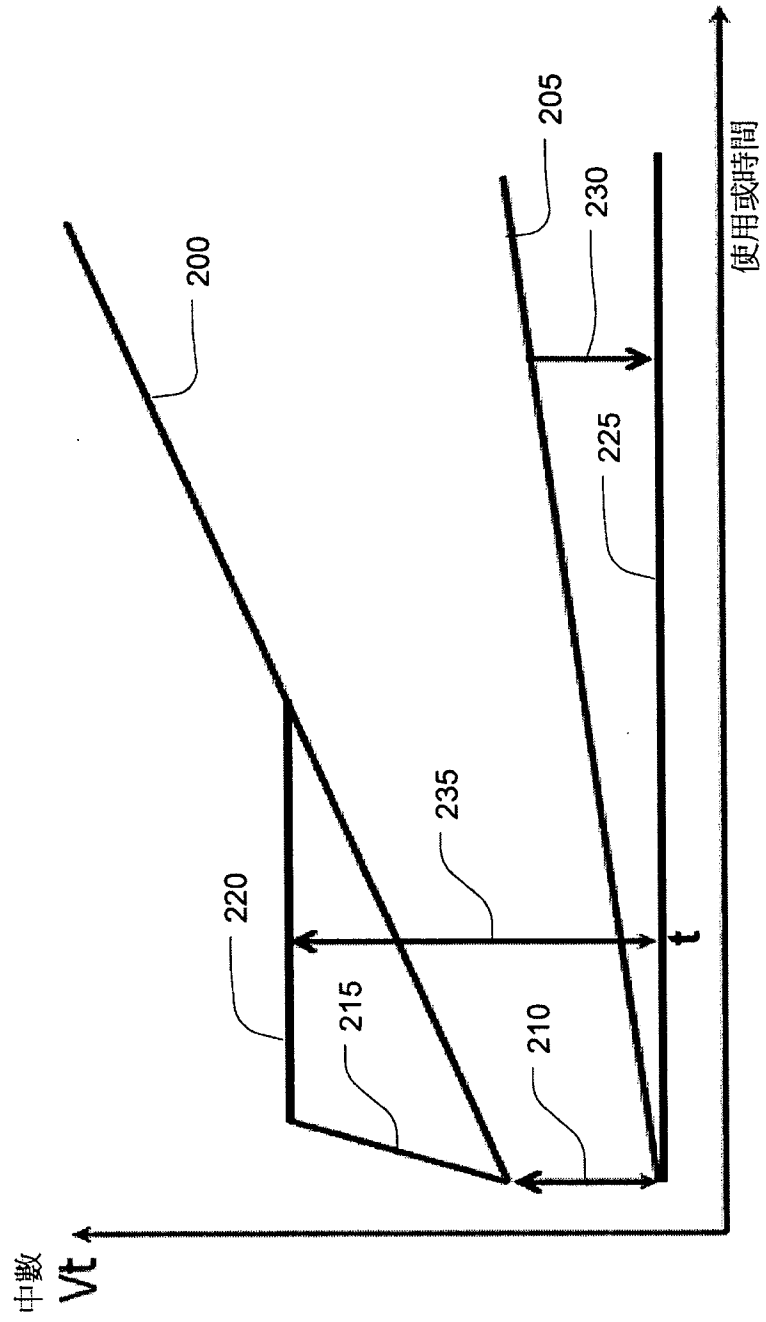


圖 2

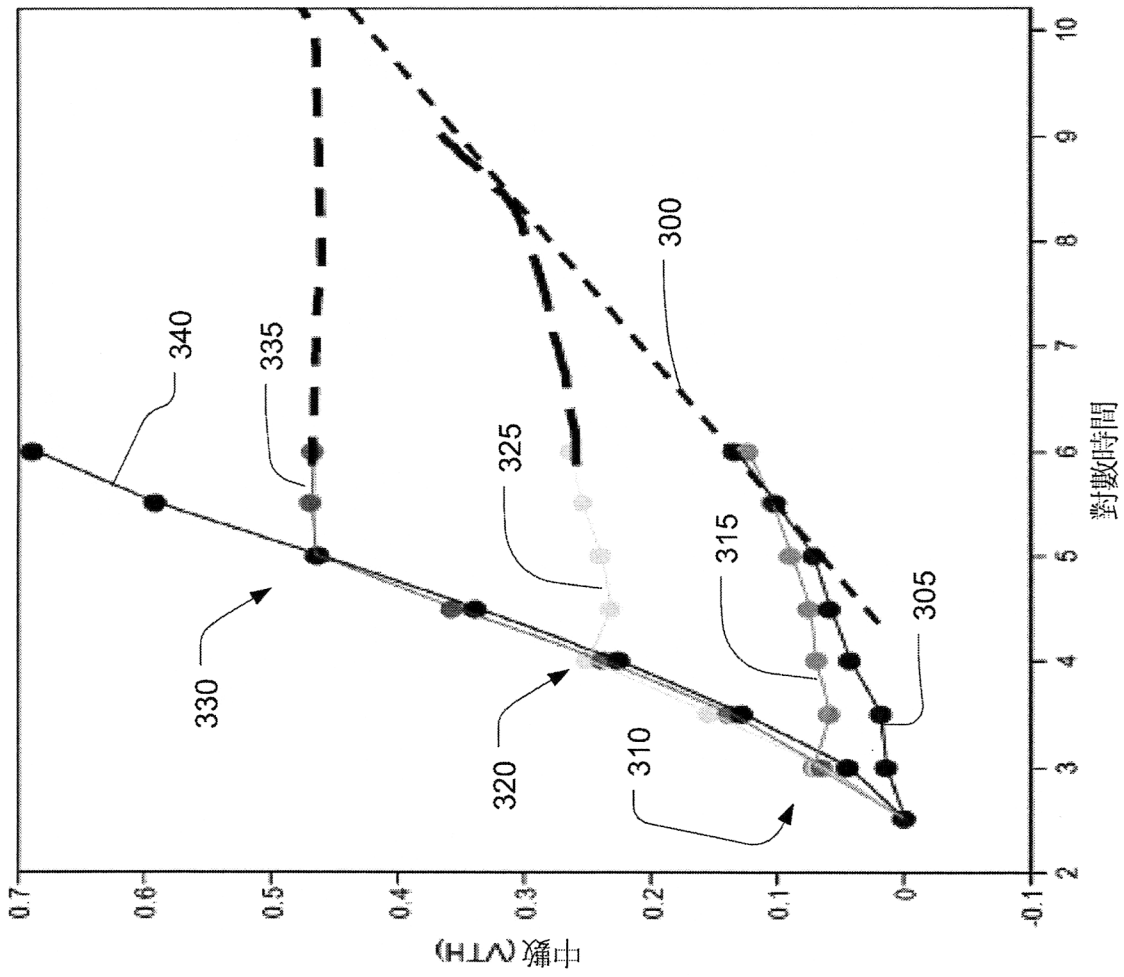


圖 3

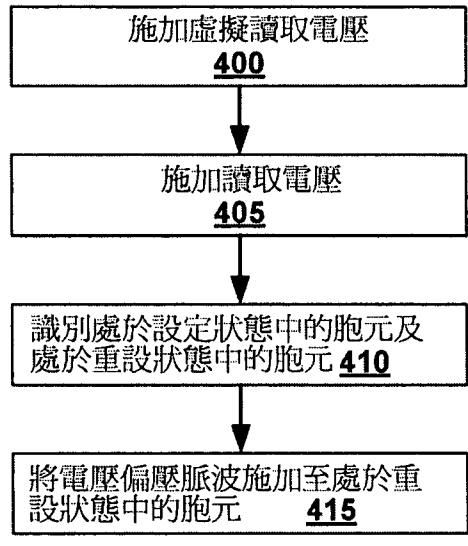


圖 4

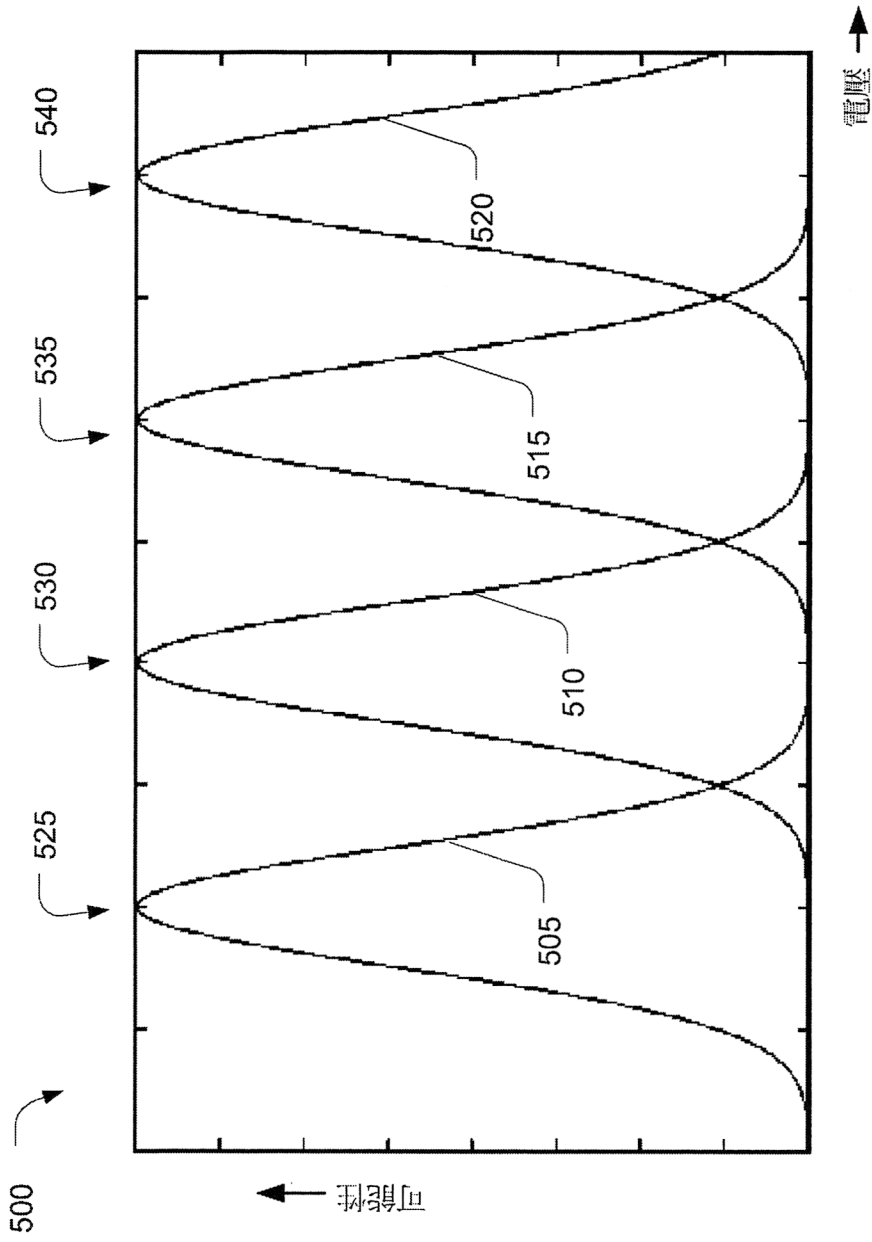


圖 5

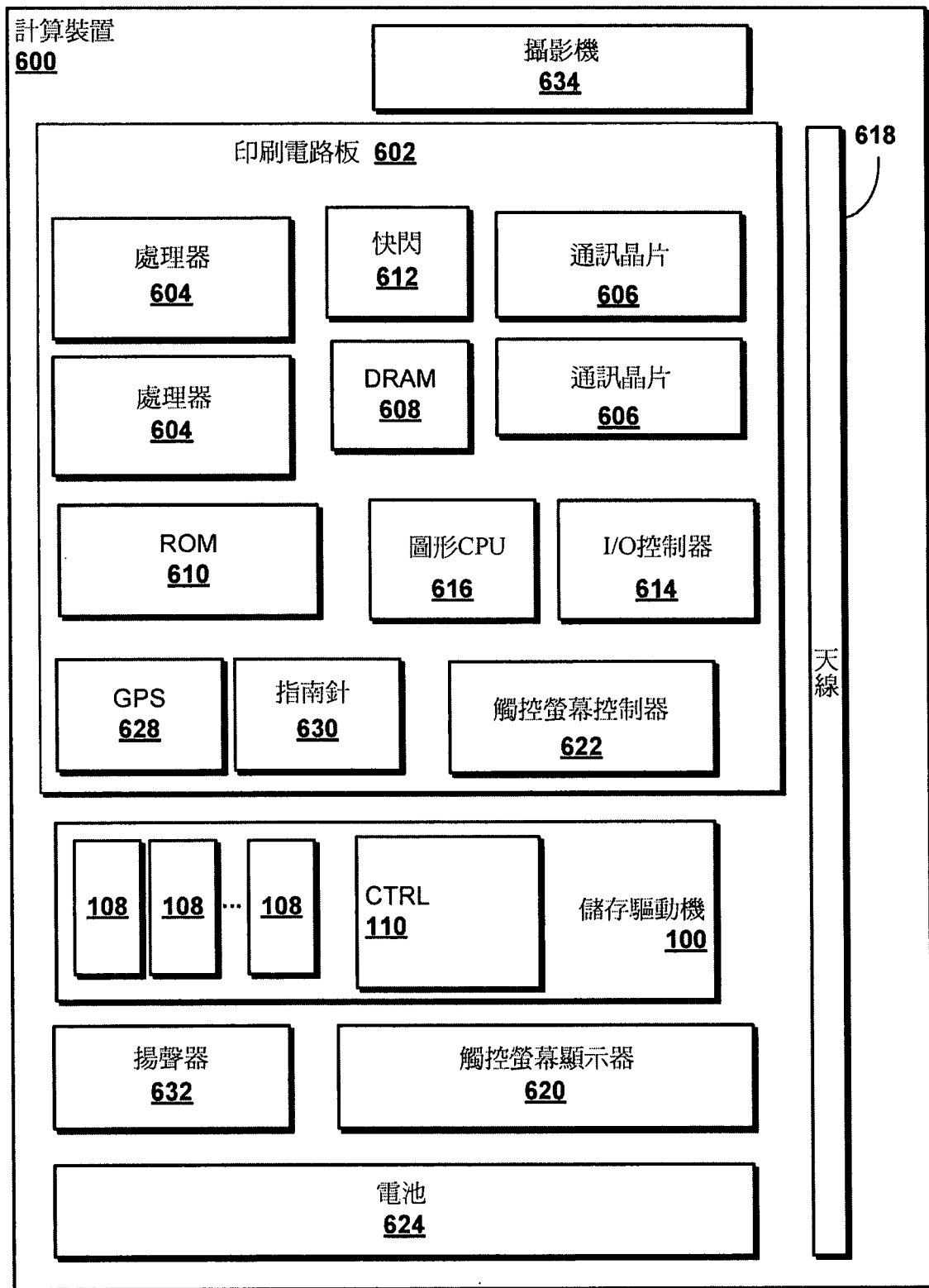


圖 6