

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年11月1日(2012.11.1)

【公開番号】特開2010-102700(P2010-102700A)

【公開日】平成22年5月6日(2010.5.6)

【年通号数】公開・登録公報2010-018

【出願番号】特願2009-218306(P2009-218306)

【国際特許分類】

G 06 F 17/50 (2006.01)

【F I】

G 06 F 17/50 6 5 4 M

G 06 F 17/50 6 5 4 R

G 06 F 17/50 6 6 8 M

【手続補正書】

【提出日】平成24年9月17日(2012.9.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

レジスタトランスマスファレルで機能回路が表現された第1の記述のうち、同期の単位回路を示す第2の記述をブロック化し、ブロック化された前記第2の記述を一つの階層として、前記第1の記述を階層化された第3の記述に変換する階層化手段と、

前記第3の記述の論理合成を行うことにより第1のネットリストを生成する第1の論理合成手段と、

前記第1のネットリストをもとに配置配線を行う第1の配置配線手段と、

前記ブロック化された前記第2の記述を非同期の前記単位回路を示す第4の記述に置換する第1の置換手段と、

前記第4の記述の論理合成を行うことにより第2のネットリストを生成する第2の論理合成手段と、

前記第2のネットリストをもとに配置配線を行う第2の配置配線手段と、

前記第2の配置配線手段により配置配線が行われた回路の計算を行う計算手段と、

前記計算手段での計算結果をもとに前記第1の配置配線手段により配置配線が行われた回路を選択的に前記第2の配置配線手段により配置配線が行われた回路に置換する第2の置換手段と、を有する機能回路の設計システム。

【請求項2】

請求項1において、

前記単位回路は、順序回路を有するカウンター回路である機能回路の設計システム。

【請求項3】

レジスタトランスマスファレルで機能回路が表現された第1の記述のうち、同期の単位回路を示す第2の記述を抽出し、ブロック化することにより、ブロック化した第2の記述を一つの階層として、前記第1の記述を階層化した第3の記述に変換し、

前記第3の記述の論理合成を行うことにより第1のネットリストを生成し、

前記第1のネットリストをもとに第1の配置配線処理を行い、

前記ブロック化した前記第2の記述を非同期の前記単位回路を示す第4の記述に置換し、

、

前記第4の記述の論理合成処理を行うことにより第2のネットリストを生成し、
前記第2のネットリストをもとに第2の配置配線処理を行い、
前記第2の配置配線処理が行われた回路の計算処理を行い、
前記計算処理での計算結果をもとに前記第1の配置配線処理が行われた回路を選択的に
前記第2の配置配線処理が行われた回路に置換する機能回路の設計方法。

【請求項4】

請求項3において、

前記第1の配置配線処理により前記第1の配置配線処理で配置配線が行われた回路のタイミング検証を行う機能回路の設計方法。

【請求項5】

請求項3または請求項4において、

前記計算処理により前記第2の配置配線処理で配置配線が行われた回路のタイミング検証を行う機能回路の設計方法。