

公告本

申請日期	89.5.16
案號	89109343
類別	G11C 29/00

A4
C4

(以上各欄由本局填註)

發明專利說明書 480494

一、發明 名稱	中文	半導體記憶體之測試方法及具有測試元件之半導體記憶體
	英文	Method for testing a semiconductor memory, and semiconductor memory with a test device
二、發明 創作人	姓名	威佛萊德戴恩 Wilferied Daehn
	國籍	德國
	住、居所	德國塞爾 D-29227 密特路 18C 號
三、申請人	姓名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81541 聖馬丁街 53 號
	代表人 姓名	1.諾伯特肯普福(Norbert Kempfle) 2.卻佛(Dr. Schäfer)

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 1999年5月18日 19922786.1號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(/)

本發明係關於半導體記憶體之測試方法，其中預定資料值被寫入記憶體單元，讀出並與已讀出之資料值比較，以便緩衝儲存比較結果於記憶體單元之另一部份，以用於之後之冗餘分析。本發明亦相關於具有測試裝置之半導體記憶體，此測試裝置控制記憶體測試。

爲了在製造半導體記憶體後檢查其功能，分別測試各個記憶體單元。有缺失的記憶體單元之後由冗餘記憶體單元所置換，以便建立完整之功能。在功能測試期間，一預定之資料值係寫入記憶體單元，並於後讀出，而與預定資料值比較。因爲在半導體晶片及自動測試機器之間之輸入及輸出頻帶構成一瓶頸，一直努力要確保最多的測試步驟在半導體晶片上執行，而不需要與自動測試機器溝通。

DE 197 25 581 A1 描述一測試半導體記憶體之方法，及測試對應半導體記憶體之方法，其中藉由比較寫入資料及記憶體第一區域之所要值而產生所謂之位元失敗圖。位元失敗圖係緩衝儲存於其他未受測試記憶體區域之三份半導體晶片中。在讀出期間，在位元失敗圖之每個測試結果之所有三份上做出比較，最常發生之值係被進一步使用。在位元失敗圖被處理之冗餘分析係用來決定那一個缺失記憶體單元係由冗餘記憶體單元置換，使得所有的缺失可以被刪除而記憶體是有功能的。

半導體記憶體之功能缺失通常不會均勻散佈於記憶體單元陣列，但是會沿矩陣型記憶體單元陣列之行或列來

五、發明說明(2)

累積。例如，假使位址解碼器中有一缺失，會造成由此缺失影響之字元線之所有記憶體單元不能再被存取。假使字元線之一被打斷，則不再能存取由該字元線定址之記憶體單元之一部份。假使字元線，指定至位元線之讀／寫放大器，或是解碼位元線之位址解碼器部份為有缺失的，則在連接於位元線之記憶體單元中，以一對應方式產生缺失。

即使位元失敗圖係複數地以描述於 DE 197 25 581 A1 之方法儲存於未測試之記憶體區域，仍有複數份位元失敗圖被干擾之危險，其之方式與沿列或行延伸之一致缺失相同。不論在位元失敗圖之讀出期間之主要決定，不正確的缺失資料係進一步被處理。冗餘記憶體單元之供應通常較早用盡。另一方面，缺失記憶體單元不被辨識。

本發明之一目的係指定一用於測試半導體記憶體之方法，其產生較可靠之測試結果。本發明之另一目的係指定具有測試裝置之半導體記憶體，此測試裝置控制測試序列。

與方法有關之目的係藉由根據申請專利範圍第 1 項之特徵之方法所達成。

與半導體記憶體有關之目的由根據申請專利範圍第 5 項之特徵之半導體記憶體來達成。

根據本發明之方法及半導體記憶體之重要在於欲被測試之記憶體單元係排列於第一記憶體銀行，而欲儲存於晶片之缺失資料係緩衝儲存於第二，其他記憶體銀行之

五、發明說明(3)

記憶體單元。這是基於一種想法：即記憶體銀行係記憶體區域，其可自主並獨立操作，使得在不同記憶體銀行之缺失亦為獨立。特別是，列與行缺失並不自記憶體銀行傳播至另一記憶體銀行。這是因為記憶體銀行具有位址解碼器及讀取／寫入放大器，其祇有存取這個記憶體銀行之記憶體單元。在一記憶體銀行之位元線及字元線祇在這個記憶體銀行延伸。假使在記憶體銀行之位元失敗圖之值由缺失損壞，通常可以假設在另一記憶體銀行之相同記憶體單元未有缺失。

假使位元失敗圖至少儲存三次，通常是奇數次，在各個不同的記憶體銀行，是特別有益的。在一記憶體銀行之一份位元失敗圖之損壞不會在另一記憶體銀行之相同位置發生。正確缺失資訊係由施加至對應值之大部份決定所獲得，對應值自欲被測試之相同記憶體單元產生，位元失敗圖之不同份數自不同的記憶體銀行。

不同的記憶體銀行操作不同。在傳統的記憶體結構中，不同的記憶體銀行可在相同的時序圖中同時接達。因此，一個接達循環可以儲存在不同記憶體銀行之複數份位元失敗圖。在位元失敗圖之儲存期間，可以在欲被測試之**記憶體銀行**中更進一步測試記憶體單元（或記憶體單元群組，根據測試之整合），其測試結果係在隨後之接達循環中之不同記憶體銀行中儲存。因為位元失敗圖係重覆性地決定，而讀寫係在測試方法中多次施行，因此與 DE 197 25 581 A1 之方法比較，增加了不少測試速

五、發明說明(4)

度。

圖式之簡單說明：

第 1 圖係根據本發明具有 4 個記憶體銀行及一測試裝置之半導體記憶體之方塊圖；

第 2 圖顯示指定給對應記憶體銀行之接達控制裝置之方塊圖；及

第 3 圖顯示具有從一記憶體銀行之相關詳細資料之精要。

顯示於第 1 圖中之半導體記憶體包含 4 個記憶體銀行 1,2,3,4。四個記憶體銀行對記憶體接達而言乃獨立操作。為了傳送資料至記憶體晶片或從記憶體晶片傳送資料，電路係連合地使用。在半導體記憶體被製造後，半導體記憶體之功能測試，提供控制測試序列之測試裝置 5。每一個記憶體銀行具有銀行選擇電路 11,21,31 及 41，其控制在記憶體銀行及測試裝置 5 之間之資料傳送，及在測試期間記憶體銀行之間的資料傳送。對此，測試裝置產生一信號 TMS，顯示半導體記憶體係在測試模式，及信號 BS，其包含兩個位元，並且是一銀行位址。更進一步地說，具有資料信號 A 之匯流排，其在測試記憶體銀行期間，負載欲寫入記憶體銀行之記憶體單元之資料值，及於隨後讀出之資料值。此外，尚具有信號 B 之匯流排，信號 B 包含三個位元，三個位元組成三份已測試記憶體單元之缺失資料項目。這個缺失資料由另外三個未被測試之記憶體銀行所讀入，或從那裡再一次讀出以

五、發明說明(5)

便進一步處理。

半導體記憶體之測試程序如下。首先，記憶體銀行 1 之記憶體單元係由一預設資料值所測試，此資料值係由信號 A 寫入每一個記憶體單元。被寫入之預設資料值再由記憶體單元讀出，作為信號 A，饋入測試裝置 5，並與之前寫入，預設資料值（作為想要值）比較。假使讀出之資料值及寫入之想要值相互對應，則可確定的是，對應記憶體單元之功能正常。此測試結果係在其他記憶體銀行 2,3,4 儲存三次，即在記憶體銀行 2,3,4 之對應記憶體單元，其相對位址對應於在記憶體銀行 1 被測試之記憶體單元之位址。比較結果係平行地緩衝儲存三次。這對記憶體銀行 1 之所有記憶體單元重覆執行，使得記憶體銀行 1 之記憶體單元陣列之缺失矩陣，被稱為位元失敗圖，亦存在於記憶體銀行 2,3,4 之情形中。隨著測試持續進行，倒轉之先前資料係用於欲被寫入記憶體銀行 1 之記憶體單元之預設資料值，位元失敗圖係由自每個記憶體銀行 2,3,4 讀出之位元失敗圖之先前值所更新，並在測試裝中 5 中，與新增缺失資訊 OR，並且被重新儲存。之後，使用測試程序，預設資料值可被寫入記憶體單元，隨後讀出並與預設值比較，以便進一步更新位元失敗圖。藉此決定了記憶體單元陣列 1 之缺失之特定類型。在測試結束時，包含於位元失敗圖之缺失資訊被更進一步處理，以便置換已在記憶體銀行 1 確定為缺失之記憶體單元（由其中之冗餘記憶體單元）。因此，緩衝儲存於

五、發明說明(6)

記憶體銀行 2,3,4 之三份位元失敗圖被讀出，並在測試裝置 5 中互相比較。在位元失敗圖之三份缺失資訊中最常出現的位元值被確定。此缺失資訊之資料值，由大部份決定，係饋入冗餘分析，其決定哪個記憶體單元由冗餘記憶體單元所置換。傳統上，各別記憶體單元不能被置換，祇有較大部份的行與列能被置換，使得冗餘分析實行所有的缺失記憶體單元由冗餘列及行之有限供應來修復。

當位元失敗圖係儲存於記憶體銀行 2,3,4 時，這些記憶體銀行尚未被測試，亦可能含有缺失記憶體單元。然而，如第 3 圖將更詳細地解釋一可以假設發生在記憶體銀行 2,3,4 之缺失乃是獨立而互無關聯的。因此，假使位元失敗圖之資料值係由儲存其之缺失記憶體單元所破壞，例如在記憶體銀行 2 中，則在記憶體銀行 3,4 中之位元失敗圖之另兩份資料值不會有缺失。位元失敗圖之正確資料值係由自儲存於記憶體銀行 2,3,4 之三份相關資料值中選擇最常發生之值來決定。

原理上，位元失敗圖能儲存一次於記憶體銀行中，而不是被測試的那個，以便達到測試可靠度之增加。測試之可靠度係如上述由複數，最好是奇數倍，至少是 3 份在不同記憶體銀行之位元失敗圖及之後之大多數決定所增加。

在測試開始時，所有的記憶體銀行仍未被測試而可能包含缺失記憶體單元。在第一記憶體銀行被測試及缺失

五、發明說明(7)

記憶體單元被修復後，尙未檢查修復是否是在任何缺失下執行，或冗餘記憶體單元是否能完全運作。因此，在下個記憶體銀行之測試期間，位元失敗圖最好能再一次緩衝儲存於其他三份之記憶體銀行中。

冗餘分析可在晶片外之自動測試機器中實施。因此，測試裝置 5，使用大多數決定，壓縮三份位元失敗圖以形成單一位元失敗圖，並輸出單一位元失敗圖至自動測試機器。對冗餘校正而言，自動測試機器控制雷射或程式化電流，稱爲熔絲之元件可由雷射或高電流程式化，係在晶片上被程式化，以便以冗餘記憶體單元置換缺失記憶體單元。另外一種方式係，冗餘分析可在測試裝置中，在晶片上被處理，使得祇有與欲置換之記憶體單元有關之資訊被輸出至自動測試機器。測試裝置 5 可以以一序列電路來實現，或是以一測試處理器之軟體或韌體形式來實現。

方塊選擇電路 11,21,31 及 41 其中之一係在第 2 圖中詳細顯示。方塊選擇電路係連接到對指定記憶體銀行 1,2,3 或 4 之資料信號之輸入及輸出 DQ。資料終端 DQ 係連接到多工器 12 之輸出及解多工器 B 之輸入，多工器之輸入及解多工器之輸出係連接到信號 A 之信號線及信號 B 之三位元 B1,B2,B3。多工器 12 及解多工器 13 係由信號 TMS 放在測試狀態。藉由銀行位址 BS 之兩個位元 B1,B2，多工器 12 及解多工器 13 係在對記憶體銀行之存取事件中被啓動。因此，銀行位址 BS1,BS2 係饋入至減法器 14。

五、發明說明(8)

減法器自銀行位址減去由裝置 15 提供之銀行之各別數目。假使銀行位址和銀行數目對應，減法器 14 決定值 0，使得記憶體銀行之資料終端 DQ 藉由多工器 12 及解多工器 13 連接到信號 A 之線。一預設資料值可以寫入記憶體銀行之記憶體單元，或者先前寫入之資料值可被讀出。假使減法器 14 確定銀行位址 BS 及銀行數目不同，記憶體銀行之資料終端 DQ 係經由多工器 12 及解多工器 13 連接到信號 B 之信號線 B1, B2 或 B3。位元失敗圖之值 B1, B2, B3 其中之一係寫入記憶體銀行，或自記憶體銀行讀出。除了由裝置 15 所提供之不同銀行數目之情況以外，相同的銀行選擇電路係用於所有四個記憶體銀行。

記憶體銀行之基本結構係示於第 3 圖。記憶體銀行包含排列成行及列之記憶體單元，其中記憶體單元 105 及 106 係由範例顯示。列可由字元線 WL 啓動。行由位元線選擇。相鄰之位元線 BL1, dBL1 係連接到讀／寫放大器 107。位元線之一，例如 BL1 負載以非反相型式儲存之資訊，而另一位元線，例如 dBL1，負載欲以反相型式儲存之資訊。讀／寫放大器 107 放大欲被寫入記憶體單元 105 或 106 之資料值，或欲自後者讀出之資料值。資料值最後經由對應之非反相收集線 LDQ 及反相收集線 dLDQ，及對應之多工器及驅動器切換至輸入及輸出線端 DQ。

在每個情況下之一字元線可由列解碼器 101 啓動。一位元線可由行解碼器 102 啓動。為了使冗餘記憶體單元置換缺失記憶體單元，區段 103 係提供於列解碼器，而

五、發明說明(9)

區段 104 則提供於行解碼器。存在於其中之熔係被程式化，使得一冗餘字元或位元線被選擇而取代一缺失字元或位元線。重要的是列及行解碼器祇可以啓動在記憶體銀行中延伸之字元線或位元線。一記憶體銀行之另一特徵係讀／寫放大器係僅連接於在記憶體銀行內延伸之位元線。

假使一缺失發生在字元線或位元線上，或在對應之解碼器或感測放大器上，雖然受影響之列或行之整個部份或一大部份不再能存取，但是列或行缺失僅在記憶體銀行內延伸。缺失不能在另一記憶體銀行中繼續，例如在對應之列或行中（以位址定位）。因此，在其他記憶體銀行之任何缺失可以被認為是與第一記憶體銀行中之缺失無關。假使在一份位元失敗圖之資料值係由在記憶體單元陣列中之缺失所破壞，則可以高機率假設對應之缺失並不在其他記憶體銀行之對應位置上發生，因此，位元失敗圖之資料值並不在那兒發生。在記憶體銀行中之位元失敗圖之儲存（正被測試者除外）會增加記憶體測試之可靠度。特別有益的是，假使位元失敗圖係緩衝儲存於不同的記憶體銀行三次，則在位元失敗圖之讀出期間，在三份中以高機率出現之資料值被更進一步處理。

符號說明

1, 2, 3, 4... 記憶體銀行

5... 測試裝置

11, 21, 31, 41... 銀行選擇電路

五、發明說明(10)

12... 多工器

13... 解多工器

14... 減法器

101... 列解碼器

102... 行解碼器

105,106... 記憶體單元

107... 讀 / 寫放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體記憶體之測試方法及具有測試元件之半導體記憶體)

爲了測試半導體記憶體，由一預設資料值(A)產生位元失敗圖，預設資料值(A)被寫入記憶體單元，並於隨後讀出並與寫入之資料值比較。位元失敗圖係緩衝儲存於半導體記憶體上，於非被測試之記憶體銀行(2,3,4)(被測試記憶體爲(1))。這種測試方法較爲可靠，因爲在不同的記憶體銀行(1,...,4)之缺失可以相互無關。有益的是位元失敗圖三次儲存於不同記憶體銀行(2,3,4)且在讀出期間做出大多數的決定。

英文發明摘要(發明之名稱： Method for testing a semiconductor memory, and semiconductor memory with a test device)

In order to test a semiconductor memory, a bit fail map is generated by a predetermined data value (A) being written to memory cells and subsequently read out and compared with the data value that has been written. The bit fail map is buffer-stored on the semiconductor memory in a memory bank (2, 3, 4) other than the one (1) currently being tested. The test method is more reliable since defects in different memory banks (1, ..., 4) can be regarded as independent of one another. It is advantageous for the bit fail map to be stored three times in different memory banks (2, 3, 4) and for a majority decision to be taken during read-out.

六、申請專利範圍

1. 一種測試半導體記憶體之方法，其中預設資料值(A)被寫入至半導體記憶體之記憶體單元之第一部份(1)之記憶體單元(105,106)，而被寫入之資料值(A)被讀取並與預設資料值(A)比較，以便決定比較結果之資料值(B)，其中比較結果之資料值(B)係緩衝儲存於半導體記憶體之記憶體單元之另一部份(2)中之記憶體單元，而其中之比較結果之儲存資料值(B)係再一次被讀出以便實施冗餘分析，其中記憶體單元之第一部份之缺失記憶體單元係由冗餘記憶體單元所置換，其特徵在於：記憶體單元之第一部份(1)及其他部份(2)係排列在記憶體之不同記憶體銀行(1,2)內。
2. 如申請專利範圍第1項之方法，其特徵在於：比較結果之資料值(B;B1,B2,B3)係平行儲存於不同記憶體銀行(2,3,4)之至少三個記憶體單元。
3. 如申請專利範圍第2項之方法，其特徵在於：平行儲存之比較結果之至少三個資料值(B1,B2,B3)被選出，而單一資料值係從大多數決定而決定，該單一資料值被饋入冗餘分析。
4. 如申請專利範圍第1至第3項中任一項之方法，其特徵在於：

每一個記憶體銀行(1,2,3,4)包含一位址解碼器(101,102)，用於選取記憶體單元(105,106)藉由此位址解碼器僅可選取該記憶體銀行之記憶體單元。
5. 一種半導體記憶體，包含：

六、申請專利範圍

至少兩個記憶體銀行(1,2,3,4)，具有記憶體單元(105,106)，

一測試裝置(5)，其可以執行半導體記憶體之測試之控制，使得一預設資料值(A)可以寫入至第一記憶體銀行(1)之記憶體單元(105,106)，且被寫入之資料值(A)可以被讀出並與預設資料值(A)比較，以便決定比較結果之資料值(B)，比較結果之資料值(B;B1,B2,B3)可以緩衝儲存於第二記憶體銀行(2,3,4)之記憶體單元，而比較結果之儲存資料值(B;B1,B2,B3)可以被讀出以便執行一冗餘分析，其中第一記憶體銀行之缺失記憶體單元係由冗餘記憶體單元所置換。

6. 如申請專利範圍第 5 項之半導體記憶體，其特徵在於：

每一個記憶體銀行(1,2,3,4)包含位址解碼器(101, 102)，用於選取記憶體單元(105,106)，藉由此位址解碼器，僅有該記憶體銀行之記憶體單元可被選取。
7. 如申請專利範圍第 6 項之半導體記憶體，其特徵在於：

提供至少三個記憶體單元(2,3,4)，每一個皆包含記憶體單元，並且測試裝置被設計成使比較結果之資料值(B;B1,B2,B3)可以平行儲存於三個記憶體銀行(2,3,4)之對應記憶體單元。
8. 如申請專利範圍第 7 項之半導體記憶體，其特徵在於：

測試裝置(5)係設計成使得，可自比較結果之資料值(B;B1,B2,B3)，其係自不同的記憶體銀行(2,3,4)讀出，藉由大多數決定來決定單一資料值，以便饋入該單一

六、申請專利範圍

資料值至冗餘分析。

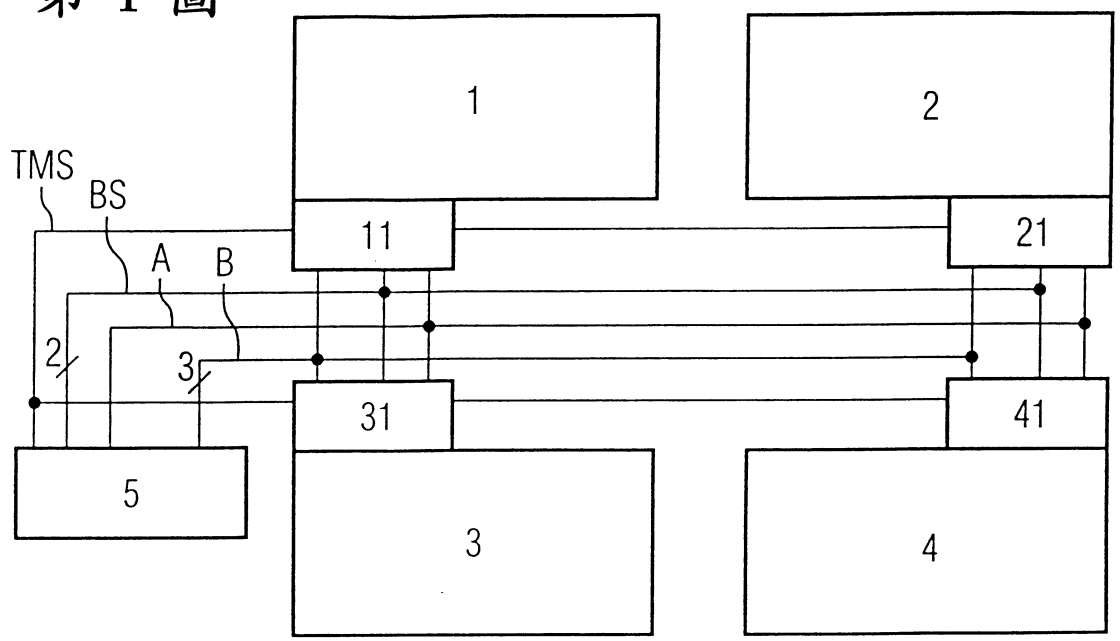
- 9/ 如申請專利範圍第 5 至 8 項中任一項之半導體記憶體，其特徵在於：

每一個記憶體銀行(1,2,3,4)皆被指派一個轉換裝置(11,21,31,41)，包含多工器(12)及解多工器(13)，在於選擇記憶體銀行(1,2,3,4)之對應位址(BS;BS1,BS2)可被饋入轉換裝置(11,21,31,41)，在於在每一個情況中，多工器(12)之輸出及解多工器(13)之輸入係連接至記憶體銀行之資料信號之終端(DQ)，在於多工器(12)之輸入及解多工器(13)之輸出係在每一情況中連接至欲儲存之預設資料值之一信號線及欲被讀出之資料值(A)，並連接至欲被寫入及讀出之比較結果之資料值(B;B1,B2,B3)之信號線。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

第 1 圖



第 2 圖

