

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷

G09G 3/36
G09G 3/30
G11C 19/28
H03K 23/44

(11) 공개번호 10-2005-0121357
(43) 공개일자 2005년12월27일

(21) 출원번호 10-2004-0046456
(22) 출원일자 2004년06월22일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김성만
서울특별시 송파구 신천동 장미아파트 30동 508호
이종환
경기도 안양시 동안구 달안동 셋별아파트 602동 1705호
허명구
경기도 안양시 동안구 관양2동 인덕원삼성아파트 102동 1004호
강승재
경기도 수원시 팔달구 망포동 현대아이파크아파트 106동 1103호
김범준
서울특별시 서초구 양재동 82-13 (16/2)

(74) 대리인 박영우

심사청구 : 없음

(54) 쉬프트 레지스터와, 이를 갖는 스캔 구동 회로 및 표시 장치

요약

쉬프트 레지스터와, 이를 갖는 스캔 구동 회로 및 표시 장치가 개시된다. 스테이지는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부와, 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부와, 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 충전부에 충전됨에 따라 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부와, 다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부와, 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함한다. 이에 따라, 표시패널의 스캔 라인을 순차적으로 액티브시키는 스캔 신호를 출력한 후 발생하는 리플 파형의 악영향을 최소화할 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 본 발명의 비교예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 2는 쉬프트 레지스터의 동작을 설명하기 위한 개략도이다.

도 3은 도 1의 쉬프트 레지스터의 단위 스테이지의 출력신호 파형이다.

도 4는 도 1의 쉬프트 레지스터의 단위 스테이지에서 트랜지스터(TFT55)의 제거시 Q-노드(NQ)를 통해 발생하는 리플을 도시한 파형도이다.

도 5는 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 6은 도 5에 의한 리셋 TFT를 적용한 신호 파형도이다.

도 7은 본 발명의 제1 실시예에 따른 리플 파형도이다.

도 8은 본 발명의 비교예에 따른 리플 파형도이다.

도 9는 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 10은 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 11은 본 발명의 제4 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 12는 본 발명의 제5 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 13은 본 발명의 실시예에 따른 스캔 구동 회로를 갖는 액정 패널을 설명하기 위한 도면이다.

도 14는 본 발명의 실시예에 따른 액정 표시 장치를 설명하기 위한 도면이다.

<도면의 주요부분에 대한 부호의 설명>

110 : 버퍼부 120 : 충전부

130 : 구동부 140 : 방전부

150 : 제1 홀딩부 170 : 캐리부

160, 260, 360, 460, 560, 660 : 제2 홀딩부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 쉬프트 레지스터와, 이를 갖는 스캔 구동 회로 및 표시 장치에 관한 것이다.

일반적으로 원가 절감 요구와 내로우 베젤(Narrow Bezel)의 시장 요구에 부응하기 위해 데이터 드라이버 IC나 게이트 드라이버 IC를 액정 패널에 집적화하려는 노력이 이루어지고 있다. 상기한 집적화를 구현하기 위해서는 아몰퍼스-실리콘 박막 트랜지스터(이하, a-Si TFT)로 이루어지는 스캔 구동 회로를 회로적으로 단순화할 필요가 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 표시패널의 스캔 라인을 순차적으로 액티브 시키는 스캔 구동 회로에 채용되어 리플 파형의 발생을 최소화하기 위한 쉬프트 레지스터를 제공하는 것이다.

또한, 본 발명의 다른 목적은 상기한 쉬프트 레지스터를 갖는 스캔 구동 회로를 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 상기한 쉬프트 레지스터를 갖는 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위하여, 본 발명의 실시예에 따른 쉬프트 레지스터에는 복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들의 출력신호들을 순차적으로 출력하고, 제1 클럭과 제2 클럭중 적어도 하나 이상이 상기 스테이지들에 제공된다. 상기 각 스테이지는 상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부와, 상기 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부와, 상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 상기 충전부에 충전됨에 따라 상기 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부와, 다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부와, 상기 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 상기 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함한다.

상기한 본 발명의 다른 목적을 실현하기 위하여, 본 발명의 실시예에 따른 스캔 구동 회로에는 복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들의 출력신호들을 순차적으로 출력하고, 제1 클럭과 제2 클럭이 상기 스테이지들에 제공된다. 상기 각 스테이지는 상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부와, 상기 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부와, 상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 상기 충전부에 충전됨에 따라 상기 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부와, 다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부와, 상기 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 상기 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함한다.

상기한 본 발명의 또 다른 목적을 실현하기 위하여, 본 발명의 실시예에 따른 표시 장치는 기판 상에 형성된 표시 셀 어레이 회로와 스캔 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 스캔 라인들을 포함하며, 각 표시 셀 회로는 대응하는 데이터 및 스캔 라인 쌍에 연결된다. 상기 스캔 구동회로는 복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들의 출력신호에 의해 상기 복수의 스캔 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고, 상기 스테이지들에는 제1 클럭 및/또는 제2 클럭이 제공된다. 상기 각 스테이지는 상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부와, 상기 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부와, 상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 상기 충전부에 충전됨에 따라 상기 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부와, 다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부와, 상기 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 상기 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함한다.

이러한 쉬프트 레지스터와, 이를 갖는 스캔 구동 회로 및 표시 장치에 의하면, 표시패널의 스캔 라인을 순차적으로 액티브 시키는 스캔 신호를 출력한 후 발생하는 리플 파형의 악영향을 최소화할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다. 설명의 편의와 본 발명의 요지를 부각시키기 위해 먼저 비교예에 대해서 설명한다.

도 1은 본 발명의 비교예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다.

도 1을 참조하면, 단위 스테이지(100)는 버퍼부(110), 충전부(120), 구동부(130), 방전부(140), 제1 홀딩부(150), 제2 홀딩부(160) 및 캐리부(170)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 캐리신호를 근거로 스캔 신호(또는 주사 신호)를 출력한다.

버퍼부(110)는 드레인(또는 제1 전류 전극)과 게이트(또는 제어 전극)가 공통되어, 제1 입력신호(IN1)를 공급받고, 소오스(또는 제2 전류 전극)가 충전부(120)의 일단에 연결된 트랜지스터(Q1)로 이루어져, 이전 스테이지로부터 공급되는 캐리신

호를 제1 입력신호(IN1)로 정의하여 소오스에 연결된 충전부(120), 구동부(130), 방전부(150) 및 홀딩부(160)에 게이트 온 전압(VON)을 공급한다. 만일, 상기 단위 스테이지가 첫 번째 스테이지라면 상기 제1 입력신호(IN1)는 스캔개시신호(STV)이다.

충전부(120)는 일단이 상기 트랜지스터(Q1)의 소오스와 방전부(140)에 연결되고, 타단이 구동부(130)의 출력단자(OUT)에 연결된 캐패시터(C1)로 이루어진다.

구동부(130)는 드레인이 클럭단자(CK)에 연결되고, 게이트가 Q-노드(NQ)를 경유하여 캐패시터(C)의 일단에 연결되며, 소오스가 캐패시터(C)의 타단 및 출력단자(OUT)에 연결된 트랜지스터(Q2)와, 드레인이 트랜지스터(Q2)의 소오스 및 캐패시터(C)의 타단에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결된 트랜지스터(Q3)로 이루어진다. 이때 트랜지스터(Q2)의 드레인에는 단위 스테이지가 홀수번째 스테이지라면 클럭단자(CK)에는 제1 클럭(CKV)이 입력되고, 짝수번째 스테이지라면 클럭단자(CK)에는 제1 클럭(CKV)과는 위상이 반대인 제2 클럭(CKVB)이 입력된다. 상기 트랜지스터(Q2)는 풀-업 기능을 수행하고, 트랜지스터(Q3)는 풀-다운 기능을 수행한다.

방전부(140)는 트랜지스터(Q51)와 트랜지스터(Q52)로 이루어져, 제2 입력신호(IN2)에 응답하여 캐패시터(C)에 충전된 전하를 소오스를 통해 제1 전원전압(VOFF) 단으로 제1 방전하고, 마지막 스캔 신호(GOUT_LAST)에 응답하여 캐패시터(C)에 충전된 전하를 소오스를 통해 제1 전원전압(VOFF) 단으로 제2 방전한다.

구체적으로, 트랜지스터(Q51)는 드레인이 캐패시터(C1)의 일단에 연결되고, 게이트가 제2 입력신호(IN2)에 연결되며, 소오스가 상기 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q52)는 드레인이 캐패시터(C)의 일단에 연결되고, 게이트가 마지막 스캔 신호(GOUT_LAST)에 연결되며, 소오스가 상기 제1 전원전압(VOFF)에 연결된다. 상기 제2 입력신호(IN2)는 일종의 리셋 신호로서, 다음 스테이지의 게이트 온 신호(VON)인 것이 바람직하다.

제1 홀딩부(150)는 다수의 트랜지스터들(Q31, Q32, Q33, Q34)과, 다수의 캐패시터들(C2, C3)로 이루어져, 제2 홀딩부(360)의 동작을 온/오프 제어한다.

구체적으로, 트랜지스터(Q31)는 드레인과 게이트가 공통되어, 클럭단자(CK)에 연결된다. 트랜지스터(Q32)는 드레인이 클럭단자(CK1)에 연결되고, 게이트가 트랜지스터(Q31)의 소오스에 연결되며, 소오스가 제2 홀딩부(360)에 연결된다. 캐패시터(C2)의 일단은 트랜지스터(Q32)의 드레인에, 타단은 트랜지스터(Q32)의 게이트에 연결된다. 캐패시터(C3)의 일단은 트랜지스터(Q32)의 게이트에, 타단은 트랜지스터(Q32)의 소오스에 연결된다. 트랜지스터(Q33)는 드레인이 트랜지스터(Q31)의 소오스 및 트랜지스터(Q32)의 게이트에 연결되고, 게이트가 출력단자(OUT)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q34)는 드레인이 트랜지스터(Q32)의 소오스 및 제2 홀딩부(360)에 연결되고, 게이트가 출력단자(OUT)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다.

제2 홀딩부(160)는 다수의 트랜지스터들(Q53, Q54, Q55, Q56)로 이루어져, 출력-노드(NO)가 플로팅되는 것을 방지한다. 즉, 제2 홀딩부(160)는 출력단자(OUT)가 하이레벨일 때 오프 상태를 유지하여 홀드 동작을 수행한다.

구체적으로, 트랜지스터(Q53)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제1 홀딩부(350)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q54)는 드레인이 제1 입력신호(IN1)에 연결되고, 게이트가 제2 클럭단자(CK2)에 연결되며, 소오스가 캐패시터(C)의 일단에 연결된다. 트랜지스터(Q55)는 드레인이 트랜지스터(Q54)의 소오스 및 캐패시터(C)의 일단에 연결되고, 게이트가 제1 클럭단자(CK1)에 연결되며, 소오스가 출력단자(OUT)에 연결된다. 트랜지스터(Q56)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 트랜지스터(Q54)의 게이트와 공통하여 제2 클럭단자(CK2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제1 클럭단자(CK1)에 인가되는 제1 클럭(CKV)과 제2 클럭단자(CK2)에 인가되는 제2 클럭(CKVB)은 서로 반대 위상을 갖는다.

트랜지스터(Q32, Q34)는 출력단자(OUT)가 하이레벨일 때만 트랜지스터(Q53)의 게이트를 제1 전원전압(VOFF)으로 풀-다운하는 동작을 수행한다.

출력신호가 로우일 때, 제1 클럭(CKV)과 동기되는 컨트롤 전압이 트랜지스터(Q32)를 통해 트랜지스터(Q53)의 게이트에 전달된다. 트랜지스터(Q32)의 게이트 전압은 출력단자(OUT)가 하이레벨일 때만 제외하고 제1 클럭(CKV)의 하이레벨 전압에서 트랜지스터(Q31)의 문턱 전압만큼 작은 전압이 된다.

즉, 트랜지스터(Q32)는 출력단자(OUT)가 하이레벨일 때만 제외하고 제1 클럭(CKV)과 동기되는 컨트롤 전압을 트랜지스터(Q53)의 게이트로 전달할 수 있게 된다.

그리고 제2 클럭(CKVB)이 하이레벨일 때 상기 레지스터 출력단자(OUT)는 로우 레벨이므로 트랜지스터(Q56)는 제2 클럭(CK2)에 의해 출력단자(OUT)를 제1 전원전압(VOFF)으로 홀딩하는 동작을 수행한다.

캐리부(170)는 트랜지스터(Q6)로 이루어져, 상기 출력단자(OUT)와 전기적으로 분리된 상기 제1 클럭단자(CK1)를 통해 상기 제1 클럭(CKV)을 입력받고, Q-노드(NQ)가 액티브됨에 따라 턴-온되어 클럭(CK1)을 다음 스테이지의 캐리-노드(NC)에 공급한다. 따라서, 상기 출력단자(OUT)의 전위가 변화하더라도, 상기 캐리부(170)는 상기 제1 클럭(CKV)을 상기 캐리신호로써 출력할 수 있다. 다시 말하면, 상기 신호선들의 단락에 의해서 특정 게이트 라인에 제공되는 게이트 신호가 왜곡되더라도, 상기 캐리신호는 정상적으로 출력된다.

상술한 바와 같이, 상기 각 스테이지의 캐리신호는 다음 스테이지에 입력신호로써 제공된다. 따라서, 특정 스테이지로부터 출력된 게이트 신호가 왜곡되더라도 캐리신호는 정상적으로 출력되므로 다음 스테이지의 게이트 신호는 왜곡되지 않는다. 이로써, 특정 스테이지의 불량으로 인해서 상기 게이트 구동부 전체를 교체함으로써 발생하는 경제적 손실을 감소시킬 수 있다.

이처럼, 게이트 오프 신호(VOFF)와 두 개의 클럭(CK1, CK2)이 모든 스테이지에 인가되는 조건하에서 시간대별로 구동되는 경로를 첨부하는 도 2를 이용하여 설명한다.

먼저, 1H 시간(또는 첫 번째 게이트 라인(GL1)을 액티브시키는 시간)에 스캔개시신호(STV)가 첫 번째 스테이지(STG-1)에 인가됨에 따라, 첫 번째 스테이지(STG-1)의 Q-노드(NQ)는 충전된다. 상기 1H 시간은 하기하는 수학식 1에 의해 정의된다.

$$\text{수학식 1} \\ 1H \text{ time} = \left(\frac{1}{f} \right) E \left(\frac{1}{\text{게이트 라인의 주}} \right)$$

예를들어, 구동 주파수가 60Hz이고, 해상도가 XGA(1024*768)라면, 1H의 시간은 $1/60 * 1/768 = 21.7\mu s$ 이다.

이어, 2H 시간에 제1 게이트 라인(GL1)에는 게이트 온 신호(Von)와 제2 캐리신호가 동시에 출력되고, 제2 스테이지(STG-2)의 Q-노드(NQ)는 충전된다.

이어, 3H 시간에 제2 게이트 라인(GL2)에는 게이트 온 신호(Von), 제3 캐리신호 및 리셋 신호가 동시에 출력되어, 제3 스테이지(STG-3)의 Q-노드(NQ)는 충전되고, 제1 스테이지(STG-1)의 Q-노드(NQ)와 제1 게이트 라인(GL1)을 동시에 리셋시킨다.

이어, 4H 시간에 제3 게이트 라인(GL3)에는 게이트 온 신호(Von), 제4 캐리신호 및 리셋 신호가 동시에 출력되어, 제4 스테이지(STG-4)의 Q-노드(NQ)는 충전되고, 제2 스테이지(STG-2)의 Q-노드(NQ)와 제2 게이트 라인(GL2)을 동시에 리셋시킨다.

이처럼, 쉬프트 레지스터의 단위 스테이지를 통해 게이트 라인으로 게이트 온 신호(Von)가 출력된 이후, 게이트 오프(VOFF) 레벨로 리셋시키는 리셋 역할과 원하지 않은 시간에 원하지 않는 신호의 출력을 차단하기 위해 단위 스테이지의 여러 노드들, 즉, 캐리-노드(NC), Q-노드(NQ) 및 출력-노드(NO)가 게이트 오프 상태로 유지하는 리플 제어 역할은 중요하다.

상기 리셋 역할을 위해서 구동부(130)의 풀-다운 트랜지스터(Q3)는 다음 스테이지에 대응하는 게이트 라인에 게이트 온 신호(Von)가 출력됨에 따라, 상기 게이트 온 신호(Von)를 이용하여 출력-노드(NO)의 게이트 온 레벨을 오프 레벨로 변환시킨다. 또한, 트랜지스터(Q51)는 다음 스테이지에 대응하는 게이트 라인에 게이트 온 신호(Von)가 출력됨에 따라, 상기 게이트 온 신호(Von)를 이용하여 Q-노드(NQ)의 게이트 온 레벨을 오프 레벨로 변환시킨다.

상기 리플 제어 역할과 관련해서는 클럭 전압에 의해 구동부(130)의 풀-업 트랜지스터(Q2)가 턴-오픈되어 발생하는 리플을 제어하는 것이 중요하다.

즉, 제2 홀딩부(160)의 트랜지스터(Q53, Q56)는 출력-노드(NO)가 플로팅 상태가 아닌 오프 상태로 유지하는 역할을 담당하고, 제2 홀딩부(160)의 트랜지스터(Q55)는 Q-노드(NQ)가 플로팅 상태가 아닌 오프 상태로 유지하는 역할을 담당하

며, 제2 홀딩부(160)의 트랜지스터(Q54, Q52)가 캐리-노드(NC)를 플로팅 상태가 아닌 오프 상태로 유지하는 역할을 담당한다. 상기 방전부(140)의 트랜지스터(Q52)는 마지막 스테이지의 캐리신호에 의해 채널이 턴-온된다. 상기 마지막 스테이지는 최종 게이트 라인에 대응하는 최종 스테이지의 후단에 배치된 더미 스테이지이다.

도 3은 도 1에 도시된 쉬프트 레지스터의 단위 스테이지의 출력신호 파형이다.

도 3에 도시된 바와 같이, 스캔개시신호(STV)가 로우레벨(대략 -10V)에서 하이레벨(대략 20V)로 천이됨에 따라, Q-노드(NQ)에는 제1 레벨의 전압(대략 18V)이 충전된다. 상기 스캔개시신호(STV)가 상기 하이레벨에서 상기 로우레벨로 천이됨에 따라, 상기 Q-노드(NQ)에는 상기 제1 레벨보다 큰 제2 레벨의 전압(대략 50V)이 충전되어, 출력단자(GOUT)를 통해 출력전압(대략 20V)을 출력한다.

상술한 바와 같이, 리플을 제어하기 위해서는 Q-노드(NQ)의 상태가 중요하다. 상기 Q-노드(NQ)의 리플을 제어하는 트랜지스터(Q55)를 제거하면, 도 4와 같이 리플 전압이 도 3에 도시된 리플 전압보다 크게 발생한다.

도 4는 도 1에 도시된 쉬프트 레지스터의 단위 스테이지에서 트랜지스터(TFT55)의 제거시 Q-노드(NQ)를 통해 발생하는 리플을 도시한 파형도이다.

도 3에서는 리플 전압의 발생 간격이 미세하였으나, 도 4에서는 스캔개시신호나 출력신호의 펄스 폭만큼 발생되고, 이러한 리플 전압에 의해 화면 이상 현상이 발생된다.

그러면, 이하에서는 Q-노드(NQ)와 캐리-노드(NC)의 리플 파형을 제어하는 새로운 트랜지스터를 구비하는 쉬프트 레지스터를 제안한다.

도 5는 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다. 특히 트랜지스터(Q57)의 소오스-드레인으로 Q-노드(NQ)와 제1 전원전압(VOFF)을 연결하고, 게이트를 인버터-노드(NI)에 연결시킨 예이다.

도 5를 참조하면, 단위 스테이지(200)는 버퍼부(110), 충전부(120), 구동부(130), 방전부(140), 제1 홀딩부(150), 제2 홀딩부(260) 및 캐리부(170)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 캐리신호를 근거로 스캔 신호(또는 주사 신호)를 출력한다. 상기한 도 1과 비교할 때 동일한 구성요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다.

제2 홀딩부(260)는 다수의 트랜지스터들(Q53, Q54, Q56, Q57)로 이루어져, 출력-노드(NO)가 플로팅되는 것을 방지한다. 즉, 제2 홀딩부(260)는 출력단자(OUT)가 하이레벨일 때 오프 상태를 유지하여 홀드 동작을 수행한다.

구체적으로, 트랜지스터(Q53)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제1 홀딩부(350)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q54)는 드레인이 제1 입력신호(IN1)에 연결되고, 게이트가 제2 클럭단자(CK2)에 연결되며, 소오스가 캐패시터(C)의 일단에 연결된다. 트랜지스터(Q56)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 트랜지스터(Q54)의 게이트와 공통하여 제2 클럭단자(CK2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제1 클럭단자(CK1)에 인가되는 제1 클럭(CKV)과 제2 클럭단자(CK2)에 인가되는 제2 클럭(CKVB)은 서로 반대 위상을 갖는다. 트랜지스터(Q57)는 드레인이 Q-노드(NQ)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결되며, 게이트가 인버터-노드(NI)에 연결된다. 상기 인버터-노드(NI)는 트랜지스터(Q32)와 트랜지스터(Q34)간의 노드이다.

상술한 본 발명의 제1 실시예에 따르면, Q-노드(NQ)와 제1 전원전압(VOFF)을 트랜지스터(Q57)의 소오스-드레인으로 연결하고, 게이트를 인버터-노드(NI)에 연결시키는 구조를 도시하였다.

인버터-노드(NI)에 인가되는 파형은 해당 스테이지가 출력전압(Von)을 출력하는 시간에서만 오프 상태이고, 나머지 시간에는 클럭과 거의 동일하게 스위칭을 하기 때문에, Q-노드(NQ)의 리플을 제어할 수 있다. 즉, 출력-노드(NO)의 리플을 담당하는 트랜지스터(Q3)와 동일하게 인버터-노드(NI)를 게이트로 사용하기 때문에, 동시에 출력-노드(NO)와 인버터-노드(NI)를 제어할 수 있다.

도 6은 도 5에 대응하는 신호 파형도이다. 특히, 스캔개시신호(STV)의 입력에 따라, Q-노드(NQ)의 전압과 출력-노드(NO)의 전압을 도시한다.

도 6에 도시된 바와 같이, 스캔개시신호(STV)가 로우레벨(대략 -10V)에서 하이레벨(대략 20V)로 천이됨에 따라, Q-노드(NQ)에는 제1 레벨의 전압(대략 18V)이 충전된다.

상기 스캔개시신호(STV)가 상기 하이레벨에서 상기 로우레벨로 천이됨에 따라, 상기 Q-노드(NQ)에는 상기 제1 레벨보다 큰 제2 레벨의 전압(대략 50V)이 충전되고, 이어 출력단자(GOUT)를 통해 출력전압(대략 20V)이 출력된다.

한편, 상기 출력전압의 출력과는 무관한 시간에도 Q-노드(NQ)는 완전 로우 레벨로 다운되지 않고, 일정 주기로 리플 파형이 발생된다. 상기 리플 파형을 도 7과 도 8을 참조하여 비교 설명한다. 특히, 140 μ s 대역 근방에 대응하는 리플 파형을 도시한다.

도 7은 제1 실시예에 따른 리플 파형도이고, 도 8은 비교예에 따른 리플 파형도이다.

제1 실시예(도 7에 도시)의 리플 시간은 비교예(도 8에 도시)의 리플 시간보다 길다. 즉, 제1 실시예의 Q-노드(NQ)를 통해 흐르는 전압은 130.3 μ s에서 라이징된 후, 130.4 μ s를 경과하면서 점점 폴딩하나, 131.0 μ s를 경과하더라도 완전히 로우레벨로 폴딩하지 못하는 반면, 비교예의 Q-노드(NQ)를 통해 흐르는 전압은 130.3 μ s에서 라이징되고, 130.4 μ s를 경과하면서 점점 폴딩하고, 대략 130.6 μ s를 경과하면서 완전히 로우레벨로 폴딩하는 것을 확인할 수 있다.

하지만, 제1 실시예의 출력-노드(NO)를 통해 흐르는 전압은 하이레벨에서 로우레벨로 완전 폴딩하는데 소요되는 시간은 대략 0.02 μ s인 반면, 비교예의 출력-노드(NO)를 통해 흐르는 전압은 하이레벨에서 로우레벨로 완전 폴딩하는데 소요되는 시간은 대략 0.15 μ s인 것을 확인할 수 있다. 따라서, 결과적으로 출력되는 출력-노드(NO)의 출력 리플 시간 및 전압을 감안하면 제1 실시예가 비교예보다 오히려 우수함을 확인할 수 있다.

도 9는 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다. 특히 트랜지스터(Q58)의 소오스-드레인으로 캐리-노드(NC)와 제1 전원전압(VOFF)을 연결하고, 게이트를 인버터-노드(NI)에 연결시킨 예이다.

도 9를 참조하면, 단위 스테이지(300)는 버퍼부(110), 충전부(120), 구동부(130), 방전부(140), 제1 홀딩부(150), 제2 홀딩부(360) 및 캐리부(170)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 캐리신호를 근거로 스캔 신호(또는 주사 신호)를 출력한다. 상기한 도 1과 비교할 때 동일한 구성요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다.

제2 홀딩부(360)는 다수의 트랜지스터들(Q53, Q55, Q56, Q58)로 이루어져, 출력-노드(NO)가 플로팅되는 것을 방지한다. 즉, 제2 홀딩부(260)는 출력단자(OUT)가 하이레벨일 때 오프 상태를 유지하여 홀드 동작을 수행한다.

구체적으로, 트랜지스터(Q53)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제1 홀딩부(350)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q55)는 드레인이 Q-노드(NQ)에 연결되고, 게이트가 제1 클럭단자(CK1)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q56)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제2 클럭단자(CK2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제1 클럭단자(CK1)에 인가되는 제1 클럭(CKV)과 제2 클럭단자(CK2)에 인가되는 제2 클럭(CKVB)은 서로 반대 위상을 갖는다. 트랜지스터(Q58)는 드레인이 캐리-노드(NC)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결되며, 게이트가 인버터-노드(NI)에 연결된다.

도 10은 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다. 특히 트랜지스터(Q59)의 소오스-드레인으로 캐리-노드(NC)와 제1 전원전압(VOFF)을 연결하고, 게이트를 클럭에 연결시킨 예이다.

도 10을 참조하면, 단위 스테이지(400)는 버퍼부(110), 충전부(120), 구동부(130), 방전부(140), 제1 홀딩부(150), 제2 홀딩부(460) 및 캐리부(170)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 캐리신호를 근거로 스캔 신호(또는 주사 신호)를 출력한다. 상기한 도 1과 비교할 때 동일한 구성요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다.

제2 홀딩부(460)는 다수의 트랜지스터들(Q53, Q55, Q56, Q59)로 이루어져, 출력-노드(NO)가 플로팅되는 것을 방지한다. 즉, 제2 홀딩부(260)는 출력단자(OUT)가 하이레벨일 때 오프 상태를 유지하여 홀드 동작을 수행한다.

구체적으로, 트랜지스터(Q53)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제1 홀딩부(350)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q55)는 드레인이 Q-노드(NQ)에 연결되고, 게이트가 제1 클럭단자(CK1)에 연결되며, 소오스가 출력단자(OUT)에 연결된다. 트랜지스터(Q56)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제2 클럭단자(CK2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제1 클럭단자(CK1)에 인가되는 제1 클럭(CKV)과 제2 클럭단자(CK2)에 인가되는 제2 클럭(CKVB)은 서로 반대 위상을 갖는다. 트랜지스터(Q59)는 드레인이 캐리-노드(NC)에 연결되고, 게이트가 제1 클럭단자(CK1)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결된다.

이처럼, 트랜지스터(Q59)의 드레인 및 게이트에 각각 연결되는 캐리-노드에 전달되는 캐리신호 및 제1 클럭신호(CK1)는 반전상태이기 때문에 신호간의 간섭없이 플로팅 상태의 캐리-노드(NC)의 리셋이 가능하다.

도 11은 본 발명의 제4 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다. 특히 트랜지스터(Q58)의 소오스-드레인으로 캐리-노드(NC)와 제1 전원전압(VOFF)을 연결하고, 게이트를 인버터-노드(NI)에 연결하며, 트랜지스터(Q57)의 소오스-드레인으로 Q-노드(NQ)와 제1 전원전압(VOFF)을 연결하고, 게이트를 인버터-노드(NI)에 연결시킨 예이다.

도 11을 참조하면, 단위 스테이지(500)는 버퍼부(110), 충전부(120), 구동부(130), 방전부(140), 제1 홀딩부(150), 제2 홀딩부(560) 및 캐리부(170)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 캐리신호를 근거로 스캔 신호(또는 주사 신호)를 출력한다. 상기한 도 1과 비교할 때 동일한 구성요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다.

제2 홀딩부(560)는 다수의 트랜지스터들(Q53, Q56, Q57, Q58)로 이루어져, 출력-노드(NO)가 플로팅되는 것을 방지한다. 즉, 제2 홀딩부(260)는 출력단자(OUT)가 하이레벨일 때 오프 상태를 유지하여 홀드 동작을 수행한다.

구체적으로, 트랜지스터(Q53)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제1 홀딩부(350)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q56)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제2 클럭단자(CK2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제1 클럭단자(CK1)에 인가되는 제1 클럭(CKV)과 제2 클럭단자(CK2)에 인가되는 제2 클럭(CKVB)은 서로 반대 위상을 갖는다. 트랜지스터(Q57)는 드레인이 Q-노드(NQ)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결되며, 게이트가 인버터-노드(NI)에 연결된다. 트랜지스터(Q58)는 드레인이 캐리-노드(NC)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결되며, 게이트가 인버터-노드(NI)에 연결된다.

도 12는 본 발명의 제5 실시예에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 회로도이다. 특히 트랜지스터(Q59)의 소오스-드레인으로 캐리-노드(NC)와 제1 전원전압(VOFF)을 연결하고, 게이트를 제1 클럭단자(CK1)에 연결하며, 트랜지스터(Q57)의 소오스-드레인으로 Q-노드(NQ)와 제1 전원전압(VOFF)을 연결하고, 게이트를 인버터-노드(NI)에 연결시킨 예이다.

도 12를 참조하면, 단위 스테이지(600)는 버퍼부(110), 충전부(120), 구동부(130), 방전부(140), 제1 홀딩부(150), 제2 홀딩부(660) 및 캐리부(170)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 캐리신호를 근거로 스캔 신호(또는 주사 신호)를 출력한다. 상기한 도 1과 비교할 때 동일한 구성요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다.

제2 홀딩부(660)는 다수의 트랜지스터들(Q53, Q56, Q57, Q59)로 이루어져, 출력-노드(NO)가 플로팅되는 것을 방지한다. 즉, 제2 홀딩부(260)는 출력단자(OUT)가 하이레벨일 때 오프 상태를 유지하여 홀드 동작을 수행한다.

구체적으로, 트랜지스터(Q53)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제1 홀딩부(350)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 트랜지스터(Q56)는 드레인이 출력단자(OUT)에 연결되고, 게이트가 제2 클럭단자(CK2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제1 클럭단자(CK1)에 인가되는 제1 클럭(CKV)과 제2 클럭단자(CK2)에 인가되는 제2 클럭(CKVB)은 서로 반대 위상을 갖는다. 트랜지스터(Q57)는 드레인이 Q-노드(NQ)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결되며, 게이트가 인버터-노드(NI)에 연결된다. 트랜지스터(Q59)는 드레인이 캐리-노드(NC)에 연결되고, 소오스가 제1 전원전압(VOFF)에 연결되며, 게이트가 제1 클럭단자(CK1)에 연결된다.

도 13은 본 발명의 실시예에 따른 스캔 구동 회로를 갖는 액정 패널을 설명하기 위한 도면이다.

도 13에 도시한 바와 같이, 데이터 라인과 스캔 라인에 의해 정의되는 셀 어레이 회로(700)의 일측 영역에는 상술한 다양한 실시예에서 설명한 쉬프트 레지스터를 갖는 제1 스캔 구동 회로(710)가 구비되고, 타측 영역에는 제2 스캔 구동 회로(720)가 구비된다. 상기 제1 및 제2 스캔 구동 회로(710, 720)는 셀 어레이 회로(700)가 형성되는 기판과 동일한 기판에 형성된다.

제1 스캔 구동 회로(710)는 제1 클럭(CKV)과 제2 클럭(CKVB)이 제공되는 다수의 스테이지들이 서로 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들은 셀 어레이 회로(700)에 형성된 스캔 라인의 일단에 연결되어 출력신호들(G1, G2, ..., GN, GD)을 출력한다.

제2 스캔 구동 회로(720)는 셀 어레이 회로(700)에 형성된 스캔 라인의 타단에 각각 연결된 다수의 트랜지스터(QE1, QE2, ..., QEN)로 이루어져, 상기 스캔 라인을 통해 전달되는 스캔 신호의 방전 경로를 제공한다.

예를들어, 트랜지스터(QE1)는 소오스가 첫 번째 스캔 라인의 타단에 연결되고, 드레인이 제3 전원전압(VOFF2)에 연결되며, 게이트가 두 번째 스캔 라인의 타단에 연결된다. 동작시, 상기 두 번째 스캔 라인을 통해 전달되는 스캔 신호(G2)에 턴-온되어 첫 번째 스캔 라인을 통해 전달되는 첫 번째 스캔 신호(G1)를 제3 전원전압(VOFF2)으로 방전시킨다. 상기 제3 전원전압(VOFF2)은 상기 제1 전원전압(VOFF1)보다 작거나 동일할 수도 있으나, 큰 것이 바람직하다.

이처럼, 매 스캔 라인의 종단에 별도의 방전 경로 형성을 위한 트랜지스터를 구비함으로써, 스캔 라인을 통해 전달되는 스캔 신호의 지연에 의해 다음 스테이지에 미치는 악영향을 해결할 수 있다.

또한, 구동부(130)에 구비되어 풀-다운 기능을 수행하는 트랜지스터(Q3)의 용량이 부족한 것을 보상할 수 있다. 상기한 트랜지스터(Q3)의 용량을 보상하기 위해서는 제2 스캔 구동 회로(720)에 구비되는 트랜지스터(QE1, QE2, ..., QEN) 각각의 사이즈는 5배 정도인 것이 바람직하다.

이상에서 설명한 본 발명의 다양한 실시예들에 따르면, 일종의 교류 파형인 제1 클럭(CKV) 또는 제2 클럭(CKVB)을 이용하여 a-Si TFT LCD에 구비되는 스캔 구동 회로의 내부노드와 출력노드의 플로팅 상태를 방지할 수 있다.

이에 따라, 고전압에 의해 발생될 수 있는 트랜지스터의 열화를 방지할 수 있어 신뢰성을 높일 수 있고, a-Si TFT로 이루어지는 스캔 구동 회로가 집적된 액정 패널이나 상기 액정 패널을 갖는 LCD의 신뢰성을 높일 수 있다.

그러면, 상기한 a-Si TFT로 이루어지는 스캔 구동 회로가 집적된 액정 패널을 첨부하는 도면을 참조하여 간략히 설명한다.

도 14는 본 발명의 실시예에 따른 액정 표시 장치를 설명하기 위한 도면으로, 특히 a-Si TFT LCD의 어레이 기판의 구성을 도시한다.

도 14를 참조하면, 본 발명에 따른 액정 패널의 어레이 기판(800) 위에는 표시 셀 어레이 회로(810), 데이터 구동 회로(820), 데이터 구동 회로 외부연결단자(822, 824), 스캔 구동 회로(830), 스캔 구동 회로 외부 연결단자부(832)가 TFT 공정시 함께 형성된다. 여기서, 스캔 구동 회로(830)는 도 2에서 설명한 쉬프트 레지스터이고, 상기 쉬프트 레지스터를 구성하는 단위 스테이지들은 상기한 도 5, 도 9 내지 도 12에서 설명한 바와 같다.

연성 인쇄회로기판(916)에 설치된 통합 제어 및 데이터 구동칩(918)과 TFT 기판(800)의 회로들은 연성인쇄회로기판(916)에 의해 전기적으로 연결된다. 연성 인쇄회로기판(916)은 데이터신호, 데이터 타이밍신호, 게이트 타이밍신호 및 게이트 구동전압들을 어레이 기판(800)의 데이터 구동 회로(820) 및 스캔 구동 회로(830)에 제공한다.

표시 셀 어레이 회로(810)는 컬럼 방향으로 연장된 m 개의 데이터 라인들(DL1~DLm)과 로우 방향으로 연장된 n 개의 게이트 라인들(GL1~GLn)을 포함한다.

데이터 라인들과 게이트 라인들의 각 교차점들에는 스위칭 트랜지스터(ST)가 형성된다. 스위칭 트랜지스터(STi)의 드레인은 데이터 라인(DLi)에 연결되고, 게이트는 게이트 라인(GLi)에 연결된다. 스위칭 트랜지스터(STi)의 소오스는 화소전극(PE)에 연결된다. 화소 전극(PE)과 칼라 필터 기판(112b)에 형성된 공통 전극(CE)의 사이에 액정(LC)이 위치하게 된다.

그러므로, 화소 전극(PE)과 공통 전극(CE) 사이에 인가된 전압에 의해 액정배열이 제어되어 통과되는 광량을 제어하여 각 픽셀의 계조 표시를 하게 된다.

데이터 구동 회로(820)는 쉬프트 레지스터(826)와 N개의 스위칭 트랜지스터들(SWT)을 포함한다. N개의 스위칭 트랜지스터들(SWT)은 N/8개씩 묶어 8개의 데이터 라인블록(BL1~BL8)을 형성한다.

각 데이터 라인블록(BLi)은 N/8개의 데이터 입력단자로 구성된 외부 입력단자(824)에 N/8개의 입력단자들이 공통으로 연결되고, 대응하는 N/8개의 데이터 라인들에 N/8개의 출력단자들이 연결된다. 또한, 쉬프트 레지스터(826)의 8개의 출력단자들 중 대응하는 하나의 출력단자에 블록 선택단자가 연결된다.

N개의 스위칭 트랜지스터들(SWT) 각각은 대응하는 데이터 라인에 소오스가 연결되고, N/8개의 데이터 입력단자들 중 대응하는 입력단자에 드레인이 연결되고, 게이트에 블록 선택단자에 연결된 a-Si TFT MOS 트랜지스터로 구성된다.

따라서, N개의 데이터 라인들은 N/8개씩 8개의 블록으로 분할되고, 쉬프트 레지스터(826)의 8개의 블록 선택신호에 의해 순차적으로 각 블록들이 선택된다.

쉬프트 레지스터(826)는 3단자의 외부 연결단자(822)를 통하여 제1 클럭(CKH), 제2 클럭(CKHB), 블록선택 개시신호(STH)를 제공받는다. 쉬프트 레지스터(826)의 출력단자들은 각각 대응하는 라인 블록들의 블록 선택단자에 연결된다.

이상에서는 셀 어레이 회로의 일측에만 스캔 구동 회로가 집적된 것을 설명하였으나, 상기한 도 13에서 설명한 바와 같이, 셀 어레이 회로의 일측 영역에는 제1 스캔 구동 회로를 집적하고, 타측 영역에는 제2 스캔 구동 회로를 집적할 수도 있다.

이상에서는 a-Si TFT로 이루어지는 스캔 구동 회로가 집적된 액정 패널을 하나의 실시예로 설명하였으나, 다른 평판 표시 패널에도 적용할 수 있을 것이다. 예를들어, 유기전계발광 소자를 이용한 유기전계발광 표시장치의 경우 단위 픽셀에 구비되는 스위칭 트랜지스터와 드라이브 트랜지스터를 a-Si TFT로 구현한다면 상기 스위칭 트랜지스터를 활성화시키는 스캔 드라이버를 상기 단위 픽셀에 형성되는 기판위에 형성할 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 드레인과 게이트가 공통되어 클럭단자에 연결된 제1 트랜지스터와, 드레인이 인버터-노드를 통해 상기 제1 트랜지스터의 소오스에 연결되고, 게이트가 출력단자에 연결되며, 소오스가 제1 전원전압에 연결된 제2 트랜지스터를 포함하는 홀딩부를 구성한다. 상기 버퍼부의 입력단을 캐리-노드로, 상기 구동부의 입력단을 Q-노드로, 상기 구동부의 출력단을 출력-노드로 각각 정의할 때, 제3 트랜지스터의 드레인을 상기 Q-노드에 연결시키고, 소오스를 상기 제1 전원전압에 연결시키며, 게이트를 상기 인버터-노드에 연결시켜, 표시패널의 스캔 라인을 순차적으로 액티브시키는 스캔 신호를 출력한 후 발생하는 리플 파형의 악영향을 최소화할 수 있다.

또한, 제4 트랜지스터의 드레인을 상기 캐리-노드에 연결시키고, 소오스를 상기 제1 전원전압에 연결시키며, 게이트를 상기 인버터-노드에 연결시켜, 표시패널의 스캔 라인을 순차적으로 액티브시키는 스캔 신호를 출력한 후 발생하는 리플 파형의 악영향을 최소화할 수 있다.

또한, 제5 트랜지스터의 드레인을 상기 캐리-노드에 연결시키고, 소오스를 상기 제1 전원전압에 연결시키며, 게이트를 상기 클럭단자에 연결시켜, 표시패널의 스캔 라인을 순차적으로 액티브시키는 스캔 신호를 출력한 후 발생하는 리플 파형의 악영향을 최소화할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에서,

제1 클럭과 제2 클럭중 적어도 하나 이상이 상기 스테이지들에 제공되며,

상기 각 스테이지는,

상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부;

상기 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부;

상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 상기 충전부에 충전됨에 따라 상기 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부;

다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부; 및

상기 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 상기 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함하는 쉬프트 레지스터.

청구항 2.

제1항에 있어서, 상기 홀딩부는 제1 전류전극과 제어전극이 공통되어 클럭단자에 연결된 제1 트랜지스터와, 제1 전류전극이 인버터-노드를 통해 상기 제1 트랜지스터의 제2 전류전극에 연결되고, 제어전극이 출력단자에 연결되며, 제2 전류전극이 제1 전원전압에 연결된 제2 트랜지스터를 포함하고,

상기 버퍼부의 입력단을 캐리-노드로, 상기 구동부의 입력단을 Q-노드로, 상기 구동부의 출력단을 출력-노드로 각각 정의할 때,

제1 전류전극이 상기 Q-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 인버터-노드에 연결된 제3 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 3.

제1항에 있어서, 상기 홀딩부는 제1 전류전극과 제어전극이 공통되어 클럭단자에 연결된 제1 트랜지스터와, 제1 전류전극이 인버터-노드를 통해 상기 제1 트랜지스터의 제2 전류전극에 연결되고, 제어전극이 출력단자에 연결되며, 제2 전류전극이 제1 전원전압에 연결된 제2 트랜지스터를 포함하고,

상기 버퍼부의 입력단을 캐리-노드로, 상기 구동부의 입력단을 Q-노드로, 상기 구동부의 출력단을 출력-노드로 각각 정의할 때,

제1 전류전극이 상기 캐리-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 인버터-노드에 연결된 제4 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 4.

제1항에 있어서, 상기 버퍼부의 입력단을 캐리-노드로, 상기 구동부의 입력단을 Q-노드로, 상기 구동부의 출력단을 출력-노드로 각각 정의할 때,

제1 전류전극이 상기 캐리-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 클럭단자에 연결된 제5 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 5.

제1항에 있어서, 상기 홀딩부는 제1 전류전극과 제어전극이 공통되어 클럭단자에 연결된 제1 트랜지스터와, 제1 전류전극이 인버터-노드를 통해 상기 제1 트랜지스터의 제2 전류전극에 연결되고, 제어전극이 출력단자에 연결되며, 제2 전류전극이 제1 전원전압에 연결된 제2 트랜지스터를 포함하고,

상기 버퍼부의 입력단을 캐리-노드로, 상기 구동부의 입력단을 Q-노드로, 상기 구동부의 출력단을 출력-노드로 각각 정의할 때,

제1 전류전극이 상기 Q-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 인버터-노드에 연결된 제3 트랜지스터; 및

제1 전류전극이 상기 캐리-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 인버터-노드에 연결된 제4 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 6.

제1항에 있어서, 상기 홀딩부는 제1 전류전극과 제어전극이 공통되어 클럭단자에 연결된 제1 트랜지스터와, 제1 전류전극이 인버터-노드를 통해 상기 제1 트랜지스터의 제2 전류전극에 연결되고, 제어전극이 출력단자에 연결되며, 제2 전류전극이 제1 전원전압에 연결된 제2 트랜지스터를 포함하고,

상기 버퍼부의 입력단을 캐리-노드로, 상기 구동부의 입력단을 Q-노드로, 상기 구동부의 출력단을 출력-노드로 각각 정의할 때,

제1 전류전극이 상기 Q-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 인버터-노드에 연결된 제3 트랜지스터; 및

제1 전류전극이 상기 캐리-노드에 연결되고, 제2 전류전극이 상기 제1 전원전압에 연결되며, 제어전극이 상기 클럭단자에 연결된 제5 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 7.

복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들의 출력신호들을 순차적으로 출력하는 스캔 구동 회로에서,

제1 클럭과 제2 클럭이 상기 스테이지들에 제공되며,

상기 각 스테이지는,

상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부;

상기 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부;

상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 상기 충전부에 충전됨에 따라 상기 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부;

다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부; 및

상기 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 상기 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함하는 스캔 구동 회로.

청구항 8.

기관 상에 형성된 표시 셀 어레이 회로와 스캔 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 스캔 라인들을 포함하며, 각 표시 셀 회로는 대응하는 데이터 및 스캔 라인 쌍에 연결된 표시 장치에서,

상기 스캔 구동회로는 복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 스캔개시신호가 입력단자에 제공되며, 각 스테이지들의 출력신호에 의해 상기 복수의 스캔 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고,

상기 스테이지들에는 제1 클럭 및/또는 제2 클럭이 제공되며,

상기 각 스테이지는,

상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 제공되는 버퍼부;

상기 버퍼부를 경유하는 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호를 충전하는 충전부;

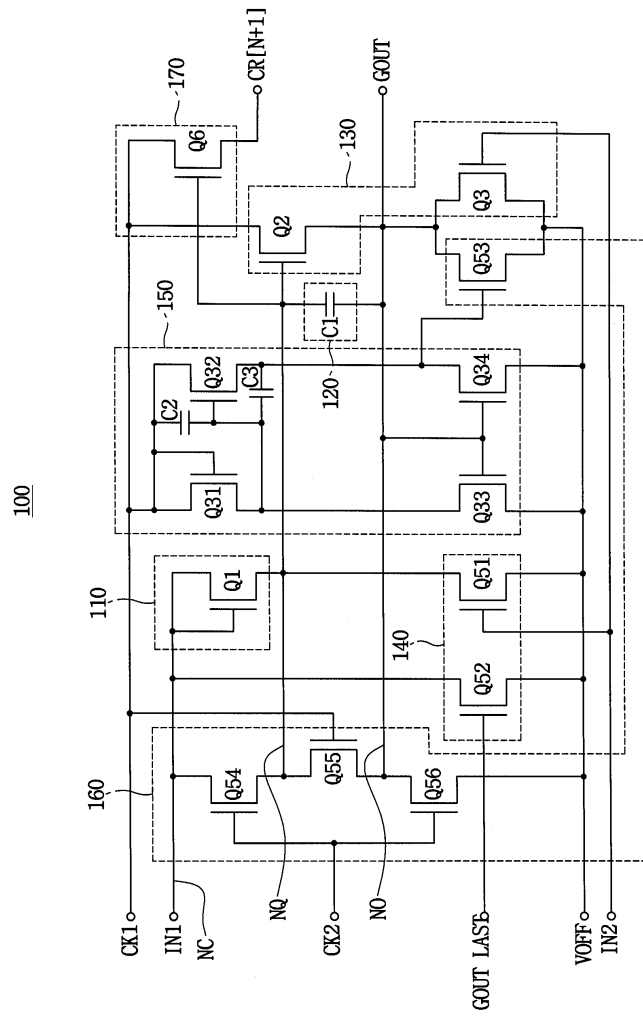
상기 스캔개시신호 또는 전단 스테이지들 중 하나의 스테이지의 출력신호가 상기 충전부에 충전됨에 따라 상기 제1 클럭 또는 제2 클럭에 응답하여 출력신호를 출력하는 구동부;

다음 스테이지들 중 한 스테이지의 출력신호에 응답하여 충전된 전하를 방전하는 방전부; 및

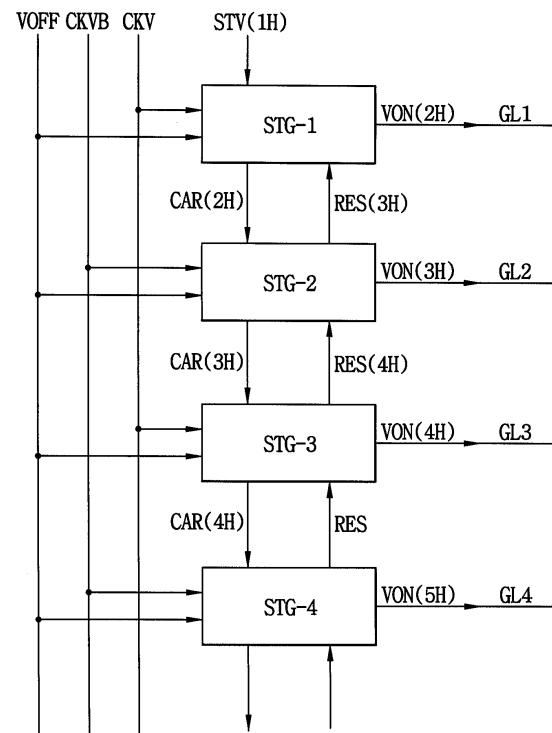
상기 제1 클럭 또는 제2 클럭이 액티브 상태일 때, 상기 출력신호를 제1 전원전압으로 홀드하는 홀딩부를 포함하는 표시 장치.

도면

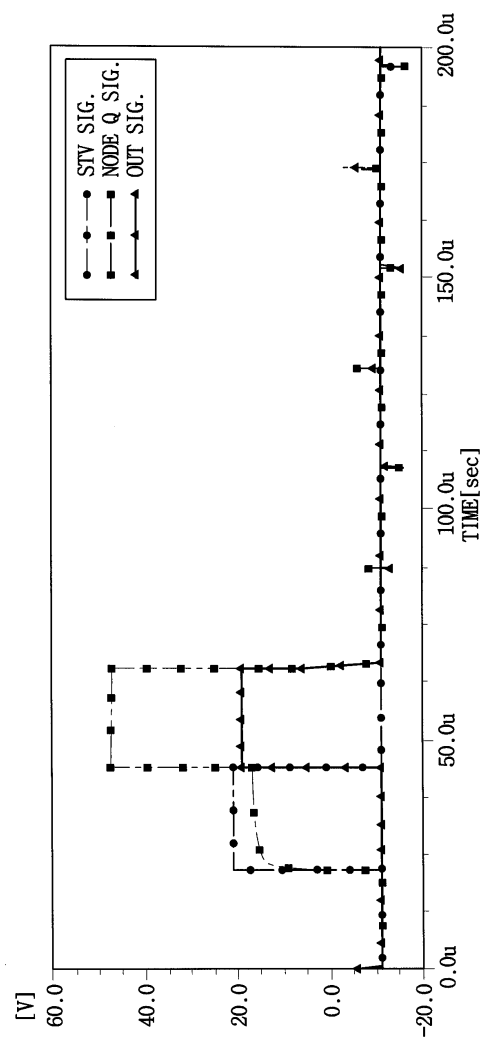
도면1



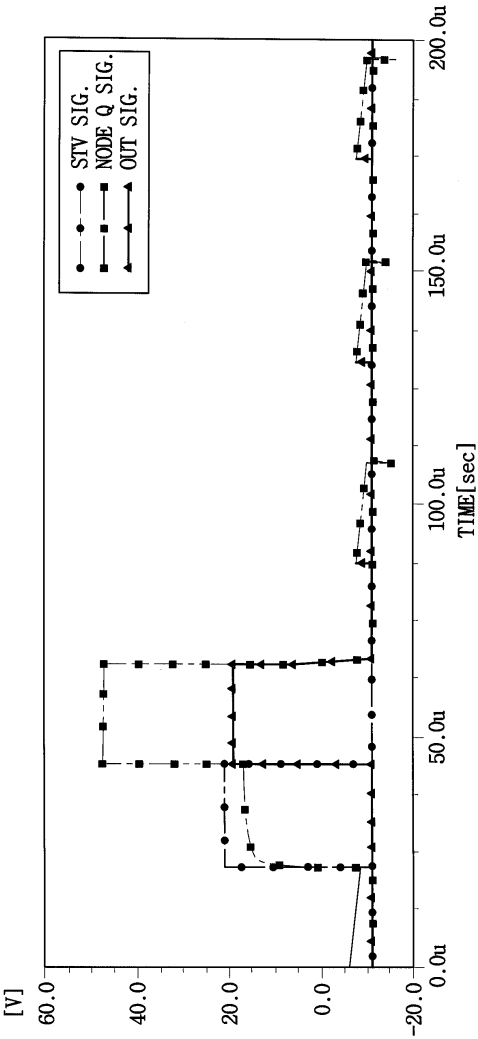
도면2



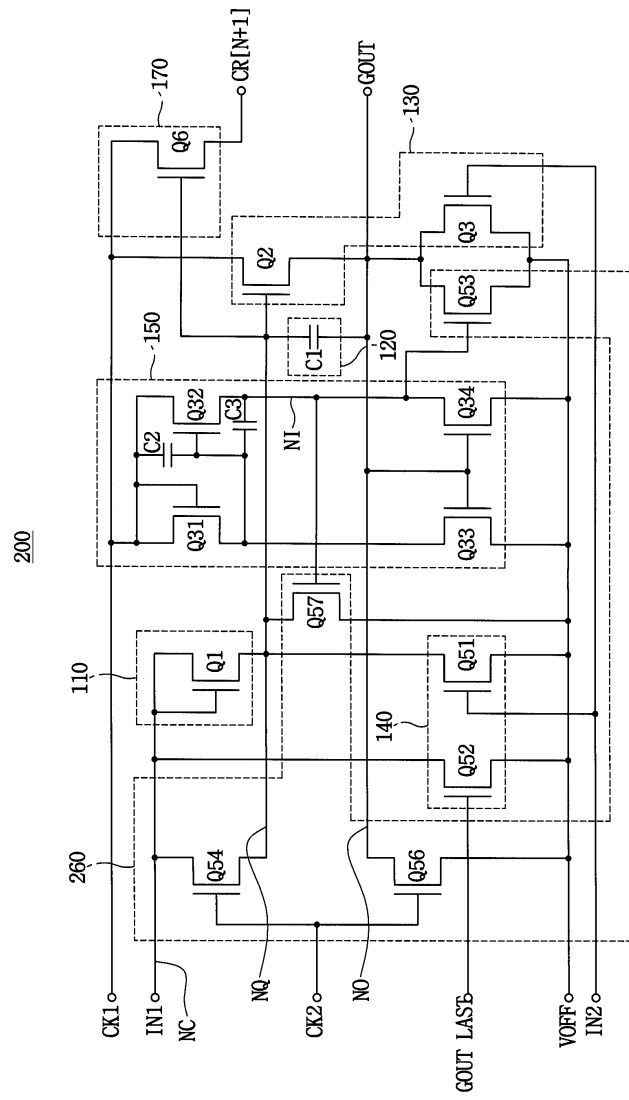
도면3



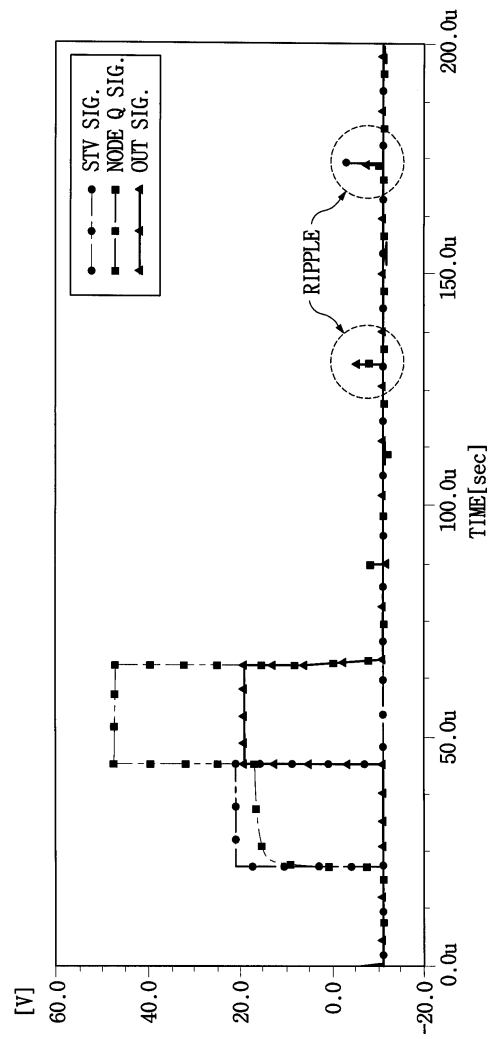
도면4



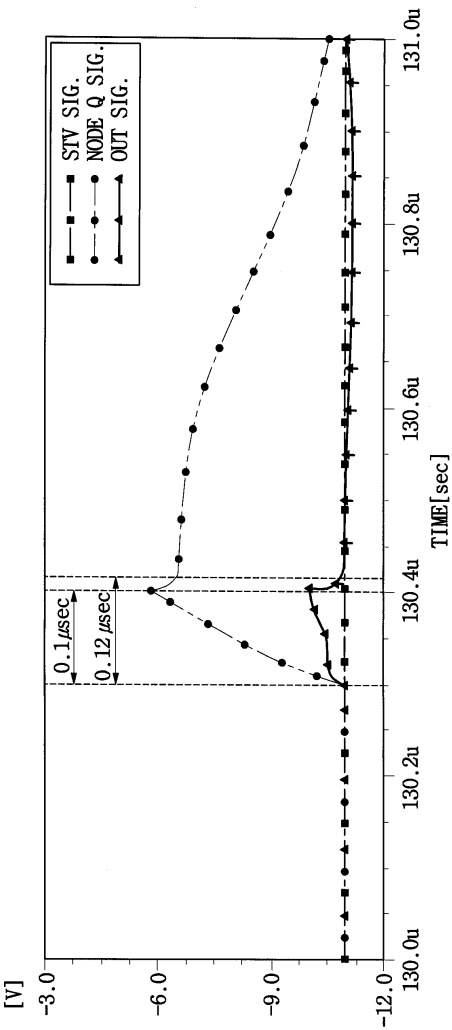
도면5



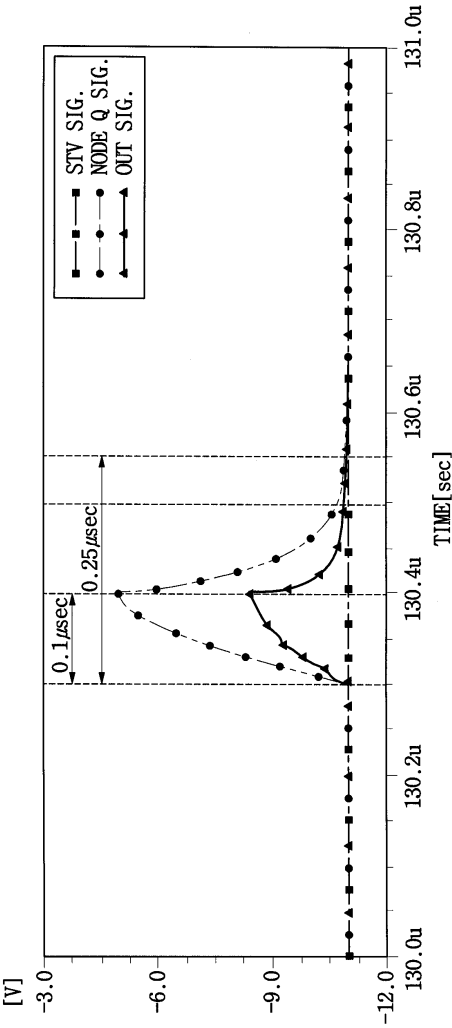
도면6



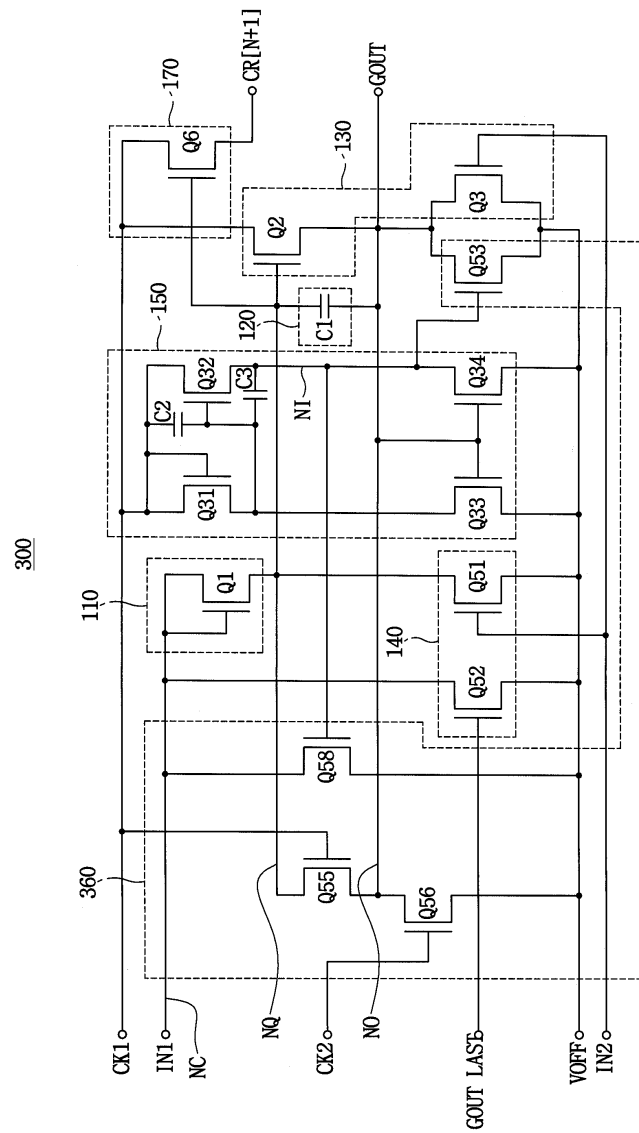
도면7



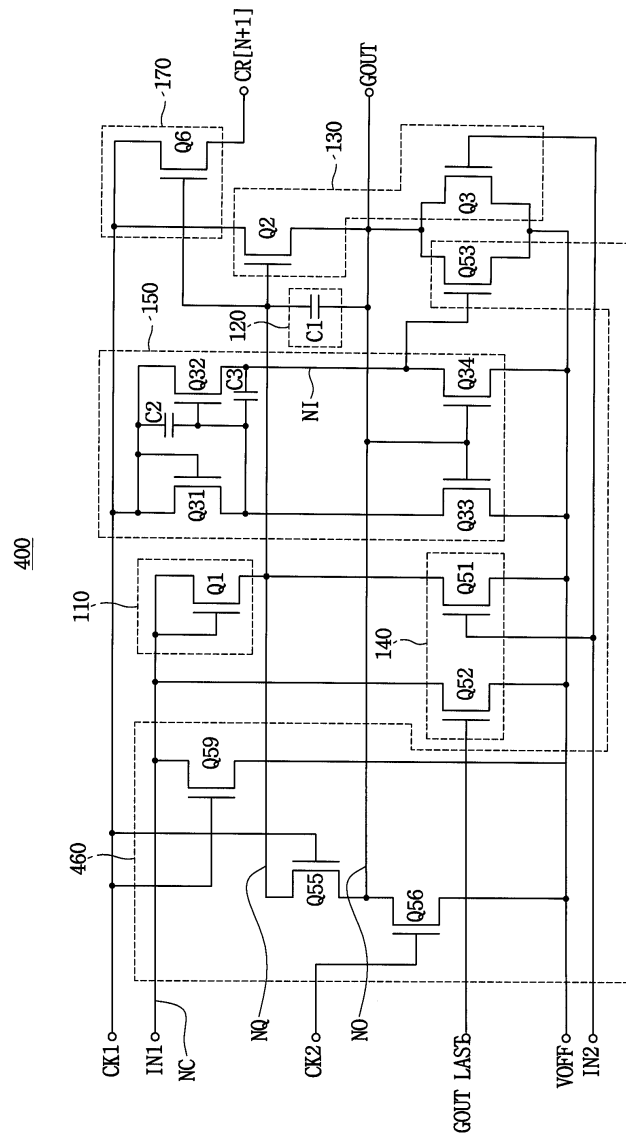
도면8



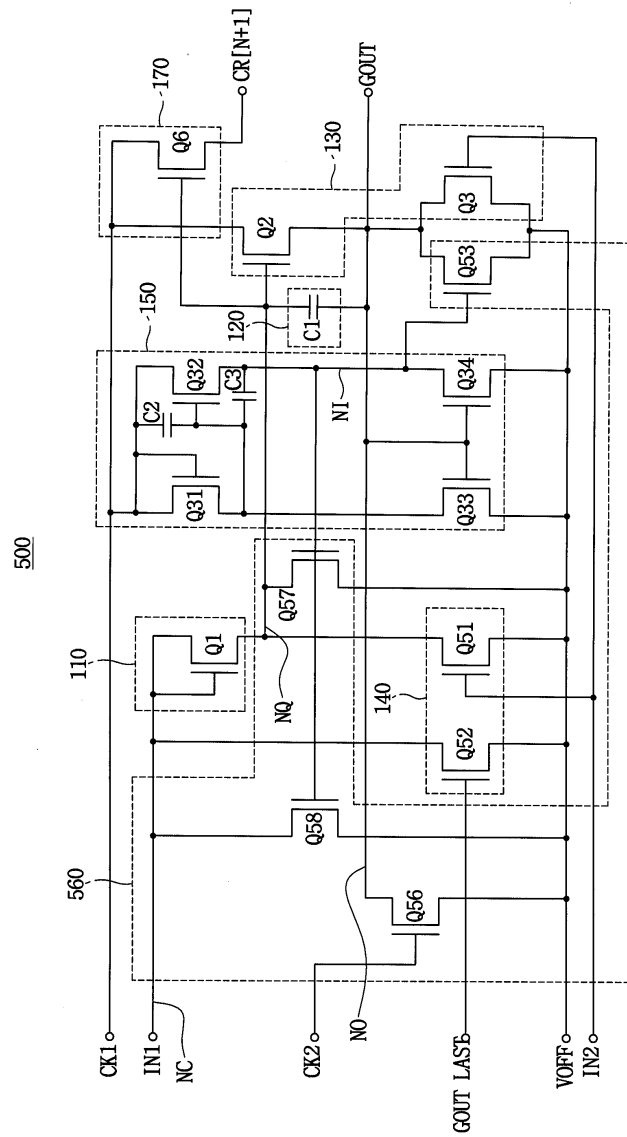
도면9



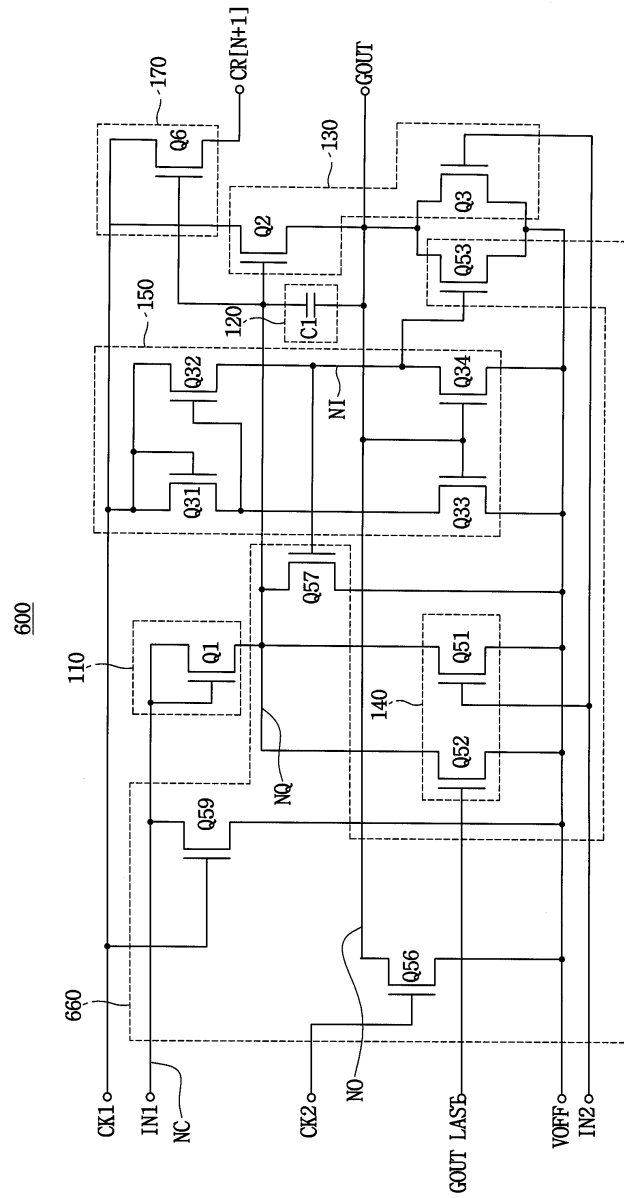
도면10



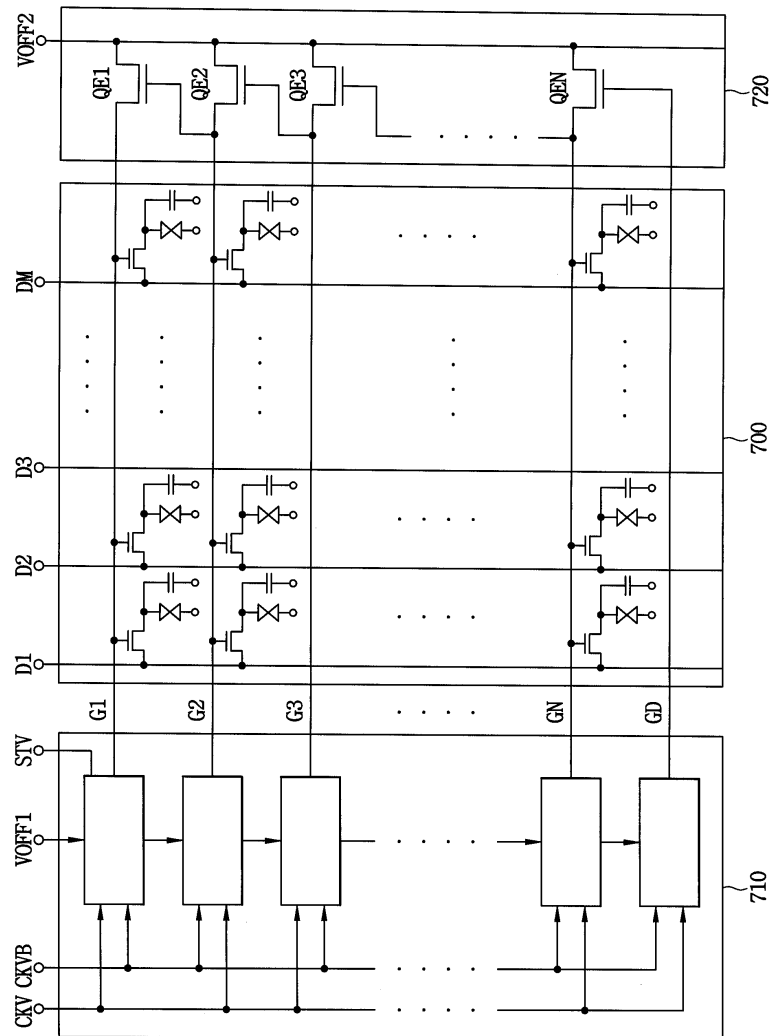
도면11



도면12



도면13



도면14

