(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月29日(29.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/217396 A1

(51) 国際特許分類:
H01L 21/82 (2006.01)

(21) 国際出願番号： PCT/JP2019/017690

(22) 国際出願日： 2019年4月25日(25.04.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

(72) 発明者:ワン ウェンゼン(**WANG, Wenzhen**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP). 武野 紘宜(**TAKENO, Hirotaka**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP). 岡本 淳(**OKAMOTO, Atsushi**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP).

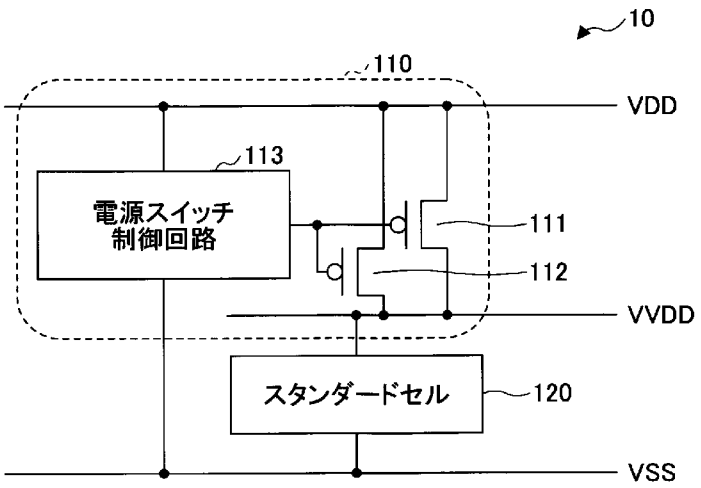
(74) 代理人:伊東 忠重, 外(**ITOH, Tadashige** et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内 ＭＹ ＰＬＡＺＡ （明治安田生命ビル） １６階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

［図2］



113 Power switch control circuit
120 Standard cell

(57) **Abstract:** Provided is a semiconductor device comprising a first power wire, a second power wire, a first grounding wire, a switch circuit provided between the first power wire and the second power wire, and a switch control circuit provided between the first grounding wire and the first power wire. The switch circuit has a first transistor of a first conductive type and a second transistor of the first conductive type formed on the first transistor. A first gate electrode of the first transistor is connected to a second gate electrode of the second transistor. The switch control circuit has a

WO 2020/217396 A1

［続葉有］

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

third transistor of a second conductive type and a fourth transistor formed on the third transistor, of a third conductive type different from the second conductive type. A third gate electrode of the third transistor is connected to a fourth gate electrode of the fourth transistor. The semiconductor device has a signal wire electrically connecting an output of the third transistor and an output of the fourth transistor with the first gate electrode and the second gate electrode.

(57) 要約:半導体装置は、第１電源線と、第２電源線と、第１接地線と、前記第１電源線と前記第２電源線との間に設けられたスイッチ回路と、前記第１接地線と前記第１電源線との間に設けられたスイッチ制御回路と、を有する。前記スイッチ回路は、第１導電型の第１トランジスタと、前記第１トランジスタ上に形成され、前記第１導電型の第２トランジスタと、を有する。前記第１トランジスタの第１ゲート電極は、前記第２トランジスタの第２ゲート電極と接続される。前記スイッチ制御回路は、第２導電型の第３トランジスタと、前記第３トランジスタ上に形成され、前記第２導電型とは異なる第３導電型の第４トランジスタと、を有する。前記第３トランジスタの第３ゲート電極は、前記第４トランジスタの第４ゲート電極に接続される。半導体装置は、前記第３トランジスタの出力及び前記第４トランジスタの出力と、前記第１ゲート電極及び前記第２ゲート電極とを電気的に接続する信号線を有する。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 半導体装置には各種回路領域が含まれており、回路領域の一例としてスタンダードセル領域がある。スタンダードセル領域には各種論理回路及び電源スイッチ回路が含まれる。

[0003] 電源スイッチ回路は、例えば供給されるＶＤＤの電位の電源線と論理回路のトランジスタにＶＶＤＤの電源を供給する電源線との間に設けられ、当該トランジスタへのＶＶＤＤの電源電位の供給のオン／オフを切り替える。電源スイッチ回路を用いることで、論理回路を動作させる必要のないときに電源供給をオフとし、論理回路を構成するトランジスタで生じるリーク電流を抑制し、消費電力の低減が可能となる。

[0004] 近年では、相補型電界効果トランジスタ（Complementary Field Effect Transistor：ＣＦＥＴ）とよばれる素子が知られている。ＣＦＥＴでは、ｎチャネルＦＥＴとｐチャネルＦＥＴとが基板上に積層される。ＣＦＥＴは半導体装置の微細化に好適である。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１６－１６５２号公報

特許文献2：米国特許出願公開第２０１７／０３３１４７２号明細書

特許文献3：国際公開第２０１７／２０８８８８号

特許文献4：米国特許第９５７０３９５号明細書

特許文献5：米国特許第９８３７４１４号明細書

特許文献6：米国特許出願公開第２０１７／００４０３２１号明細書

特許文献7：米国特許第９１２９８２９号明細書

特許文献8：特開２０１８－２６５６５号公報

非特許文献

[0006] 非特許文献1：2018 Symposium on VLSI Technology Digest of Technical Papers, P141-P142

非特許文献2：2018 Symposium on VLSI Technology Digest of Technical Papers, P147-148

発明の概要

発明が解決しようとする課題

[0007] これまでのところ、電源スイッチ回路を含む半導体装置にＣＦＥＴを用いる場合の具体的な構成について、詳細な検討はされていない。

[0008] 本発明の目的は、ＣＦＥＴを含む電源スイッチ回路を実現することができる半導体装置を提供することにある。

課題を解決するための手段

[0009] 開示の技術に係る半導体装置は、第１電源線と、第２電源線と、第１接地線と、前記第１電源線と前記第２電源線との間に設けられたスイッチ回路と、前記第１接地線と前記第１電源線との間に設けられたスイッチ制御回路と、を有する。前記スイッチ回路は、第１導電型の第１トランジスタと、前記第１トランジスタ上に形成され、前記第１導電型の第２トランジスタと、を有する。前記第１トランジスタの第１ゲート電極は、前記第２トランジスタの第２ゲート電極と接続される。前記スイッチ制御回路は、第２導電型の第３トランジスタと、前記第３トランジスタ上に形成され、前記第２導電型とは異なる第３導電型の第４トランジスタと、を有する。前記第３トランジスタの第３ゲート電極は、前記第４トランジスタの第４ゲート電極に接続される。半導体装置は、前記第３トランジスタの出力及び前記第４トランジスタの出力と、前記第１ゲート電極及び前記第２ゲート電極とを電気的に接続する信号線を有する。

発明の効果

[0010] 開示の技術によれば、ＣＦＥＴを含む電源スイッチ回路を実現することができる。

図面の簡単な説明

[0011] [図1]図１は、第１の実施形態に係る半導体装置のレイアウトを示す図である。

[図2]図２は、第１の実施形態に係る半導体装置に含まれる電源スイッチ回路の構成を示す回路図である。

[図3]図３は、第１の実施形態に係る半導体装置に含まれるバッファの構成を示す回路図である。

[図4]図４は、第１の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図5]図５は、第１の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図6]図６は、第１の実施形態におけるスタンダードセル領域を示す断面図（その１）である。

[図7]図７は、第１の実施形態におけるスタンダードセル領域を示す断面図（その２）である。

[図8]図８は、第１の実施形態におけるスタンダードセル領域を示す断面図（その３）である。

[図9]図９は、第１の実施形態におけるスタンダードセル領域を示す断面図（その４）である。

[図10]図１０は、第１の実施形態におけるスタンダードセル領域を示す断面図（その５）である。

[図11]図１１は、第１の実施形態におけるスタンダードセル領域を示す断面図（その６）である。

[図12]図１２は、第１の実施形態におけるスタンダードセル領域を示す断面図（その７）である。

[図13]図１３は、第１の実施形態の第１の変形例におけるスタンダードセル

領域を示す断面図（その１）である。

[図14]図１４は、第１の実施形態の第１の変形例におけるスタンダードセル領域を示す断面図（その２）である。

[図15]図１５は、第１の実施形態の第１の変形例におけるスタンダードセル領域を示す断面図（その３）である。

[図16]図１６は、第１の実施形態の第２の変形例におけるスタンダードセル領域の平面構成を示す模式図である。

[図17]図１７は、第１の実施形態の第２の変形例におけるスタンダードセル領域を示す断面図である。

[図18]図１８は、第１の実施形態の第３の変形例におけるスイッチトランジスタの平面構成を示す模式図（その１）である。

[図19]図１９は、第１の実施形態の第３の変形例におけるスイッチトランジスタの平面構成を示す模式図（その２）である。

[図20]図２０は、第１の実施形態の第４の変形例におけるスイッチトランジスタの平面構成を示す模式図（その１）である。

[図21]図２１は、第１の実施形態の第４の変形例におけるスイッチトランジスタの平面構成を示す模式図（その２）である。

[図22]図２２は、第１の実施形態の第５の変形例におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図23]図２３は、第１の実施形態の第５の変形例におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図24]図２４は、第２の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図25]図２５は、第２の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図26]図２６は、第２の実施形態におけるスタンダードセル領域を示す断面図（その１）である。

[図27]図２７は、第２の実施形態におけるスタンダードセル領域を示す断面

図（その２）である。

[図28]図２８は、第３の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図29]図２９は、第３の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図30]図３０は、第３の実施形態の第１の変形例におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図31]図３１は、第３の実施形態の第１の変形例におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図32]図３２は、第３の実施形態の第２の変形例におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図33]図３３は、第３の実施形態の第２の変形例におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図34]図３４は、第４の実施形態における電源スイッチ回路の構成を示す回路図である。

[図35]図３５は、第４の実施形態に係る半導体装置に含まれるバッファの構成を示す回路図である。

[図36]図３６は、第４の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図37]図３７は、第４の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図38]図３８は、第４の実施形態におけるスタンダードセル領域を示す断面図である。

[図39]図３９は、第５の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図40]図４０は、第５の実施形態におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図41]図４１は、第５の実施形態におけるスタンダードセル領域を示す断面

図である。

[図42]図４２は、第５の実施形態の第１の変形例におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図43]図４３は、第５の実施形態の第１の変形例におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

[図44]図４４は、第５の実施形態の第２の変形例におけるスタンダードセル領域の平面構成を示す模式図（その１）である。

[図45]図４５は、第５の実施形態の第２の変形例におけるスタンダードセル領域の平面構成を示す模式図（その２）である。

発明を実施するための形態

[0012] 以下、実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。また、以下の説明において、基板の表面に平行で互いに直交する２つの方向をＸ方向、Ｙ方向とし、基板の表面に垂直な方向をＺ方向とする。また、本開示での配置の一致とは、厳密に、製造上のばらつきに起因して不一致となったものを排除するものではなく、製造上のばらつきで配置にずれが生じている場合でも、配置が一致しているものとみなすことができる。

[0013] （第１の実施形態）

先ず、第１の実施形態について説明する。図１は、第１の実施形態に係る半導体装置のレイアウトを示す図である。図２は、第１の実施形態に係る半導体装置に含まれる電源スイッチ回路の構成を示す回路図である。

[0014] 図１に示すように、第１の実施形態に係る半導体装置１は、複数のスタンダードセル領域１０及びその周辺に配置された入出力（Ｉ／Ｏ）セル領域２０を含む。なお、スタンダードセル領域１０の配置数は１でも良いし、３以上であっても良い。スタンダードセル領域１０は、図２に示すように、スタンダードセル１２０及び電源スイッチ回路１１０を含む。スタンダードセル１２０は、例えば、ＮＡＮＤ回路、インバータ回路等の各種論理回路を含む

。スタンダードセル領域１０には、スタンダードセル１２０に接地電位を供給するＶＳＳ配線及び電源電位を供給するＶＶＤＤ配線が配置されている。スタンダードセル領域１０には、外部から電源スイッチ回路１１０に電源電位を供給するＶＤＤ配線も配置されている。ＶＳＳ配線は接地線と呼ばれることもあり、ＶＶＤＤ配線およびＶＤＤ配線はそれぞれ電源線とも呼ばれることがある。

[0015] 図２に示すように、電源スイッチ回路１１０は、スイッチトランジスタ１１１及び１１２と、電源スイッチ制御回路１１３とを含む。スイッチトランジスタ１１１及び１１２は、例えばＰチャネルＭＯＳトランジスタであり、ＶＤＤ配線とＶＶＤＤ配線との間に接続されている。スイッチトランジスタ１１１のゲートはスイッチトランジスタ１１２のゲートに接続されている。電源スイッチ制御回路１１３は、スイッチトランジスタ１１１のゲート及びスイッチトランジスタ１１２のゲートに接続され、スイッチトランジスタ１１１及び１１２の動作を制御する。電源スイッチ制御回路１１３によりスイッチトランジスタ１１１及び１１２のオン／オフが切り替えられ、ＶＤＤ配線とＶＶＤＤ配線との間の導通が制御される。電源スイッチ制御回路１１３は、例えばバッファを含む。

[0016] 次に、電源スイッチ制御回路１１３に用いられるバッファの構成について説明する。図３は、バッファの構成を示す回路図である。

[0017] 図３に示すように、電源スイッチ制御回路１１３に用いられるバッファ１３００は、インバータ１３１０及び１３２０を有する。インバータ１３１０に入力信号ＩＮが入力され、インバータ１３１０の出力がスイッチトランジスタ１１１のゲートと、スイッチトランジスタ１１２のゲートと、インバータ１３２０とに入力され、インバータ１３２０から出力信号ＯＵＴが出力される。インバータ１３１０は、１対のＰチャネルＭＯＳトランジスタ１３１１Ｐ及びＮチャネルＭＯＳトランジスタ１３１１Ｎを含む。インバータ１３２０は、１対のＰチャネルＭＯＳトランジスタ１３２１Ｐ及びＮチャネルＭＯＳトランジスタ１３２１Ｎを含む。なお、インバータ１３１０及び１３２

０の構成は一例であり、例えば、インバータ１３１０及び１３２０に含まれるＰチャネルＭＯＳトランジスタ及びＮチャネルＭＯＳトランジスタの対は２以上であってもよい。また、スイッチトランジスタ１１１のゲート及びスイッチトランジスタ１１２のゲートには、インバータ１３１０への入力信号ＩＮやインバータ１３２０からの出力信号ＯＵＴが入力されてもよい。

[0018] スイッチトランジスタ１１２はスイッチトランジスタ１１１上に形成されている。インバータ１３１０では、ＰチャネルＭＯＳトランジスタ１３１１ＰはＮチャネルＭＯＳトランジスタ１３１１Ｎ上に形成されている。インバータ１３２０では、ＰチャネルＭＯＳトランジスタ１３２１ＰはＮチャネルＭＯＳトランジスタ１３２１Ｎ上に形成されている。

[0019] 図４及び図５は、第１の実施形態におけるスタンダードセル領域１０の平面構成を示す模式図である。図４は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図５は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１２とのレイアウトを示す。図４及び図５の両方に示す構造物を除き、図５に示す構造物は、図４に示す構造物の上方に位置する。図６～図１２は、第１の実施形態におけるスタンダードセル領域１０を示す断面図である。図６は、図４及び図５中のＸ１１－Ｘ２１線に沿った断面図に相当する。図７は、図４及び図５中のＹ１１－Ｙ２１線に沿った断面図に相当する。図８は、図４及び図５中のＹ１２－Ｙ２２線に沿った断面図に相当する。図９は、図４及び図５中のＹ１３－Ｙ２３線に沿った断面図に相当する。図１０は、図４及び図５中のＹ１４－Ｙ２４線に沿った断面図に相当する。図１１は、図４及び図５中のＹ１５－Ｙ２５線に沿った断面図に相当する。図１２は、図４及び図５中のＹ１６－Ｙ２６線に沿った断面図に相当する。

[0020] 図６～図１２に示すように、基板１０１の表面に素子分離膜１０２が形成されている。素子分離膜１０２は、例えばＳＴＩ（Shallow Trench Isolation）法により形成されている。基板１０１及び素子分離膜１０２にＸ方向に延

びる複数の溝が形成され、これら溝内に絶縁膜１０４を介して電源線９１０及び９２０が形成されている。例えば、電源線９１０及び９２０の表面は絶縁膜１０３により覆われている。例えば、素子分離膜１０２の表面及び絶縁膜１０３の表面は基板１０１の表面と面一であっても良いし、面一でなくても良い。このような構造の電源線９１０及び９２０は、ＢＰＲ（Buried Power Rail）とよばれることがある。例えば、電源線９１０はＶＶＤＤ配線に相当し、電源線９２０はＶＳＳ配線に相当する。

[0021] 図６等に示すように、電源線９１０と電源線９２０との間で素子分離膜１０２から露出した基板１０１上に、Ｘ方向に延び、Ｚ方向に立ち上がるフィン１８１及び１８２が形成されている。フィン１８１はＮチャネルＭＯＳトランジスタ１３１１Ｎ及びＮチャネルＭＯＳトランジスタ１３２１Ｎにわたって形成され、フィン１８２はスイッチトランジスタ１１１に形成されている。

[0022] フィン１８１は、Ｎ型領域１８１ＮＡと、Ｎ型領域１８１ＮＣと、Ｎ型領域１８１ＮＡとＮ型領域１８１ＮＣとの間のＮ型領域１８１ＮＢとを含む。Ｎ型領域１８１ＮＡは、ＮチャネルＭＯＳトランジスタ１３１１Ｎのドレインとなる。Ｎ型領域１８１ＮＣは、ＮチャネルＭＯＳトランジスタ１３２１Ｎのドレインとなる。Ｎ型領域１８１ＮＢは、ＮチャネルＭＯＳトランジスタ１３１１Ｎのソース及びＮチャネルＭＯＳトランジスタ１３２１Ｎのソースとなる。フィン１８１の、Ｎ型領域１８１ＮＡとＮ型領域１８１ＮＢとの間の部分がＮチャネルＭＯＳトランジスタ１３１１Ｎのチャネル１８１Ｃとなる。フィン１８１の、Ｎ型領域１８１ＮＢとＮ型領域１８１ＮＣとの間の部分がＮチャネルＭＯＳトランジスタ１３２１Ｎのチャネル１８１Ｃとなる。

[0023] フィン１８２は、交互に配置されたＰ型領域１８２ＰＡと、Ｐ型領域１８２ＰＢとを含む。Ｐ型領域１８２ＰＡは、スイッチトランジスタ１１１のドレインとなる。Ｐ型領域１８２ＰＢは、スイッチトランジスタ１１１のソースとなる。フィン１８２の、Ｐ型領域１８２ＰＡとＰ型領域１８２ＰＢとの

間の部分がスイッチトランジスタ１１１のチャネル１８２Ｃとなる。なお、フィン１８１及び１８２は、それぞれ１つのみ配置されているが、例えばそれぞれがＹ方向に複数本配置されるものとしてもよい。これは他の実施形態や変形例においても同様に本数を変更してもよい。

[0024] 図４等に示すように、Ｎ型領域１８１ＮＡからＹ方向に延びるローカル配線１９１ＢＡと、Ｎ型領域１８１ＮＢからＹ方向に延びるローカル配線１９１ＢＢと、Ｎ型領域１８１ＮＣからＹ方向に延びるローカル配線１９１ＢＣとが、絶縁膜１０５を介して素子分離膜１０２上に形成されている。ローカル配線１９１ＢＡ及び１９１ＢＢは、電源線９２０の上方まで延びる。ローカル配線１９１ＢＣは、電源線９１０の上方まで延びる。

[0025] 図８に示すように、ローカル配線１９１ＢＢと電源線９２０との間で、絶縁膜１０３にコンタクトホール５１１Ｂが形成されている。ローカル配線１９１ＢＢはコンタクトホール５１１Ｂ内の導電体を通じて電源線９２０に接続されている。ローカル配線１９１ＢＢは、電源線９２０とＮ型領域１８１ＮＢとを電気的に接続する。

[0026] 図４等に示すように、Ｐ型領域１８２ＰＡからＹ方向に延びるローカル配線１９２ＢＡと、Ｐ型領域１８２ＰＢからＹ方向に延びるローカル配線１９２ＢＢとが、絶縁膜１０５を介して素子分離膜１０２上に形成されている。ローカル配線１９２ＢＡは、電源線９１０の上方まで延びる。ローカル配線１９２ＢＢは、電源線９２０の上方まで延びる。

[0027] 図１０に示すように、ローカル配線１９２ＢＡと電源線９１０との間で、絶縁膜１０３にコンタクトホール５１２Ａが形成されている。ローカル配線１９２ＢＡはコンタクトホール５１２Ａ内の導電体を通じて電源線９１０に接続されている。ローカル配線１９２ＢＡは、電源線９１０とＰ型領域１８２ＰＡとを電気的に接続する。

[0028] ローカル配線１９１ＢＡ、１９１ＢＢ、１９１ＢＣ、１９２ＢＡ及び１９２ＢＢ上に絶縁膜１０６が形成されている。

[0029] 図５等に示すように、絶縁膜１０６を介して、ローカル配線１９１ＢＡ上

にローカル配線２９１ＴＡが形成され、ローカル配線１９１ＢＢ上にローカル配線２９１ＴＢが形成され、ローカル配線１９１ＢＣ上にローカル配線２９１ＴＣが形成されている。

[0030] 図７に示すように、電源線９２０の上方で、ローカル配線２９１ＴＡとローカル配線１９１ＢＡとの間で絶縁膜１０６にコンタクトホール５２１Ａが形成されている。ローカル配線２９１ＴＡとローカル配線１９１ＢＡとは、コンタクトホール５２１Ａ内の導電体を通じて互いに電気的に接続されている。

[0031] 図９に示すように、電源線９１０の上方で、ローカル配線２９１ＴＣとローカル配線１９１ＢＣとの間で絶縁膜１０６にコンタクトホール５２１Ｃが形成されている。ローカル配線２９１ＴＣとローカル配線１９１ＢＣとは、コンタクトホール５２１Ｃ内の導電体を通じて互いに電気的に接続されている。

[0032] 図８に示すように、ローカル配線２９１ＴＢとローカル配線１９１ＢＢとは、絶縁膜１０６により互いに電気的に絶縁分離されている。

[0033] 図５等に示すように、絶縁膜１０６を介して、ローカル配線１９２ＢＡ上にローカル配線２９２ＴＡが形成され、ローカル配線１９２ＢＢ上にローカル配線２９２ＴＢが形成されている。図１０に示すように、電源線９１０の上方で、ローカル配線２９２ＴＡとローカル配線１９２ＢＡとの間で絶縁膜１０６にコンタクトホール５２２Ａが形成されている。ローカル配線２９２ＴＡとローカル配線１９２ＢＡとは、コンタクトホール５２２Ａ内の導電体を通じて互いに電気的に接続されている。

[0034] 図１１に示すように、Ｐ型領域１８２ＰＢの上方で、ローカル配線２９２ＴＢとローカル配線１９２ＢＢとの間で絶縁膜１０６にコンタクトホール５２２Ｂが形成されている。ローカル配線２９２ＴＢとローカル配線１９２ＢＢとは、コンタクトホール５２２Ｂ内の導電体を通じて互いに電気的に接続されている。

[0035] 図５及び図６に示すように、フィン１８１の上方に、Ｘ方向に延び、ロー

カル配線２９１ＴＡ、２９１ＴＢ及び２９１ＴＣと平面視で重なって配置される半導体領域２８１が設けられている。フィン１８２の上方に、Ｘ方向に延び、ローカル配線２９２ＴＡ及びローカル配線２９２ＴＢと平面視で重なって配置される半導体領域２８２が設けられている。なお、半導体領域２８１及び２８２は、それぞれ１つのみ配置されているが、例えばそれぞれがＹ方向に複数本配置されるものとしてもよい。これは他の実施形態や変形例においても同様に本数を変更してもよい。

[0036] 図６等に示すように、半導体領域２８１は、Ｐ型領域２８１ＰＡと、Ｐ型領域２８１ＰＣと、Ｐ型領域２８１ＰＡとＰ型領域２８１ＰＣとの間のＰ型領域２８１ＰＢを含む。Ｐ型領域２８１ＰＡは、ＰチャネルＭＯＳトランジスタ１３１１Ｐのドレインとなる。Ｐ型領域２８１ＰＣは、ＰチャネルＭＯＳトランジスタ１３２１Ｐのドレインとなる。Ｐ型領域２８１ＰＢは、ＰチャネルＭＯＳトランジスタ１３１１Ｐのソース及びＰチャネルＭＯＳトランジスタ１３２１Ｐのソースとなる。半導体領域２８１の、Ｐ型領域２８１ＰＡとＰ型領域２８１ＰＢとの間の部分がＰチャネルＭＯＳトランジスタ１３１１Ｐのチャネル２８１Ｃとなる。半導体領域２８１の、Ｐ型領域２８１ＰＢとＰ型領域２８１ＰＣとの間の部分がＰチャネルＭＯＳトランジスタ１３２１Ｐのチャネル２８１Ｃとなる。

[0037] 半導体領域２８２は、交互に配置されたＰ型領域２８２ＰＡと、Ｐ型領域２８２ＰＢとを含む。Ｐ型領域２８２ＰＡは、スイッチトランジスタ１１２のドレインとなる。Ｐ型領域２８２ＰＢは、スイッチトランジスタ１１２のソースとなる。半導体領域２８２の、Ｐ型領域２８２ＰＡとＰ型領域２８２ＰＢとの間の部分がスイッチトランジスタ１１２のチャネル２８２Ｃとなる。

[0038] 図４～図６等に示すように、ローカル配線１９１ＢＡ及びローカル配線２９１ＴＡの積層体と、ローカル配線１９１ＢＢ及びローカル配線２９１ＴＢの積層体との間に、ＮチャネルＭＯＳトランジスタ１３１１Ｎ及びＰチャネルＭＯＳトランジスタ１３１１Ｐに共通のゲート電極１３１が形成されてい

る。ローカル配線１９１ＢＣ及びローカル配線２９１ＴＣの積層体と、ローカル配線１９１ＢＢ及びローカル配線２９１ＴＢの積層体との間に、ＮチャネルＭＯＳトランジスタ１３２１Ｎ及びＰチャネルＭＯＳトランジスタ１３２１Ｐに共通のゲート電極１３２が形成されている。ローカル配線１９２ＢＡ及びローカル配線２９２ＴＡの積層体と、ローカル配線１９２ＢＢ及びローカル配線２９２ＴＢの積層体との間に、スイッチトランジスタ１１１及びスイッチトランジスタ１１２に共通のゲート電極１３３が形成されている。

[0039] ゲート電極１３３とフィン１８２との間、及びゲート電極１３３と半導体領域２８２との間に、ゲート絶縁膜１３５が形成されている。ゲート電極１３１とフィン１８１との間、ゲート電極１３１とフィン１８２との間、ゲート電極１３２とフィン１８１との間、及びゲート電極１３２とフィン１８２との間にもゲート絶縁膜１３５が形成されている。

[0040] 図６等に示すように、基板１０１及び素子分離膜１０２の上方に絶縁膜１５１が形成されている。ローカル配線１９１ＢＡ、１９１ＢＢ、１９１ＢＣ、１９２ＢＡ、１９２ＢＢ、２９１ＴＡ、２９１ＴＢ、２９１ＴＣ、２９２ＴＡ及び２９２ＴＢと、ゲート電極１３１～１３３とは絶縁膜１５１に埋め込まれている。また、図８に示すように、平面視で、ローカル配線２９１ＴＢは、ローカル配線１９１ＢＢの電源線９２０側の端部までは達しておらず、ローカル配線２９１ＴＢの電源線９２０側の端部とローカル配線１９１ＢＢの電源線９２０側の端部との間では、絶縁膜１０６上に絶縁膜１５２が形成されている。

[0041] 絶縁膜１５１及び１５２と、ローカル配線２９１ＴＡ、２９１ＴＢ、２９１ＴＣ、２９２ＴＡ及び２９２ＴＢと、ゲート電極１３１～１３３との上に絶縁膜１５３が形成され、絶縁膜１５３の上に絶縁膜１５４が形成されている。

[0042] 図５及び図８に示すように、絶縁膜１５３のＮ型領域１８１ＮＢ及びＰ型領域２８１ＰＢの上方に、ローカル配線２９１ＴＢに達するコンタクトホール５３１Ｂが形成されている。図５及び図９に示すように、絶縁膜１５３の

電源線９１０の上方に、ローカル配線２９１ＴＣに達するコンタクトホール５３１Ｃが形成されている。図５に示すように、絶縁膜１５３の電源線９１０の上方に、ゲート電極１３１に達するコンタクトホール５４１Ａが形成されている。図５及び図１１に示すように、絶縁膜１５３のＰ型領域１８２ＰＢ及びＰ型領域２８２ＰＢの上方に、ローカル配線２９２ＴＢに達するコンタクトホール５３２Ｂが形成されている。図５及び図１２に示すように、絶縁膜１５３の電源線９２０の上方に、ゲート電極１３３に達するコンタクトホール５４２が形成されている。絶縁膜１５３の電源線９２０の上方に、ローカル配線２９１ＴＡに達するコンタクトホール５３１Ａが形成されている。絶縁膜１５３の電源線９２０の上方に、ゲート電極１３２に達するコンタクトホール５４１Ｂが形成されている。

[0043] 図５等に示すように、電源線９１０の上方では、コンタクトホール５４１Ａ内の導電体を通じてゲート電極１３１に接続される信号線９５１と、コンタクトホール５３１Ｃ内の導電体を通じてローカル配線２９１ＴＣに接続される信号線９５２とが絶縁膜１５４内に形成されている。信号線９５１及び９５２は、Ｘ方向に延びる。信号線９５１にインバータ１３１０への入力信号ＩＮが入力され、信号線９５２からインバータ１３２０からの出力信号ＯＵＴが出力される。

[0044] 電源線９２０の上方では、制御信号線９４０が絶縁膜１５４内に形成されている。制御信号線９４０は、コンタクトホール５３１Ａ内の導電体を通じてローカル配線２９１ＴＡに接続される。制御信号線９４０は、コンタクトホール５４１Ｂ内の導電体を通じてゲート電極１３２に接続される。制御信号線９４０は、コンタクトホール５４２内の導電体を通じてゲート電極１３３に接続される。制御信号線９４０は、Ｘ方向に延びる。制御信号線９４０を通じて、電源スイッチ制御回路１１３からスイッチトランジスタ１１１及び１１２への制御信号が伝達される。

[0045] Ｙ方向において、信号線９５１及び９５２と制御信号線９４０との間に電源線９３０が配置される。電源線９３０は、絶縁膜１５４内に形成されてい

る。電源線９３０は、コンタクトホール５３１Ｂ内の導電体を通じてローカル配線２９１ＴＢに接続され、コンタクトホール５３２Ｂ内の導電体を通じてローカル配線２９２ＴＢに接続される。電源線９３０は、例えばＶＤＤ配線に相当する。

[0046] 例えば、電源線９１０及び９２０の材料には、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）又はタングステン（W）等が用いられる。例えば、電源線９３０、制御信号線９４０及び信号線９５１～９５２の材料には、銅（Ｃｕ）、ルテニウム（Ｒｕ）又はコバルト（Ｃｏ）等が用いられる。銅又はコバルトを用いる場合、導電性の下地膜（バリアメタル膜）、例えばタンタル（Ｔａ）膜又は窒化タンタル（ＴａＮ）膜を形成することが好ましいが、ルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0047] 例えば、ローカル配線の材料には、銅（Ｃｕ）、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）又はタングステン（W）等が用いられる。銅、コバルト又はタングステンを用いる場合、導電性の下地膜（バリアメタル膜）、例えばチタン（Ｔｉ）膜又は窒化チタン（ＴｉＮ）膜を形成することが好ましいが、ルテニウムを用いる場合は、下地膜を形成しなくてもよい。例えば、コンタクトホール内の導電膜（ビア）には、例えばローカル配線の材料と同様の材料、又は電源線９３０、制御信号線９４０及び信号線９５１～９５２の材料と同様の材料を用いることができる。

[0048] 例えば、基板１０１には、シリコン（Ｓｉ）等の半導体を用いることができる。例えば、フィン１８１及び１８２は、基板１０１をパターニングすることで形成することができる。フィン１８１及び１８２のローカル配線と接する部分にニッケル（Ｎｉ）又はコバルト（Ｃｏ）等の高融点金属のシリサイドを設けてもよい。例えば、半導体領域２８１及び２８２のチャネルには、シリコン（Ｓｉ）等の半導体のナノワイヤを用いることができる。また、半導体領域２８１及び２８２のＰ型領域及びＮ型領域には、チャネルのナノワイヤの端面からエピタキシャル成長させた、Ｓｉ、炭化シリコン（ＳｉＣ）、シリコンゲルマニウム（ＳｉＧｅ）等の半導体を用いることができる。

[0049] 例えば、ゲート電極１３１～１３３には、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、多結晶シリコン（ポリＳｉ）等の導電材料を用いることができる。例えば、ゲート絶縁膜には、ハフニウム酸化物、アルミニウム酸化物、ハフニウム及びアルミニウムの酸化物等の高誘電体材料を用いることができる。

[0050] 例えば、電源線９３０、制御信号線９４０及び信号線９５１～９５２は、それらの下部に配置されるコンタクトホールとともに、デュアルダマシン法により形成されている。また、電源線９３０、制御信号線９４０及び信号線９５１～９５２は、それらの下部に配置されるコンタクトホールとは別個に、シングルダマシン法で形成されていてもよい。また、電源線９１０および９２０は、例えば電源スイッチ回路１１０及び電源スイッチ制御回路１１３の各トランジスタよりも上方に配置されてもよい。これらの変形を、他の実施形態や変形例に適用してもよい。

[0051] 第１の実施形態では、インバータ１３１０及び１３２０がＣＦＥＴを含む。また、スイッチトランジスタ１１１及び１１２は、いずれもＰチャネルＭＯＳトランジスタであるが、ＣＦＥＴのような積層構造を有する。第１の実施形態によれば、ＣＦＥＴを用いて電源スイッチ回路１１０を実現することができる。従って、半導体装置の更なる微細化に好適である。

[0052] （第１の実施形態の第１の変形例）

次に、第１の実施形態の第１の変形例について説明する。第１の変形例は、ＮチャネルＭＯＳトランジスタ１３１１Ｎ及び１３２１Ｎ、スイッチトランジスタ１１１に、フィンに代えてナノワイヤが用いられる点で第１の実施形態と相違する。図１３～図１５は、第１の実施形態の第１の変形例におけるスタンダードセル領域１０を示す断面図である。図１３は、図４及び図５中のＸ１１－Ｘ２１線に沿った断面図に相当する。図１４は、図４及び図５中のＹ１１－Ｙ２１線に沿った断面図に相当する。図１５は、図４及び図５中のＹ１６－Ｙ２６線に沿った断面図に相当する。

[0053] 第１の変形例では、図１３～図１５に示すように、ローカル配線１９１Ｂ

Ａ、１９１ＢＢ、１９１ＢＣ、１９２ＢＡ及び１９２ＢＢの下面と基板１０１の上面との間に絶縁膜１０５が形成されている。半導体領域２８１の下方に、Ｘ方向に延び、ローカル配線１９１ＢＡ、１９１ＢＢ及び１９１ＢＣと平面視で重なって配置される半導体領域４８１が設けられている。半導体領域２８２の下方に、Ｘ方向に延び、ローカル配線１９２ＢＡ及び１９２ＢＢと平面視で重なって配置される半導体領域４８２が設けられている。

[0054] 半導体領域４８１は、Ｎ型領域４８１ＮＡと、Ｎ型領域４８１ＮＣと、Ｎ型領域４８１ＮＡとＮ型領域４８１ＮＣとの間のＮ型領域４８１ＮＢとを含む。Ｎ型領域４８１ＮＡは、ＮチャネルＭＯＳトランジスタ１３１１Ｎのドレインとなる。Ｎ型領域４８１ＮＣは、ＮチャネルＭＯＳトランジスタ１３２１Ｎのドレインとなる。Ｎ型領域４８１ＮＢは、ＮチャネルＭＯＳトランジスタ１３１１Ｎのソース及びＮチャネルＭＯＳトランジスタ１３２１Ｎのソースとなる。半導体領域４８１の、Ｎ型領域４８１ＮＡとＮ型領域４８１ＮＢとの間の部分がＮチャネルＭＯＳトランジスタ１３１１Ｎのチャネル４８１Ｃとなる。半導体領域４８１の、Ｎ型領域４８１ＮＢとＮ型領域４８１ＮＣとの間の部分がＮチャネルＭＯＳトランジスタ１３２１Ｎのチャネル４８１Ｃとなる。

[0055] 半導体領域４８２は、交互に配置されたＰ型領域４８２ＰＡと、Ｐ型領域４８２ＰＢとを含む。Ｐ型領域４８２ＰＡは、スイッチトランジスタ１１１のドレインとなる。Ｐ型領域４８２ＰＢは、スイッチトランジスタ１１１のソースとなる。半導体領域４８２の、Ｐ型領域４８２ＰＡとＰ型領域４８２ＰＢとの間の部分がスイッチトランジスタ１１１のチャネル４８２Ｃとなる。

[0056] 例えば、半導体領域４８１及び４８２のチャネルには、シリコン（Ｓｉ）等の半導体のナノワイヤを用いることができる。また、半導体領域４８１及び４８２のＰ型領域及びＮ型領域には、チャネルのナノワイヤの端面からエピタキシャル成長させた、Ｓｉ、炭化シリコン（ＳｉＣ）、シリコンゲルマニウム（ＳｉＧｅ）等の半導体を用いることができる。

[0057] 他の構成は第１の実施形態と同様である。

[0058] 第１の変形例によっても第１の実施形態と同様の効果を得ることができる。他の実施形態や変更例においても、フィン１８１及び１８２に代えて半導体領域４８１及び４８２を用いることができる。また、半導体領域４８１及び４８２に代えてフィン１８１及び１８２を用いることもできる。

[0059] （第１の実施形態の第２の変形例）

次に、第１の実施形態の第２の変形例について説明する。第２の変形例は、コンタクトホール５２２Ｂの配置の点で第１の実施形態と相違する。図１６は、第１の実施形態の第２の変形例におけるスタンダードセル領域１０の平面構成を示す模式図である。図１６は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図１７は、第１の実施形態の第２の変形例におけるスタンダードセル領域１０を示す断面図である。図１７は、図１６中のＹ１５－Ｙ２５線に沿った断面図に相当する。

[0060] 第２の変形例では、図１６～図１７に示すように、コンタクトホール５２２Ｂが電源線９２０の上方に位置する。他の構成は第１の実施形態と同様である。

[0061] 第２の変形例によっても第１の実施形態と同様の効果を得ることができる。

[0062] また、第２の変形例では、平面視でコンタクトホール５２２Ｂが半導体領域２８２からずれているため、保護膜等により半導体領域２８２を保護せずともコンタクトホール５２２Ｂを形成することができる。従って、製造工程を簡略化することができる。

[0063] （第１の実施形態の第３の変形例）

次に、第１の実施形態の第３の変形例について説明する。第３の変形例は、スイッチトランジスタ１１１及び１１２の構成の点で第１の実施形態と相違する。図１８及び図１９は、第１の実施形態の第３の変形例におけるスイッチトランジスタ１１１及び１１２の平面構成を示す模式図である。図１８は、主として、スイッチトランジスタ１１１のレイアウトを示す。図１９は

、主として、スイッチトランジスタ１１２のレイアウトを示す。図１８及び図１９の両方に示す構造物を除き、図１９に示す構造物は、図１８に示す構造物の上方に位置する。

[0064] 第３の変形例では、図１８に示すように、ローカル配線１９２ＢＢが、ローカル配線１９２ＢＡと同様に、Ｐ型領域１８２ＰＡから電源線９１０の上方まで延びる。コンタクトホール５２２Ｂが電源線９１０の上方にも形成されている。図１９に示すように、コンタクトホール５３２Ｂが電源線９１０の上方にも形成されている。電源線９１０の上方にも、コンタクトホール５３２Ｂ内の導電体を通じてローカル配線２９２ＴＢに接続される電源線９３０が形成されている。例えば、電源線９１０の上方の電源線９３０は、フィン１８２の上方の電源線９３０に、上層の配線層を介して接続されている。つまり、第３の変形例では、ＶＤＤ配線の一部である電源線９３０が複数に分割されて、スイッチトランジスタ１１２のソースに接続されている。複数に分割された電源線９３０は、お互いに電気的に接続される。他の構成は第１の実施形態と同様である。

[0065] 第３の変形例によっても第１の実施形態と同様の効果を得ることができる。また、電源線９３０を複数に分割して配置することにより、ＶＤＤの電位の供給を分散して行うことが可能となり、電流集中を抑制することができる。また、電源線９３０の分割により、電源線９３０全体で抵抗が低減されるため、電源線９３０を通じて供給される電位の低下を抑制することができる。他の実施形態や変更例において、電源線９３０が複数に分割されて、スイッチトランジスタ１１２のソースに接続されていてもよい。

[0066] （第１の実施形態の第４の変形例）

次に、第１の実施形態の第４の変形例について説明する。第４の変形例は、スイッチトランジスタ１１１及び１１２の構成の点で第１の実施形態と相違する。図２０及び図２１は、第１の実施形態の第４の変形例におけるスイッチトランジスタ１１１及び１１２の平面構成を示す模式図である。図２０は、主として、スイッチトランジスタ１１１のレイアウトを示す。図２１は

、主として、スイッチトランジスタ１１２のレイアウトを示す。図２０及び図２１の両方に示す構造物を除き、図２１に示す構造物は、図２０に示す構造物の上方に位置する。

[0067] 第４の変形例では、図２０に示すように、ローカル配線１９２ＢＢが、電源線９１０の上方から電源線９２０の上方まで延びる。コンタクトホール５２２Ｂは、電源線９１０の上方及び電源線９２０の上方に位置する。図２１に示すように、コンタクトホール５３２Ｂは、電源線９１０の上方及び電源線９２０の上方に位置し、コンタクトホール５４２は半導体領域２８２の上方に位置する。電源線９１０及び９２０の上方に電源線９３０が形成され、半導体領域２８２の上方に制御信号線９４０が形成されている。制御信号線９４０は、半導体領域２８２の上方でコンタクトホール５４２内の導電体を通じてゲート電極１３３に接続されている。他の構成は第３の変形例と同様である。

[0068] 第４の変形例によっても第１の実施形態と同様の効果を得ることができる。更に、平面視でコンタクトホール５３２Ｂとコンタクトホール５２２Ｂとが重なるため、電源線９３０とローカル配線１９２ＢＢとの間の抵抗を低減することができる。

[0069] （第１の実施形態の第５の変形例）

次に、第１の実施形態の第５の変形例について説明する。第５の変形例は、電源スイッチ回路１１０のトラック数の点で第１の実施形態と相違する。図２２及び図２３は、第１の実施形態の第５の変形例におけるスタンダードセル領域１０の平面構成を示す模式図である。図２２は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図２３は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図２２及び図２３の両方に示す構造物を除き、図２３に示す構造物は、図２２に示す構造物の上方に位置する。

[0070] 第５の変形例では、図２２及び図２３に示すように、電源スイッチ回路１

１０が４トラックで構成されている。

[0071] 図２２に示すように、Ｙ方向で、コンタクトホール５２１Ａは電源線９２０とフィン１８１との間に位置し、コンタクトホール５２１Ｃは電源線９１０とフィン１８１との間に位置する。ローカル配線１９２ＢＢが、ローカル配線１９２ＢＡと同様に、Ｐ型領域１８２ＰＡから電源線９１０の上方まで延びる。コンタクトホール５２２Ｂは電源線９１０の上方に位置する。

[0072] 図２３に示すように、コンタクトホール５３１Ｂ及び５３２Ｂは電源線９１０の上方に位置する。電源線９３０は、電源線９１０の上方において、コンタクトホール５３１Ｂ内の導電体を通じてローカル配線２９１ＴＢに接続され、コンタクトホール５３２Ｂ内の導電体を通じてローカル配線２９２ＴＢに接続されている。コンタクトホール５４１Ａ及び信号線９５１は、電源線９２０の上方に位置する。コンタクトホール５３１Ｃ及び信号線９５２は、コンタクトホール５２１Ｃの上方に位置する。Ｘ方向でローカル配線２９１ＴＢとの間でローカル配線２９１ＴＣを挟むようにして、ローカル配線２９１ＴＤが形成されている。ローカル配線２９１ＴＤは、電源線９２０の上方から電源線９１０の上方に向かって延びる。Ｙ方向でコンタクトホール５３１Ａと同じ位置において、ローカル配線２９１ＴＤ上で絶縁膜１５３にコンタクトホール５３１Ｄが形成されている。コンタクトホール５３１Ａ内の導電体を通じてローカル配線２９１ＴＡに接続され、コンタクトホール５３１Ｄ内の導電体を通じてローカル配線２９１ＴＤに接続される制御信号線９４１が絶縁膜１５４内に形成されている。

[0073] 他の構成は第１の実施形態と同様である。

[0074] 第５の参考例によっても第１の実施形態と同様の効果を得ることができる。また、第５の参考例によれば、Ｙ方向において、電源線９３０と制御信号線９４０との間の距離を大きくすることができる。このため、電源線９３０と制御信号線９４０との間の寄生容量を低減することができる。更に、平面視でコンタクトホール５３２Ｂとコンタクトホール５２２Ｂとが重なるため、電源線９３０とローカル配線１９２ＢＢとの間の抵抗を低減することがで

きる。

[0075] なお、Ｙ方向で電源線９１０と電源線９２０との間に、フィン１８１（又は半導体領域４８１）、フィン１８２（又は半導体領域４８２）、半導体領域２８１及び半導体領域２８２が、２セット以上配置されていてもよい。他の実施形態や変更例においても、同様である。

[0076] （第２の実施形態）

次に、第２の実施形態について説明する。第２の実施形態は、ローカル配線の配置の点で第１の実施形態と相違する。図２４及び図２５は、第２の実施形態におけるスタンダードセル領域１０の平面構成を示す模式図である。図２４は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図２５は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図２４及び図２５の両方に示す構造物を除き、図２５に示す構造物は、図２４に示す構造物の上方に位置する。図２６及び図２７は、第２の実施形態におけるスタンダードセル領域１０を示す断面図である。図２６は、図２４及び図２５中のＹ１７－Ｙ２７線に沿った断面図に相当する。図２７は、図２４及び図２５中のＹ１８－Ｙ２８線に沿った断面図に相当する。

[0077] 第２の実施形態では、図２４に示すように、ローカル配線１９１ＢＡがＮ型領域４８１ＮＡから電源線９１０の上方に延び、コンタクトホール５２１Ａは電源線９１０の上方に位置する。ローカル配線１９２ＢＡがＰ型領域４８２ＰＡから電源線９１０の上方に延び、ローカル配線１９２ＢＢがＰ型領域４８２ＰＢから電源線９２０の上方に延びる。

[0078] 図２５に示すように、ローカル配線２９１ＴＡがＰ型領域２８１ＰＡから電源線９１０の上方まで延びる。コンタクトホール５３１Ａは電源線９１０の上方に位置する。コンタクトホール５４１Ａは電源線９２０の上方に位置する。コンタクトホール５４１Ｂは電源線９１０の上方に位置する。コンタクトホール５３１Ｃは半導体領域２８１の上方に位置する。ローカル配線２

９２ＴＡがＰ型領域２８２ＰＡから電源線９２０の上方に延び、ローカル配線２９２ＴＢがＰ型領域２８２ＰＢから電源線９１０の上方に延びる。

[0079] 図２６に示すように、電源線９２０の上方において、絶縁膜１５３にコンタクトホール２５３２Ａが形成され、電源線９３０がコンタクトホール２５３２Ａ内の導電体を通じてローカル配線２９２ＴＡに接続されている。

[0080] 図２７に示すように、電源線９１０の上方において、絶縁膜１５１及び１０３にコンタクトホール２５１２Ｂが形成され、ローカル配線２９２ＴＢがコンタクトホール２５１２Ｂ内の導電体を通じて電源線９１０に接続されている。電源線９２０の上方において、絶縁膜１５３及び１５２にコンタクトホール２５３２Ｂが形成され、電源線９３０がコンタクトホール２５３２Ｂ内の導電体を通じてローカル配線１９２ＢＢに接続されている。

[0081] このように、第２の実施形態では、平面視で、スイッチトランジスタ１１１のソース（Ｐ型領域４８２ＰＢ）とスイッチトランジスタ１１２のドレイン（Ｐ型領域２８２ＰＢ）とが重なり、スイッチトランジスタ１１１のドレイン（Ｐ型領域４８２ＰＡ）とスイッチトランジスタ１１２のソース（Ｐ型領域２８２ＰＡ）とが重なる。

[0082] 他の構成は第１の実施形態の第１の変形例と同様である。

[0083] 第２の実施形態では、ローカル配線２９２ＴＢを介さずに、コンタクトホール２３５２Ｂ内の導電体を通じてローカル配線１９２ＢＢに電源線９３０が接続されている。このため、ローカル配線１９２ＢＢに供給されるＶＤＤの電源電位とローカル配線２９２ＴＡに供給されるＶＤＤの電源電位との間の均一性を向上することができる。また、平面視で、スイッチトランジスタ１１１における電流パスＩ１と、スイッチトランジスタ１１２における電流パスＩ２とが分散されている。このため、電流集中をより抑制することができ、電源ドロップを抑制することができる。

[0084] 第１の実施形態の第２～第５の変形例を、第２の実施形態に適用してもよい。

[0085] （第３の実施形態）

次に、第３の実施形態について説明する。第３の実施形態は、セルの高さの点で第１の実施形態と相違する。図２８及び図２９は、第３の実施形態におけるスタンダードセル領域１０の平面構成を示す模式図である。図２８は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図２９は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。

[0086] 第３の実施形態では、図２８及び図２９に示すように、電源スイッチ回路１１０がダブルハイトセルとなっている。つまり、Ｙ方向で電源線９２０を挟んで配置される２つの電源線９１０にわたって電源スイッチ回路１１０が形成されている。

[0087] 図２８に示すように、ローカル配線１９１ＢＡがＮ型領域１８１ＮＡから一方の電源線９１０の上方に延び、ローカル配線１９１ＢＣがＮ型領域１８１ＮＣから電源線９２０の上方に延びる。コンタクトホール５２１Ａは一方の電源線９１０の上方に位置し、コンタクトホール５２１Ｃは電源線９２０の上方に位置する。

[0088] 図２８及び図２９に示すように、ゲート電極１３３、ローカル配線１９２ＢＡ、１９２ＢＢ、２９２ＴＡ及び２９２ＴＢは、一方の電源線９１０の上方から他方の電源線９１０の上方まで延びる。Ｙ方向で一方の電源線９１０と他方の電源線９１０との間に、４つのフィン１８２及び半導体領域２８２が等間隔で配置されている。平面視でフィン１８２及び半導体領域２８２と重なるようにして、ローカル配線１９２ＢＢとローカル配線２９２ＴＢとの間にコンタクトホール５２２Ｂが形成されている。なお、図２８及び図２９におけるフィン１８２及び半導体領域２８２の数は一例であり、これに限られない。

[0089] 図２９に示すように、一方の電源線９１０の上方に制御信号線９４０が位置し、電源線９２０の上方に電源線９３０が位置する。また、フィン１８２及び半導体領域２８２の上方においても電源線９３０が絶縁膜１５４内に形

成されている。複数の電源線９３０のうち、最も制御信号線９４０に近いものが、コンタクトホール５３１Ｂ内の導電体を通じてローカル配線２９１ＴＢに接続されている。

[0090] 第３の実施形態によっても第１の実施形態と同様の効果を得ることができる。他の実施形態や変更例においても、電源スイッチ回路１１０をダブルハイトセルとすることができる。

[0091] なお、フィン１８２（又は半導体領域４８２）と半導体領域２８２との間のコンタクトホール５２２Ｂは形成を省略してもよい。この場合、コンタクトホール５２２Ｂは、平面視で電源線９１０と重なる位置にのみ配置されるものとなってもよい。

[0092] （第３の実施形態の第１の変形例）

次に、第３の実施形態の第１の変形例について説明する。第１の変形例は、セルの高さの点で第２の実施形態と相違する。図３０及び図３１は、第３の実施形態の第１の変形例におけるスタンダードセル領域１０の平面構成を示す模式図である。図３０は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図３１は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。

[0093] 第１の変形例では、図３０及び図３１に示すように、電源スイッチ回路１１０がダブルハイトセルとなっている。つまり、Ｙ方向で電源線９２０を挟んで配置される２つの電源線９１０にわたって電源スイッチ回路１１０が形成されている。ローカル配線１９２ＢＡがＰ型領域１８２ＰＡから２つの電源線９１０の上方に延びる。ローカル配線１９２ＢＢがＰ型領域１８２ＰＢのそれぞれと重なる位置に配置され、平面視で２つの電源線９１０と離間する。ローカル配線２９２ＴＡがＰ型領域２８２ＰＡのそれぞれと重なる位置に配置され、平面視で２つの電源線９１０と離間する。ローカル配線２９２ＴＢがＰ型領域２８２ＰＢから２つの電源線９１０の上方に延びる。ローカ

ル配線１９２ＢＡの一部の上方に、ローカル配線２９２ＴＡの一部が配置される。ローカル配線１９２ＢＢの一部の上方に、ローカル配線２９２ＴＢの一部が配置される。ローカル配線１９２ＢＢは、コンタクトホール２５３２Ｂ内の導電体を通じて電源線９３０に接続する。ローカル配線２９２ＴＡは、コンタクトホール２５３２Ａ内の導電体を通じて電源線９３０に接続する。ローカル配線１９２ＢＡは、２つの電源線９１０のそれぞれとコンタクトホール５１２Ａ内の導電体を通じて接続する。ローカル配線２９２ＴＢは、２つの電源線９１０のそれぞれとコンタクトホール２５１２Ｂ内の導電体を通じて接続する。

[0094] つまり、第１の変形例は、第３の実施形態と第２の実施形態とを組み合わせた構成を備える。ただし、第３の実施形態では、平面視で電源線９２０のＸ方向の延長線上にフィン１８２及び半導体領域２８２が位置するのに対し、第１の変形例では、これらがそれぞれのセルの電源線９１０寄りに位置している。そして、平面視で電源線９２０の延長線上にコンタクトホール２５３２Ｂが位置している。この場合、コンタクトホール２５３２Ｂは、平面視でフィン１８２及び半導体領域２８２の間に位置している。

[0095] 第１の変形例によれば、第２の実施形態と同様の効果及び第３の実施形態と同様の効果を得ることができる。

[0096] （第３の実施形態の第２の変形例）

次に、第３の実施形態の第２の変形例について説明する。第２の変形例は、スイッチトランジスタ１１１及び１１２の構成の点で第１の変形例と相違する。図３２及び図３３は、第３の実施形態の第２の変形例におけるスタンダードセル領域１０の平面構成を示す模式図である。図３２は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図３３は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。

[0097] 第２の変形例では、図３２及び図３３に示すように、２つの電源線９１０

間に４つのフィン１８２が等間隔で配置されている。４つのフィン１８２のうち３つについては、その上方に半導体領域２８２が配置されている。そして、平面視でフィン１８２が配置され半導体領域２８２が配置されなかった部分に、コンタクトホール２５３２Ｂが位置している。なお、フィン１８２の配置数は一例であり、４つに限られない。また、上方に半導体領域２８２が配置されないフィン１８２の数は１つに限られず、２以上であってもよい。

[0098] 第２の変形例によっても第２の実施形態と同様の効果及び第３の実施形態と同様の効果を得ることができる。

[0099] なお、第２の変形例では、複数あるフィン１８２の一部の上方に半導体領域２８２が配置されていないが、この半導体領域２８２のＰ型領域２８２ＰＡ及び２８２ＰＢが形成されていなければ、ダミーのチャネル２８２Ｃが形成されていてもよい。また、形成プロセスにおいて、Ｐ型領域２８２ＰＡ及び２８２ＰＢをエピタキシャル成長させた後に、Ｐ型領域２８２ＰＡ及び２８２ＰＢを除去してもよい。

[0100] （第４の実施形態）

次に、第４の実施形態について説明する。第４の実施形態は、電源スイッチ回路１１０に含まれるバッファ及びスイッチトランジスタの数の点で第１の実施形態と相違する。図３４は、第４の実施形態における電源スイッチ回路１１０の構成を示す回路図である。

[0101] 図３４に示すように、電源スイッチ回路１１０は、スイッチトランジスタ４１１１、４１１２、１１１及び１１２と、電源スイッチ制御回路４１１３とを含む。スイッチトランジスタ４１１１及び４１１２は、例えばＰチャネルＭＯＳトランジスタであり、ＶＤＤ配線とＶＶＤＤ配線との間に接続されている。スイッチトランジスタ４１１１のゲートはスイッチトランジスタ４１１２のゲートに接続されている。電源スイッチ制御回路４１１３は、スイッチトランジスタ４１１１、４１１２、１１１及び１１２の各ゲートに接続され、スイッチトランジスタ４１１１、４１１２、１１１及び１１２の動作

を制御する。電源スイッチ制御回路４１１３によりスイッチトランジスタ４１１１、４１１２、１１１及び１１２のオン／オフが切り替えられ、ＶＤＤ配線とＶＶＤＤ配線との間の導通が制御される。電源スイッチ制御回路１１３は、バッファ１３００及び４３００を含む。

[0102] バッファ１３００は、第１の実施形態と同様に、インバータ１３１０及び１３２０を有する。インバータ１３１０に入力信号ＩＮ２が入力され、インバータ１３１０の出力がスイッチトランジスタ１１１のゲートと、スイッチトランジスタ１１２のゲートと、インバータ１３２０とに入力され、インバータ１３２０から出力信号ＯＵＴ２が出力される。

[0103] バッファ４３００は、インバータ４３１０及び４３２０を有する。インバータ４３１０に入力信号ＩＮ１が入力され、インバータ４３１０の出力がスイッチトランジスタ４１１１のゲートと、スイッチトランジスタ４１１２のゲートと、インバータ４３２０とに入力され、インバータ４３２０から出力信号ＯＵＴ１が出力される。

[0104] 図３５は、バッファ４３００の構成を示す回路図である。インバータ４３１０は、２対のＰチャネルＭＯＳトランジスタ及びＮチャネルＭＯＳトランジスタを含む。すなわち、インバータ４３１０は、ＰチャネルＭＯＳトランジスタ４３１１Ｐ及び４３１２Ｐと、ＮチャネルＭＯＳトランジスタ４３１１Ｎ及び４３１２Ｎとを含む。インバータ４３２０は、２対のＰチャネルＭＯＳトランジスタ及びＮチャネルＭＯＳトランジスタを含む。すなわち、インバータ４３２０は、ＰチャネルＭＯＳトランジスタ４３２１Ｐ及び４３２２Ｐと、ＮチャネルＭＯＳトランジスタ４３２１Ｎ及び４３２２Ｎとを含む。

[0105] 図３６及び図３７は、第４の実施形態におけるスタンダードセル領域１０の平面構成を示す模式図である。図３６は、主として、電源スイッチ制御回路４１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１及び４１１１とのレイアウトを示す。図３７は、主として、電源スイッチ制御回路４１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジス

タ１１２及び４１１２のレイアウトを示す。図３６及び図３７の両方に示す構造物を除き、図３７に示す構造物は、図３６に示す構造物の上方に位置する。図３８は、第４の実施形態におけるスタンダードセル領域１０を示す断面図である。図３８は、図３６及び図３７中のＹ１９－Ｙ２９線に沿った断面図に相当する。

[0106] 図３６～図３８に示すように、電源スイッチ回路１１０は、第３の実施形態と同様に、ダブルハイトとなっている。つまり、Ｙ方向で電源線９２０を挟んで配置される２つの電源線９１０にわたって電源スイッチ回路１１０が形成されている。そして、バッファ１３００と、スイッチトランジスタ１１１及び１１２とは第３の実施形態と同様に構成されている。

[0107] バッファ４３００と、スイッチトランジスタ４１１１及び４１１２とは、バッファ１３００が設けられた一方の電源線９１０に対し他方の電源線９１０側に設けられている。

[0108] バッファ４３００は、半導体領域４８１と同様にＸ方向に延びる半導体領域４１８１と、半導体領域２８１と同様にＸ方向に延びる半導体領域４２８２とを有する。

[0109] 半導体領域４１８１は、Ｎ型領域４４８１ＮＣ等のＮ型領域と、チャネルとを有する。図３６に示すように、バッファ４３００に、Ｙ方向でローカル配線１９１ＢＡと並ぶローカル配線４１９１ＢＣと、Ｙ方向でローカル配線１９１ＢＢと並ぶローカル配線４１９１ＢＥと、Ｙ方向でローカル配線１９１ＢＣと並ぶローカル配線４１９１ＢＢとが設けられている。更に、バッファ４３００に、ローカル配線４１９１ＢＥとの間でローカル配線４１９１ＢＢを挟むローカル配線４１９１ＢＤと、ローカル配線４１９１ＢＢとの間でローカル配線４１９１ＢＤを挟むローカル配線４１９１ＢＡとが設けられている。ローカル配線４１９１ＢＢは、絶縁膜１０５及び１０３に形成されたコンタクトホール４５１１Ｂ内の導電体を通じて電源線９２０に接続される。

[0110] 半導体領域４２８２は、Ｐ型領域４４８１ＰＣ等のＰ型領域と、チャネル

とを有する。図３７に示すように、バッファ４３００に、Ｙ方向でローカル配線２９１ＴＡと並ぶローカル配線４２９１ＴＣと、Ｙ方向でローカル配線２９１ＴＢと並ぶローカル配線４２９１ＴＥと、Ｙ方向でローカル配線２９１ＴＣと並ぶローカル配線４２９１ＴＢとが設けられている。更に、バッファ４３００に、ローカル配線４２９１ＴＥとの間でローカル配線４２９１ＴＢを挟むローカル配線４２９１ＴＤと、ローカル配線４２９１ＴＢとの間でローカル配線４２９１ＴＤを挟むローカル配線４２９１ＴＡとが設けられている。ローカル配線４２９１ＴＣは、絶縁膜１０６に形成されたコンタクトホール４５２１Ｃ内の導電体を通じてローカル配線４１９１ＢＣに接続される。ローカル配線４２９１ＴＡは、絶縁膜１０６に形成されたコンタクトホール４５２１Ａ内の導電体を通じてローカル配線４１９１ＢＡに接続される。

[0111] ローカル配線４１９１ＢＣ及びローカル配線４２９１ＴＣの積層体と、ローカル配線４１９１ＢＥ及びローカル配線４２９１ＴＥの積層体との間に、ＮチャネルＭＯＳトランジスタ４３１１Ｎ及びＰチャネルＭＯＳトランジスタ４３１１Ｐに共通のゲート電極４１３２Ｂが形成されている。ローカル配線４１９１ＢＥ及びローカル配線４２９１ＴＥの積層体と、ローカル配線４１９１ＢＢ及びローカル配線４２９１ＴＢの積層体との間に、ＮチャネルＭＯＳトランジスタ４３１２Ｎ及びＰチャネルＭＯＳトランジスタ４３１２Ｐに共通のゲート電極４１３２Ａが形成されている。ローカル配線４１９１ＢＢ及びローカル配線４２９１ＴＢの積層体と、ローカル配線４１９１ＢＤ及びローカル配線４２９１ＴＤの積層体との間に、ＮチャネルＭＯＳトランジスタ４３２２Ｎ及びＰチャネルＭＯＳトランジスタ４３２２Ｐに共通のゲート電極４１３１Ａが形成されている。ローカル配線４１９１ＢＤ及びローカル配線４２９１ＴＤの積層体と、ローカル配線４１９１ＢＡ及びローカル配線４２９１ＴＡの積層体との間に、ＮチャネルＭＯＳトランジスタ４３２１Ｎ及びＰチャネルＭＯＳトランジスタ４３２１Ｐに共通のゲート電極４１３１Ｂが形成されている。

[0112] 電源線９２０の上方に、入力信号ＩＮ２が入力される信号線４９５１と、出力信号ＯＵＴ２が出力される信号線４９５２とが設けられている。信号線４９５１は、コンタクトホール４５４１ＢＢ内の導電体を通じてゲート電極４１３２Ｂに接続され、コンタクトホール４５４１ＢＡ内の導電体を通じてゲート電極４１３２Ａに接続される。信号線４９５２は、コンタクトホール４５３１Ａ内の導電体を通じてローカル配線４２９１ＴＡに接続される。

[0113] 電源線９１０の上方に、制御信号線４９４０が設けられている。制御信号線４９４０は、コンタクトホール４５３１Ｃ内の導電体を通じてローカル配線４２９１ＴＣに接続され、コンタクトホール４５４１ＡＡ内の導電体を通じてゲート電極４１３１Ａに接続され、コンタクトホール４５４１ＡＢ内の導電体を通じてゲート電極４１３１Ｂに接続される。

[0114] Ｙ方向で、信号線４９５１及び４９５２と制御信号線４９４０との間に電源線９３０が設けられている。電源線９３０は、コンタクトホール４５３１Ｂ内の導電体を通じてローカル配線４２９１ＴＢに接続される。

[0115] 図３６に示すように、スイッチトランジスタ４１１１は、半導体領域４８２と同様にＸ方向に延びる半導体領域４１８２を有する。半導体領域４１８２は、Ｎ型領域とチャネルとを有する。スイッチトランジスタ４１１１に、Ｙ方向に延びるローカル配線４１９２ＢＢ及び４１９２ＢＡが設けられている。ローカル配線４１９２ＢＡは、絶縁膜１０５及び１０３に形成されたコンタクトホール４５１２Ａ内の導電体を通じて電源線９１０に接続される。

[0116] 図３７に示すように、スイッチトランジスタ４１１２は、半導体領域２８２と同様にＸ方向に延びる半導体領域４２８２を有する。半導体領域４２８２は、Ｐ型領域とチャネルとを有する。スイッチトランジスタ４１１２に、絶縁膜１０６を介して、ローカル配線４１９２ＢＢ上に形成されたローカル配線４２９２ＴＢと、ローカル配線４１９２ＢＡ上に形成されたローカル配線４２９２ＴＡとが設けられている。ローカル配線４２９２ＴＡは、絶縁膜１０６に形成されたコンタクトホール４５２２Ａ内の導電体を通じてローカル配線４１９２ＢＡに接続される。ローカル配線４２９２ＴＢは、絶縁膜１

０６に形成されたコンタクトホール４５２２Ｂ内の導電体を通じてローカル配線４１９２ＢＢに接続される。

[0117] ローカル配線４１９２ＢＡ及びローカル配線４２９２ＴＡの積層体と、ローカル配線４１９２ＢＢ及びローカル配線４２９２ＴＢの積層体との間に、スイッチトランジスタ４１１１及び４１１２に共通のゲート電極４１３３が形成されている。

[0118] 電源線９３０が、コンタクトホール４５３２Ｂ内の導電体を通じてローカル配線４２９２ＴＢに接続され、制御信号線４９４０が、コンタクトホール４５４２内の導電体を通じてゲート電極４１３３に接続される。

[0119] 本実施形態において、スイッチトランジスタ４１１１及び４１１２は、スイッチトランジスタ１１１及び１１２よりも駆動能力が小さく、オンしたときにスイッチトランジスタ４１１１及び４１１２を流れる電流はスイッチトランジスタ１１１及び１１２を流れる電流よりも小さい。従って、スイッチトランジスタ４１１１及び４１１２をオンとした後でスイッチトランジスタ１１１及び１１２をオンとすることで、ＶＶＤＤ配線に供給される電位の立ち上がりを緩やかなものとすることができる。ＶＶＤＤ配線からスタンダードセル１２０に電源電位が急激に供給された場合、ＶＤＤ配線に電源ノイズが生じ得る。しかし、上記のように電位の立ち上がりを緩やかにすることで、このような誤動作等を抑制することができる。

[0120] なお、バッファ１３００とバッファ４３００との間で、これらを構成するトランジスタの構成が同一であってもよい。例えば、バッファ１３００に含まれるトランジスタの数とバッファ４３００に含まれるトランジスタの数とが一致していてもよい。

[0121] 図３８では、２本の電源線９２０が共通化により太い１本の電源線９２０として図示しているため、電源線９２０が電源線９１０より太くなっている。Ｙ方向で電源スイッチ回路１１０に隣接するセルに含まれる電源線９１０が電源スイッチ回路１１０の電源線９１０と隣接する場合、これら２本の電源線９１０が共通化により太い１本の電源線９１０となってもよい。他の実

施形態や変形例でも同様である。

[0122] （第５の実施形態）

次に、第５の実施形態について説明する。第５の実施形態は、バッファに含まれるＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとの間の上下関係の点で第１の実施形態の第１の変形例と相違する。図３９及び図４０は、第５の実施形態におけるスタンダードセル領域１０の平面構成を示す模式図である。図３９は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図４０は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１２のレイアウトを示す。図３９及び図４０の両方に示す構造物を除き、図４０に示す構造物は、図３９に示す構造物の上方に位置する。図４１は、第５の実施形態におけるスタンダードセル領域１０を示す断面図である。図４１は、図３９及び図４０中のＹ２０－Ｙ３０線に沿った断面図に相当する。

[0123] 第５の実施形態では、図３９～図４１に示すように、第１の実施形態の第１の変形例と比較して、バッファ１３００に含まれるＰ型領域とＮ型領域とが入れ替わっている。例えば、図４１に示すように、第１の実施形態の第１の変形例のＮ型領域４８１ＮＢに代えてＰ型領域４８１ＰＢが設けられ、第１の実施形態の第１の変形例のＰ型領域２８１ＰＢに代えてＮ型領域２８１ＮＢが設けられている。

[0124] また、ローカル配線２９１ＴＢは、絶縁膜１５１及び１０３に形成されたコンタクトホール５５２１Ｂ内の導電体を介して電源線９２０に接続されている。電源線９３０は、電源線９１０の上方において、絶縁膜１５１及び１５２に形成されたコンタクトホール５５３１Ｂ内の導電体を介してローカル配線１９１ＢＢに接続されている。

[0125] このように、第５の実施形態では、電源スイッチ制御回路１１３に含まれるＮチャネルＭＯＳトランジスタ１３１１Ｎ及び１３２１ＮがＰチャネルＭＯＳトランジスタ１３１１Ｐ及び１３２１Ｐの上方に形成されている。

[0126] 他の構成は第１の実施形態と同様である。

[0127] 第５の実施形態によっても、第１の実施形態と同様の効果を得ることができる。他の実施形態や変形例においても、電源スイッチ制御回路１１３に含まれるＮチャネルＭＯＳトランジスタがＰチャネルＭＯＳトランジスタの上方に形成することができる。

[0128] （第５の実施形態の第１の変形例）

次に、第５の実施形態の第１の変形例について説明する。第１の変形例は、電源スイッチ回路１１０のトラック数の点で第５の実施形態と相違する。図４２及び図４３は、第５の実施形態の第１の変形例におけるスタンダードセル領域１０の平面構成を示す模式図である。図４２は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図４３は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図４２及び図４３の両方に示す構造物を除き、図４３に示す構造物は、図４２に示す構造物の上方に位置する。

[0129] 第１の変形例では、図４２及び図４３に示すように、電源スイッチ回路１１０が４トラックで構成されている。つまり、第１の変形例は、第５の実施形態と第１の実施形態の第５の変形例とを組み合わせた構成を備える。

[0130] 第１の変形例によれば、第１の実施形態の第５の変形例と同様の効果及び第５の実施形態と同様の効果を得ることができる。

[0131] （第５の実施形態の第２の変形例）

次に、第５の実施形態の第２の変形例について説明する。第２の変形例は、電源スイッチ回路１１０に含まれるバッファ及びスイッチトランジスタの数の点で第５の実施形態と相違する。図４４及び図４５は、第５の実施形態の第２の変形例におけるスタンダードセル領域１０の平面構成を示す模式図である。図４４は、主として、電源スイッチ制御回路１１３のＰチャネルＭＯＳトランジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図４５は、主として、電源スイッチ制御回路１１３のＮチャネルＭＯＳトラ

ンジスタと、スイッチトランジスタ１１１とのレイアウトを示す。図４４及び図４５の両方に示す構造物を除き、図４５に示す構造物は、図４４に示す構造物の上方に位置する。

[0132] 第５の実施形態の第２の変形例は、第４の実施形態と同様の回路構成を有する。

[0133] バッファ１３００においては、電源線９１０の上方に、制御信号線５９４１及び５９４２が形成され、電源線９２０及びその延長線の上方に、制御信号線５９４３が形成されている。制御信号線５９４１と制御信号線５９４２とは、これらの上方に形成された配線５９００を介して互いに接続されている。制御信号線５９４３は、ローカル配線２９１ＴＡ等と同じ層に形成されたローカル配線を介して制御信号線５９４２に接続され、制御信号線５９４３は、ＰチャネルＭＯＳトランジスタ１３２１Ｐのゲート電極１３２に接続されている。

[0134] バッファ４３００においては、制御信号線４９４０が電源線９２０及びその延長線の上方に位置し、電源線４９３０が電源線９１０の上方に位置する。

[0135] つまり、第２の変形例は、第５の実施形態と第４の実施形態とを組み合わせた構成を備える。

[0136] 第１の変形例によれば、第４の実施形態と同様の効果及び第５の実施形態と同様の効果を得ることができる。

[0137] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

符号の説明

[0138] １：半導体装置

１１０：電源スイッチ回路

１１１、１１２、４１１１、４１１２：スイッチトランジスタ

１１３、４１１３：電源スイッチ制御回路

１２０：スタンダードセル

１８１、１８２：フィン

１８１Ｃ、１８２Ｃ、２８１Ｃ、２８２Ｃ、４８１Ｃ、４８２Ｃ：チャネル

１８１ＮＡ、１８１ＮＢ、１８１ＮＣ、２８１ＮＢ、４８１ＮＡ、４８１ＮＢ、４８１ＮＣ、４４８１ＮＣ：Ｎ型領域

１８２ＰＡ、１８２ＰＢ、２８１ＰＡ、２８１ＰＢ、２８１ＰＣ、２８２ＰＡ、２８２ＰＢ、４８１ＰＢ、４８２ＰＡ、４８２ＰＢ、４４８１ＰＣ：Ｐ型領域

１９１ＢＡ、１９１ＢＢ、１９１ＢＣ、１９２ＢＡ、１９２ＢＢ

２９１ＴＡ、２９１ＴＢ、２９１ＴＣ、２９１ＴＤ、２９２ＴＡ、２９２ＴＢ：ローカル配線

２８１、２８２、４８１、４８２、４１８２、４２８２、４４８１、４４８２：半導体領域

９１０、９２０、９３０、４９３０：電源線

９４０、９４１、４９４０、５９４１、５９４２、５９４３：制御信号線

９５１、９５２、４９５１、４９５２：信号線

１３１１Ｎ、１３２１Ｎ、４３１１Ｎ、４３１２Ｎ、４３２１Ｎ、４３２２Ｎ：ＮチャネルＭＯＳトランジスタ

１３１１Ｐ、１３２１Ｐ、４３１１Ｐ、４３１２Ｐ、４３２１Ｐ、４３２２Ｐ：ＰチャネルＭＯＳトランジスタ

請求の範囲

[請求項1] 第１電源線と、

第２電源線と、

第１接地線と、

前記第１電源線と前記第２電源線との間に設けられたスイッチ回路と、

前記第１接地線と前記第１電源線との間に設けられたスイッチ制御回路と、

を有し、

前記スイッチ回路は、

第１導電型の第１トランジスタと、

前記第１トランジスタ上に形成され、前記第１導電型の第２トランジスタと、

を有し、

前記第１トランジスタの第１ゲート電極は、前記第２トランジスタの第２ゲート電極と接続され、

前記スイッチ制御回路は、

第２導電型の第３トランジスタと、

前記第３トランジスタ上に形成され、前記第２導電型とは異なる第３導電型の第４トランジスタと、

を有し、

前記第３トランジスタの第３ゲート電極は、前記第４トランジスタの第４ゲート電極に接続され、

前記第３トランジスタの出力及び前記第４トランジスタの出力と、前記第１ゲート電極及び前記第２ゲート電極とを電気的に接続する信号線を有することを特徴とする半導体装置。

[請求項2] 前記第２電源線及び前記第１接地線が埋め込まれた基板を有し、

前記第１電源線は前記基板の上方に設けられていることを特徴とす

る請求項１に記載の半導体装置。

[請求項3] 前記第１電源線ＶＤＤは複数に分割されて前記第２トランジスタのソースに接続されていることを特徴とする請求項２に記載の半導体装置。

[請求項4] 前記第１トランジスタのソースと前記第１電源線とを接続する第１ローカル配線と、

前記第１トランジスタのドレインと前記第２電源線とを接続する第２ローカル配線と、

前記第２トランジスタのソースと前記第１電源線とを接続する第３ローカル配線と、

前記第２トランジスタのドレインと前記第２電源線とを接続する第４ローカル配線と、

前記第３トランジスタのソースと前記第１電源線又は前記第１接地線の一方とを接続する第５ローカル配線と、

前記第３トランジスタのドレインと前記信号線とを接続する第６ローカル配線と、

前記第４トランジスタのソースと前記第１電源線又は前記第１接地線の他方とを接続する第７ローカル配線と、

前記第４トランジスタのドレインと前記信号線とを接続する第８ローカル配線と、

を有することを特徴とする請求項２又は３に記載の半導体装置。

[請求項5] 前記第１ローカル配線は、前記第３ローカル配線を介して前記第１電源線に接続されていることを特徴とする請求項４に記載の半導体装置。

[請求項6] 前記第１ローカル配線は、前記第１ローカル配線と前記第１電源線との間の絶縁膜中に設けられたビアを通じて前記第１電源線に接続されていることを特徴とする請求項４に記載の半導体装置。

[請求項7] 平面視で前記第１トランジスタのソースと前記第２トランジスタの

ドレインとが重なり、

平面視で前記第１トランジスタのドレインと前記第２トランジスタのソースとが重なることを特徴とする請求項６に記載の半導体装置。

[請求項8] 前記第２導電型が前記第１導電型とは異なり、

前記第３導電型が前記第１導電型と一致することを特徴とする請求項１乃至７のいずれか１項に記載の半導体装置。

[請求項9] 前記第１トランジスタ、前記第２トランジスタ及び前記第４トランジスタはＰチャネル型トランジスタであり、

前記第３トランジスタはＮチャネル型トランジスタであることを特徴とする請求項８に記載の半導体装置。

[請求項10] 前記第２導電型が前記第１導電型と一致し、

前記第３導電型が前記第１導電型とは異なることを特徴とする請求項１乃至７のいずれか１項に記載の半導体装置。

[請求項11] 前記第１トランジスタ、前記第２トランジスタ及び前記第３トランジスタはＰチャネル型トランジスタであり、

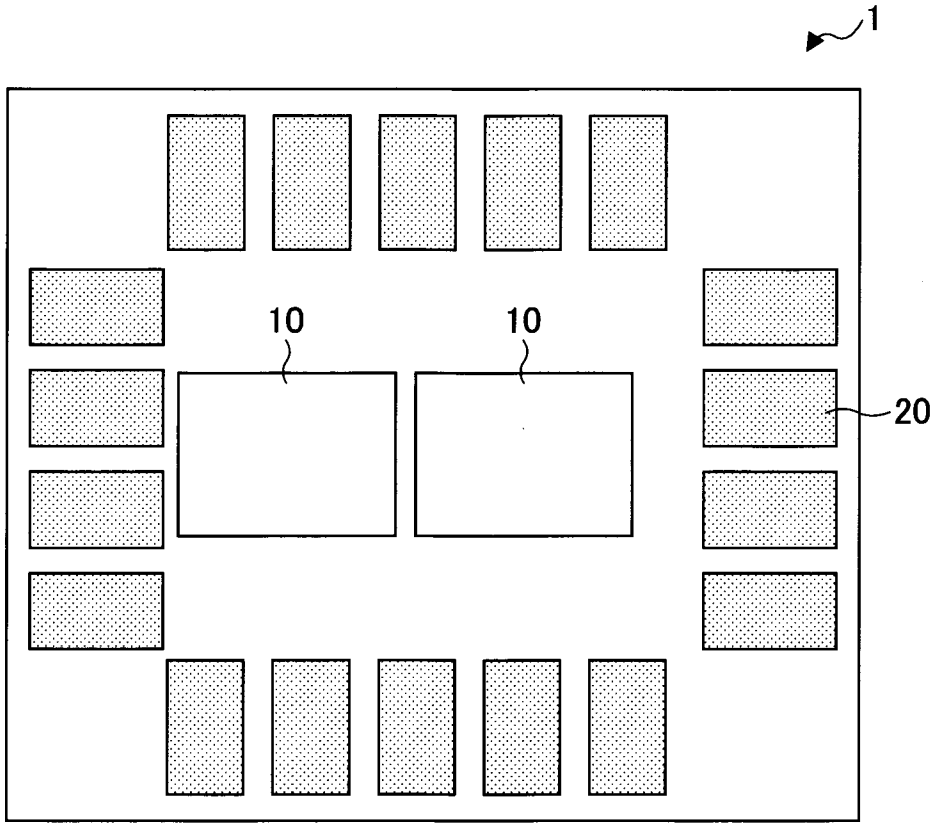
前記第４トランジスタはＮチャネル型トランジスタであることを特徴とする請求項１０に記載の半導体装置。

[請求項12] 前記第２トランジスタ及び前記第４トランジスタは、チャネルにナノワイヤを有することを特徴とする請求項１乃至１１のいずれか１項に記載の半導体装置。

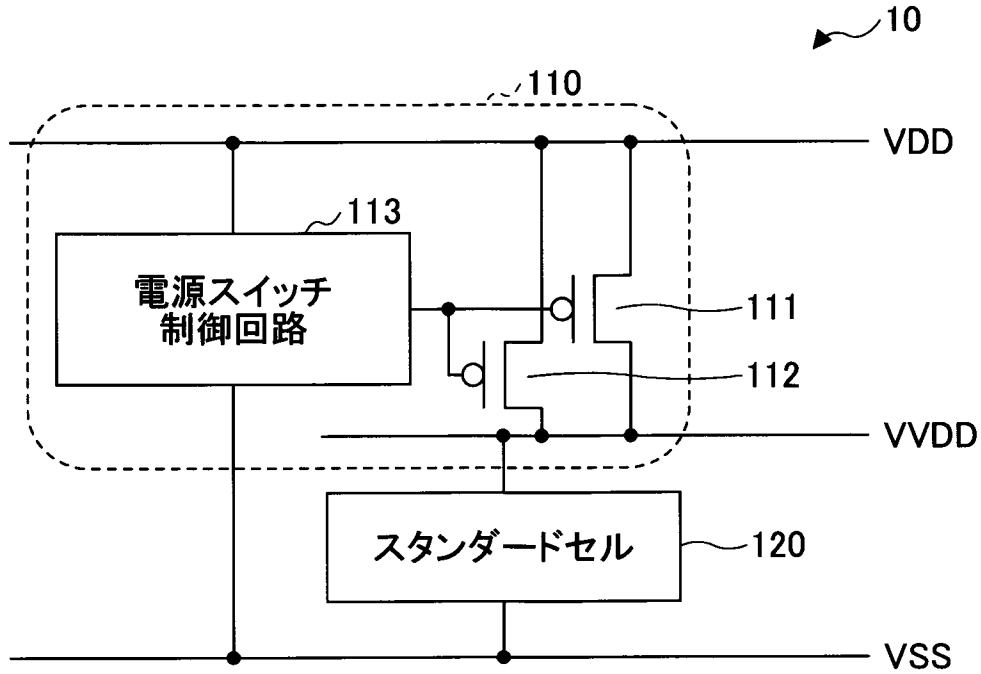
[請求項13] 前記第１トランジスタ及び前記第３トランジスタは、フィン型トランジスタであることを特徴とする請求項１乃至１２のいずれか１項に記載の半導体装置。

[請求項14] 前記第１トランジスタ及び前記第３トランジスタは、チャネルにナノワイヤを有することを特徴とする請求項１乃至１２のいずれか１項に記載の半導体装置。

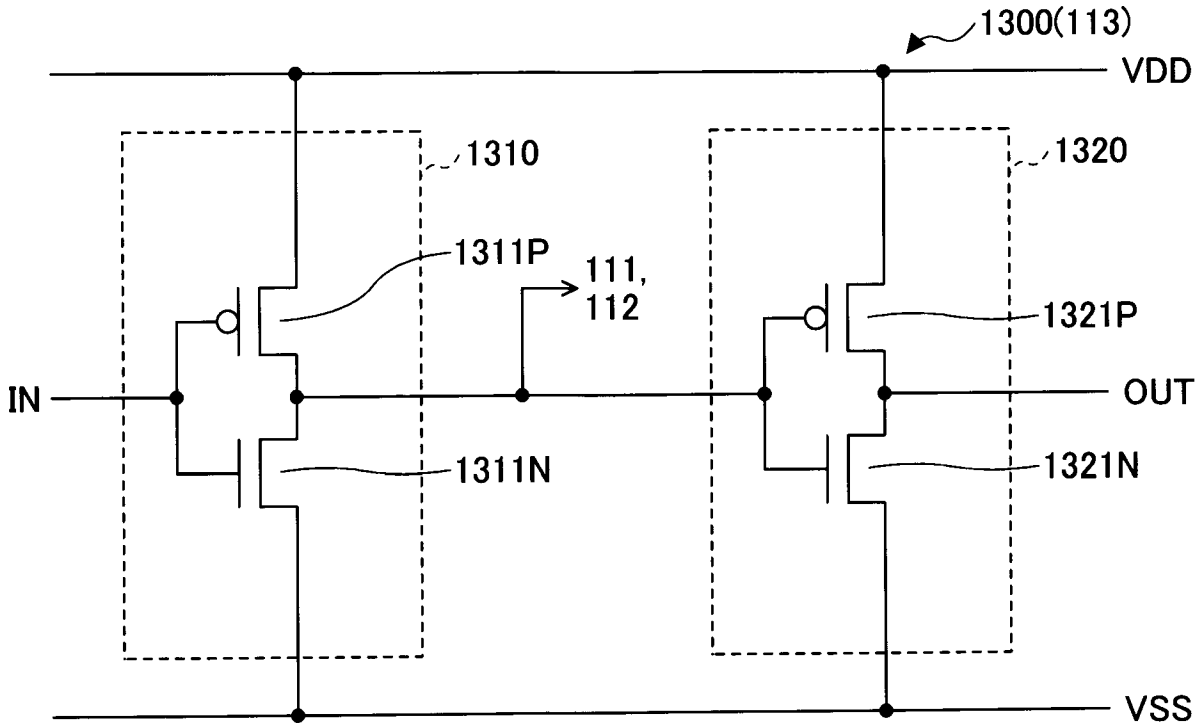
[図1]



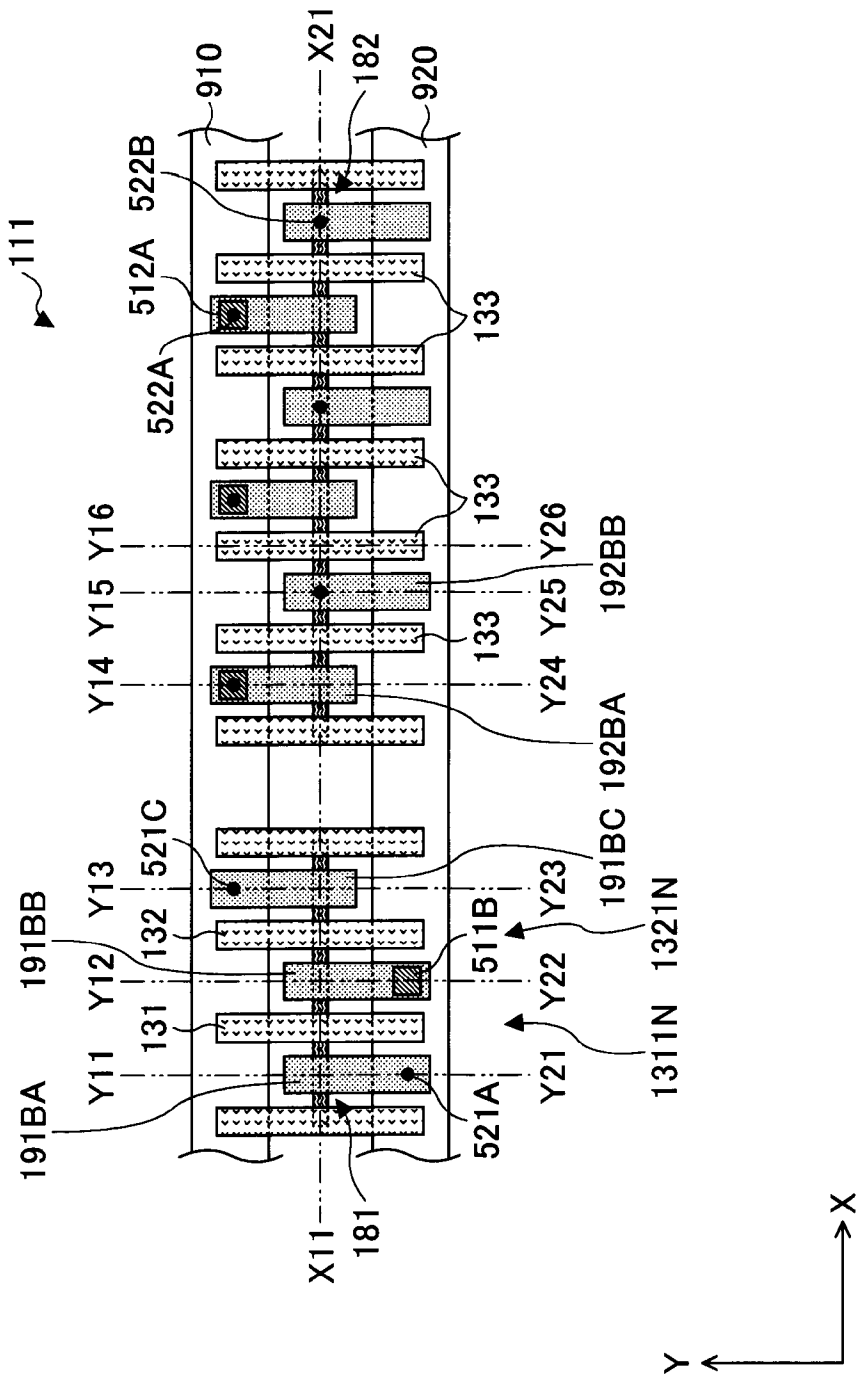
[図2]


10
110
VDD
113
電源スイッチ
制御回路
111
112
VVDD
スタンダードセル
120
VSS

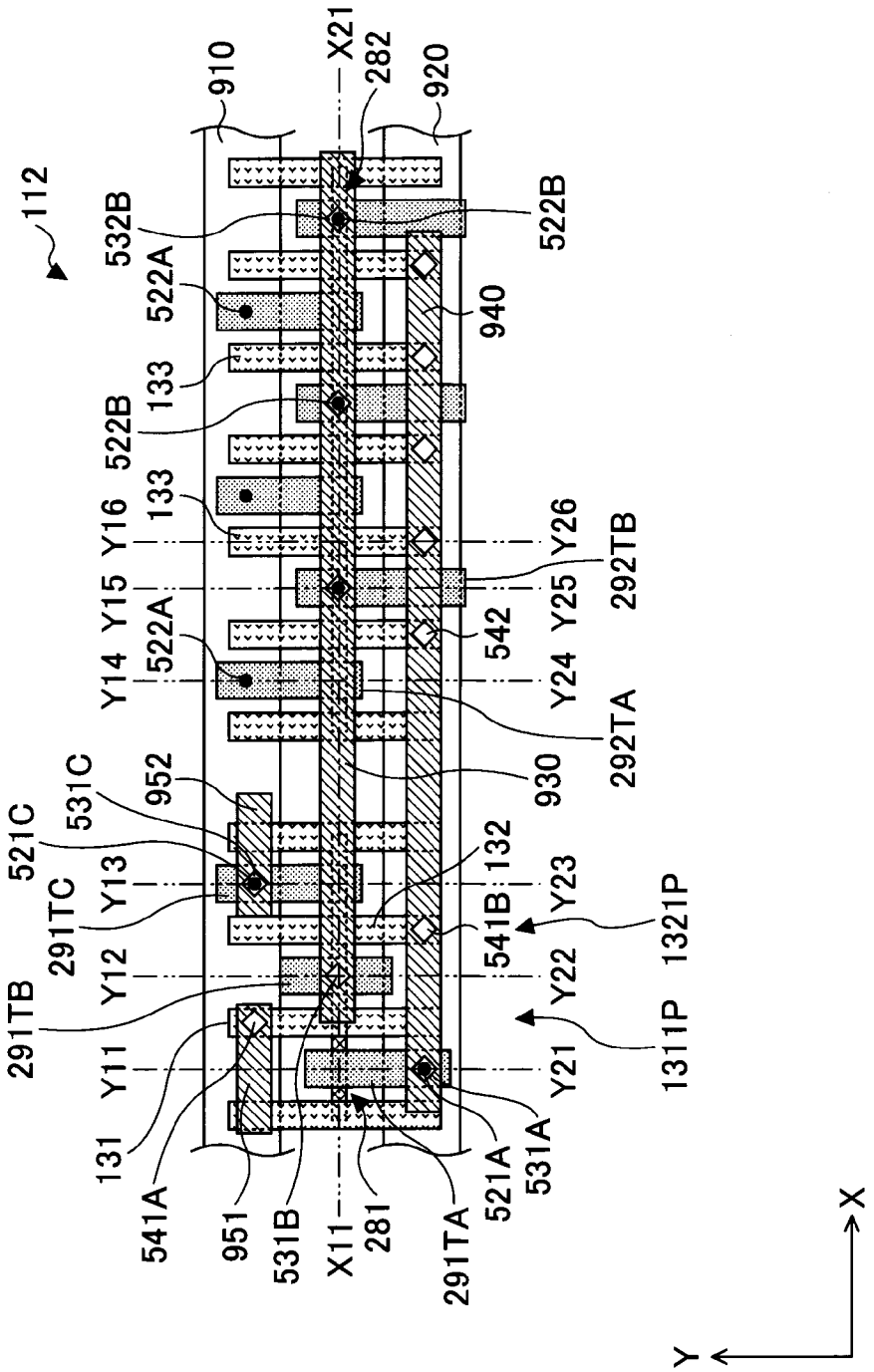
[図3]


1300(113)
VDD
1310
1320
1311P
111,
112
1321P
IN
OUT
1311N
1321N
VSS

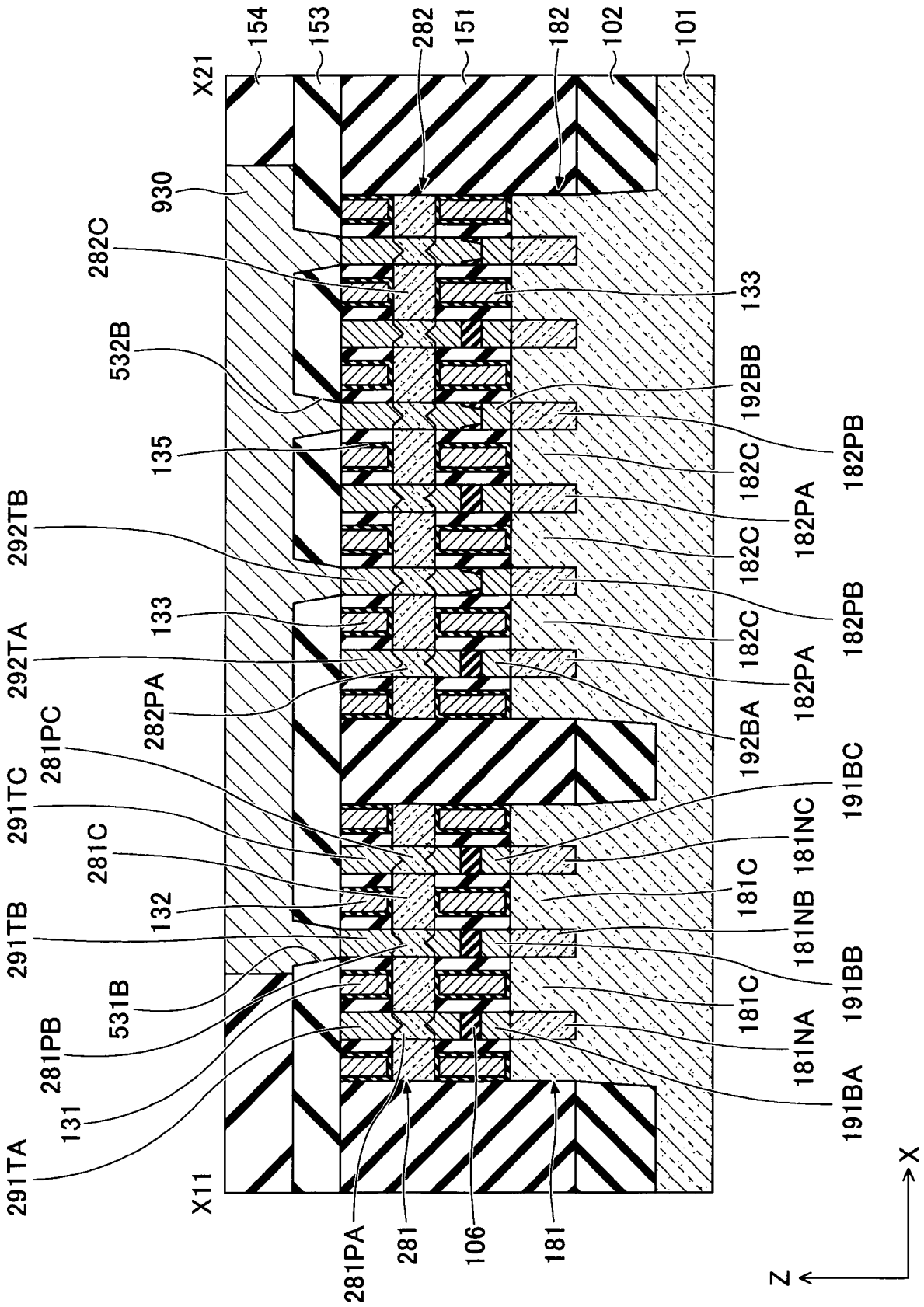
[図4]


111
910
X21
182
920
522B
512A
522A
133
Y16
Y26
Y15
Y25
192BB
Y14
Y24
192BA
521C
191BC
Y13
Y23
1321N
191BB
132
511B
Y12
Y22
131
Y11
Y21
1311N
191BA
521A
X11
181
X
Y

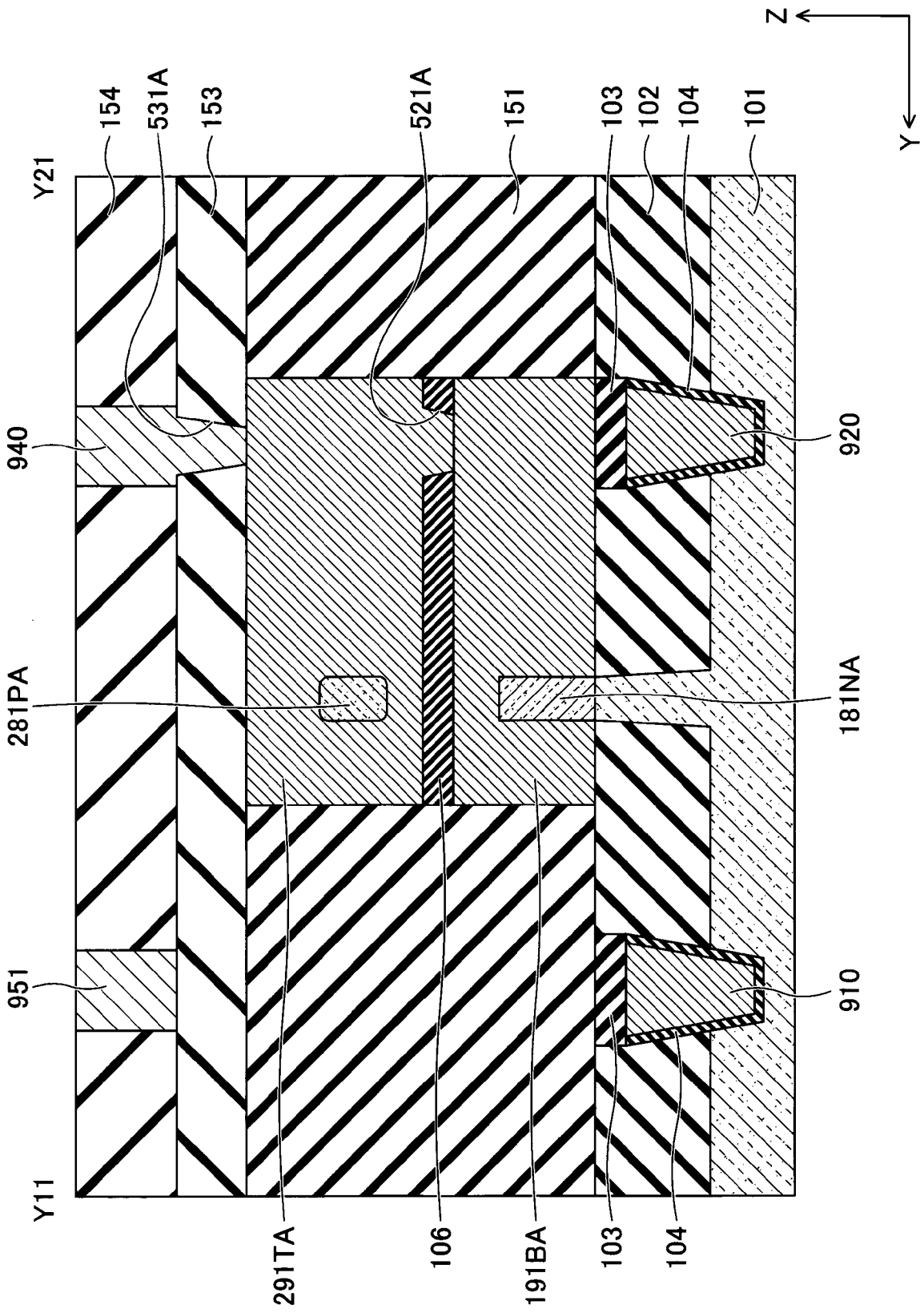
[図5]


112
910
X21
282
920
532B
522B
522A
940
133
522B
133
Y16
Y26
292TB
Y15
Y25
522A
542
Y14
Y24
292TA
952
930
531C
521C
132
Y13
Y23
291TC
541B
1321P
Y12
Y22
291TB
Y11
Y21
1311P
131
541A
951
531B
X11
281
291TA
521A
531A
X
Y

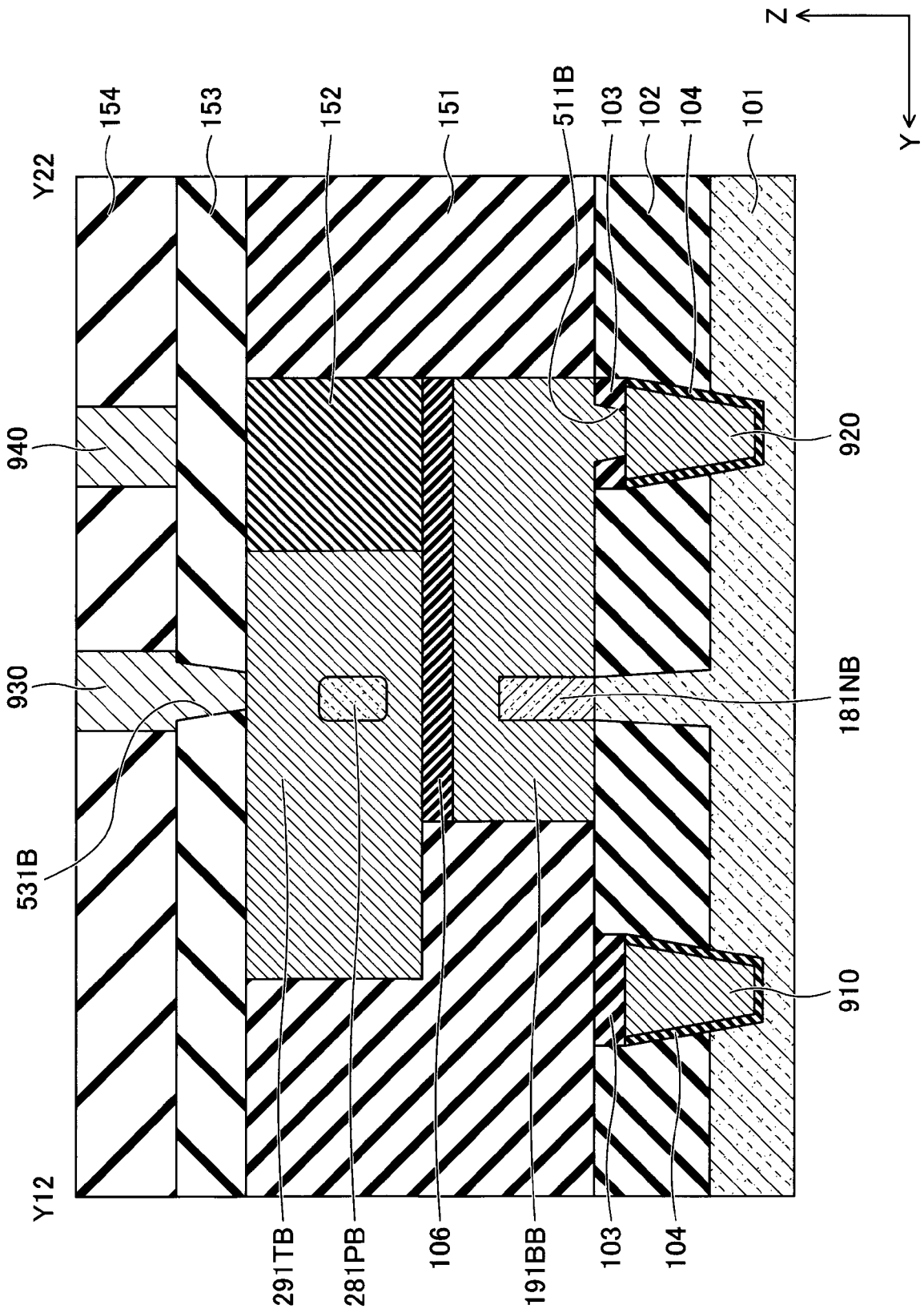
[図6]


154
153
282
151
182
102
101
X21
930
282C
532B
135
292TB
133
292TA
282PA
291TC
281PC
281C
132
291TB
531B
281PB
131
291TA
X11
281PA
281
106
181
133
192BB
182PB
182C
182PA
182C
182PB
182C
182PA
192BA
191BC
181NC
181C
181NB
191BB
181C
181NA
191BA
X
Z

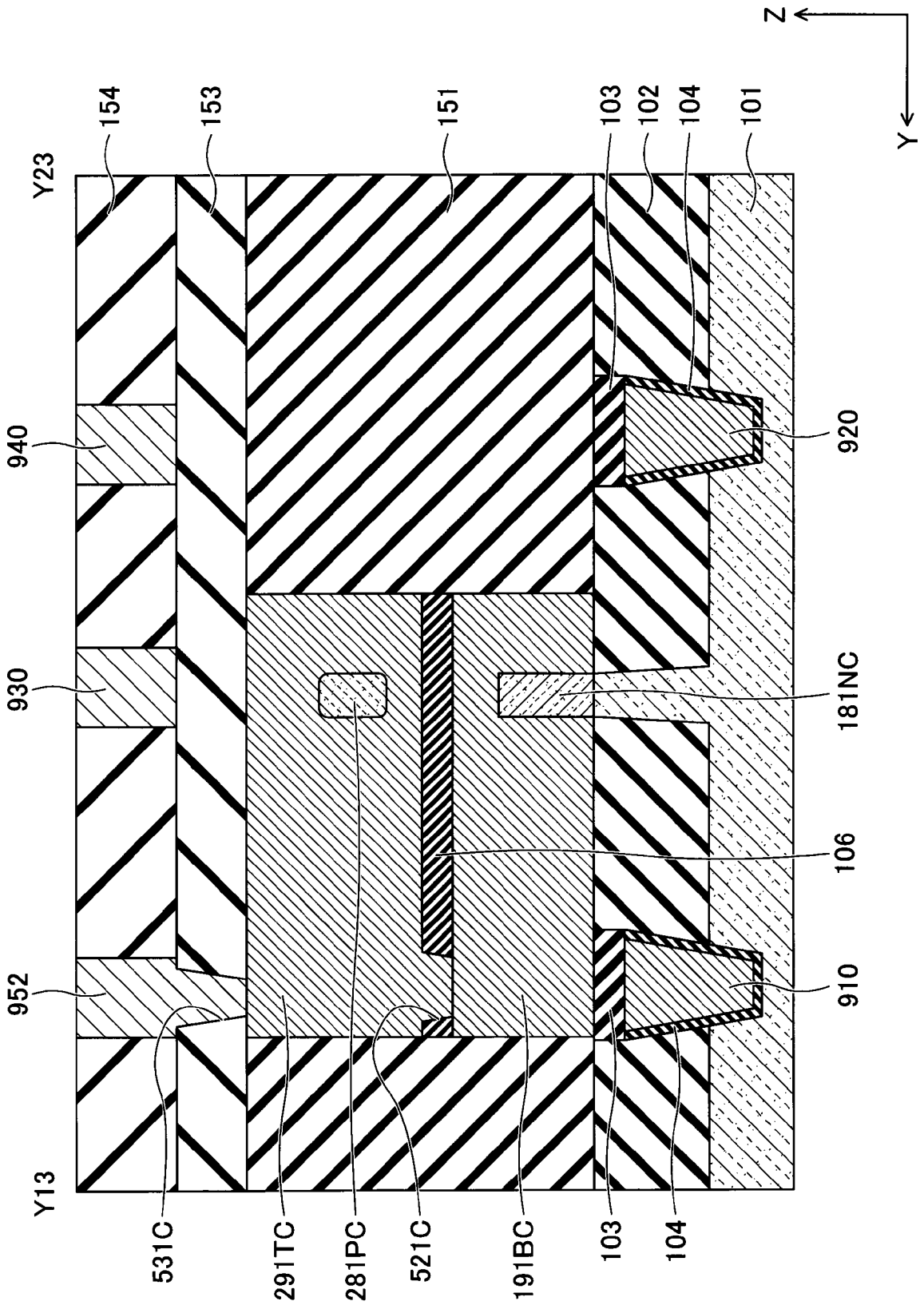
[図7]


Z
Y
154
531A
153
521A
151
103
102
104
101
Y21
940
920
281PA
181NA
951
910
Y11
291TA
106
191BA
103
104

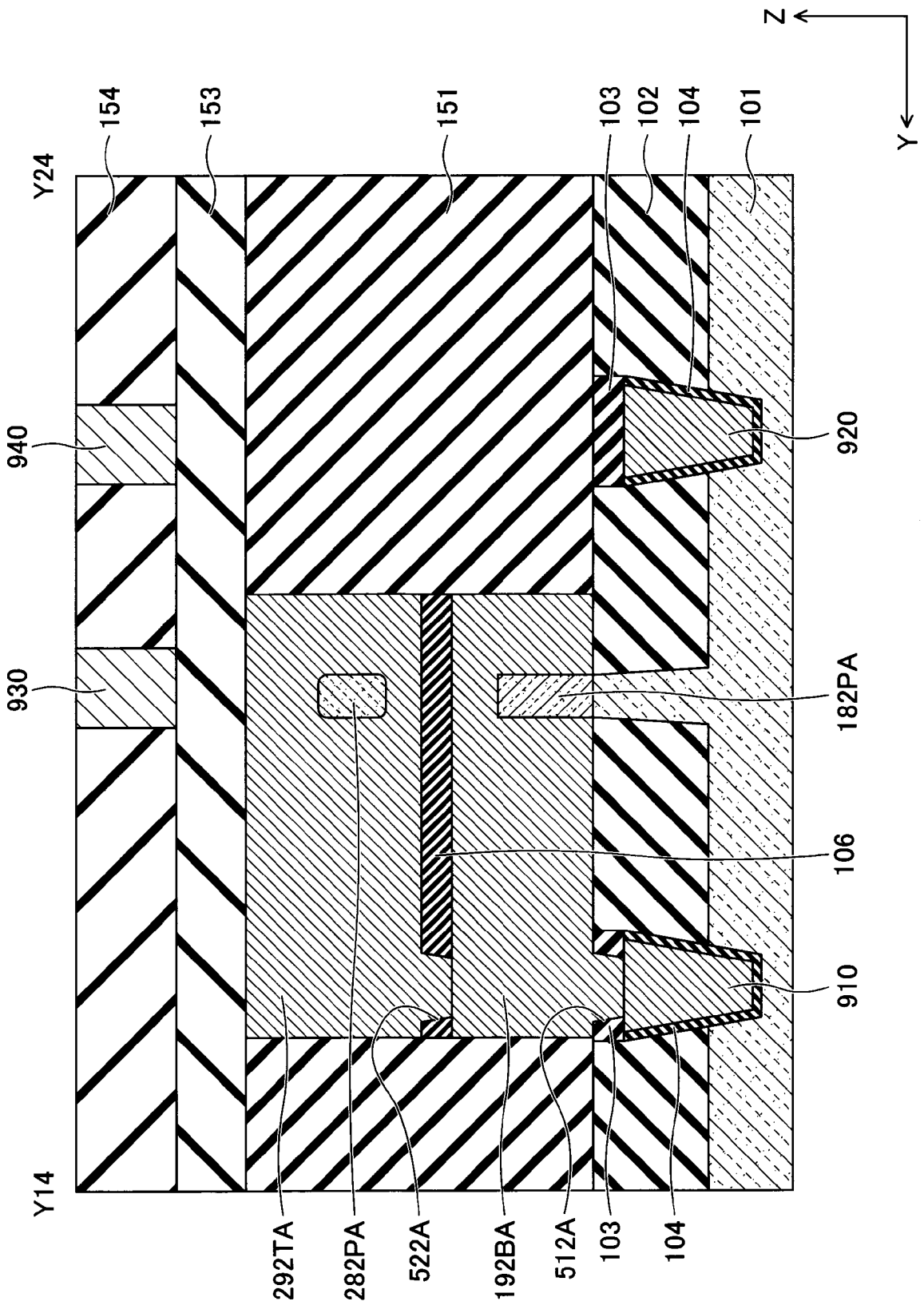
[図8]


Z
Y
154
153
152
151
511B
103
102
104
101
Y22
940
930
531B
920
181NB
910
Y12
291TB
281PB
106
191BB
103
104

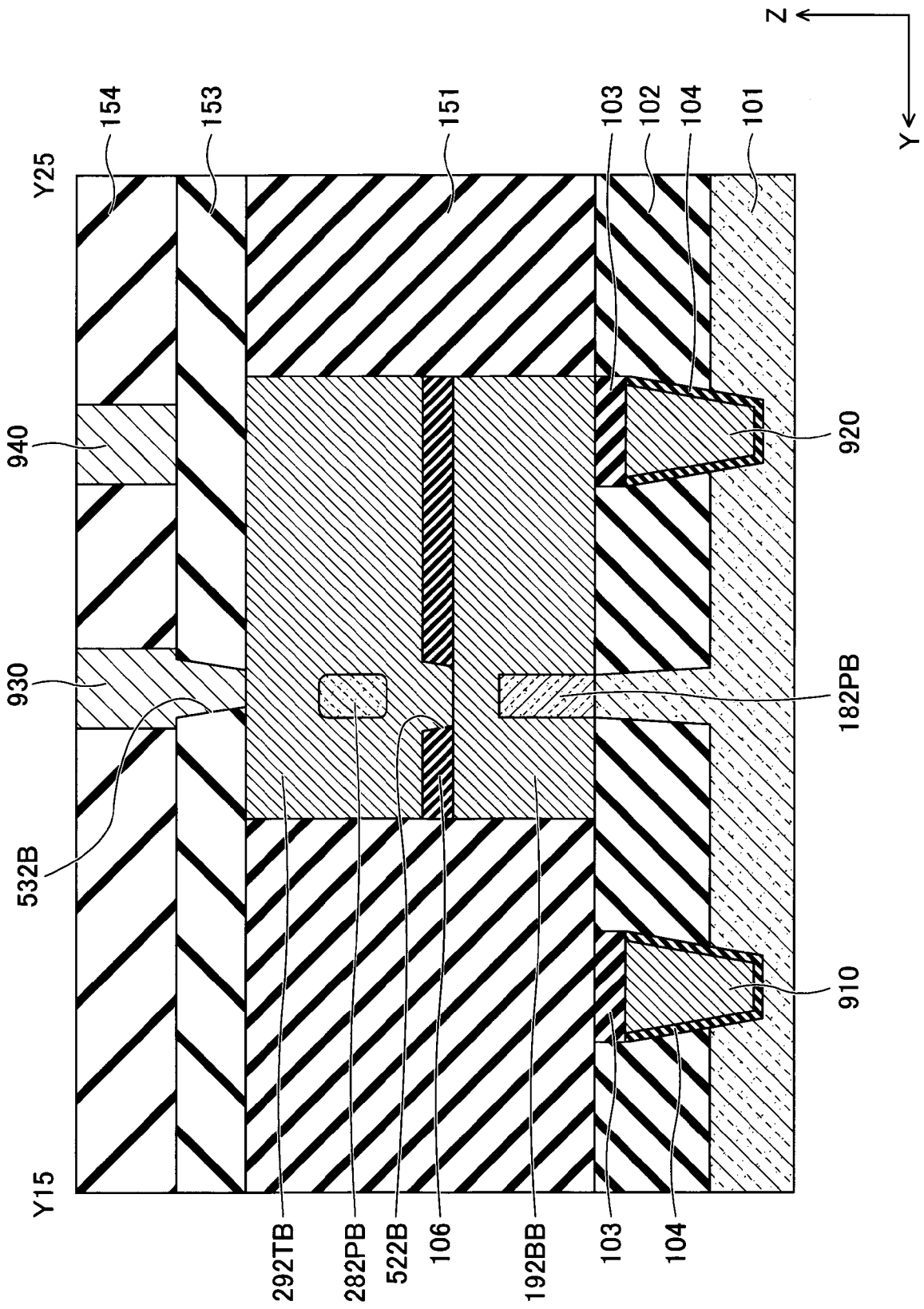
[図9]


Z
Y
154
153
151
103
102
104
101
Y23
940
930
952
Y13
920
181NC
106
910
531C
291TC
281PC
521C
191BC
103
104

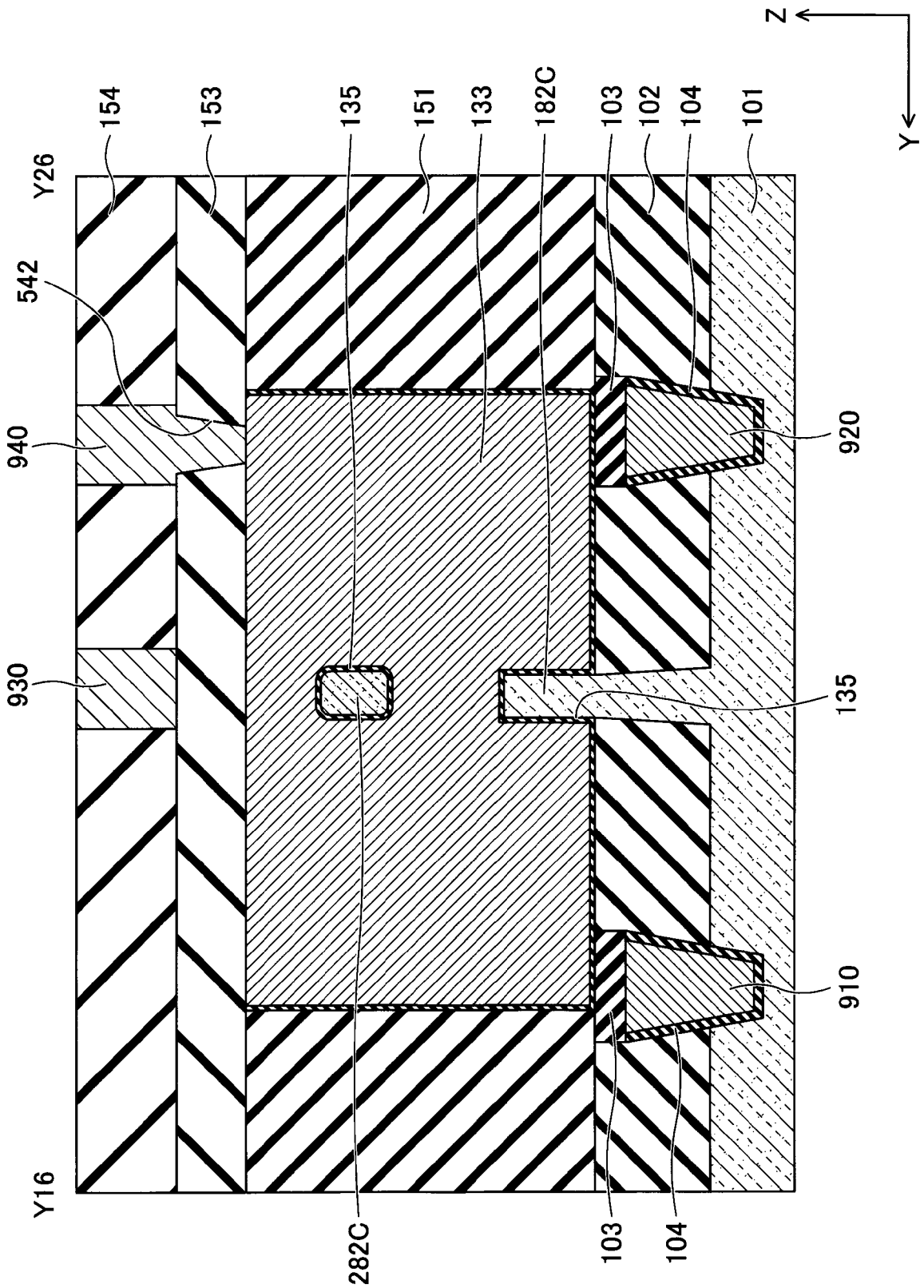
[図10]


Z
Y
154
153
151
103
102
104
101
Y24
940
930
920
182PA
106
910
Y14
292TA
282PA
522A
192BA
512A
103
104

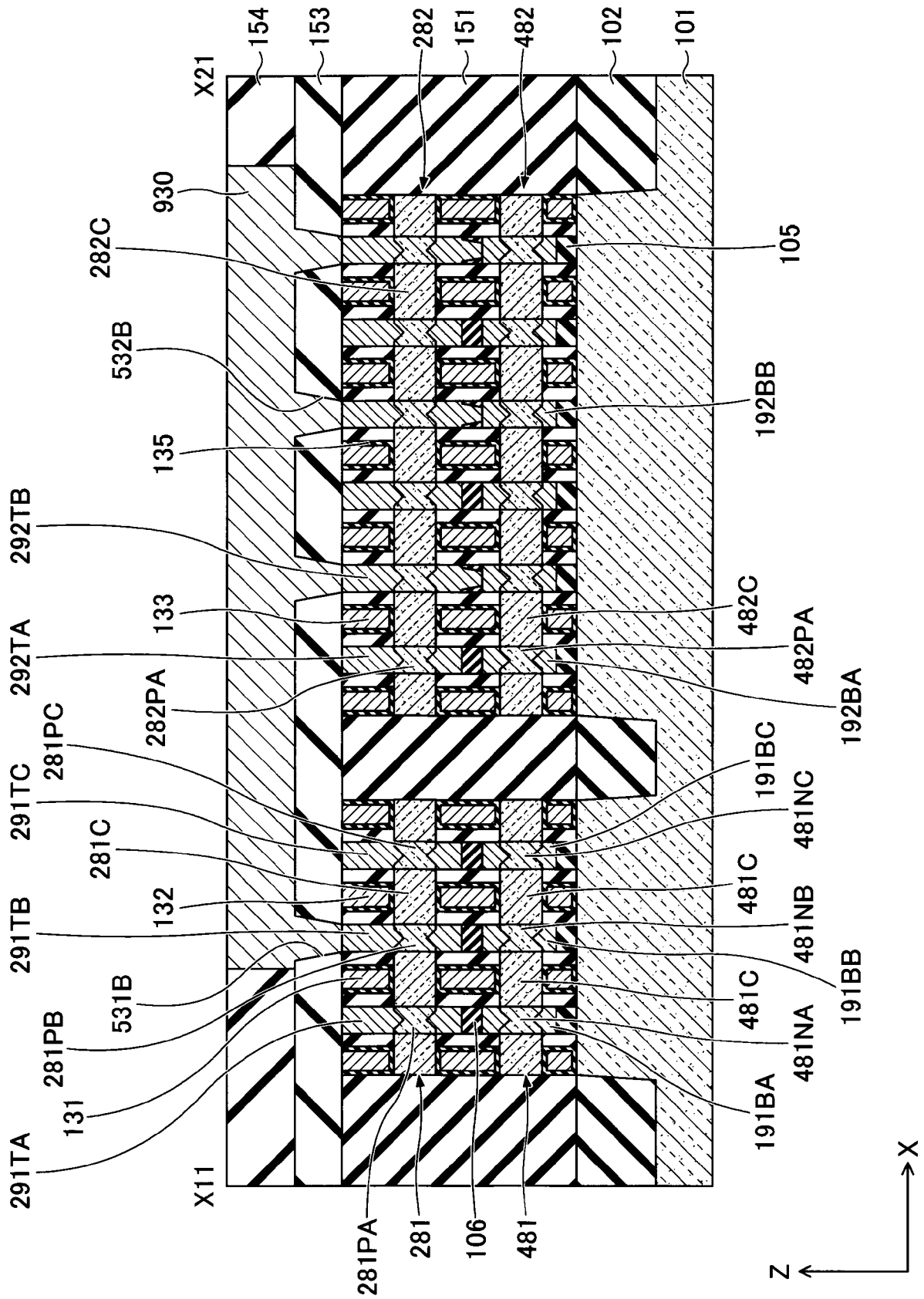
[図11]


Z
Y
154
153
151
103
102
104
101
Y25
940
930
532B
920
182PB
910
Y15
292TB
282PB
522B
106
192BB
103
104

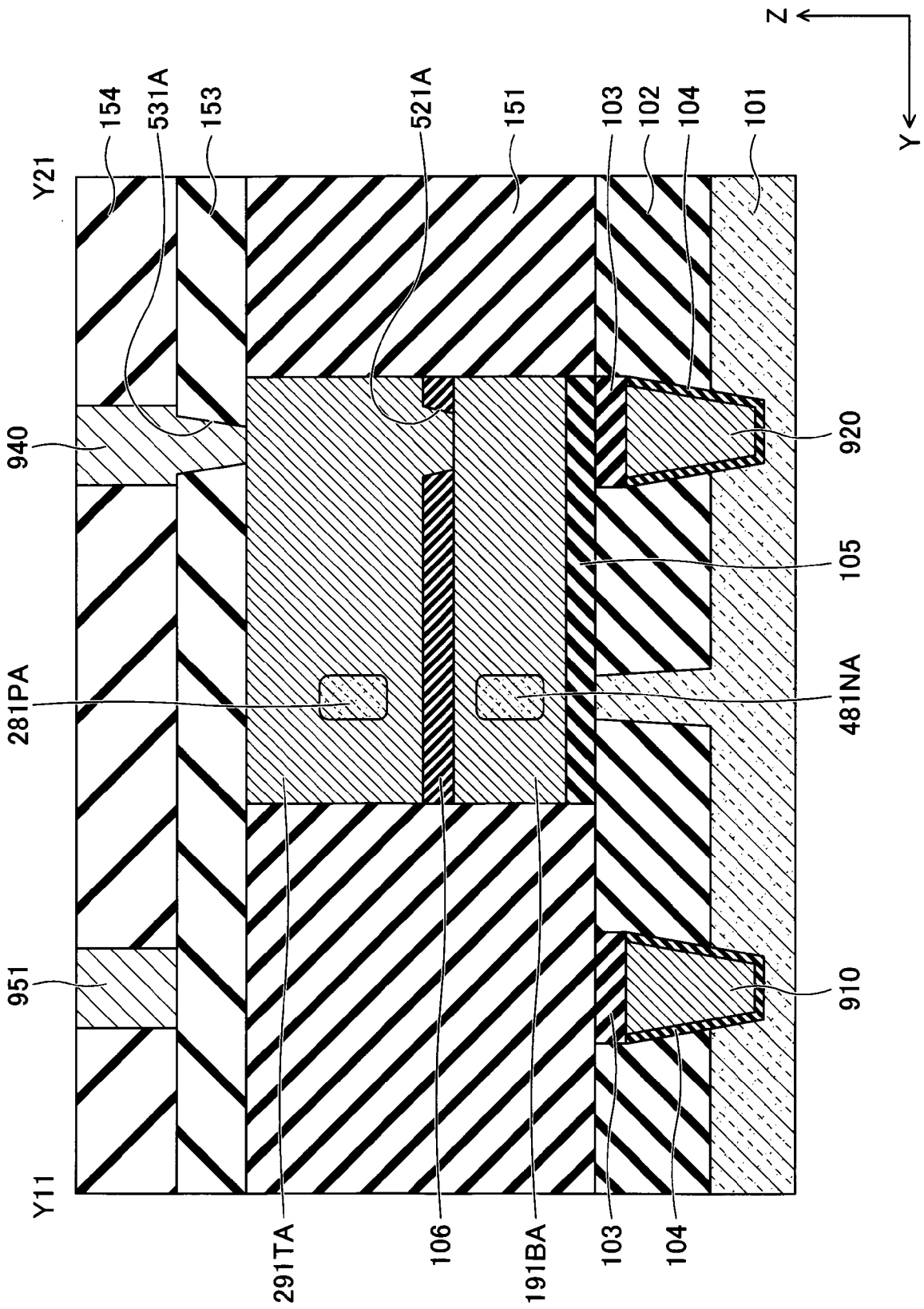
[図12]


Z
Y
154
153
135
151
133
182C
103
102
104
101
Y26
542
940
930
920
135
910
Y16
282C
103
104

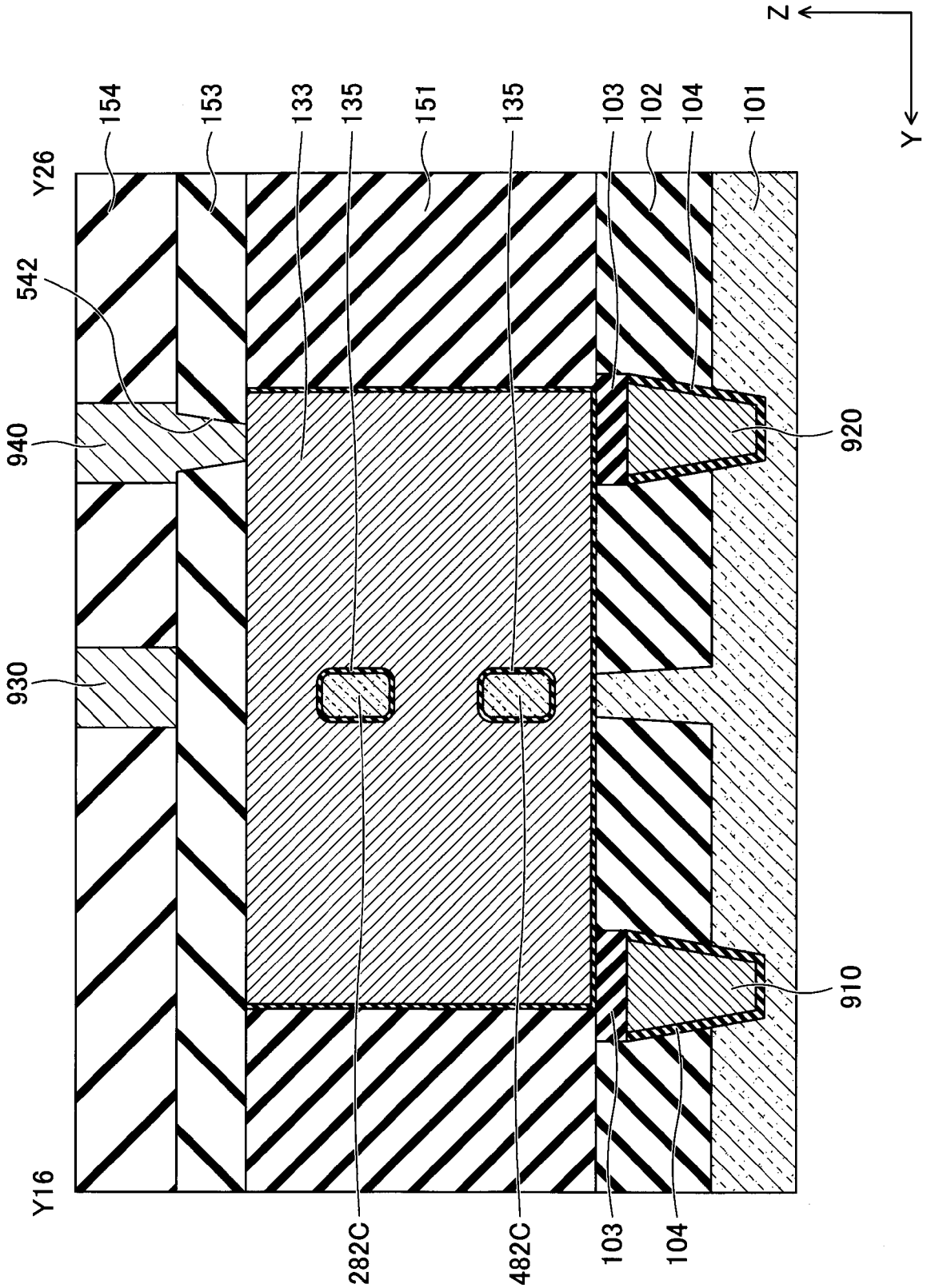
[図13]


154
153
282
151
482
102
101
X21
930
282C
105
532B
192BB
135
292TB
133
482C
292TA
482PA
282PA
192BA
281PC
191BC
291TC
481NC
281C
481C
132
291TB
481NB
531B
191BB
281PB
481C
131
481NA
191BA
291TA
X11
281PA
281
106
481
X
Z

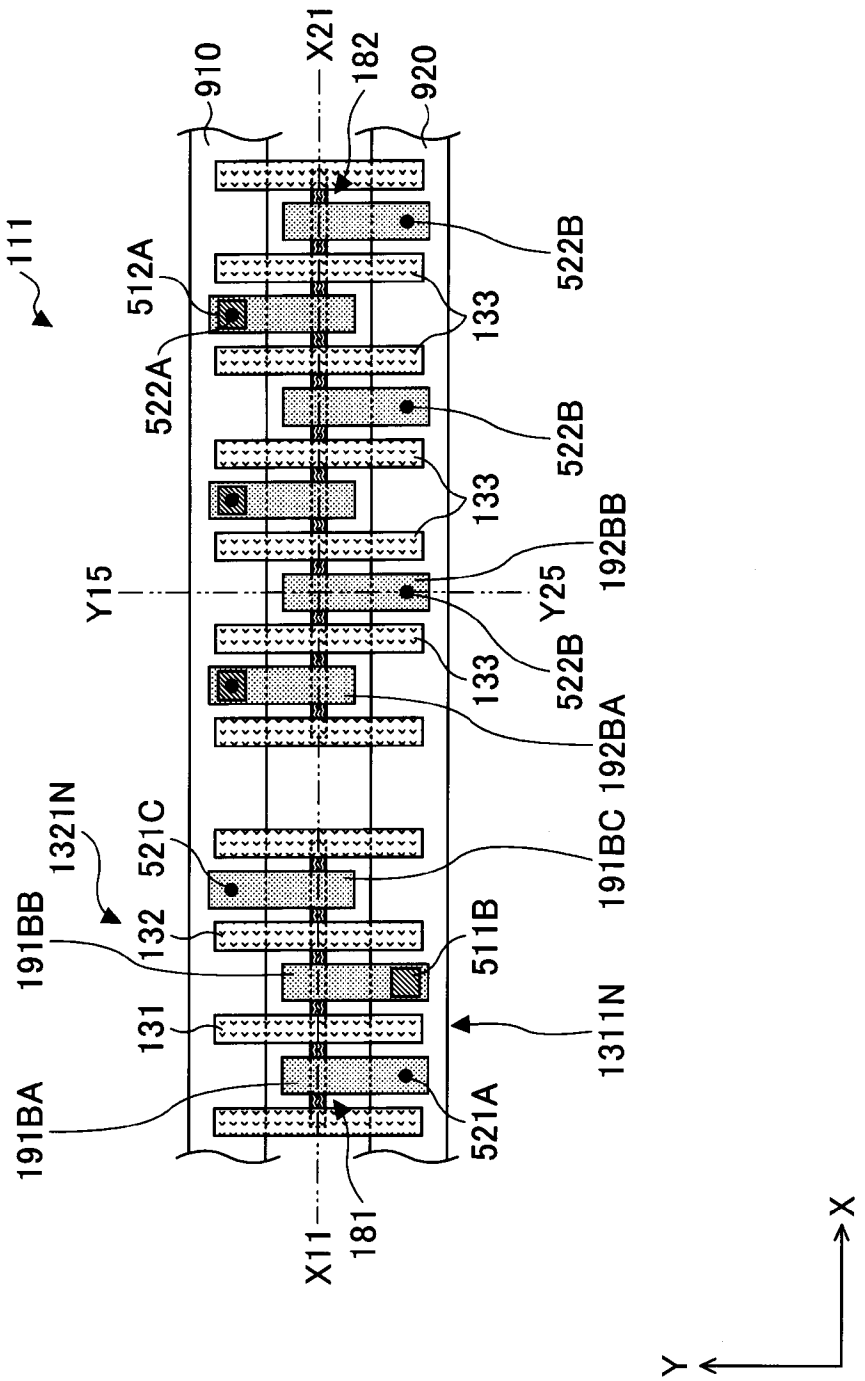
[図14]


Z
Y
154
531A
153
521A
151
103
102
104
101
Y21
940
920
105
281PA
481NA
951
910
Y11
291TA
106
191BA
103
104

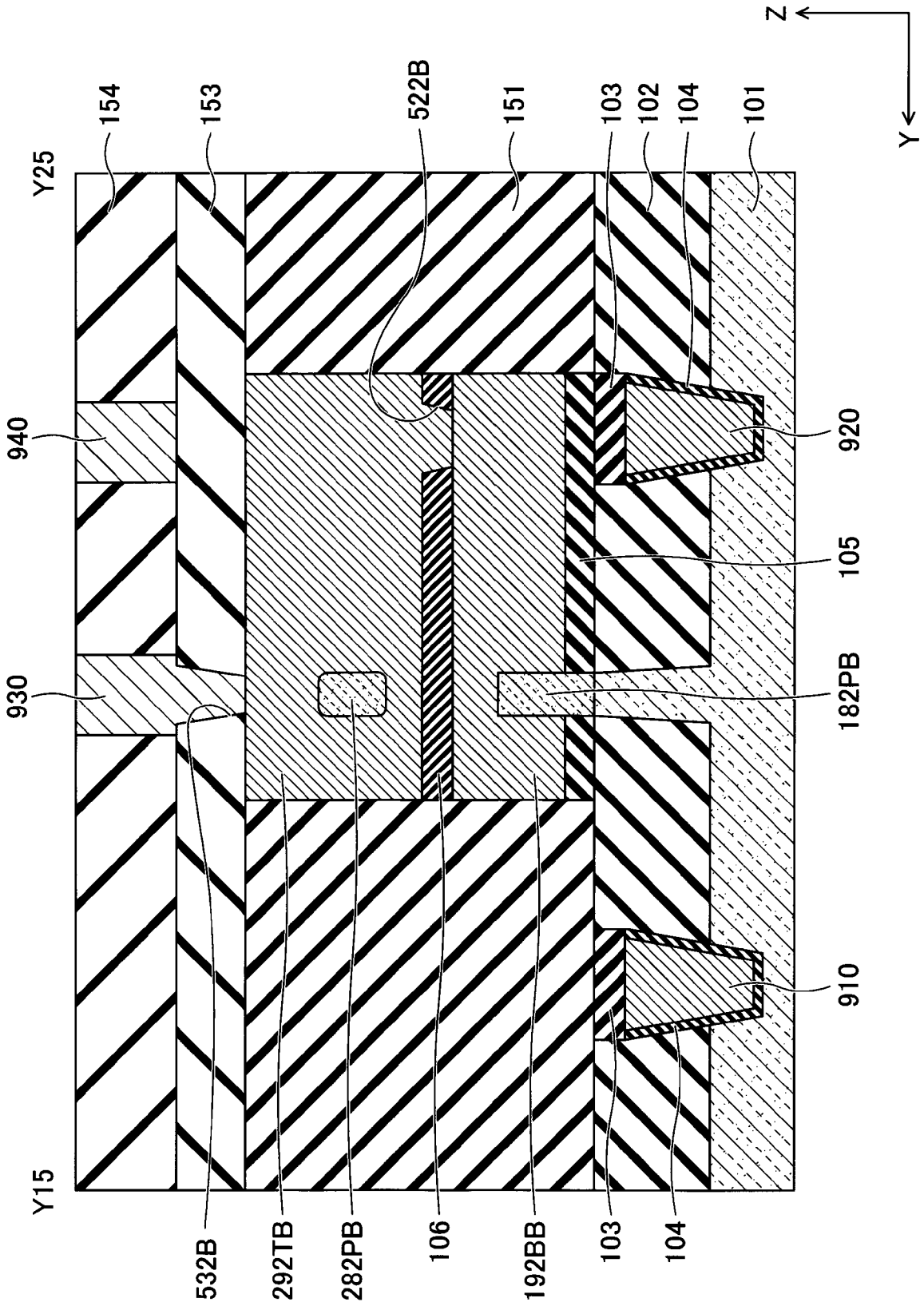
[図15]


Z
Y
154
153
133
135
151
135
103
102
104
101
Y26
542
940
930
920
910
Y16
282C
482C
103
104

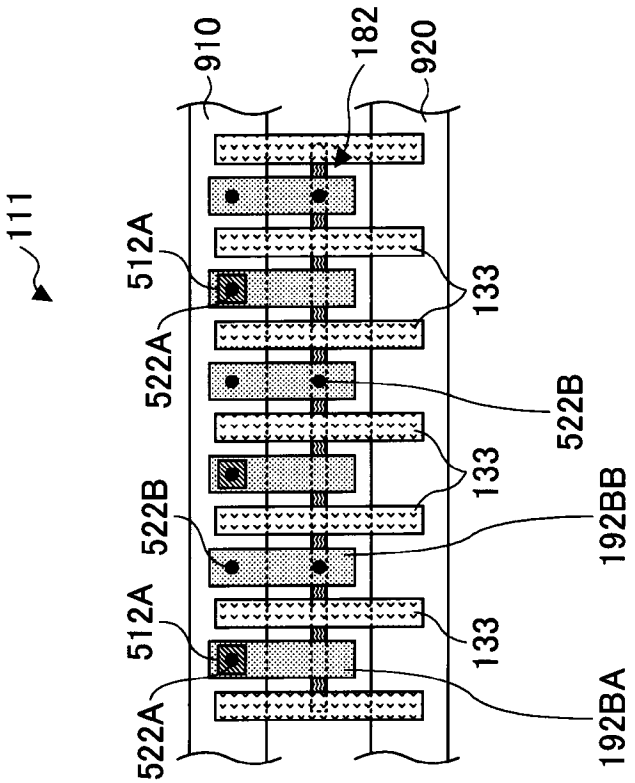
[図16]

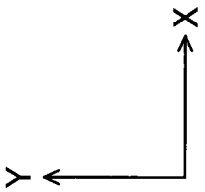

111
910
X21
182
920
512A
522A
522B
133
522B
133
Y15
Y25
192BB
522B
133
192BA
191BC
1321N
521C
191BB
132
511B
131
1311N
191BA
521A
X11
181
X
Y

[図17]

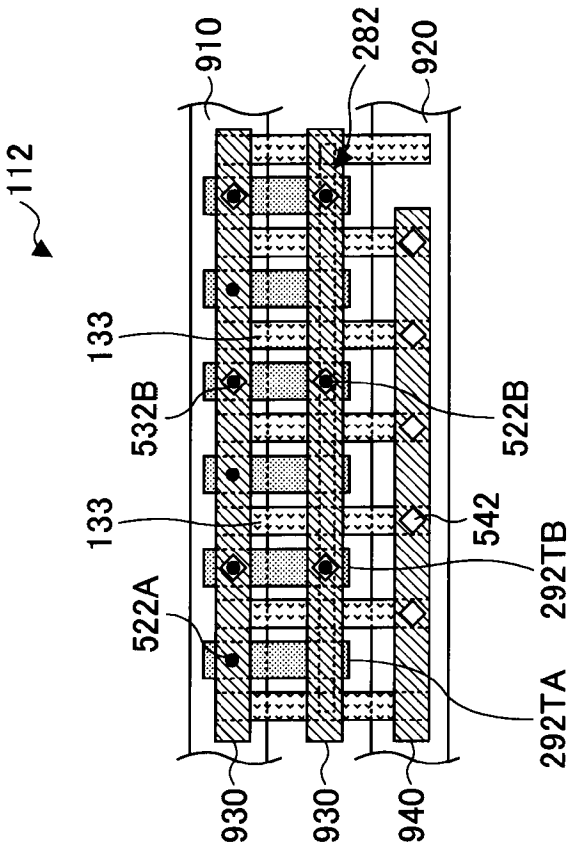

Z
Y
154
153
522B
151
103
102
104
101
Y25
940
920
105
930
182PB
910
Y15
532B
292TB
282PB
106
192BB
103
104

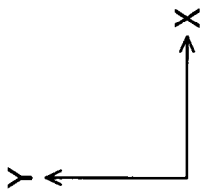
[図18]


111
910
182
920
512A
522A
133
522B
522B
133
192BB
512A
133
522A
192BA

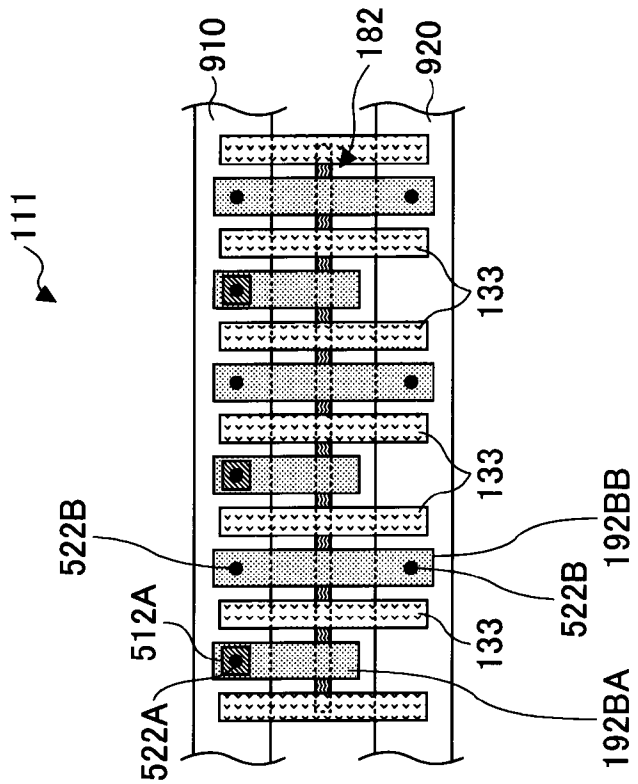

X
Y

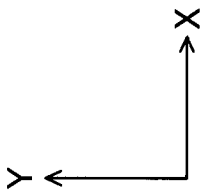
[図19]


112
910
282
920
133
532B
522B
133
542
292TB
522A
292TA
930
930
940

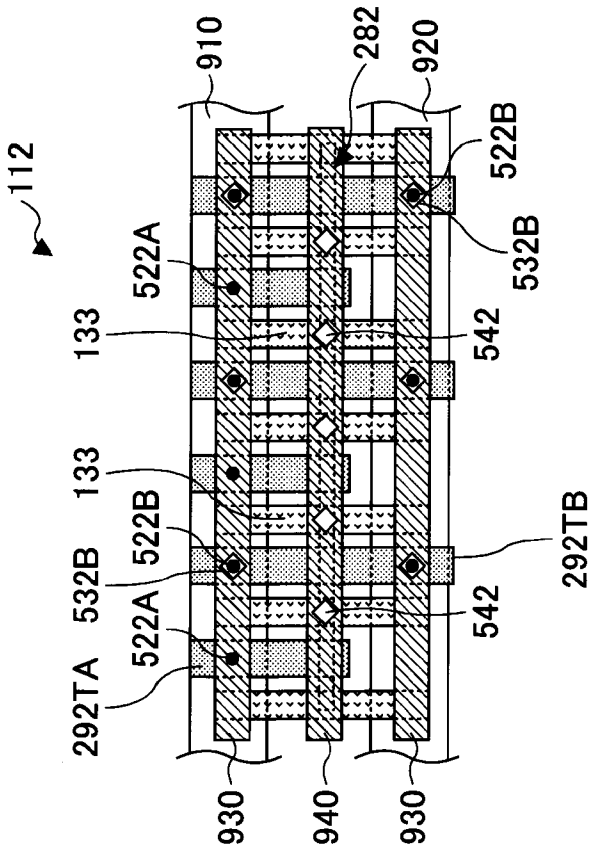

X
Y

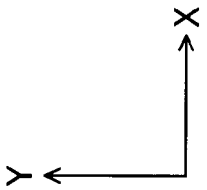
[図20]



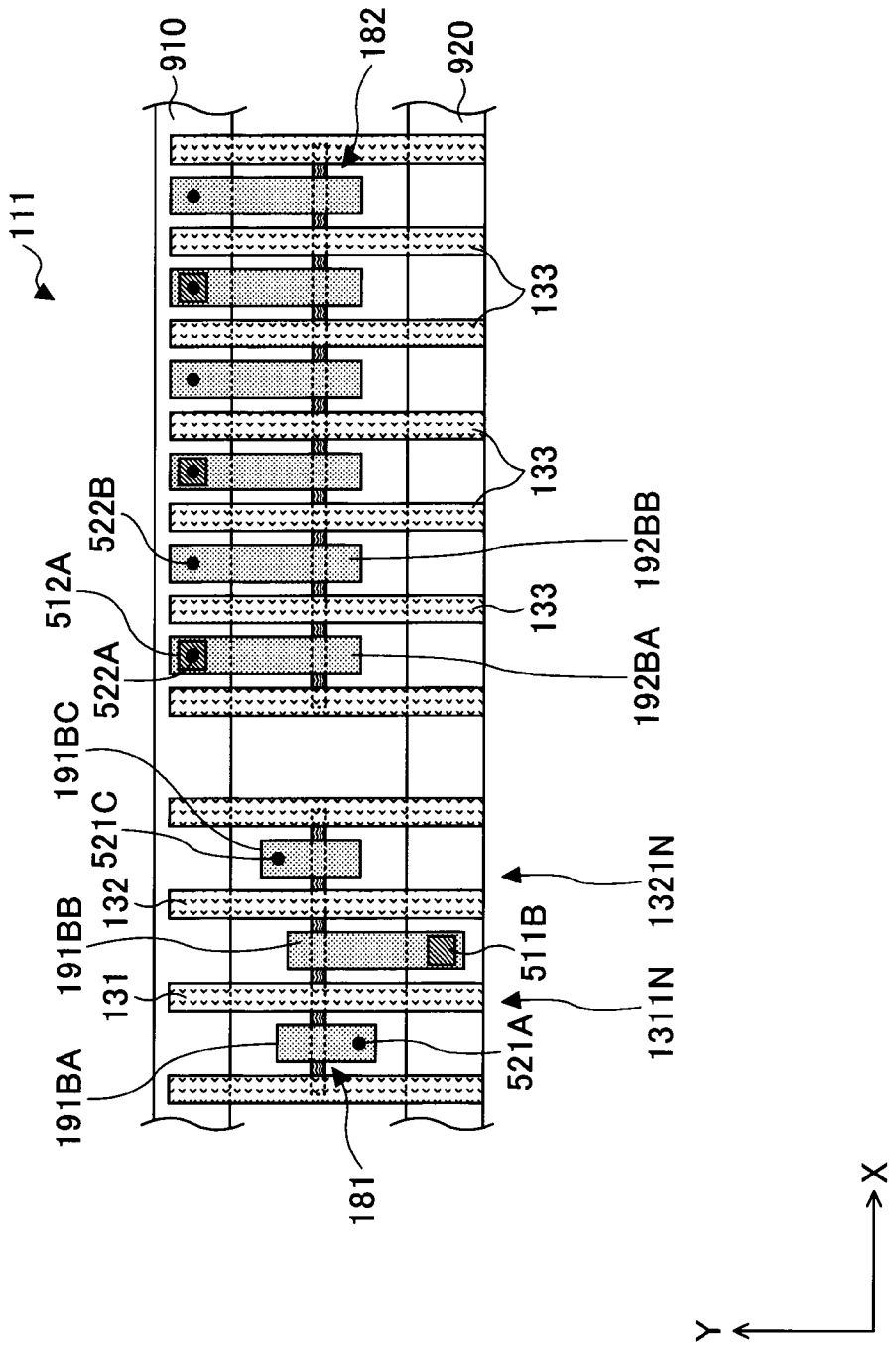


[図21]

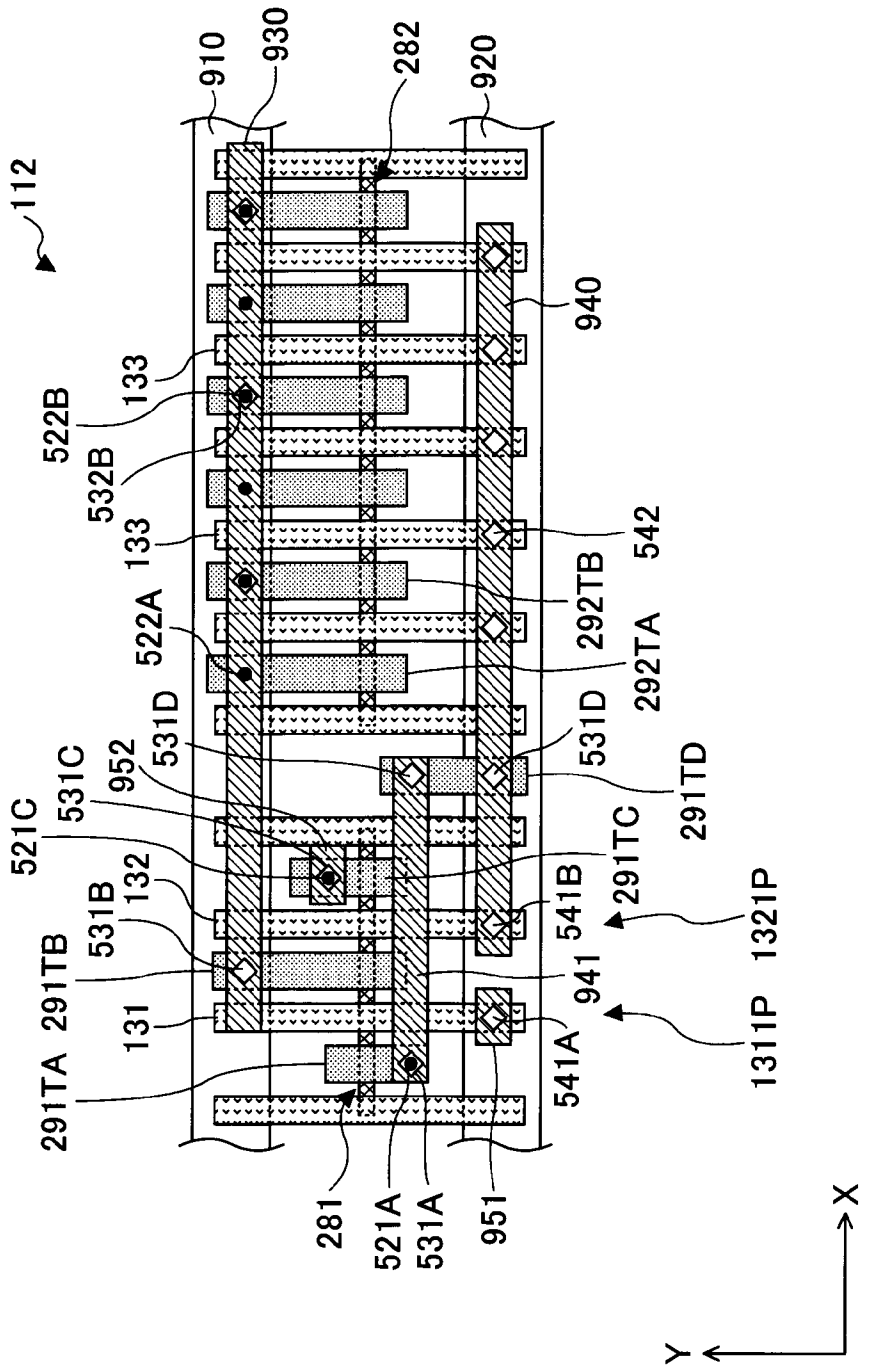

112
910
282
920
522B
532B
522A
133
542
133
522B
532B
542
522A
292TA
292TB
930
940
930


X
Y

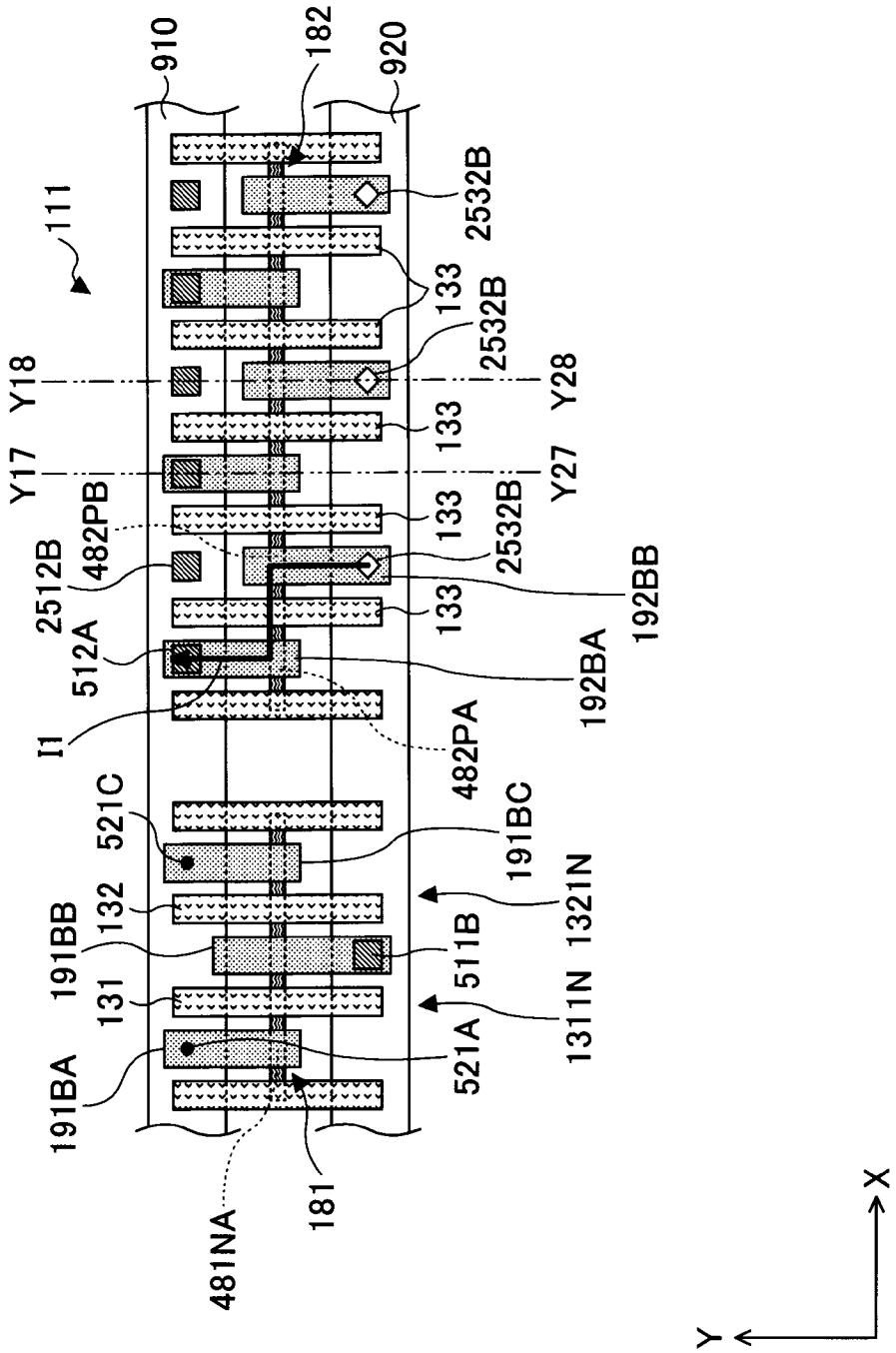
[図22]


111
910
182
920
133
133
133
522B
512A
522A
191BC
521C
132
191BB
131
191BA
181
192BB
192BA
1321N
511B
1311N
521A
X
Y

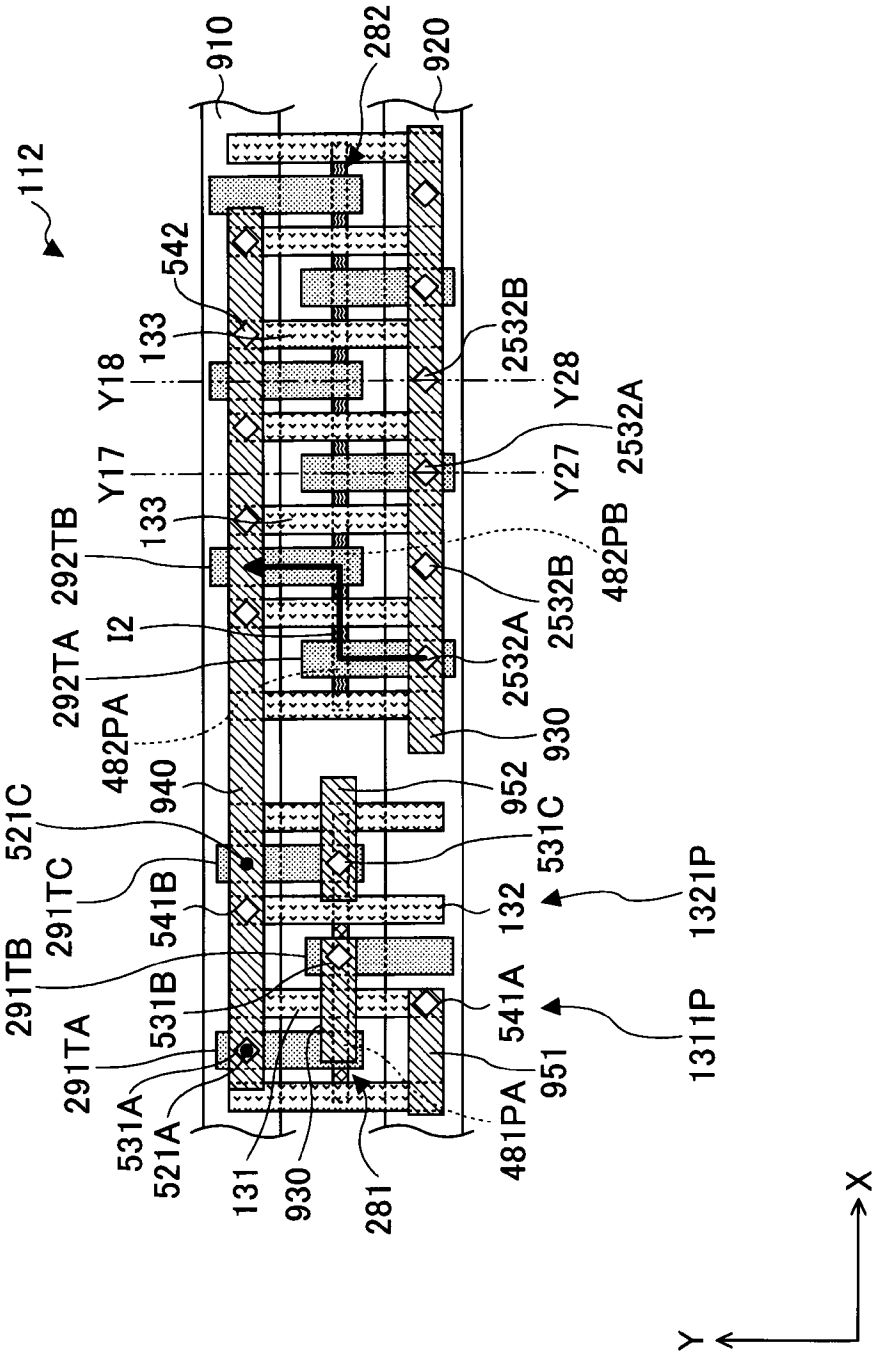
[図23]


112
910
930
282
920
940
133
522B
532B
133
542
292TB
292TA
522A
531D
531D
952
531C
521C
291TD
291TC
132
531B
541B
1321P
291TB
941
131
1311P
291TA
541A
281
521A
531A
951
X
Y

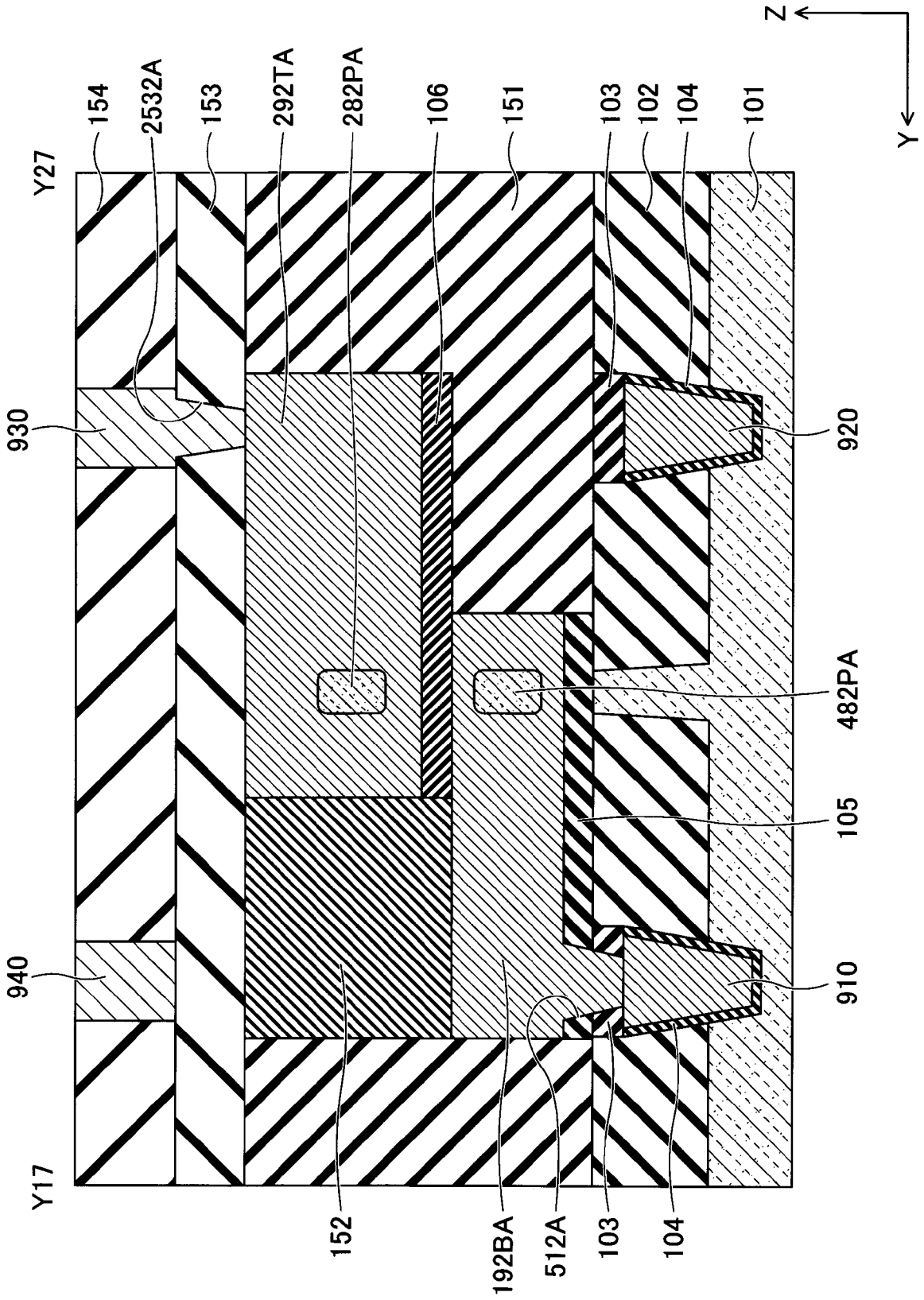
[図24]


910
182
920
111
2532B
133
2532B
Y18
Y28
133
Y17
Y27
133
2532B
482PB
2512B
133
192BB
512A
192BA
I1
482PA
521C
191BC
191BB
132
1321N
511B
131
1311N
521A
191BA
181
481NA
X
Y

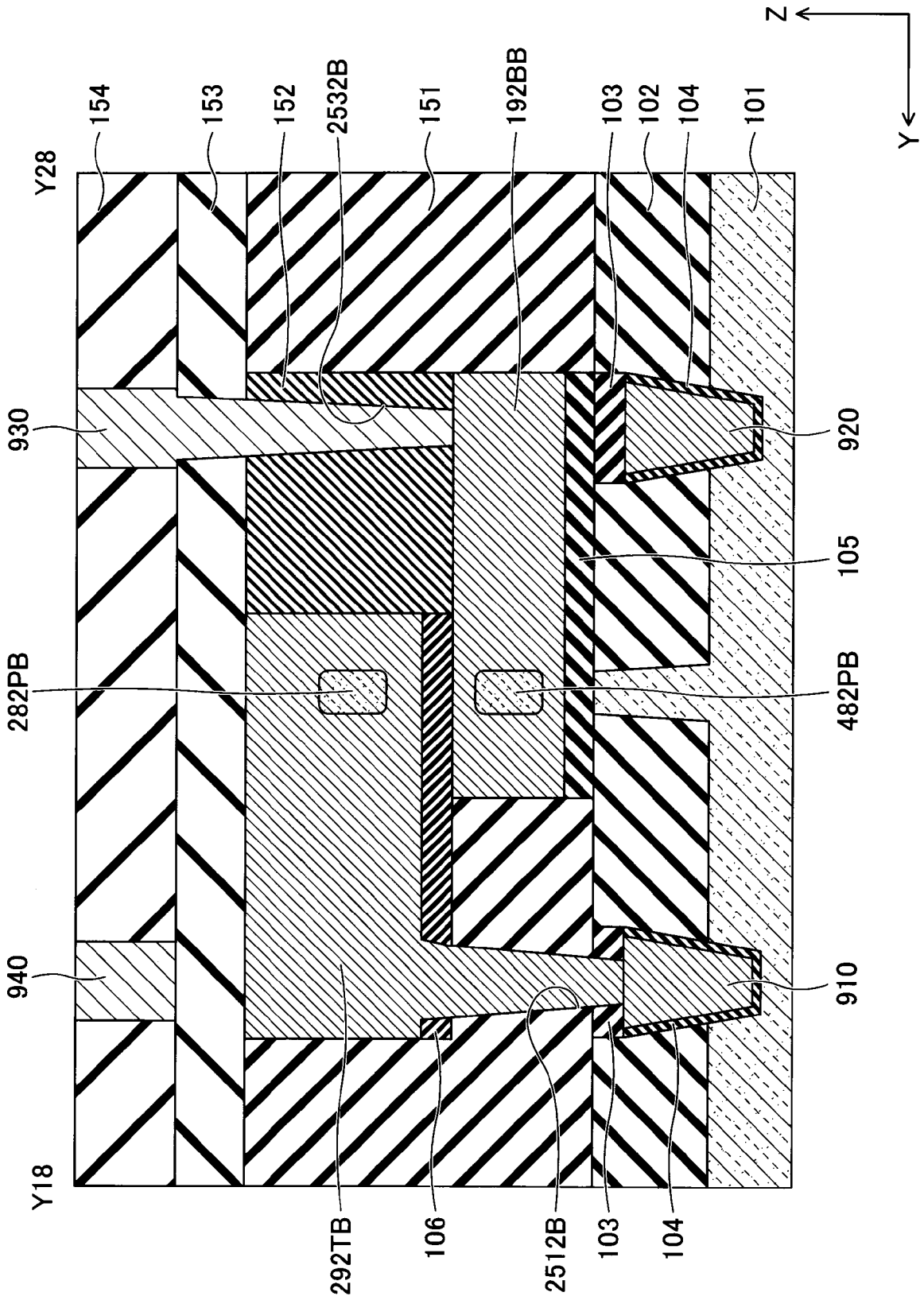
[図25]


112
910
282
920
542
133
Y18
Y17
133
292TB
292TA
I2
482PA
940
521C
291TC
541B
291TB
531B
291TA
531A
521A
131
930
281
481PA
951
541A
132
531C
952
930
2532B
2532A
482PB
2532B
2532A
Y28
Y27
1321P
1311P
X
Y

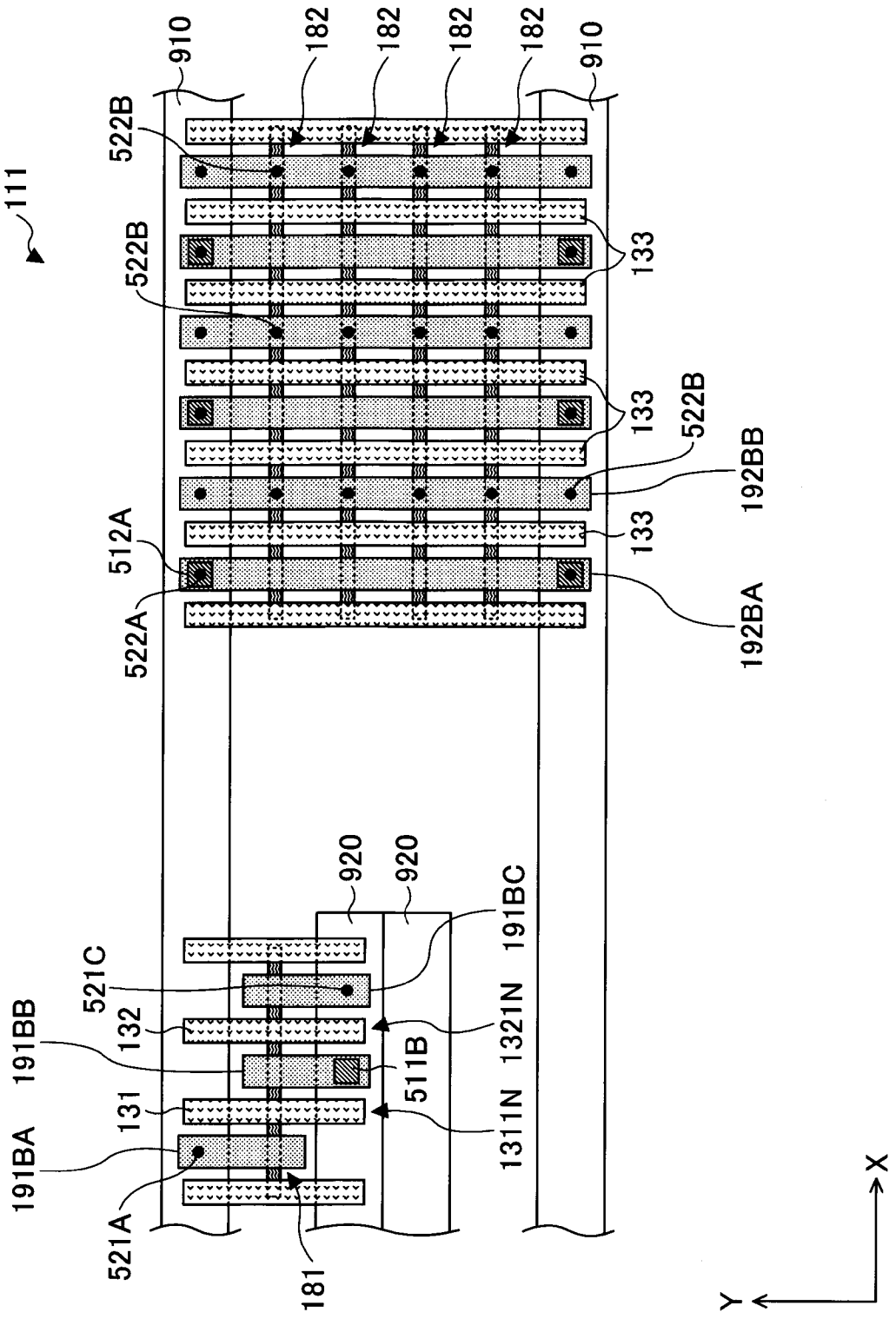
[図26]


Z
Y
Y27
Y17
154
2532A
153
292TA
282PA
106
151
103
102
104
101
930
920
482PA
105
940
910
152
192BA
512A
103
104

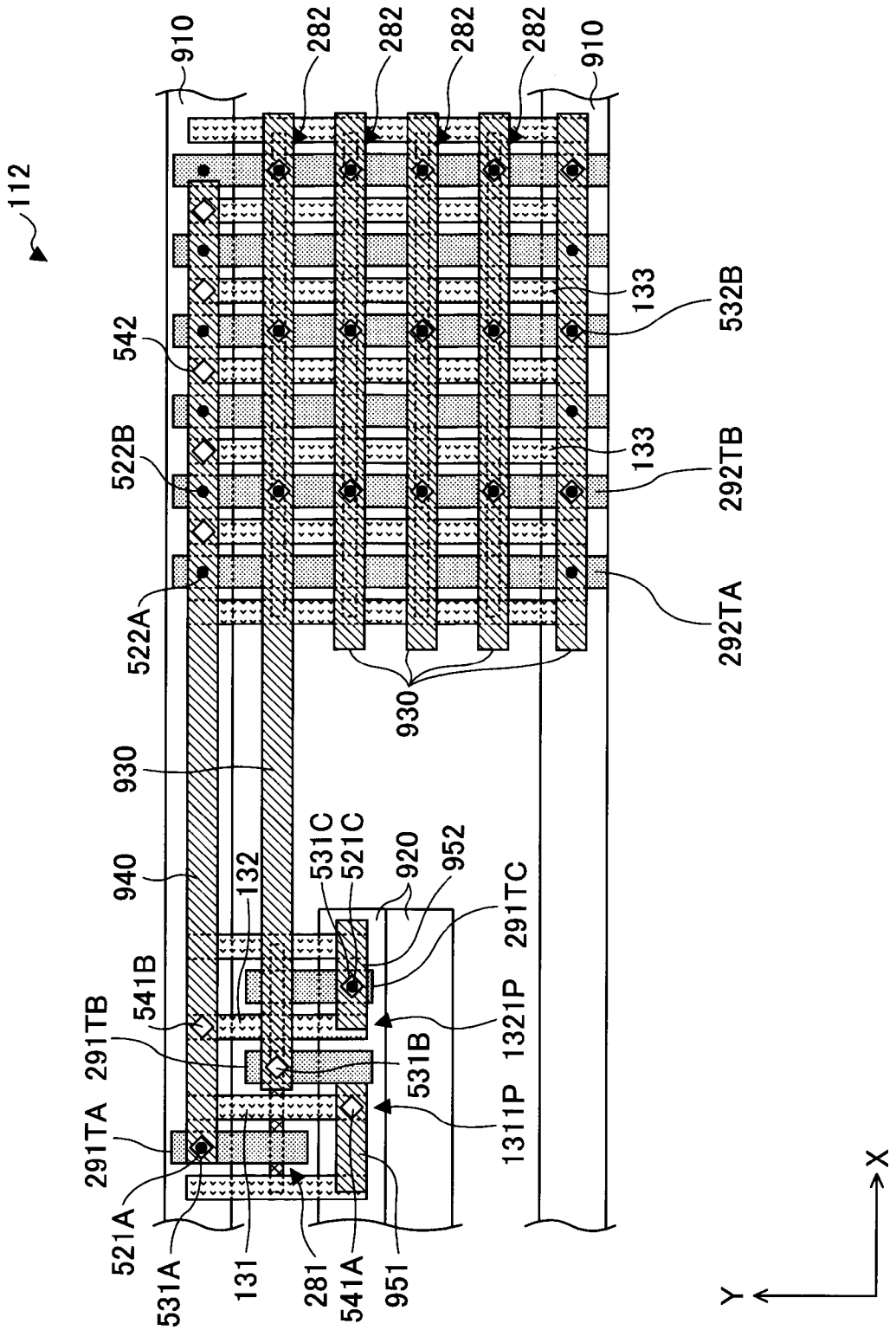
[図27]


Z
Y
154
153
152
2532B
151
192BB
103
102
104
101
Y28
930
920
105
282PB
482PB
940
910
Y18
292TB
106
2512B
103
104

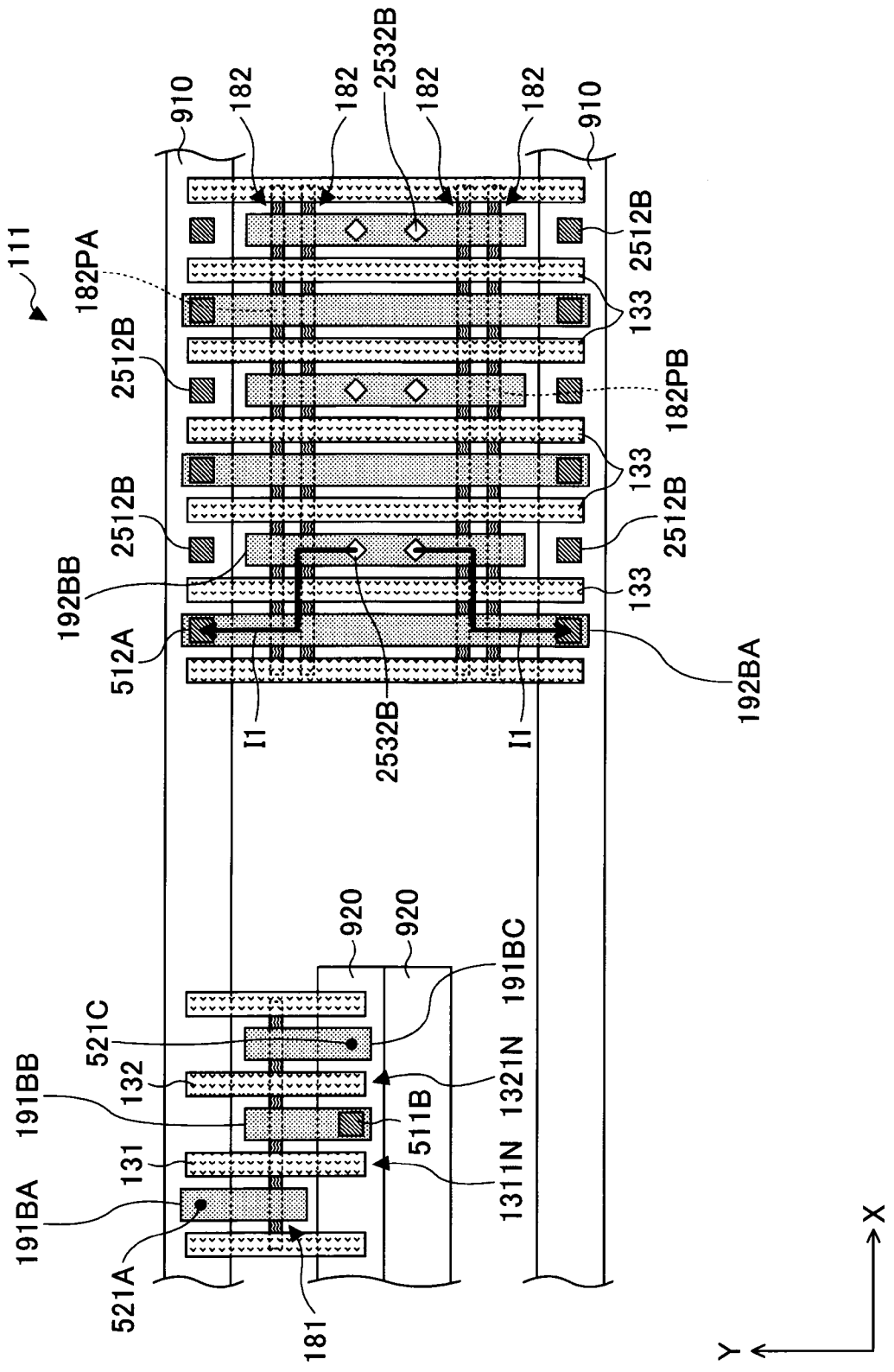
[図28]


111
910
182
182
182
182
910
522B
522B
133
133
522B
192BB
133
512A
522A
192BA
920
920
191BC
521C
132
191BB
511B
1321N
131
1311N
191BA
521A
181
X
Y

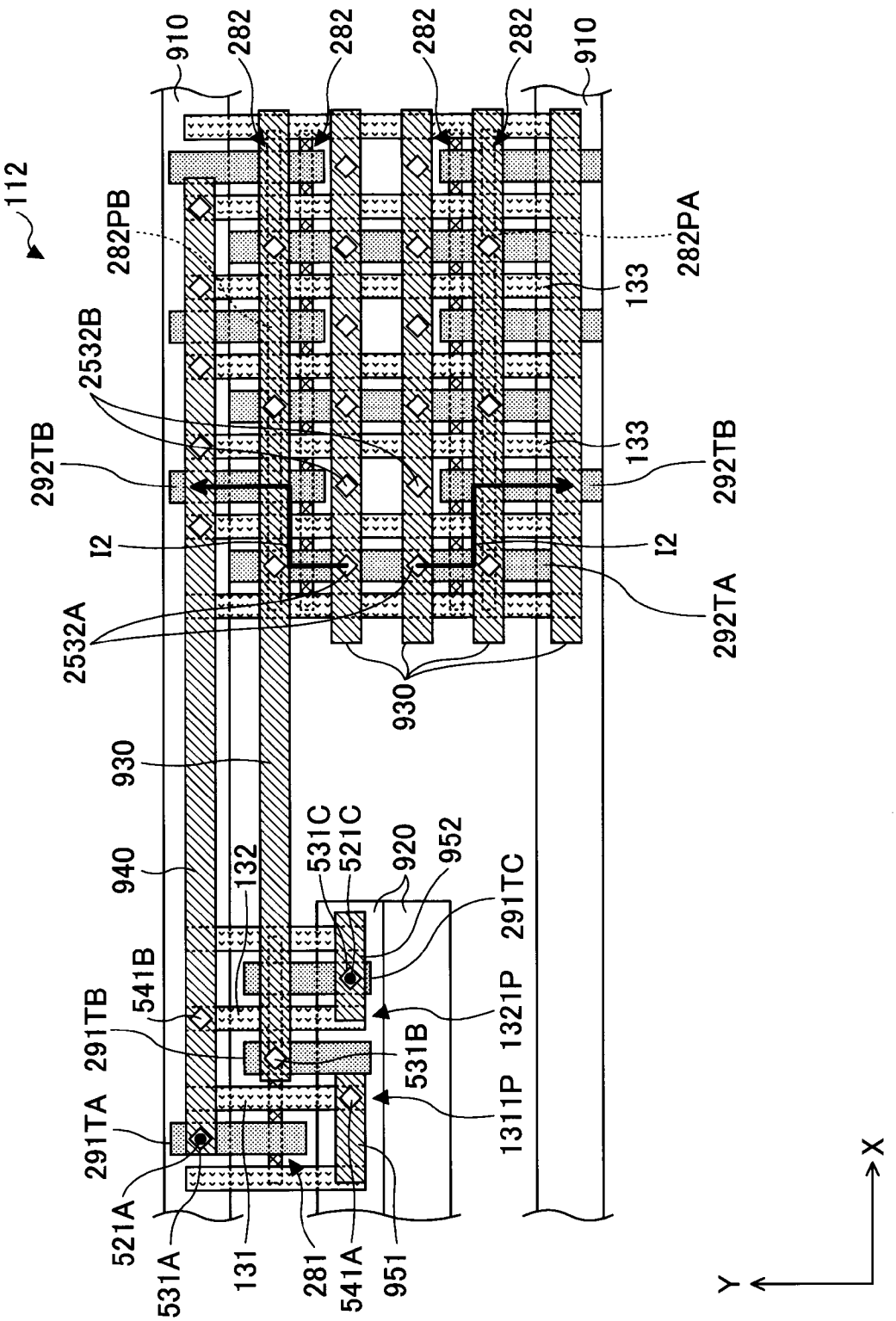
[図29]


112
910
282
282
282
282
910
542
522B
522A
930
930
940
132
531C
521C
920
952
291TC
541B
291TB
291TA
521A
531A
131
281
541A
951
531B
1321P
1311P
133
532B
133
292TB
292TA
Y
X

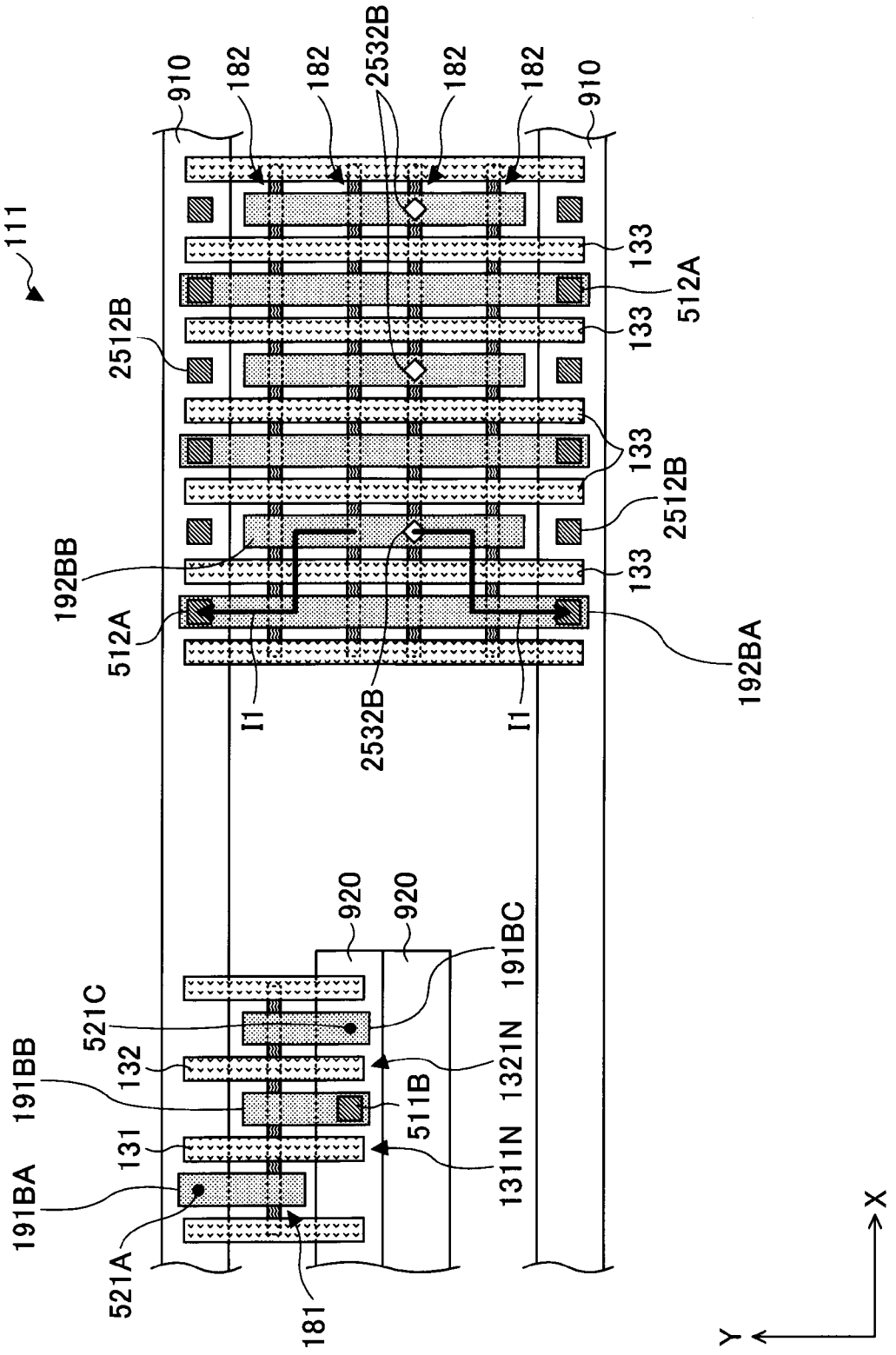
[図30]


111
910
182
182
2532B
182
182
910
182PA
2512B
133
2512B
182PB
133
2512B
2512B
192BB
133
512A
192BA
I1
2532B
I1
920
920
191BC
521C
132
1321N
191BB
511B
131
1311N
191BA
521A
181
X
Y

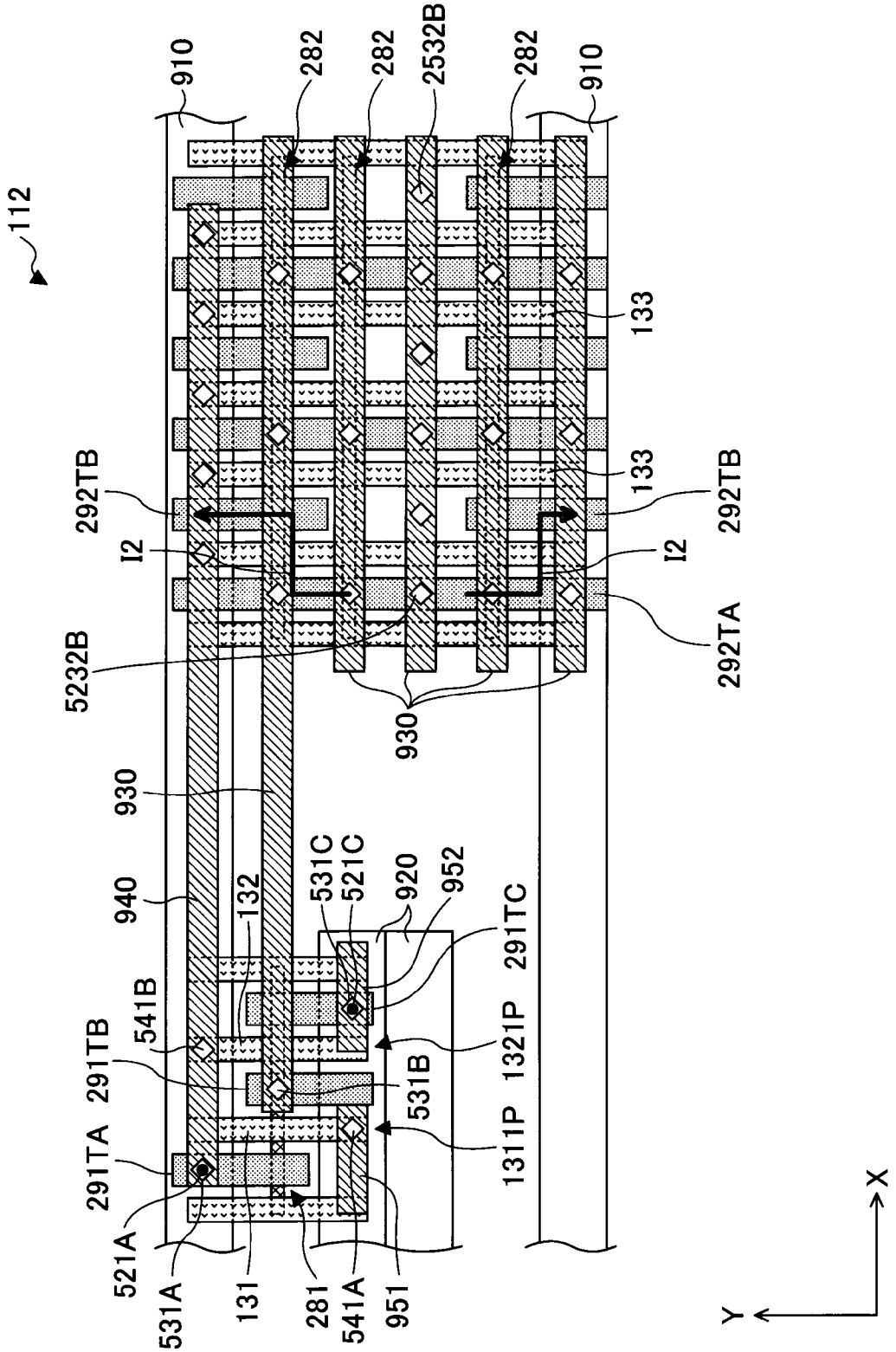
[図31]


112
910
282
282
282
282
910
282PB
282PA
133
2532B
292TB
133
292TB
I2
I2
2532A
292TA
930
930
940
132
531C
521C
920
952
291TC
541B
291TB
531B
1321P
1311P
291TA
521A
531A
131
281
541A
951
X
Y

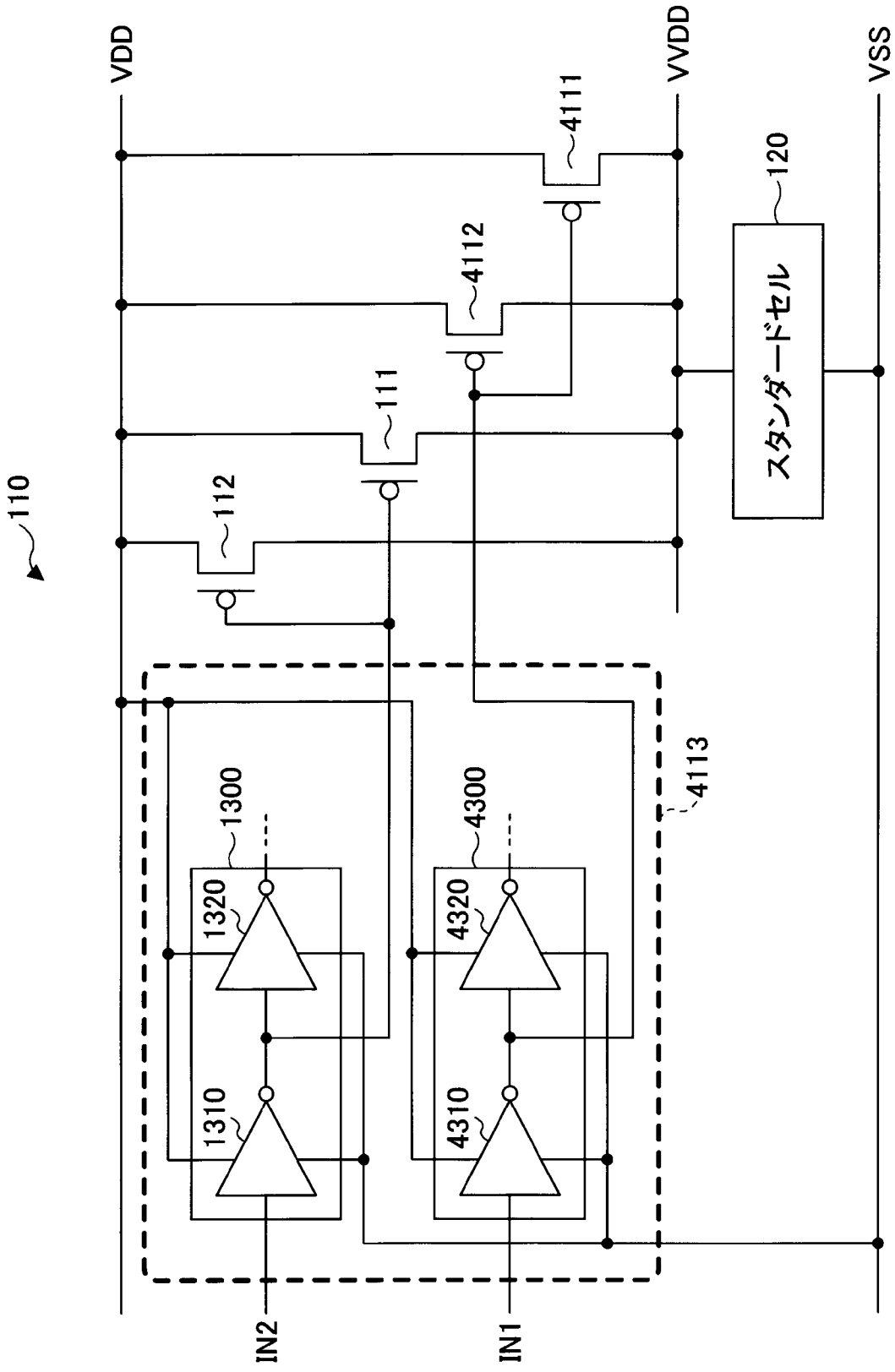
[図32]


111
910
182
182
2532B
182
182
910
133
512A
133
2512B
133
133
2512B
192BB
133
512A
I1
2532B
I1
192BA
920
920
191BC
521C
132
1321N
191BB
511B
131
1311N
191BA
521A
181
X
Y

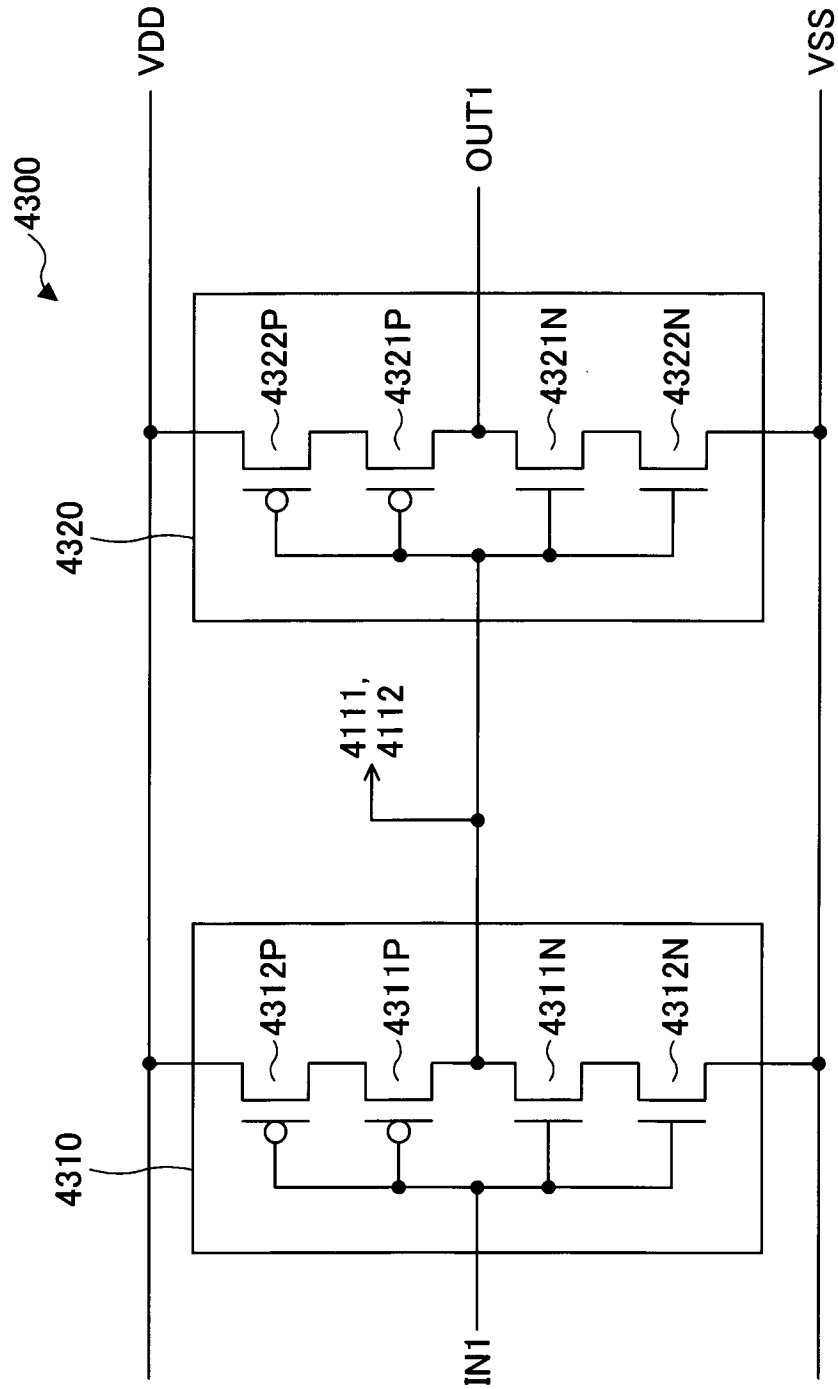
[図33]


112
910
282
282
2532B
282
910
133
133
292TB
I2
5232B
930
292TB
I2
292TA
930
940
132
531C
521C
920
952
291TC
541B
291TB
531B
1321P
291TA
1311P
521A
531A
131
281
541A
951
Y
X

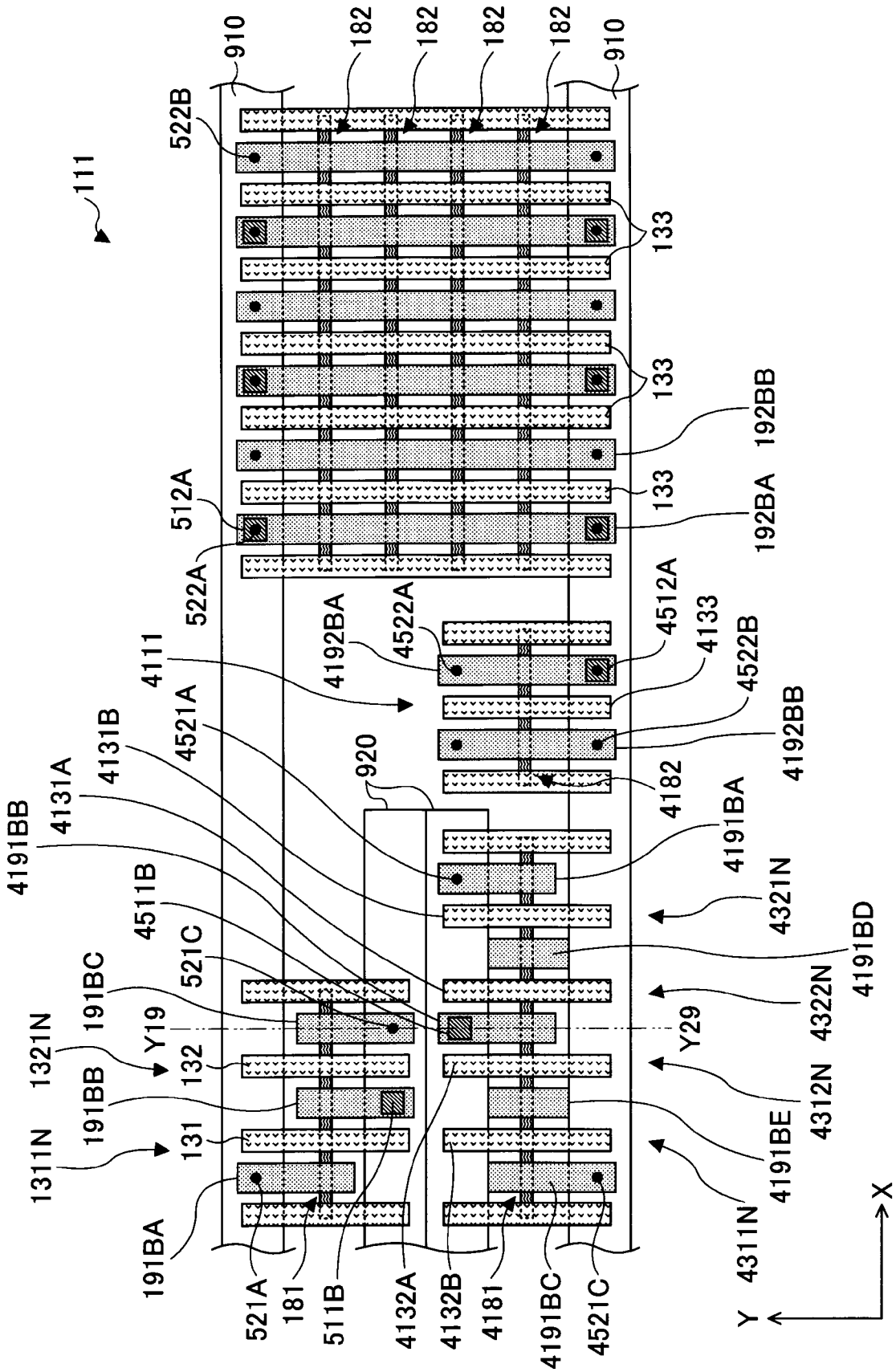
[図34]


VDD
VVDD
VSS
4111
4112
120
スタンダードセル
111
112
110
4113
1300
4300
1320
4320
1310
4310
IN2
IN1

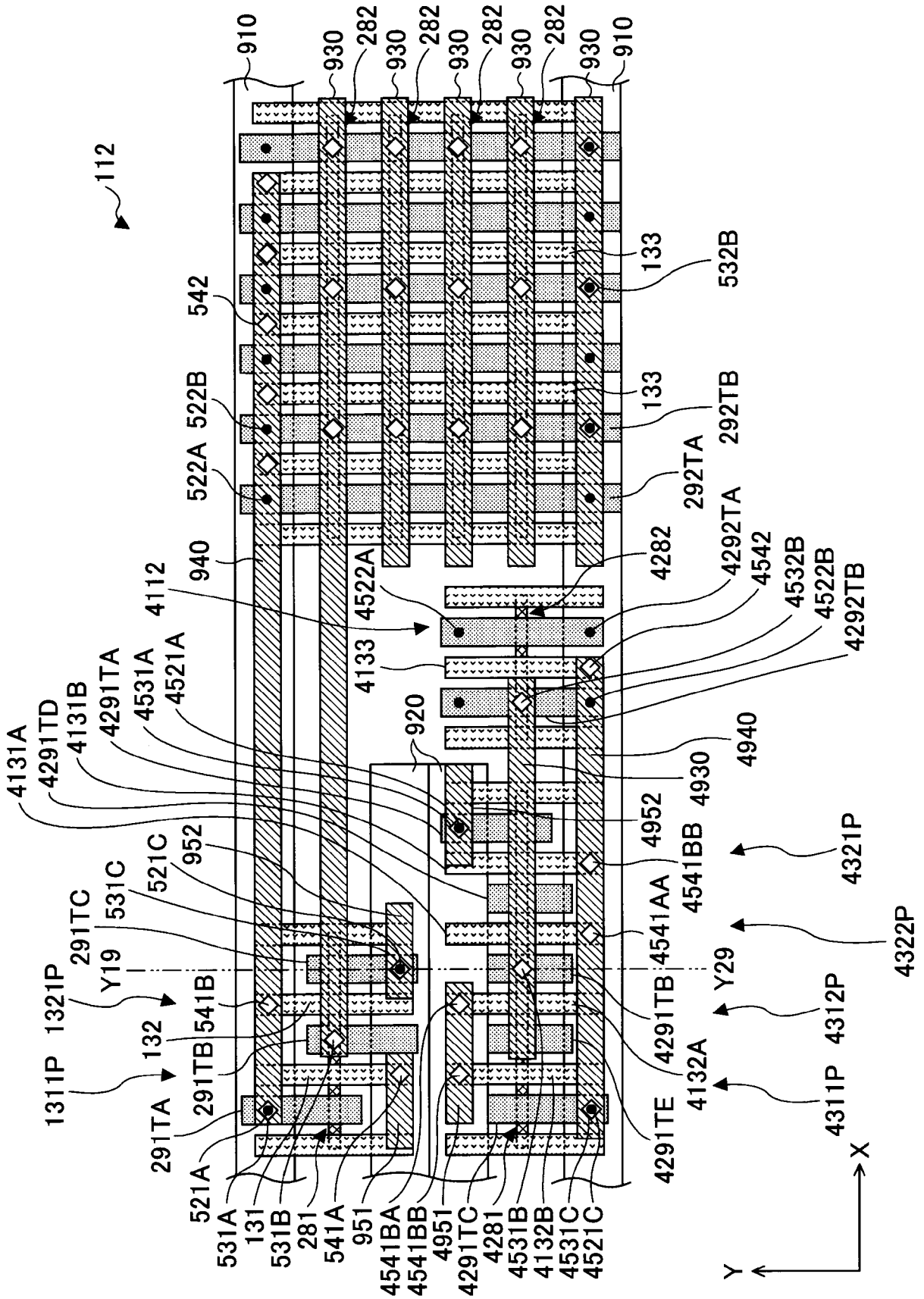
[図35]


VDD
OUT1
VSS
4300
4322P
4321P
4321N
4322N
4320
4111,
4112
4312P
4311P
4311N
4312N
4310
IN1

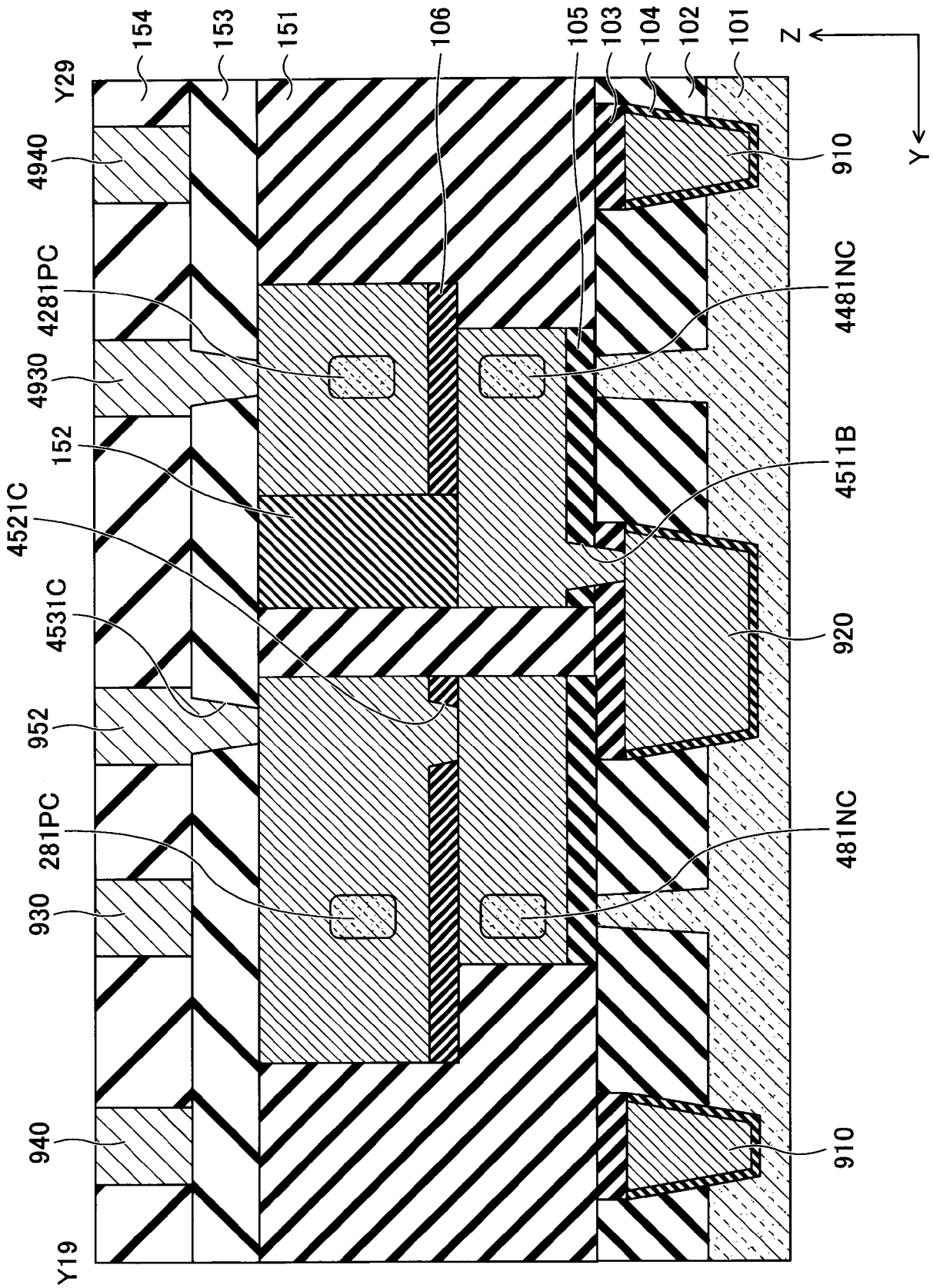
[図36]


111
910
182
182
182
182
910
522B
133
133
133
192BB
512A
522A
192BA
4111
4192BA
4522A
4512A
4133
4522B
4192BB
4521A
4131B
4131A
4191BB
920
4182
4191BA
4321N
4191BD
4511B
521C
191BC
Y19
1321N
132
191BB
1311N
131
191BA
Y29
4322N
4312N
4191BE
4311N
521A
181
511B
4132A
4132B
4181
4191BC
4521C
Y
X

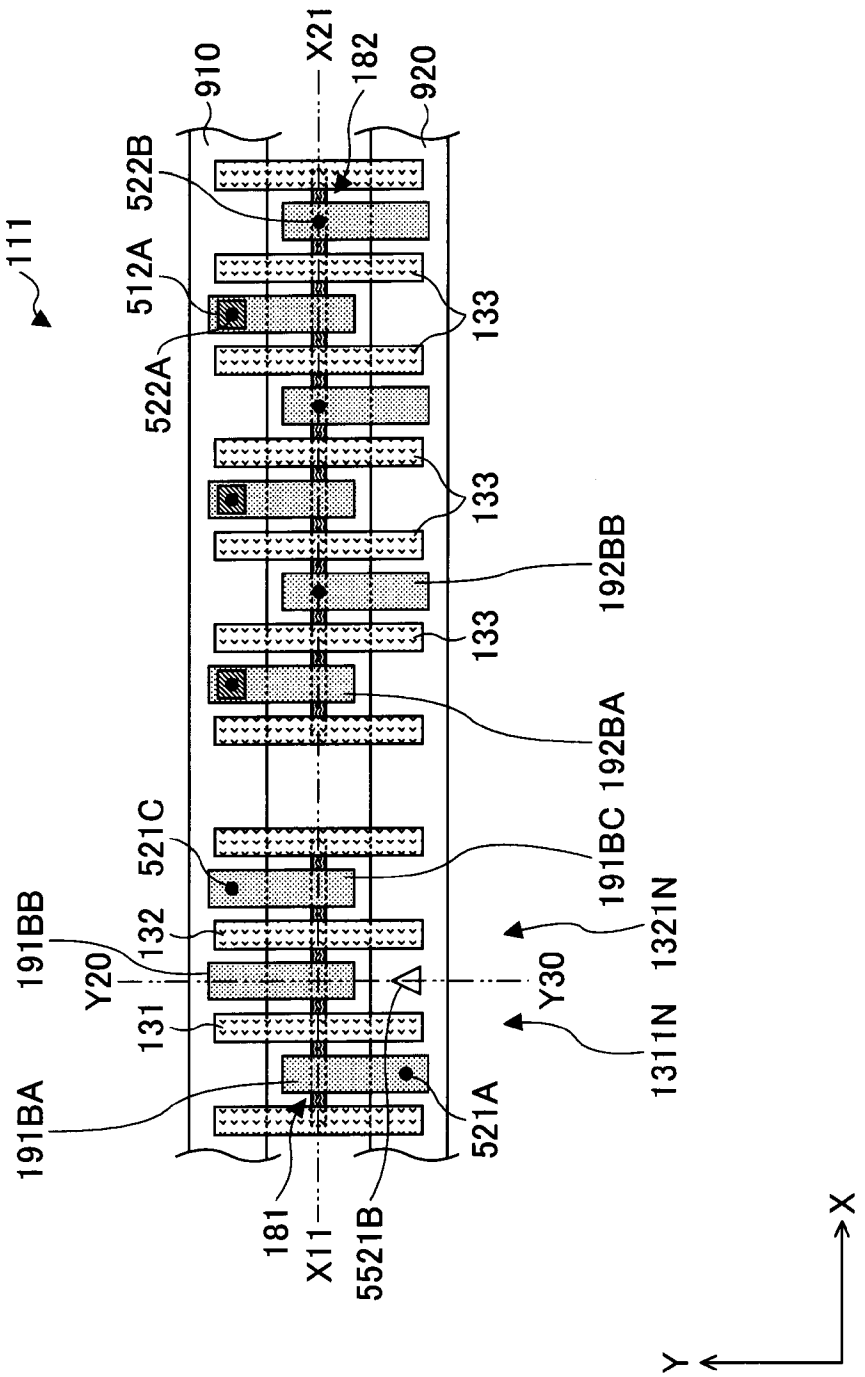
[図37]


112
910
930
282
542
522B
522A
940
4112
4522A
4133
4282
4292TA
4542
4532B
4522B
4292TB
133
532B
292TB
292TA
4131A
4291TD
4131B
4291TA
4531A
4521A
920
4940
4930
4952
4541BB
4321P
4322P
4541AA
4312P
4291TB
4132A
4311P
4291TE
952
521C
531C
291TC
Y19
Y29
1321P
541B
132
291TB
1311P
291TA
521A
531A
131
531B
281
541A
951
4541BA
4541BB
4951
4291TC
4281
4531B
4132B
4531C
4521C
X
Y

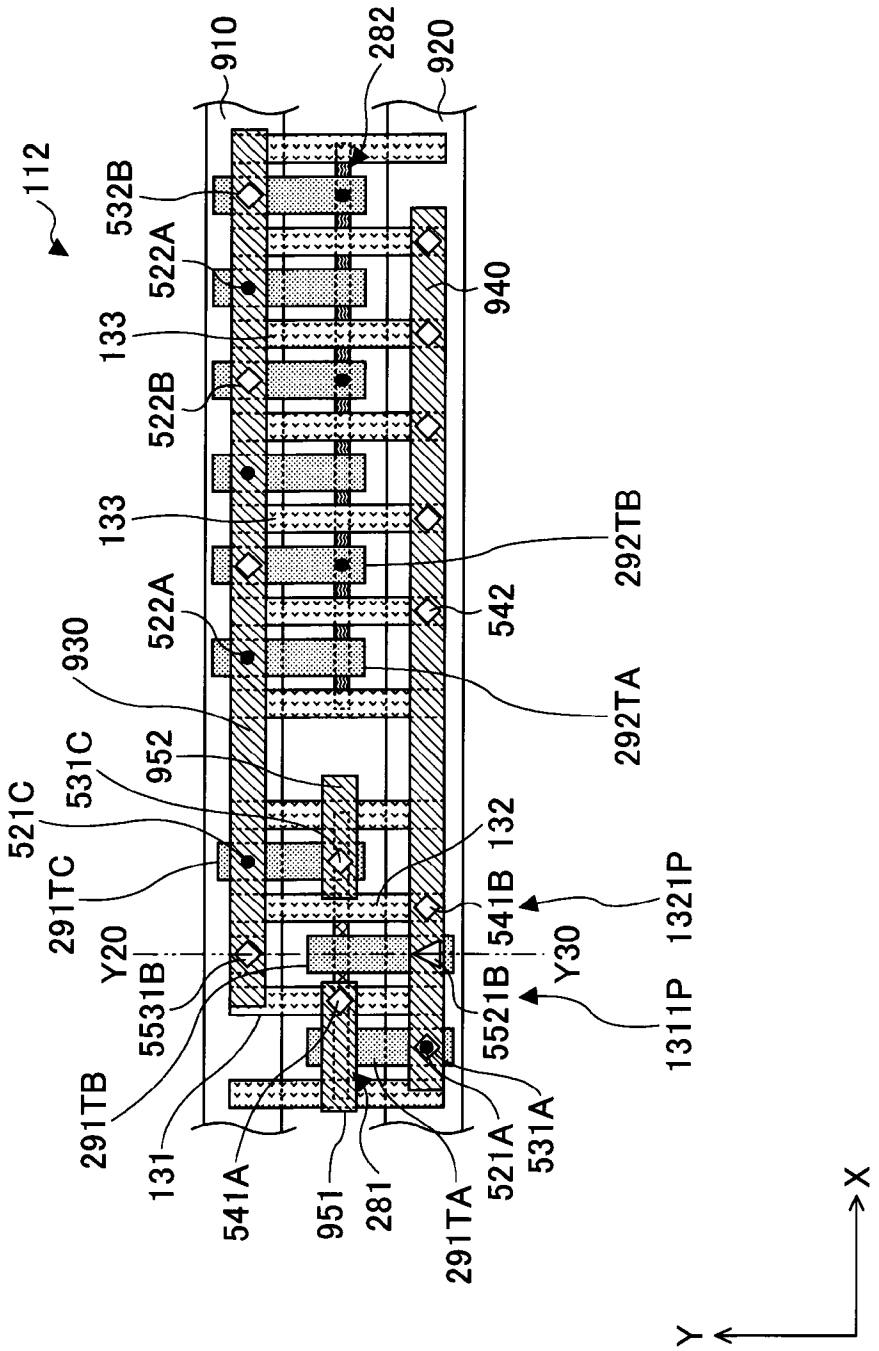
[図38]


154
153
151
106
105
103
104
102
101
Z
Y
Y29
Y19
4940
4281PC
4930
152
4521C
4531C
952
281PC
930
940
910
4481NC
4511B
920
481NC
910

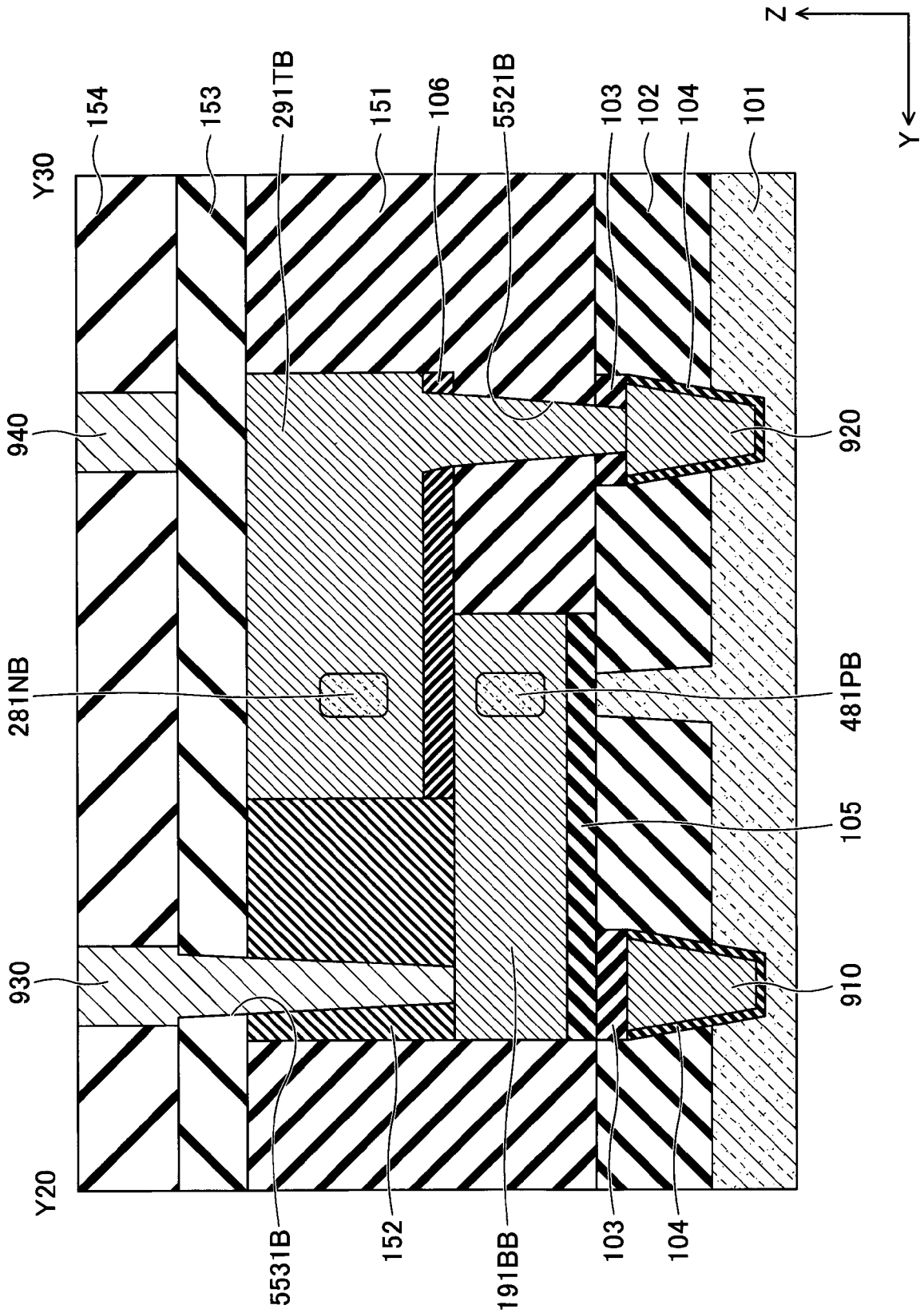
[図39]


111
910
X21
182
920
522B
512A
522A
133
133
133
192BB
192BA
191BC
521C
191BB
132
Y20
131
191BA
1321N
Y30
1311N
521A
181
X11
5521B
X
Y

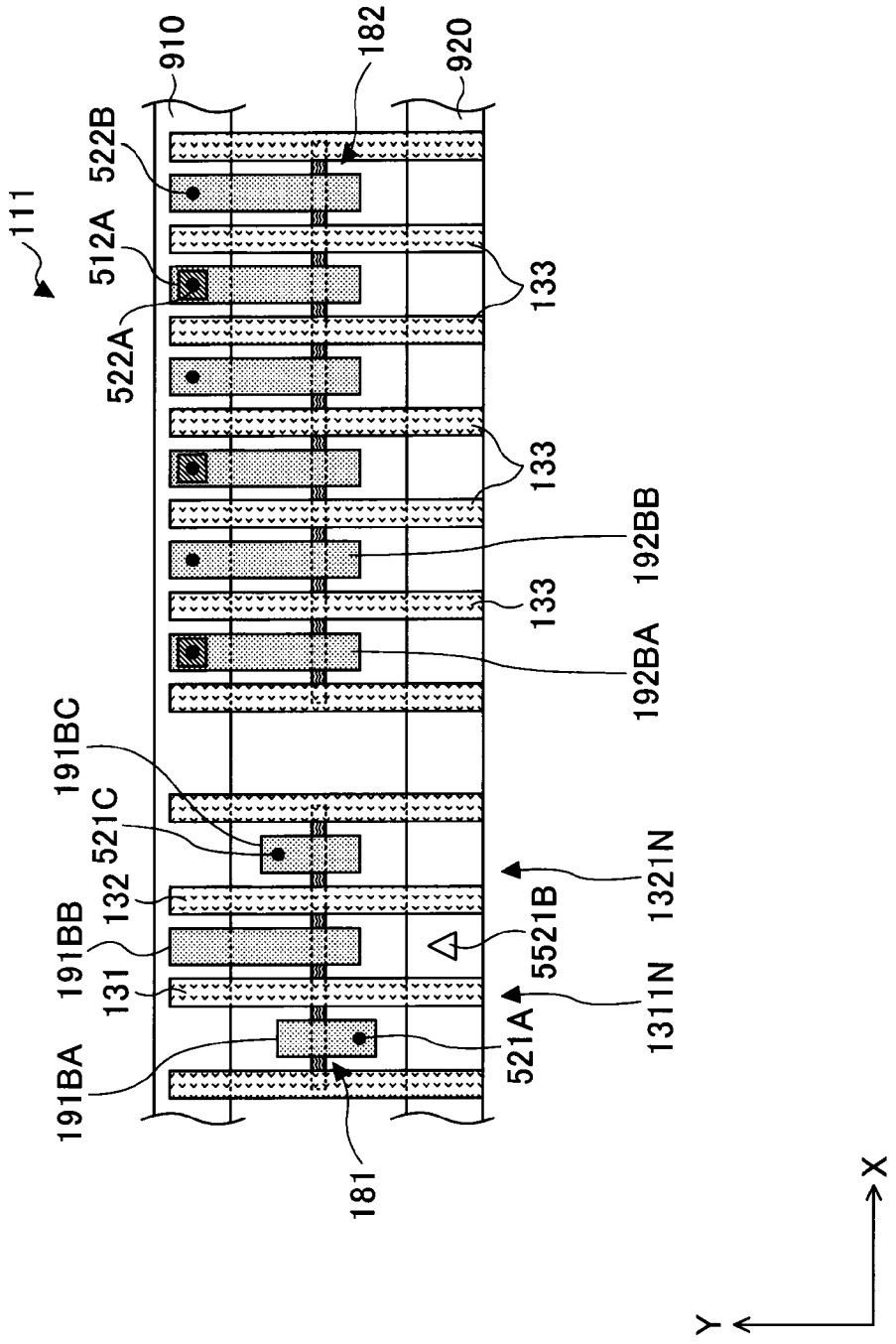
[図40]


910
282
920
112
532B
522A
940
133
522B
133
292TB
522A
542
930
292TA
952
531C
521C
132
291TC
541B
1321P
Y20
Y30
5531B
5521B
1311P
291TB
131
541A
951
281
291TA
521A
531A
X
Y

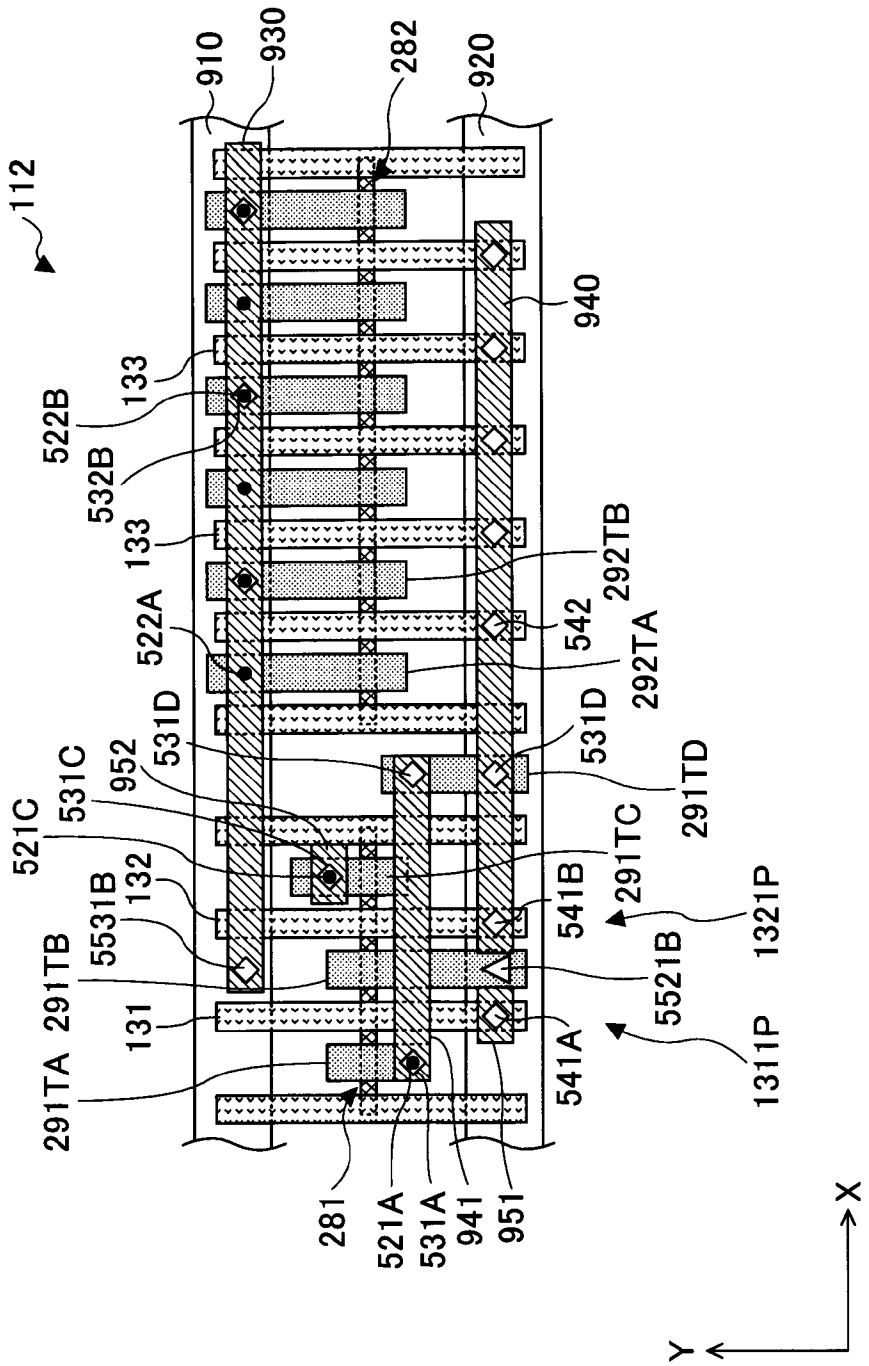
[図41]


Z
Y
154
153
291TB
151
106
5521B
103
102
104
101
Y30
940
920
281NB
481PB
105
930
910
Y20
5531B
152
191BB
103
104

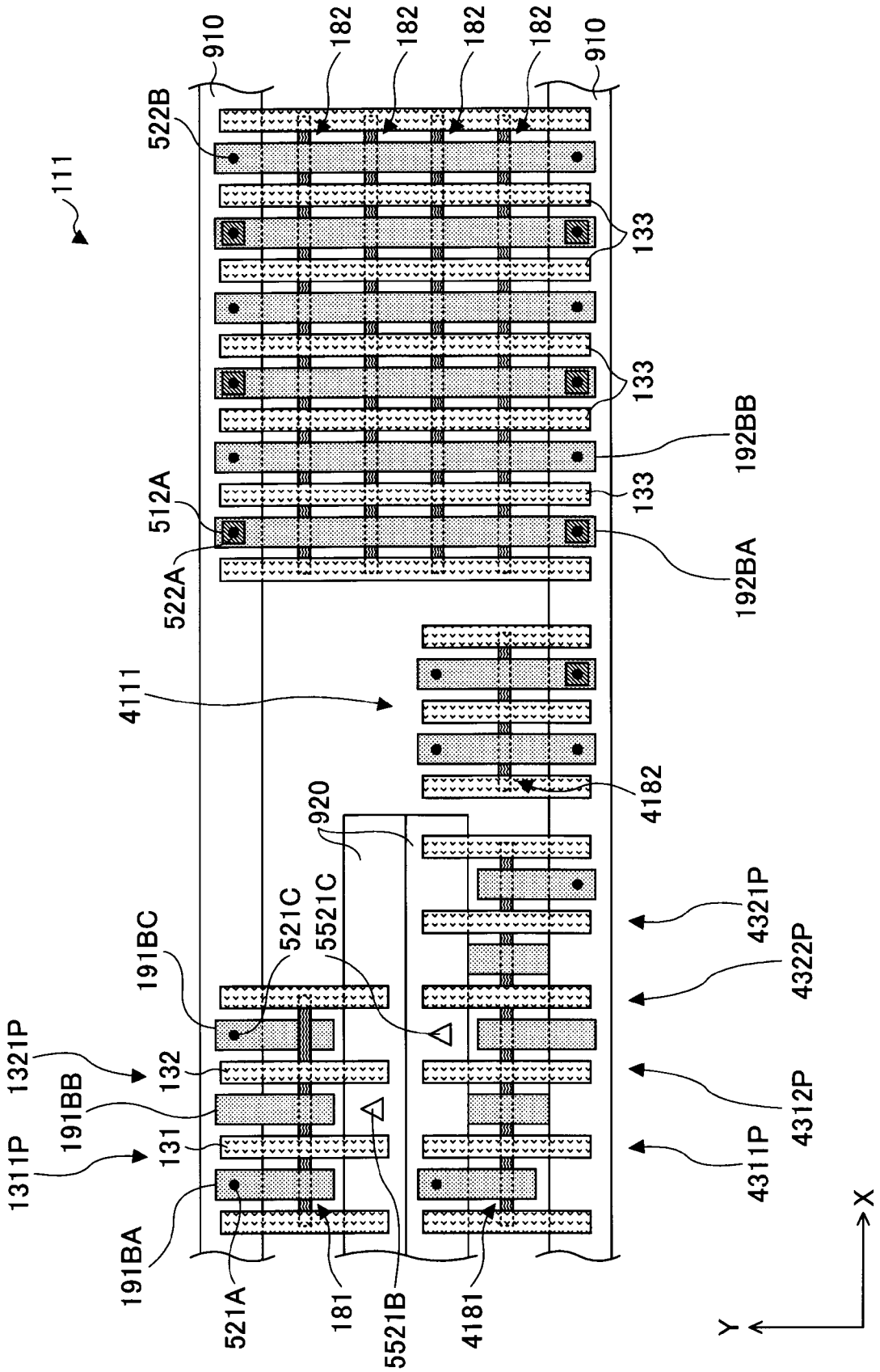
[図42]


111
910
182
920
522B
512A
522A
133
133
133
192BB
192BA
191BC
521C
132
191BB
131
191BA
181
521A
5521B
1311N
1321N
X
Y

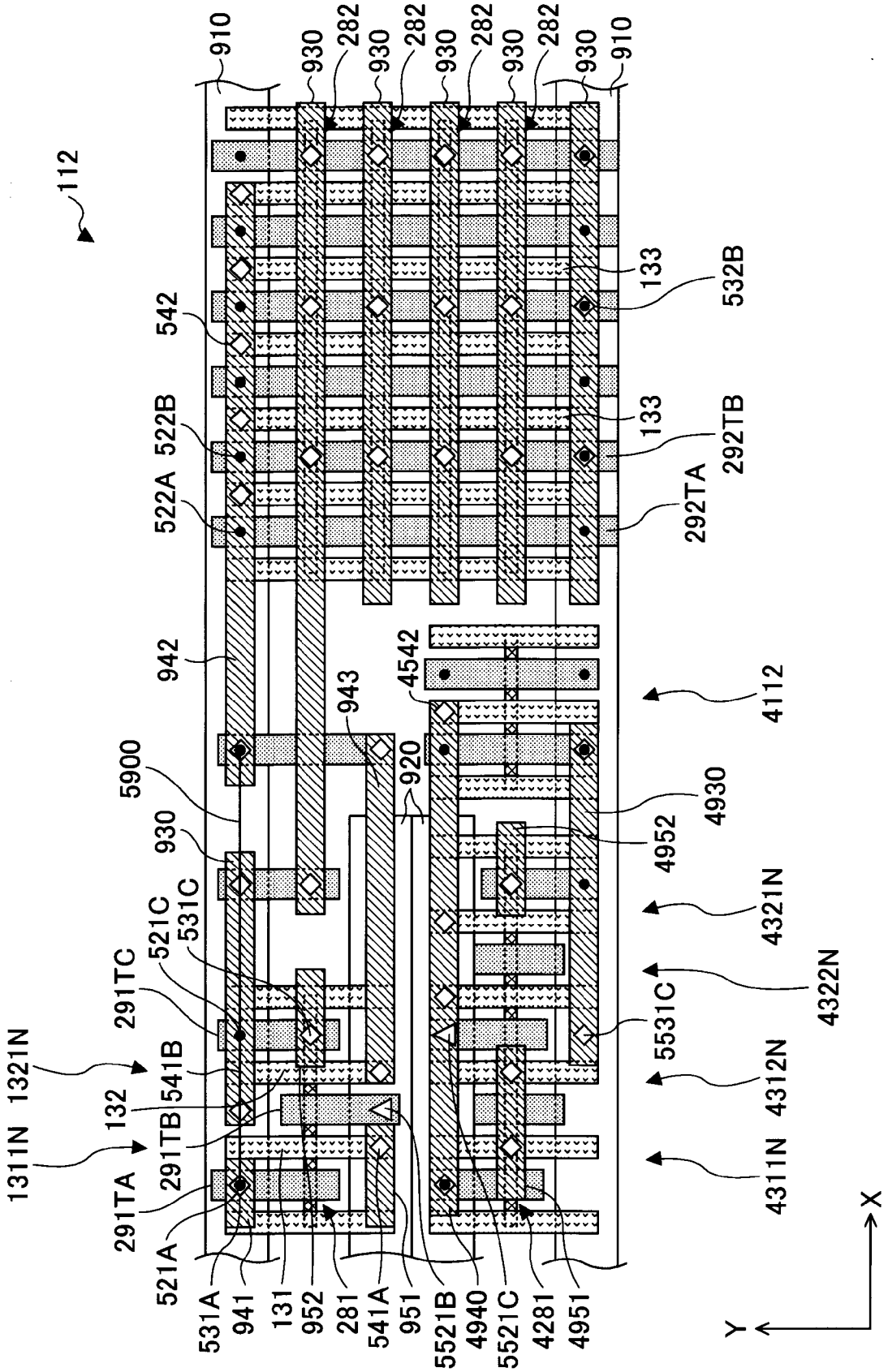
[図43]


112
910
930
282
920
940
133
522B
532B
133
292TB
522A
542
292TA
531D
531D
952
531C
291TD
521C
291TC
132
541B
1321P
5531B
291TB
5521B
131
541A
1311P
291TA
281
521A
531A
941
951
X
Y

[図44]


111
910
182
182
182
182
910
522B
133
133
133
192BB
512A
522A
192BA
4111
4182
920
521C
5521C
191BC
4321P
4322P
4312P
4311P
1321P
132
191BB
131
1311P
191BA
521A
181
5521B
4181
X
Y

[図45]


112
910
930
282
930
282
930
282
930
282
930
910
542
522B
522A
942
943
4542
920
5900
930
521C
531C
291TC
541B
132
291TB
291TA
521A
531A
941
131
952
281
541A
951
5521B
4940
5521C
4281
4951
1321N
1311N
4112
4930
4952
4321N
4322N
5531C
4312N
4311N
133
532B
133
292TB
292TA
X
Y

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/017690

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/82(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/208888 A1 (SOCIONEXT INC.) 07 December 2017, entire text, all drawings & US 2019/0081029 A1 & CN 109155284 A	1-14
A	JP 2012-190998 A (TOSHIBA CORPORATION) 04 October 2012, entire text, all drawings & US 2012/0229190 A1	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 23.05.2019	Date of mailing of the international search report 18.06.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/017690

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-73039 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 April 2015, entire text, all drawings (Family: none)	1-14
A	JP 9-283747 A (FUJI ELECTRIC CO., LTD.) 31 October 1997, entire text, all drawings (Family: none)	1-14
A	JP 2014-150481 A (SHARP CORPORATION) 21 August 2014, entire text, all drawings (Family: none)	1-14
A	JP 2012-216776 A (SONY CORPORATION) 08 November 2012, entire text, all drawings & US 2012/0248544 A1 & CN 102738168 A	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０１７６９０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/82(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2017/208888 A1 (株式会社ソシオネクスト) 2017.12.07, 全文, 全図 & US 2019/0081029 A1 & CN 109155284 A	1-14
A	JP 2012-190998 A (株式会社東芝) 2012.10.04, 全文, 全図 & US 2012/0229190 A1	1-14

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２３．０５．２０１９	１８．０６．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４０５６
市川　武宜
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2015-73039 A (株式会社半導体エネルギー研究所) 2015.04.16, 全文, 全図 (ファミリーなし)	1-14
A	JP 9-283747 A (富士電機株式会社) 1997.10.31, 全文, 全図 (ファミリーなし)	1-14
A	JP 2014-150481 A (シャープ株式会社) 2014.08.21, 全文, 全図 (ファミリーなし)	1-14
A	JP 2012-216776 A (ソニー株式会社) 2012.11.08, 全文, 全図 & US 2012/0248544 A1 & CN 102738168 A	1-14