

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5013450号
(P5013450)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int.Cl.

F I

G O 6 F 12/06 (2006.01)

G O 6 F 12/00 (2006.01)

G O 6 F 12/06 5 2 0 A

G O 6 F 12/06 5 2 3 C

G O 6 F 12/00 5 6 0 A

G O 6 F 12/00 5 9 7 U

請求項の数 18 (全 19 頁)

(21) 出願番号 特願2006-232273 (P2006-232273)
 (22) 出願日 平成18年8月29日(2006.8.29)
 (65) 公開番号 特開2008-59053 (P2008-59053A)
 (43) 公開日 平成20年3月13日(2008.3.13)
 審査請求日 平成21年8月25日(2009.8.25)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 倉藤 崇
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 藤戸 正道
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 審査官 中野 裕二

最終頁に続く

(54) 【発明の名称】 半導体集積回路及びシングルチップマイクロコンピュータ

(57) 【特許請求の範囲】

【請求項1】

メインCPUと、電氣的に書き込み及び消去可能な不揮発性メモリモジュールとを具備してなり、

前記不揮発性メモリモジュールは、不揮発性メモリと、不揮発制御ユニットとを含み、

前記メインCPUから発行されたコマンドにตอบสนองして前記不揮発制御ユニットは前記不揮発性メモリの書き込み及び消去の制御を行うものであり、

前記不揮発性メモリは、前記メインCPUが実行するプログラムを格納するプログラム格納不揮発性メモリと、前記メインCPUによる前記プログラムの命令実行結果のデータを格納するデータ格納不揮発性メモリとを含み、

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みのデータサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモリへのデータ書き込みのデータサイズと異なるサイズに設定され、

前記メインCPUは前記不揮発制御ユニットに前記プログラム格納不揮発性メモリへのプログラム書き込みの要求を行う際に前記プログラム書き込みのデータサイズに対応する第1のサイズ情報を前記不揮発制御ユニットへ供給して、

前記メインCPUは前記不揮発制御ユニットに前記データ格納不揮発性メモリへのデータ書き込みの要求を行う際に前記データ書き込みのデータサイズに対応する第2のサイズ情報を前記不揮発制御ユニットへ供給して、

前記不揮発制御ユニットは前記メインCPUから供給される前記第1のサイズ情報に

10

20

答して前記不揮発性メモリの前記プログラム格納不揮発性メモリにプログラムの書き込みを実行するものでありまた前記メインＣＰＵから供給される前記第２のサイズ情報にตอบสนองして前記不揮発性メモリの前記データ格納不揮発性メモリにデータの書き込みを実行するものである半導体集積回路。

【請求項２】

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みの前記データサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモリへのデータ書き込みの前記データサイズよりも大きくされた請求項１記載の半導体集積回路。

【請求項３】

前記データ格納不揮発性メモリは少なくとも１個のフラッシュメモリを含み、前記プログラム格納不揮発性メモリは少なくとも２個のフラッシュメモリを含む請求項１または請求項２のいずれかに記載の半導体集積回路。

【請求項４】

前記メインＣＰＵから供給される動作モードにตอบสนองして前記不揮発制御ユニットは書き込みデータを前記プログラム格納不揮発性メモリの前記２個のフラッシュメモリヘシリアルにデータ転送するものである請求項３に記載の半導体集積回路。

【請求項５】

前記メインＣＰＵから供給される他の動作モードにตอบสนองして前記不揮発制御ユニットは書き込みデータを前記プログラム格納不揮発性メモリの前記２個のフラッシュメモリヘインターリーブにより交互にデータ転送するものである請求項３に記載の半導体集積回路。

【請求項６】

前記不揮発制御ユニットは、サブＣＰＵと、コントロールメモリとを含み、
前記プログラム格納不揮発性メモリには、前記不揮発制御ユニットの前記サブＣＰＵによる前記不揮発性メモリの書き込みおよび消去を制御する書き込み・消去制御プログラムが格納され、

システム起動時には前記プログラム格納不揮発性メモリに格納された前記書き込み・消去制御プログラムが前記不揮発制御ユニットの前記コントロールメモリへ転送され、

前記不揮発性メモリの書き込み及び消去の制御は前記メインＣＰＵから発行されたコマンドにตอบสนองして前記不揮発制御ユニットの前記サブＣＰＵが前記コントロールメモリに転送された書き込み・消去制御プログラムの命令を実行することにより行われるものである請求項１から請求項５のいずれかに記載の半導体集積回路。

【請求項７】

メインＣＰＵと、電氣的に書き込み及び消去可能な不揮発性メモリモジュールとを具備してなり、

前記不揮発性メモリモジュールは、不揮発性メモリと、不揮発制御ユニットとを含み、
前記メインＣＰＵから発行されたコマンドにตอบสนองして前記不揮発制御ユニットは前記不揮発性メモリの書き込み及び消去の制御を行うものであり、

前記不揮発性メモリは、前記メインＣＰＵが実行するプログラムを格納するプログラム格納不揮発性メモリと、前記メインＣＰＵによる前記プログラムの命令実行結果のデータを格納するデータ格納不揮発性メモリとを含み、

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き込みのデータサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモリへのデータ書き込みのデータサイズと異なるサイズに設定され、

前記メインＣＰＵは前記不揮発制御ユニットに前記プログラム格納不揮発性メモリへのプログラム書き込みの要求を行う際にプログラム書き込みのデータサイズに対応する第１のサイズ情報を前記不揮発制御ユニットへ供給して、

前記メインＣＰＵは前記不揮発制御ユニットに前記データ格納不揮発性メモリへのデータ書き込みの要求を行う際にデータ書き込みのデータサイズに対応する第２のサイズ情報を前記不揮発制御ユニットへ供給して、

10

20

30

40

50

前記不揮発制御ユニットは前記メインＣＰＵから供給される前記第１のサイズ情報に
応答して前記不揮発性メモリの前記プログラム格納不揮発性メモリにプログラムの書き込み
を実行するものでありまた前記メインＣＰＵから供給される前記第２のサイズ情報に
応答して前記不揮発性メモリの前記データ格納不揮発性メモリにデータの書き込みを実行する
ものであるシングルチップマイクロコンピュータ。

【請求項８】

前記不揮発制御ユニットによる前記プログラム格納不揮発性メモリへのプログラム書き
込みの前記データサイズは、前記不揮発制御ユニットによる前記データ格納不揮発性メモ
リへのデータ書き込みの前記データサイズよりも大きくされた請求項７に記載のシングル
チップマイクロコンピュータ。

10

【請求項９】

前記データ格納不揮発性メモリは少なくとも１個のフラッシュメモリを含み、前記プロ
グラム格納不揮発性メモリは少なくとも２個のフラッシュメモリを含む請求項７または請
求項８のいずれかに記載のシングルチップマイクロコンピュータ。

【請求項１０】

前記メインＣＰＵから供給される動作モードに
応答して情報前記不揮発制御ユニットは
書き込みデータを前記プログラム格納不揮発性メモリの前記２個のフラッシュメモリヘシ
リアルにデータ転送するものである請求項９に記載のシングルチップマイクロコンピュ
ータ。

【請求項１１】

20

前記メインＣＰＵから供給される他の動作モードに
応答して前記不揮発制御ユニットは
書き込みデータを前記プログラム格納不揮発性メモリの前記２個のフラッシュメモリヘイ
ンターリーブにより交互にデータ転送するものである請求項９に記載のシングルチップマ
イクロコンピュータ。

【請求項１２】

前記不揮発制御ユニットは、サブＣＰＵと、コントロールメモリとを含み、
前記プログラム格納不揮発性メモリには、前記不揮発制御ユニットの前記サブＣＰＵに
よる前記不揮発性メモリの書き込みおよび消去を制御する書き込み・消去制御プログラム
が格納され、

システム起動時には前記プログラム格納不揮発性メモリに格納された前記書き込み・消
去制御プログラムが前記不揮発制御ユニットの前記コントロールメモリへ転送され、

30

前記不揮発性メモリの書き込み及び消去の制御は前記メインＣＰＵから発行されたコマ
ンドに
応答して前記不揮発制御ユニットの前記サブＣＰＵが前記コントロールメモリに転
送された書き込み・消去制御プログラムの命令を実行することにより行われるものである
請求項７から請求項１１のいずれかに記載のシングルチップマイクロコンピュータ。

【請求項１３】

前記メインＣＰＵからの前記不揮発性メモリに対する書き込みコマンドは、
前記データまたはプログラム書き込みのデータサイズに対応したサイズ情報と、
書き込まれるべきデータ情報と、を含むとされる請求項２記載の半導体集積回路。

【請求項１４】

40

前記メインＣＰＵからの前記不揮発性メモリに対する書き込みコマンドは、
前記データまたはプログラム書き込みのデータサイズに対応したサイズ情報と、
書き込まれるべきデータ情報と、を含むとされる請求項８記載のシングルチップマイク
ロコンピュータ。

【請求項１５】

前記メインＣＰＵが接続される第１バスと、
前記不揮発制御ユニットが接続される第２バスと、を有し、
前記プログラム格納不揮発性メモリは、前記第１バスを介して前記メインＣＰＵからの
読み出し動作を行い、

前記データ格納不揮発性メモリは、前記第２バスを介して前記メインＣＰＵからの読み

50

出し動作を行うとされる請求項 1 または 1 3 記載の半導体集積回路。

【請求項 1 6】

前記メイン C P U が接続される第 1 バスと、
前記不揮発制御ユニットが接続される第 2 バスと、を有し、
前記プログラム格納不揮発性メモリは、前記第 1 バスを介して前記メイン C P U からの読み出し動作を行い、
前記データ格納不揮発性メモリは、前記第 2 バスを介して前記メイン C P U からの読み出し動作を行うとされる請求項 7 または 1 4 記載のシングルチップマイクロコンピュータ。

【請求項 1 7】

前記不揮発制御ユニットは、前記第 2 バスに接続され、
前記メイン C P U からの前記書き込みコマンドを前記第 2 バス経由で供給されてなる請求項 1 5 記載の半導体集積回路。

【請求項 1 8】

前記不揮発制御ユニットは、前記第 2 バスに接続され、
前記メイン C P U からの前記書き込みコマンドを前記第 2 バス経由で供給されてなる請求項 1 6 記載のシングルチップマイクロコンピュータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性メモリを備えたシングルチップマイクロコンピュータ更には半導体集積回路に関わり、特に、電氣的に書き込み及び消去可能な不揮発性フラッシュメモリを内蔵したシングルチップマイクロコンピュータに利用して有効な技術に関するものである。

【背景技術】

【0002】

特許文献 1 には、不揮発性フラッシュメモリを内蔵したシングルチップマイクロコンピュータについての記載がある。このシングルチップマイクロコンピュータは、中央処理ユニット (C P U) に接続されたデータ格納用のランダムアクセスメモリ (R A M) とともにフラッシュメモリを備える。フラッシュメモリは、C P U のプログラムの格納やデータの格納に利用される。フラッシュメモリによって、その内容を、随時書換え可能にし、使い勝手を向上することができる。特許文献 1 に記載されたマイクロコンピュータでは、オンチップのフラッシュメモリに対する書き込み・消去を内蔵 C P U に制御させる動作モードと、外部の P R O M ライタに制御させる動作モードとを選択可能になっている。内蔵 C P U で制御する場合、内蔵 C P U は書き込み・消去を制御する専用のプログラムを逐次実行ながら、消去電圧の印加と消去ベリファイの制御を繰り返すことにより消去を実行して、また、書き込み電圧の印加と書き込みベリファイの制御を繰り返すことにより書き込みを実行する。P R O M ライタで制御する動作モードが設定されると、マイクロコンピュータは外部から見かけ上フラッシュメモリ単体チップと同じように見える。この状態で P R O M ライタが消去電圧の印加及び消去ベリファイの制御により消去を実行して、書き込み電圧の印加及び書き込みベリファイの制御により書き込みを実行する。

【0003】

一方特許文献 2 に記載されたメモリ単体チップとしてのフラッシュメモリは、外部から供給される書き込みコマンドや消去コマンドに応答して書き込み及び消去の制御を内部で行う専用ハードウェアを有する。専用ハードウェアを備える場合、システム外部のホスト C P U はフラッシュメモリに書き込みや消去のコマンドを発行するだけで良く、ホスト C P U はフラッシュメモリの書き込み及び消去の動作制御に占有されない。

【0004】

【特許文献 1】特開平 5 - 2 6 6 2 2 0 号公報

【特許文献 2】特開平 1 0 - 9 2 9 5 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明者等は本発明に先立ってフラッシュメモリモジュールとメインCPUとをチップ上に搭載したシングルチップマイクロコンピュータの開発に従事した。フラッシュメモリモジュールは、フラッシュメモリとフラッシュ制御ユニットとを含み、フラッシュメモリモジュールのフラッシュメモリの書き込み及び消去の制御はフラッシュ制御ユニットのサブCPUのプログラム制御によって行われる。

【0006】

マイクロコンピュータのメインCPUはフラッシュ制御ユニットのサブCPUにフラッシュメモリの書き込み又は消去を行う所定のコマンドを発行すると、所定のコマンドに
10 応答してサブCPUは命令の逐次実行によりフラッシュメモリの書き込み又は消去を行う。その結果、フラッシュ制御ユニットのサブCPUによるフラッシュメモリの書き込み又は消去の動作と並列に、メインCPUはフラッシュメモリへのアクセス以外のその他のデータ処理の動作を実行することが可能となり、リアルタイム性能を向上することができる。

【0007】

このようなシングルチップマイクロコンピュータのフラッシュメモリには、メインCPUが実行するプログラムの命令が格納されるとともに、メインCPUによるプログラムの命令実行結果のデータも格納される。本発明に先立ってフラッシュメモリを搭載したシングルチップマイクロコンピュータの開発に際して、フラッシュメモリへのプログラムの命令が格納される頻度は比較的低いのにに対して命令実行結果のデータが格納される頻度が高いこと、またシングルチップマイクロコンピュータの性能向上のためにはフラッシュメモリに格納されたプログラムの命令の読み出し速度を向上する必要があること、フラッシュメモリに格納されるプログラムのデータサイズは比較的大きいのにに対してフラッシュメモリに格納される命令実行結果のデータサイズは比較的小さいことが、本発明者等による検討により明らかとされた。
20

【0008】

このような経緯から、シングルチップマイクロコンピュータのフラッシュメモリを高速読み出し可能なプログラム格納フラッシュメモリとデータ格納フラッシュメモリとに分割して、プログラム格納フラッシュメモリへの書き込みデータサイズを大きくする一方、データ格納フラッシュメモリへの書き込みデータサイズを小さくすることが検討された。また、プログラム格納フラッシュメモリの読み出し性能を向上するために、2つのプログラム格納フラッシュメモリをインターリーブでアクセスすることも検討された。
30

【0009】

しかし、過去に開発されたシングルチップマイクロコンピュータでは、フラッシュ制御ユニットのサブCPUによるフラッシュメモリの書き込みは固定の書き込みデータサイズにのみ対応しているだけで異なる書き込みデータサイズには対応していないという問題が明らかとされた。また、フラッシュ制御ユニットのサブCPUによるフラッシュメモリの書き込みは、1つのフラッシュメモリに対する書き込みモードに対応しているだけで、インターリーブでアクセスするような2つのフラッシュメモリに対する書き込みモードには対応していないという問題も明らかにされた。
40

【0010】

本発明は上記の如き本発明に先立って本発明者等の検討を基にしてなされたものであり、本発明の目的とするところは書き込みデータサイズや書き込みモードの異なるプログラム格納不揮発性メモリとデータ格納不揮発性メモリとのいずれの不揮発性メモリの書き込みを共通の不揮発制御ユニットにより実行可能なシングルチップマイクロコンピュータ、更には半導体集積回路を提供することにある。

【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 1 2 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 3 】

本発明の 1 つの形態によるシングルチップマイクロコンピュータ (1) は、メイン CPU (2) と、電氣的に書き込み及び消去可能な不揮発性メモリモジュール (F L M) とを具備する。

【 0 0 1 4 】

前記不揮発性メモリモジュール (F L M) は、不揮発性メモリ (5 、 6 、 9) と、不揮発制御ユニット (8) とを含む。

10

【 0 0 1 5 】

前記メイン CPU (2) から発行されたコマンドに応答して前記不揮発制御ユニット (8) は前記不揮発性メモリ (5 、 6 、 9) の書き込み及び消去の制御を行うものである。

【 0 0 1 6 】

前記不揮発性メモリ (5 、 6 、 9) は、前記メイン CPU (2) が実行するプログラムを格納するプログラム格納不揮発性メモリ (5 、 6) と、前記メイン CPU による前記プログラムの命令実行結果のデータを格納するデータ格納不揮発性メモリ (9) とを含む。

【 0 0 1 7 】

前記不揮発制御ユニット (8) による前記プログラム格納不揮発性メモリ (5 、 6) へのプログラム書き込みのデータサイズは、前記不揮発制御ユニット (8) による前記データ格納不揮発性メモリ (9) へのデータ書き込みのデータサイズと異なるサイズに設定されている。

20

【 0 0 1 8 】

前記メイン CPU (2) は前記不揮発制御ユニット (8) に前記プログラム格納不揮発性メモリ (5 、 6) へのプログラム書き込みの要求を行う際に前記プログラム書き込みのデータサイズに対応する第 1 のサイズ情報 (H ' 8 0) を前記不揮発制御ユニット (8) へ供給する。

【 0 0 1 9 】

前記メイン CPU (2) は前記不揮発制御ユニット (8) に前記データ格納不揮発性メモリ (9) へのデータ書き込みの要求を行う際に前記データ書き込みのデータサイズに対応する第 2 のサイズ情報 (H ' 4 0) を前記不揮発制御ユニット (8) へ供給する。

30

【 0 0 2 0 】

前記不揮発制御ユニット (8) は前記メイン CPU (2) から供給される前記第 1 のサイズ情報 (H ' 8 0) および前記第 2 のサイズ情報 (H ' 4 0) に応答して前記不揮発性メモリ (5 、 6 、 9) の前記プログラム格納不揮発性メモリ (5 、 6) および前記データ格納不揮発性メモリ (9) へのプログラムおよびデータの書き込みを実行する (図 1 、 図 3 参照) 。

【 0 0 2 1 】

本発明の前記 1 つの形態による手段によれば、前記メイン CPU (2) が前記不揮発性メモリ (5 、 6 、 9) の前記プログラム格納不揮発性メモリ (5 、 6) または前記データ格納不揮発性メモリ (9) へプログラムまたはデータの書き込みを要求するかに対応して前記メイン CPU (2) はデータサイズ情報 (H ' 8 0 、 H ' 4 0) を前記不揮発制御ユニット (8) へ供給する。従って、前記不揮発制御ユニット (8) は、書き込みデータサイズの異なる前記プログラム格納不揮発性メモリ (5 、 6) と前記データ格納不揮発性メモリ (9) とに書き込みを実行することができる。

40

【 0 0 2 2 】

また、前記第 1 のデータサイズ情報 (H ' 8 0) および第 2 のデータサイズ情報 (H ' 4 0) を任意の値に変更することにより、前記プログラム書き込みのデータサイズを前記データ書き込みのデータサイズよりも大きくしたり、書き込みのデータサイズを小さくしたりすることが可能である。

50

【 0 0 2 3 】

本発明の 1 つの好適な形態によるシングルチップマイクロコンピュータ (1) では、前記不揮発制御ユニット (8) による前記プログラム格納不揮発性メモリ (5、6) へのプログラム書き込みの前記データサイズは、前記不揮発制御ユニット (8) による前記データ格納不揮発性メモリ (9) へのデータ書き込みの前記データサイズよりも大きくされている。

【 0 0 2 4 】

本発明の 1 つの好適な形態によるシングルチップマイクロコンピュータ (1) では、前記データ格納不揮発性メモリは少なくとも 1 個のフラッシュメモリ (9) を含み、前記プログラム格納不揮発性メモリは少なくとも 2 個のフラッシュメモリ (5、6) を含む。

10

【 0 0 2 5 】

本発明の 1 つのより好適な形態によるシングルチップマイクロコンピュータ (1) では、前記メイン CPU (2) から供給される動作モード (H ' E 8) に応答して情報前記不揮発制御ユニット (8) は書き込みデータ (W D 1 ... W D 1 2 8) を前記プログラム格納不揮発性メモリの前記 2 個のフラッシュメモリ (5、6) ヘシリアルにデータ転送するものである (図 3 参照) 。

【 0 0 2 6 】

本発明の 1 つのより好適な形態によるシングルチップマイクロコンピュータ (1) では、前記メイン CPU (2) から供給される他の動作モード (H ' E 9) に応答して前記不揮発制御ユニット (8) は書き込みデータ (W D 1 ... W D 1 2 8) を前記プログラム格納不揮発性メモリの前記 2 個のフラッシュメモリ (5、6) ヘインターリーブにより交互にデータ転送するものである (図 4 参照) 。

20

【 0 0 2 7 】

本発明の 1 つのより好適な形態によるシングルチップマイクロコンピュータ (1) では、前記データ格納不揮発メモリ (9) への書き込みにおいては、前記メイン CPU (2) から供給される動作モード (H ' E 8) に応答して前記不揮発制御ユニット (8) は書き込みデータ (W D 1 ... W D 6 4) を前記データ格納不揮発メモリ (9) ヘシリアルにデータ転送する (図 3 参照) 。

【 0 0 2 8 】

本発明の 1 つの具体的な形態によるシングルチップマイクロコンピュータ (1) では、前記不揮発制御ユニット (8) はサブ CPU (F C P U 1 2) と、コントロールメモリ (C R A M 1 5) とを含む。

30

【 0 0 2 9 】

前記プログラム格納不揮発性メモリ (5、6) には、前記不揮発制御ユニット (8) の前記サブ CPU (F C P U 1 2) による前記不揮発性メモリ (5、6、9) の書き込みおよび消去を制御する書き込み・消去制御プログラムが格納されている。

【 0 0 3 0 】

システム起動時には前記プログラム格納不揮発性メモリ (5、6) に格納された前記書き込み・消去制御プログラムが前記不揮発制御ユニット (8) の前記コントロールメモリ (C R A M 1 5) ヘ転送される。

40

【 0 0 3 1 】

前記不揮発性メモリ (5、6、9) の書き込み及び消去の制御は前記メイン CPU から発行されたコマンドに応答して前記不揮発制御ユニット (8) の前記サブ CPU (F C P U 1 2) が前記コントロールメモリ (C R A M 1 5) に転送された書き込み・消去制御プログラムの命令を実行することにより行われるものである。

【 発明の効果 】

【 0 0 3 2 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 3 3 】

50

すなわち、本発明によれば、書き込みデータサイズや書き込みモードの異なるプログラム格納不揮発性メモリとデータ格納不揮発性メモリとのいずれの不揮発性メモリの書き込みを共通の不揮発制御ユニットにより実行可能とすることができる。

【発明を実施するための最良の形態】

【0034】

シングルチップマイクロコンピュータの全体構成

図1は、本発明の1つの実施形態によるシングルチップマイクロコンピュータを示すブロック図である。

【0035】

同図に示されたシングルチップマイクロコンピュータ1を構成する回路素子は、CMOSフラッシュメモリ製造プロセスによって、単結晶シリコンの1個の半導体基板上に形成される。

【0036】

マイクロコンピュータ1は、メインCPU2、ランダムアクセスメモリ(RAM)3、バスコントローラ(BSC)4、フラッシュメモリモジュール(FLM)、システムコントローラ10、周辺回路(PHRL)11、I/Oポート(IOP)12を有している。

【0037】

フラッシュメモリモジュール(FLM)は、第1のプログラム格納フラッシュメモリ(FLP_A)5、第2のプログラム格納フラッシュメモリ(FLP_B)6、プログラム格納フラッシュ読み出しバッファ(FLBUF)7、フラッシュ書き込み・消去制御を行うフラッシュ制御ユニット(FCU)8、データ格納フラッシュメモリ(FLD)9を含んでいる。

【0038】

周辺回路11には、タイマ、パルス出力回路、シリアルコミュニケーションインタフェース、A/D変換器などが含まれる。図示はしないが、割り込みコントローラやクロック発振器などの回路モジュールも搭載される。

【0039】

メインCPU2は、プログラム格納フラッシュメモリ5、6から命令をフェッチしてデコードする命令制御部と、命令制御部による命令デコード結果に基づいて演算等を行って命令を実行する命令実行部とを有する。ランダムアクセスメモリ3は、メインCPU2のワーク領域とされる。

【0040】

システムコントローラ10には、外部のモード端子MD0~MD2及びリセット端子RESET等が接続される。リセット端子RESETがローレベルにされると内部の初期化が開始され、リセット端子RESETがハイレベルにされてリセット指示が解除されると、メインCPU2は例えばプログラムの先頭アドレスの命令をフェッチして命令実行動作を開始する。リセットの指示が解除される時に、モード端子MD0~MD2の状態に応じてマイクロコンピュータの動作モードが決定される。例えば、動作モードが、通常モード又はテストモードにされる。テストモードは、特に制限されないが、通常モードに比べ、デバイステスト、デバイス評価、更にはシステム評価の便に供する機能を利用可能な動作モードである。

【0041】

フラッシュメモリモジュール

フラッシュメモリモジュール(FLM)では、プログラム格納フラッシュメモリ5、6はメインCPU2のプログラムの格納に利用されて、データ格納フラッシュメモリ9はメインCPU2による命令実行結果のデータ等の不揮発記憶すべきデータの格納に利用される。これらのフラッシュメモリ5、6、9は、電氣的に消去及び書き込み可能な不揮発性メモリトランジスタを含む複数の不揮発性メモリセルを有する。不揮発性メモリトランジスタには、例えば、ソースとドレインの間のチャネル形成領域の上にフローティングゲー

10

20

30

40

50

トのような電荷蓄積領域とコントロールゲートを積み重ねたスタックドゲート構造を採用可能である。あるいはチャンネル形成領域の上に選択ゲートとメモリゲートを分離して配置して、メモリゲートとチャンネル形成領域との間にシリコンナイトライドのような電荷蓄積領域を形成したスプリット構造等を採用することができる。

【0042】

不揮発性メモリセルのトランジスタは電荷蓄積領域に電子が注入される書き込みによってしきい値電圧が高くされ、書き込みによって蓄積された電子の放出又はホールの注入によってしきい値電圧が低くされる。例えばメモリゲートと基板の間に高電界を形成して、ソース・ドレイン間電流によって発生されるホットエレクトロンを電荷蓄積領域に注入することによって書き込みが行われる。消去の場合には、ホットホールを発生させてこれを電荷蓄積領域に注入するか、高電界によるトンネル効果により電荷蓄積領域から電子を放出すればよい。高電界を形成するのに、書き込みでは書き込みパルス電圧を用い、消去では消去パルス電圧を用いる。不揮発性メモリセルのトランジスタは、そのしきい値電圧の相違として情報を記憶する。1個のメモリセルによる情報記憶は1ビットを示す低しきい値電圧と高しきい値電圧との2値、或いは2ビットを示す低しきい値電圧と低中間しきい値電圧と高中間しきい値電圧と高しきい値電圧との4値等の多値のいずれであっても良い。

10

【0043】

バスの構成

シングルチップマイクロコンピュータ1は、内部バスI B U S、周辺バスP B U S、及び外部バスE X B U Sを有する。それぞれのバスは、アドレスバス、データバス以外に、バス権要求信号、バスアクノレッジ信号、バスコマンド（またはリード信号、ライト信号、バスサイズ信号）、レディ信号（またはウェイト信号）等の信号線を含む。

20

【0044】

内部バスI B U Sは、メインC P U 2や図示されていないデータ転送コントローラ（D T C）、ダイレクトメモリアクセスコントローラ（D M A C）のようなその他の内部バスマスタに直接接続されるバスである。内部バスI B U SにはR A M 3、バスコントローラ4、プログラム格納フラッシュ読み出しバッファ（F L B U F）7、I / Oポート8等、少数の回路モジュールが接続される。

【0045】

メインC P U 2等が周辺バスP B U Sを使用しない時に、周辺バスP B U Sはバスコントローラ4を介して内部バスI B U Sと分離される。これにより、メインC P U 2のプログラムリードなどで、主として使用する内部バスI B U Sの負荷を軽減して、アクセスを高速化することができる。更に、メインC P U 2等が周辺バスP B U Sを使用しない時に、周辺バスの状態を保持することが可能になるから、これによって低消費電力化することができる。メインC P U 2が周辺バスP B U Sに接続される回路モジュール内の内部I / Oレジスタをアクセスする場合は、内部バスI B U S及びバスコントローラ4を経由して行う。内部I / Oレジスタのアクセスは、2状態で行われる。内部バスI B U Sに比べて周辺バスP B U Sの接続先は多数であるため、周辺バスP B U Sのバス幅を広げると物理的な規模が増加するため、周辺バスP B U Sは例えば16ビットのデータバスを有する。

30

40

【0046】

通常モードにおけるフラッシュメモリ4の読み出し動作は、内部バスI B U Sを経由して行う。しかし、書き込み及び消去を指示するためのコマンド及びデータの供給は、周辺バスP B U Sを経由してフラッシュ制御ユニット8に対して行う。書き込み及び消去動作は、それ自体に時間がかかり、また、書き込み及び消去動作の頻度はそれほど高くない、少なくとも内部バスI B U Sを経由した読み出し動作より大幅に少ないことを考慮したものである。また、フラッシュ制御ユニット8を内部バスI B U Sに直接接続すると、内部バスI B U Sの負荷が大幅に増えることになるからである。

【0047】

50

内部バス I B U S と外部バス E X B U S は、外部バスバッファ回路 (B U F) 1 3 によってインタフェースされる。外部バスバッファ回路 1 3 は、入出力ポート 1 2 に含まれる。周辺バス P B U S 及び外部バス E X B U S に対するバス制御は、バスコントローラ 4 が行う。

【 0 0 4 8 】

プログラム格納フラッシュメモリとデータ格納フラッシュメモリ

プログラム格納フラッシュメモリ F L P _ A (5)、F L P _ B (6) は、メイン C P U 2 が実行するプログラムを格納するためのフラッシュメモリであり、読み出しを高速実行できることが求められる。F L P _ A (5) と F L P _ B (6) は、内部バス I B U S のデータ幅と同じ 3 2 ビットの読み出しデータ幅を持つメモリであるが、読み出し実行に内部バス I B U S のアクセスに 2 ステートを要する。また、F L P _ A (5) と F L P _ B (6) の少なくともいずれか一方には、フラッシュ制御ユニット (F C U) 8 内部のサブ C P U による F L P _ A (5)、F L P _ B (6)、データ格納フラッシュメモリ (F L D) 9 の書き込みと制御とを実行するための書き込み・消去プログラムが格納されている。

10

【 0 0 4 9 】

プログラム格納フラッシュ読み出しバッファ (F L B U F) 7 は、F L P _ A (5) と F L P _ B (6) の読み出しデータを格納するバッファ回路である。メイン C P U 2 によるプログラム格納用のフラッシュメモリに対する内部バス I B U S のアクセスが発生して、アクセス先のデータが F L B U F 7 内のバッファに存在しない場合には、F L B U F 7 は F L P _ A (5) と F L P _ B (6) に対するアクセスを発行する。アクセスにより読み出された 6 4 ビット分のデータを F L B U F 7 内のバッファに格納すると同時に、内部バス I B U S を経由してアクセス先の 3 2 ビットデータをメイン C P U 2 へ出力する。この場合には、内部バス I B U S のアクセスの 2 ステート分の読み出し時間が必要になるため、直接的に F L P _ A (5) と F L P _ B (6) を読み出した場合と同等の読み出し性能を確保できる。アクセス先のデータが F L B U F 7 内のバッファに存在する場合には、F L B U F 7 はバッファに格納された 6 4 ビットデータのうち、アクセス先に相当する 3 2 ビットのデータを選択して内部バス I B U S を経由してメイン C P U 2 へ出力する。この場合には、内部バス I B U S のアクセスに 1 ステート分の時間で読み出しが実行可能であるため、F L P _ A (5) と F L P _ B (6) を直接読み出すよりも高速な読み出し性能を実現できる。

20

30

【 0 0 5 0 】

データ格納フラッシュメモリ (F L D) 9 は、メイン C P U 2 のプログラム処理結果を格納するためのフラッシュメモリであり、読み出しを高速で実行する必要がない。このため、F L D 9 は内部バス I B U S よりも低速な周辺バス P B U S に F L B U F 7 のようなバッファ回路を介さずに接続されている。

【 0 0 5 1 】

図 2 は、メイン C P U 2 のアドレス空間における F L P _ A (5) と F L P _ B (6) のアドレス配置を示す図である。F L B U F 7 による 6 4 ビット読み出しに対応するために、メイン C P U 2 のアドレス空間において、F L P _ A (5) が上位 3 2 ビット側、F L P _ B (6) が下位 3 2 ビット側に配置されている。プログラム格納用フラッシュメモリの連続的な空間に対して書き込みを行う場合には、F L P _ A (5) と F L P _ B (6) を書き込む必要があるため、書き込みは 2 5 6 バイト単位で実行する必要がある。一方で、データ格納用のフラッシュメモリ空間には F L D 9 のみが配置されているため、1 2 8 バイト単位での書き込みが実行できる。

40

【 0 0 5 2 】

フラッシュ制御ユニット

フラッシュ制御ユニット (F C U) 8 は F L P _ A (5)、F L P _ B (6)、F L D 9 の書き込み・消去を実行するためのシーケンサである。F C U 8 による F L P _ A (5)、F L P _ B (6)、F L D 9 のそれぞれに対する書き込みは、1 2 8 バイト単位で実

50

行される。

【0053】

F C U 8 は、後で詳述するようにサブ C P U (F C P U) を含んでいる。通常モードにおいてサブ C P U (F C P U) は、メイン C P U 2 から発行されたコマンドにตอบสนองして逐次命令を実行してフラッシュメモリ 5、6、9 に対する書き込み及び消去制御を行うものである。その結果、メイン C P U 2 は、コマンド発行後にフラッシュメモリ 5、6、9 の書き込み及び消去制御から開放される。しかし、テストモードではメイン C P U 2 が、任意の種々の逐次命令を実行することによりフラッシュメモリ 4 に対する書き込み及び消去動作の試作評価やテスト評価を自在に行うことが可能にされる。その結果、フラッシュメモリ 5、6 に格納された F C P U 1 2 の動作プログラムに制限されることなく、メイン C P U 2 の高い自由度のプログラムに従ってテストや検証のための書き込み及び消去制御を自由に行うことができる。

10

【0054】

フラッシュメモリへの書き込みの動作

図 3 は、本発明の 1 つの実施形態によるフラッシュメモリへの書き込みの動作を示す図である。

【0055】

メイン C P U 2 によるストア命令発行などによって、フラッシュメモリ書き込み用コマンド発行用に割り当てられたアドレスに対して周辺バス P B U S ライトを発行すると、F C U 8 は周辺バス P B U S ライトの内容に対応した処理を実行する。

20

【0056】

最初の周辺バス P B U S のライトアクセス (C 1) のデータはコマンドの種類を決定するためのサイクルであり、メイン C P U 2 が F C U 8 に対してフラッシュメモリの書き込みを要求する場合には H ' E 8 をライトする周辺バス P B U S アクセスを発行すればよい。

【0057】

次の周辺バス P B U S のライトアクセス (S 1) は、メイン C P U 2 が書き込みデータのサイズを 1 6 ビット単位で決定するためのサイクルである。F L P _ A (5) と F L P _ B (6) とに対して合計 2 5 6 バイトの書き込みの場合には H ' 8 0 をライトする周辺バス P B U S アクセスをメイン C P U 2 が発行して、F L D 9 に対して合計 1 2 8 バイトの書き込みの場合には H ' 4 0 をライトする周辺バス P B U S アクセスをメイン C P U 2 が発行すればよい。

30

【0058】

アクセス S 1 よりも後の周辺バス P B U S のライトアクセス (D 1 ~ D 1 2 8) は、1 6 ビット単位 (2 バイト単位) で書き込みデータを転送するためのサイクルである。

【0059】

図 3 の上に示すように F L P _ A (5) と F L P _ B (6) とに対して合計 2 5 6 バイト書き込みの場合には、1 2 8 回 (D 1 ~ D 1 2 8) の周辺バス P B U S のライトアクセスを発行する。F C U 8 は 1 回目 (D 1) から 1 2 8 回目 (D 1 2 8) までのデータを F L P _ A (5) および F L P _ B (6) のデータラッチヘインターリーブで連続してシリアルデータ転送する。F L P _ A (5) と F L P _ B (6) はインターリーブで交互にアクセスされるため、奇数回目 (D 1、D 3、・・・、D 1 2 7) のデータは F L P _ A (5) のデータラッチに格納され、偶数回目 (D 2、D 4、・・・、D 1 2 8) のデータは F L P _ B (6) のデータラッチに格納されることになる。

40

【0060】

図 3 の下に示すように F L D 9 に対して合計 1 2 8 バイト書き込みの場合には、6 4 回 (D 1 ~ D 6 4) の周辺バス P B U S のライトアクセスを発行すれば F L D 9 のデータラッチへ連続してシリアルデータ転送が実行される。

【0061】

また、書き込み先のフラッシュメモリのアドレスは D 1 サイクルにおける周辺バス P B

50

U S アクセスのアドレスによって決定される。書き込みデータの転送が完了した後に、H ' D 0 をライトする周辺バス P B U S のアクセス (F 1) を発行する。すると、図 3 の上の 2 5 6 バイトの書き込みの場合には、F C U 8 は F L P _ A (5) と F L P _ B (6) とに関してラッチへ転送された W D 1 ~ W 1 2 8 のデータをフラッシュメモリアレーへ並列内部書き込み処理を行う。図 3 の下の 1 2 8 バイトの書き込みの場合には、F C U 8 は F L D 9 に対して、W D 1 ~ W 6 4 のデータをラッチからフラッシュメモリアレーへ連続的に書き込む内部書き込み処理を実行する。

【 0 0 6 2 】

フラッシュメモリの書き込みデータに先行する書き込みコマンドに、書き込みサイズを指定する S 1 サイクルが存在している。従って、F C U 8 は S 1 サイクルで指定されたサイズの書き込みデータの転送完了を待つだけでよく、F C U 8 の制御を簡素化できる。書き込みデータの転送が完了すると、F C U 8 はフラッシュメモリのラッチに転送されたデータをフラッシュメモリアレーへプログラムとベリファイとの反復による内部書き込み処理を実行する。もし、S 1 サイクルが存在しない場合には、F C U 8 が書き込み先のフラッシュメモリの種類を判定して書き込みデータのサイズを決定する必要があり、制御が複雑になる。

【 0 0 6 3 】

また、書き込みサイズが全く異なるフラッシュメモリへ書き込みを行う場合にも、S 1 サイクルで指定されたサイズの書き込みデータの転送完了を待つ制御を変更する必要がない。このため、フラッシュメモリの追加・変更が発生しても、F C U 8 を変更せずに対応することが可能である。

【 0 0 6 4 】

書き込みサイズを指定するサイクル (S 1) に要する時間は、データ転送用のサイクル (D 1 ~ D 1 2 8) や F C U 8 によるフラッシュメモリ書き込み処理に要する時間と比較して短い。従って、S 1 サイクルのフラッシュメモリへの書き込み動作に要する時間に対する悪影響は、ほとんどない。

【 0 0 6 5 】

図 4 は、本発明の他の実施形態によるフラッシュメモリへの書き込みの動作を示す図である。この動作は、1 6 ビット単位 (2 バイト単位) 毎のデータ転送が行われるフラッシュメモリが F L P _ A (5) と F L P _ B (6) との間で交代する 2 5 6 バイトのインターリーブの書き込みである。インターリーブの書き込みを行うためのコマンドが図 3 の上の 2 5 6 バイト書き込みコマンドと相違するのは、最初のサイクル (C 2) における書き込みデータの値が H ' E 9 であることである。

【 0 0 6 6 】

2 5 6 バイトのインターリーブ書き込みコマンドの最終サイクル (F 1) に対応する周辺バス P B U S のライトアクセスが発行されると、F C U 8 は F L P _ A (5) と F L P _ B (6) に対する内部書き込み処理を開始する。インターリーブの書き込みコマンドに対する書き込み処理では、F C U 8 は最初に奇数番のデータ W D 1 、W D 3 ... W D 1 2 7 の 1 2 8 バイトのデータを F L P _ A (5) のラッチから F L P _ A (5) フラッシュメモリアレーへ転送して内部書き込みを実行する。その後、F C U 8 は偶数番のデータ W D 2 、W D 4 ... W D 1 2 8 の 1 2 8 バイトのデータを F L P _ B (6) のラッチから F L P _ B (6) のフラッシュメモリアレーへ転送して内部書き込みを実行する。

【 0 0 6 7 】

図 4 に示した 2 5 6 バイトのインターリーブ書き込みコマンドで要求された書き込みを F C U 8 が実行する際には、書き込みデータを F L P _ A (5) 用と F L P _ B (6) 用とに分類して転送データを事前に準備する。その後、コマンド発行時の周辺バス P B U S のライトアクセスで書き込まれたのとは異なる順番の事前準備データを転送する必要がある。

【 0 0 6 8 】

一方、図 3 の上に示した 2 5 6 バイトの書き込みコマンドでは、コマンド発行時の周辺

10

20

30

40

50

バス P B U S のライトアクセスと同じ順番でデータを F L P _ A (5)、F L P _ B (6) へ F C U 8 が転送する。図 4 に示した 2 5 6 バイトのインターリーブコマンドでは、最初のサイクル (C 2) でインターリーブ書き込みであることが指定されている。従って、F C U 8 が書き込み先のフラッシュメモリの種類を判定して書き込みデータの書き込み順を切り替える制御をする必要がなく、事前準備データを転送すればよいので、F C U 8 の制御を簡素化できる。

【 0 0 6 9 】

フラッシュメモリに書き込み単位分のデータを書き込む期間は、書き込み先のメモリに高電圧を印加する必要がある。2 5 6 バイトのデータを F L P _ A (5) と F L P _ B (6) とに並列内部書き込みを行う図 3 の上の方式の場合、F L P _ A (5) と F L P _ B (6) とに同時に高電圧を印加する必要があるため、電源供給能力を大きくしなければならない。図 4 の方式では、最初に F L P _ A (5) に 1 2 8 バイト分のデータを内部書き込みした後に、F L P _ B (6) に 1 2 8 バイト分のデータを内部書き込みするため、F L P _ A (5) と F L P _ B (6) とに同時に高電圧を印加する必要がなく、電源供給能力を大きくする必要がない。

【 0 0 7 0 】

フラッシュ制御ユニットの構成

図 5 は、図 1 のシングルチップマイクロプロセッサ 1 の内部のフラッシュ制御ユニット (F C U) 5 の内部構成を示す図である。

【 0 0 7 1 】

同図に示すように F C U 8 は、サブ C P U (F C P U) 1 2 以外にも、フラッシュ C P U インタフェースコントローラ (F I M C) 1 3、フラッシュバス制御回路 (F B S C) 1 4、コントロール R A M (C R A M) 1 5、フラッシュ書き込み・消去制御回路 (F L C) 1 6、誤り訂正回路 (E C C) 3 3、フラッシュバス F B U S を有する。F C U 8 はメイン C P U 2 のアドレス空間に配置され、メイン C P U 2 は周辺バス P B U S を経由して F C U 8 の内部をアクセスすることができる。すなわち、フラッシュ C P U インタフェースコントローラ 1 3 (F I M C) は周辺バス P B U S に接続され、メイン C P U 2 からのアクセスに対して F C U 8 の全体的な制御を行う。F I M C 1 3 は F C P U 1 2 に割り込み要求信号 I R Q と対応するベクタを発行して、F C P U 1 2 を起動する。また、F I M C 1 3 はフラッシュバス制御回路 (F B S C) 1 4 にバスコマンドを発行することによって、コントロール R A M 1 5 及び F L C 1 6 に対するフラッシュバス F B U S 経由のバス制御を行う。コントロール R A M 1 5 は F C P U 1 2 のフラッシュ書き込み・消去の動作プログラムの格納領域、或いは F C P U 1 2 のワーク領域等に用いられる。F L C 1 6 は、フラッシュメモリ 5、6、9 に対する動作制御レジスタ (F C N T R) 1 8、消去ブロック指定レジスタ (E B L K R) 1 7 及びトリミングレジスタを有する。F L C 1 6 は、動作制御レジスタ 1 8 に設定される制御ビットの状態に従って、フラッシュメモリ 5、6、9 の書き込み・消去の動作を制御する。動作制御レジスタ 1 8 の制御ビットは、例えば書き込みイネーブルビット W E、書き込み指示ビット P、及び消去指示ビット E 等とされている。書き込みイネーブルビット W E は、論理値 “ 1 ” によって書き込み・消去動作の指示の有効性を示す。書き込み指示ビット P は、論理値 “ 1 ” によって書き込みパルス電圧の印加を指示する。消去指示ビット E は、論理値 “ 1 ” によって消去パルス電圧の印加を指示する。F L C 1 6 のトリミングレジスタには、フラッシュメモリ 5、6、9 の書き込みパルス電圧、消去パルス電圧、ドレイン電圧、ソース電圧、ベリファイ電圧の各々の電圧レベルの微調整や、書き込みパルス電圧及び消去パルス電圧のパルス幅の微調整を行うためのトリミングデータが設定される。

【 0 0 7 2 】

トリミングデータや F C P U 1 2 の書き込み・消去の動作プログラムの初期値はフラッシュメモリ 9 が保有しており、トリミングデータと書き込み・消去の動作プログラムとはパワーオンリセットに応答してメイン C P U 2、データ転送コントローラ (D T C、図示せず)、ダイレクトメモリアクセスコントローラ (D M A C、図示せず) のいずれかがト

10

20

30

40

50

リミングデータレジスタ及びコントロールRAM 15とにそれぞれ内部転送することが可能である。トリミングデータレジスタ及びコントロールRAM 15のプログラム領域は通常モードではユーザープログラムを実行しているメインCPU 2からの書き込みアクセス不可能にされ、保護されている。しかし、テストモードでは、これらはメインCPU 2により自由にアクセス可能にされる。消去ブロック指定レジスタ17には、消去ブロック又は消去アドレスが設定される。書き込みデータ及び書き込みアドレスは、フラッシュメモリ内部のデータレジスタ及びアドレスレジスタにセットされる。

【0073】

割り込みによるFCPU 12の起動について、説明する。FIMC 13は、メインCPU 2から周辺バスPBUSを経由してアクセス可能にされる内部I/Oレジスタ(IIO 10
R) 20、コントロールレジスタ(CNTR) 21、ステータスレジスタ(STSR) 22、割り込み制御レジスタ(INTR) 31、CRAM制御レジスタ(CRCNTR) 32を有する。コントロールレジスタ21は書き込み・消去フラグFENTRY等の設定領域とされ、メインCPU 2によって書き込み可能にされ、FCPU 12によって読み出し可能にされている。ステータスレジスタ22はビジーフラグBUSYやコマンドエンドフラグCMDE等の記憶領域とされ、FCPU 12によって書き込み可能にされ、メインCPU 2によって読み出し可能にされている。また、FCPU 12は経路23からステータスレジスタ22に対する書き込みを行う。割り込み制御レジスタ31の割り込みイネーブルビットINTENがセットされている状態でステータスレジスタ22のエラービットERR 20
Rが誤り訂正回路33によりセットされると、誤り割り込み信号ERRINTがアサートされて、バスコントローラ4を経由してメインCPU 2に割り込み要求が通知される。誤り訂正回路33はコントロールRAM 15に格納されたFCU 12の書き込み・消去制御プログラムのソフトエラーによるデータ誤りを検出すると、ステータスレジスタ22にエラービットERRをセットして、フラッシュメモリ5、6からCRAM 15へのFCU 12の書き込み・消去制御プログラムの再転送を要求する。再転送されたFCU 12の書き込み・消去制御プログラムをCRAM 15へ書き込むために、CRAM制御レジスタ32のCRAMアクセスイネーブルビットCRENがセットされる。CRAMアクセスイネーブルビットCRENはCRAMアクセス通知信号CRAMENに反映されて、CRAMアクセス通知信号CRAMENはバスコントローラ4へ供給される。バスコントローラ4は内部バスIBUS上のフラッシュメモリ5、6から読み出されたFCU 12の書き込み・消去制御プログラムを周辺バスPBUSに転送するので、メインCPU 2、DTIC、DMA 30
CのいずれかがBSC 4を経由してCRAM 15へのFCU 12の書き込み・消去制御プログラムの再転送を実行する。

【0074】

通常モードにおいて書き込み・消去フラグFENTRY = “1”の時に、メインCPU 2からフラッシュメモリ5、6、9の不揮発性メモリアレイにマッピングされたアドレスにデータを書き込むアクセスをFIMC 13が検出すると、その書き込みアクセスをFIMC 13はフラッシュ書き込みコマンドとして認識する。また、メインCPU 2から消去ブロック指定レジスタ17に消去アドレス若しくは消去ブロック指定情報を書込むアクセスをFIMC 13が検出すると、その書き込みアクセスをFIMC 13はフラッシュ消去 40
コマンドとして認識する。FIMC 13はそのコマンド解釈に従ってFCPU 12への割り込み要求信号IRQを活性化して、コマンドに応ずるベクタを発行する。これによってFCPU 12は、ベクタによって指定される書き込み制御プログラム又は消去制御プログラムをコントロールRAM 15からフェッチして実行する。フラッシュ書き込みコマンドに応答する場合、FCPU 12はその書き込み制御プログラムに従ってフラッシュ書き込みコマンドと認識した書き込みアクセスに係るアドレスとデータを内部I/Oレジスタ20からコントロールRAM 15に取り込み、フラッシュメモリに転送して、FLC 16内部のFCNTR 18のWE、Pビット等を順次設定しながら、フラッシュメモリ5、6、9に対する書き込みを行う。フラッシュ消去コマンドに応答する場合、FCPU 12はその消去制御プログラムに従ってフラッシュ消去コマンドと認識した消去ブロック指定データ 50

を内部 I O レジスタ 20 からコントロール R A M 15 に取り込み、フラッシュメモリに転送して、F L C 16 内部の F C N T R 18 の W E、E ビット等を順次設定しながら、フラッシュメモリ 5、6、9 に対する消去を行う。

【0075】

F C U 8 からの書き込み・消去フラグ F E N T R Y は、F I M C 13 からバスコントローラ (B S C) 6 に供給される。通常モードにおいて書き込み・消去フラグ F E N T R Y = “ 0 ” の時に、フラッシュメモリ 5、6、9 のマッピングアドレス又は消去ブロック指定レジスタ 17 に対するメイン C P U 2 からの書き込みアクセスを B S C 4 が検出すると、例えばアドレスエラーを発生させてフラッシュメモリ 5、6、9 への書き込み動作を無効とする。従って、通常モードにおいて書き込み・消去フラグ F E N T R Y = “ 0 ” の時には、フラッシュメモリ 5、6、9 には内部バス I B U S 経由のリードアクセスだけが可能にされる。尚、テストモードでは書き込み・消去フラグ F E N T R Y は B S C 4 によるフラッシュメモリ 5、6、9 に対するアクセス経路の制御だけに用いられる。すなわち、フラッシュメモリ 5、6、9 に対しては、テストモードにおいて F E N T R Y = 1 の時には B S C 4 及び周辺バス P B U S 経由のアクセスだけが許容され、F E N T R Y = “ 0 ” の時には内部バス I B U S 経由のリードアクセスだけが許容される。

【0076】

フラッシュバス制御回路 (F B S C) 14 を経由するコントロール R A M 15 及び F L C 16 のアクセス制御について、説明する。通常モード及びテストモードのいずれにおいても、フラッシュ制御ユニット (F C U) 5 のマッピングアドレス (消去ブロック指定レジスタ 17 のマッピングアドレスを除く) に対するメイン C P U 2 または D T C、D M A C のいずれかからのアクセスに対して、C P U インタフェースコントローラ (F I M C) 13 はアクセスコマンドを F B S C 14 に発行する。発行されたアクセスコマンドに従って F B S C 14 は、フラッシュバス F B U S の制御を行ってコントロール R A M 15 及び F L C 16 へのリードアクセス及びライトアクセスを行うことができる。特に制限されないが、通常モードでは F L C 16 のトリミングレジスタに対する自由なアクセスは許容されていない。しかし、テストモードでは、メイン C P U 2 からフラッシュメモリ 5、6、9 のマッピングアドレスにデータを書き込むアクセスがあっても、また、メイン C P U 2 から消去ブロック指定レジスタ 17 に対してデータを書き込むアクセスがあっても、C P U インタフェースコントローラ 13 は F C P U 12 を起動せず、対応するアクセスコマンドを F B S C 14 に発行する。それに従って F B S C 14 がフラッシュバス F B U S の制御を行って、C P U インタフェースコントローラ 13 の内部 I O レジスタ 20 に保持された書き込みデータ及び書き込みアドレスをフラッシュメモリ 5、6、9 に供給して、又は消去ブロックアドレスを消去ブロック指定レジスタ 17 に供給する。この後、メイン C P U 2 は F L C 16 のレジタ 18 に対する書き込みアクセスを発行することによって消去ビット E やプログラムビット P を直接操作して、消去動作又は書き込み動作を行うことができる。

【0077】

テストモードでは、メイン C P U 2 は F L C 16 のトリミングレジスタを直接操作することができるから、トリミングデータの設定次第で、例えば、フラッシュメモリ 5、6、9 における書き込みパルス電圧、消去パルス電圧、パルス印加時間、ドレイン電圧、及びソース電圧等を微調整することができる。そのような電圧や時間を微調整することによって、マイクロコンピュータ 1 の製造プロセス、不揮発性メモリの素子構成、あるいはマイクロコンピュータ 1 の個体差などに即して、最適な書き込み、最適な消去の制御が可能にされる。これらの電圧や時間は量産時には固定にされるのがよいが、少なくとも試作評価時には可変にする必要がある。

【0078】

更にテストモードでは、メイン C P U 2 はコントロール R A M 15 に格納された F C P U 12 の書き込み・消去制御プログラムを書き換えることができる。試作評価時には、テストモードで、メイン C P U 2 による制御プログラム実行で書き込み・消去を実行して、

10

20

30

40

50

基本機能や必要なパラメータなどの確認を行うことができる。試作評価時は、機器制御を行うわけではないので、リアルタイム性の要求される割り込み処理などを考慮する必要がない。

【 0 0 7 9 】

図5に示したF C U 8のエラー訂正回路(E C C) 3 3は、コントロールR A M (C R A M) 1 5の格納データが破壊されたことを検出するための回路である。フラッシュバスF B U Sを経由してC R A M 1 5に対する書き込みが実行される場合には、E C C 3 3がF B U Sから出力されたデータに対応したエラー訂正符号を生成して、書き込みデータとともにエラー訂正符号をC R A M 1 5に書き込む。フラッシュバスF B U Sを経由してC R A M 1 5に対する読み出しが実行される場合には、E C C 3 3がC R A M 1 5から読み出されたデータとエラー訂正符号に基づいて読み出しデータを生成して、フラッシュバスF B U Sに出力する。読み出しデータ生成時に、E C C 3 3がC R A M 1 5から読み出されたデータまたはエラー訂正符号に誤りを検出すると、E C Cエラー信号E C C E R Rがアサートされる。F I M C 1 3のステータスレジスタ(S T S R) 2 2のエラービットE R Rは、E C Cエラー信号E C C E R Rがアサートされるとセットされるフラグである。割り込み制御レジスタ(I N T R) 3 1の割り込みイネーブルビットI N T E Nがセットされた状態で、S T S R 2 2のエラービットE R Rがセットされると、エラー割り込み信号E R R I N Tがアサートされて、メインC P U 2に割り込み要求が通知される。すると、メインC P U 2、D T C、D M A Cのいずれかをを用いて、フラッシュメモリ5、6に格納されたF C U 8のF C P U 1 2によるフラッシュメモリ5、6、9の書き込み・消去制御プログラムのデータをF C U 8のC R A M 1 5へ再転送するものである。

【 0 0 8 0 】

尚、C R A M制御レジスタ(C R C N T R) 3 2のC R A MアクセスイネーブルビットC R E Nは、C R A M 1 5へのアクセス許可・禁止を制御するためのビットである。C R A MアクセスイネーブルビットC R E Nが“ 0 ”の場合にはC R A M 1 5へのアクセスは禁止され、“ 1 ”の場合にはC R A M 1 5へのアクセスが許可される。C R A Mアクセス通知信号C R A M E NはC R A MアクセスイネーブルビットC R E Nの値をF C U 8からB S C 4に通知するための信号である。B S C 4は、C R A Mアクセス通知信号C R A M E Nがアサートされている場合のみ、C R A M 1 5に対する内部バスI B U Sのアクセスを周辺バスP B U Sに伝播する。しかし、C R A Mアクセス通知信号C R A M E Nがネゲートされた状態で発行されたC R A M 1 5に対するアクセスは、無効化される。

【 0 0 8 1 】

このマイクロコンピュータ1では、システム起動後にフラッシュメモリ4に格納されたユーザプログラムのメインC P U 2による実行と並行して、D T C、D M A Cのいずれかを使用してフラッシュメモリ5、6からC R A M 1 5にF C U 8のF C P U 1 2によるフラッシュメモリ5、6、9の書き込み・消去制御プログラムを転送することが可能である。また、システムの起動後にメインC P U 2がF C P U 1 2によるフラッシュメモリ5、6、9の書き込み・消去制御プログラムをフラッシュメモリ5、6からC R A M 1 5に転送することも可能である。

【 0 0 8 2 】

更に、このマイクロコンピュータ1では、メインC P U 2によりF C U 8のF I M C 1 3のS T S R 2 2のエラービットE R Rを読み出し、またはエラー割り込み信号E R R I N Tによって、C R A M 1 5の格納データが破壊されているかどうかを判定することが可能である。C R A M 1 5の格納データが破壊された場合には、F C U 8のF C P U 1 2によるフラッシュメモリ5、6、9の書き込み・消去制御プログラムのプログラムをメインC P U 2、D T C、D M A Cのいずれかがフラッシュメモリ5、6からC R A M 1 5へ再転送するため、F C U 8の誤動作を防止して、マイクロコンピュータの信頼性を向上することができるという効果が得られる。

【 0 0 8 3 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明

10

20

30

40

50

はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 8 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、その他の半導体集積回路装置、例えば、マイクロコントローラ、デジタルシグナルプロセッサ（DSP）を中心にした半導体集積回路装置にも適用可能である。

【 0 0 8 5 】

さらに不揮発性メモリとしては、フラッシュメモリ等のように電荷蓄積領域に電荷を注入したり電荷蓄積領域から電荷を放出するタイプ以外に、例えば相変化メモリも採用することができる。例えば、相変化メモリの消去はメモリセルの抵抗に電流を流すことにより抵抗を溶融した後に電流を激減させることで多結晶化して高抵抗とし、相変化メモリの書き込みはメモリセルの抵抗に電流を流すことにより抵抗を溶融した後に電流を徐々に減少させることで単結晶化して低抵抗とすることで実現することができる。この相変化メモリでも、消去処理や書き込み処理は消去または書き込みの電流パルスの印加とベリファイ動作との反復処理となる。本発明は少なくとも、不揮発性メモリとデータ処理装置を内蔵した半導体集積回路装置に適用することができる。

【図面の簡単な説明】

【 0 0 8 6 】

【図 1】図 1 は、本発明の 1 つの実施形態によるシングルチップマイクロコンピュータを示すブロック図である。

【図 2】図 2 は、図 1 のマイクロプロセッサのメイン CPU のアドレス空間におけるプログラム格納フラッシュメモリ 5、6 のアドレス配置を示す図である。

【図 3】図 3 は、本発明の 1 つの実施形態によるフラッシュメモリへの書き込みの動作を示す図である。

【図 4】図 4 は、本発明の他の実施形態によるフラッシュメモリへの書き込みの動作を示す図である。

【図 5】図 5 は、図 1 のシングルチップマイクロプロセッサの内部のフラッシュ制御ユニット 5 の内部構成を示す図である。

【符号の説明】

【 0 0 8 7 】

- 1 シングルチップマイクロコンピュータ
- 2 中央処理ユニット（CPU）
- 3 ランダムアクセスメモリ（RAM）
- 4 バスコントローラ（BSC）
- FLM フラッシュモジュール
- 5 プログラム格納フラッシュ
- 6 プログラム格納フラッシュ
- 7 プログラム格納フラッシュ読み出しバッファ
- 8 フラッシュ制御ユニット
- 9 データ格納フラッシュ
- 10 システムコントローラ（SYSC）
- MD0～MD2 モード端子
- 11 周辺回路（PRHRL）
- 12 I/Oポート（IOP）
- 内部バスIBUS 内部バス
- 周辺バスPBUS 周辺バス
- EXBUS 外部バス

10

20

30

40

フロントページの続き

(56)参考文献 国際公開第2004/023385(WO,A1)

特開2004-273117(JP,A)

特開2006-018591(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G06F 12/00 - 12/06

G06F 13/16 - 13/18