



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년08월23일
 (11) 등록번호 10-2013734
 (24) 등록일자 2019년08월19일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01)
- (21) 출원번호 10-2011-0131673
- (22) 출원일자 2011년12월09일
 심사청구일자 2016년12월02일
- (65) 공개번호 10-2012-0069566
- (43) 공개일자 2012년06월28일
- (30) 우선권주장
 JP-P-2010-282635 2010년12월20일 일본(JP)
- (56) 선행기술조사문헌
 JP2007164172 A*
 KR1020090093876 A*
 WO2008096483 A1*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 9 항

심사관 : 김우영

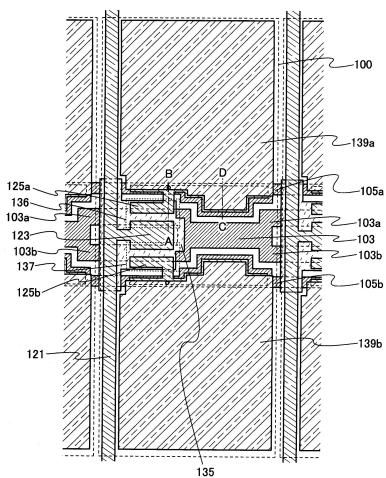
(54) 발명의 명칭 표시 장치

(57) 요 약

본 발명은, 배선 저항의 상승을 방지하면서 배선 간의 기생 용량을 저감시킬 수 있는 표시 장치를 제공한다. 또한, 표시 품질이 향상된 표시 장치를 제공한다. 또한, 소비 전력을 저감시킬 수 있는 표시 장치를 제공한다.

액정 표시 장치의 화소에 있어서 신호선과, 상기 신호선과 교차된 주사선과, 신호선으로부터 돌출된 제 1 전극과, 상기 제 1 전극과 대향하는 제 2 전극과, 상기 제 2 전극과 접속된 화소 전극을 갖는다. 또한, 주사선의 일부는 루프 형상이고, 제 1 전극의 일부는 주사선의 개구부와 중첩한 영역에 위치한다. 즉, 제 1 전극의 일부는 주사선과 중첩하지 않는다.

대 표 도 - 도1



명세서

청구범위

청구항 1

표시 장치로서,

제 1 방향으로 연장되는 제 1 용량 배선;

상기 제 1 방향으로 연장되는 제 2 용량 배선;

상기 제 1 용량 배선과 상기 제 2 용량 배선 사이에 위치하며, 상기 제 1 방향으로 연장되는 주사선;

상기 주사선, 상기 제 1 용량 배선, 및 상기 제 2 용량 배선과 교차하는 신호선;

상기 신호선으로부터 돌출된 제 1 전극;

상기 제 1 전극과 대향하는 제 2 전극;

상기 제 1 전극과 대향하는 제 3 전극;

상기 제 2 전극과 전기적으로 접속된 제 1 화소 전극;

상기 제 3 전극에 전기적으로 접속된 제 2 화소 전극; 및

상기 주사선 위 및 상기 제 1 전극, 상기 제 2 전극, 및 상기 제 3 전극 아래에 제공되고, 상기 제 1 전극, 상기 제 2 전극, 및 상기 제 3 전극에 전기적으로 접속된 반도체막을 포함하고,

상기 주사선은 개구부를 갖는 제 1 부분 및 하나의 선으로 이루어진 제 2 부분을 포함하고,

상기 제 1 전극의 일부는 상기 주사선의 상기 개구부와 중첩하고,

상기 주사선은 상기 신호선과 각각 중첩하는 제 1 영역 및 제 2 영역을 갖고,

상기 제 1 용량 배선은 상기 신호선과 중첩하는 제 1 영역을 갖고,

상기 주사선의 상기 제 1 영역의 폭은 상기 제 1 용량 배선의 상기 제 1 영역의 폭보다 크고,

상기 주사선에서, 상기 개구부를 제외한 상기 제 1 부분의 폭의 합계는 상기 제 2 부분의 폭보다 큰, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 주사선과 상기 반도체막 사이의 게이트 절연막을 더 포함하고,

박막 트랜지스터가 상기 주사선, 상기 게이트 절연막, 상기 반도체막, 상기 제 1 전극, 및 상기 제 2 전극을 포함하는, 표시 장치.

청구항 3

표시 장치로서,

제 1 방향으로 연장되는 제 1 용량 배선;

상기 제 1 방향으로 연장되는 제 2 용량 배선;

상기 제 1 용량 배선과 상기 제 2 용량 배선 사이에 위치하며, 상기 제 1 방향으로 연장되는 주사선;

상기 주사선, 상기 제 1 용량 배선, 및 상기 제 2 용량 배선과 교차하는 신호선;

상기 신호선으로부터 돌출된 제 1 전극;

상기 제 1 전극과 대향하는 제 2 전극;

상기 제 1 전극과 대향하는 제 3 전극;

상기 제 2 전극에 접속된 제 1 화소 전극;

상기 제 3 전극에 접속된 제 2 화소 전극; 및

상기 주사선 위 및 상기 제 1 전극, 상기 제 2 전극 및 상기 제 3 전극 아래에 제공되고, 상기 제 1 전극, 상기 제 2 전극 및 상기 제 3 전극에 접속된 반도체막을 포함하고,

상기 주사선은 개구부를 갖는 제 1 부분 및 하나의 선으로 이루어진 제 2 부분을 포함하고,

상기 제 1 전극의 일부는 상기 주사선의 상기 개구부와 중첩하고,

상기 제 1 용량 배선은 제 1 폭을 갖는 제 1 부분 및 상기 제 1 폭보다 큰 제 2 폭을 갖는 제 2 부분을 가지고,

상기 제 1 용량 배선의 상기 제 1 부분은 상기 신호선과 중첩하고,

상기 주사선에서, 상기 개구부를 제외한 상기 제 1 부분의 폭의 합계는 상기 제 2 부분의 폭보다 큰, 표시 장치.

청구항 4

표시 장치로서,

제 1 방향으로 연장되는 제 1 용량 배선;

상기 제 1 방향으로 연장되는 제 2 용량 배선;

상기 제 1 용량 배선과 상기 제 2 용량 배선 사이에 위치하며, 개구부를 갖는 제 1 부분 및 하나의 선으로 이루어진 제 2 부분을 포함하고, 상기 제 1 방향으로 연장되는 주사선;

상기 주사선, 상기 제 1 용량 배선, 및 상기 제 2 용량 배선과 교차하는 신호선;

일부가 상기 개구부와 중첩하고, 상기 신호선의 돌출된 부분에 상당하는 제 1 전극;

상기 제 1 전극과 각각 대향하는 제 2 전극 및 제 3 전극;

상기 제 2 전극에 전기적으로 접속된 제 1 화소 전극;

상기 제 3 전극에 전기적으로 접속된 제 2 화소 전극; 및

상기 주사선 위 및 상기 제 1 전극과 상기 제 2 전극 및 상기 제 3 전극 아래에 제공되고, 상기 제 1 전극과 상기 제 2 전극 및 제 3 전극에 전기적으로 접속된 반도체막을 포함하고,

상기 주사선은 상기 신호선과 각각 중첩하는 제 1 영역 및 제 2 영역을 갖고,

상기 제 1 용량 배선은 상기 신호선과 중첩하는 제 1 영역을 갖고,

상기 제 2 용량 배선은 상기 신호선과 중첩하는 제 1 영역을 갖고,

상기 주사선의 상기 제 1 영역 및 상기 제 2 영역 각각의 폭은 상기 제 1 용량 배선의 상기 제 1 영역의 폭 및 상기 제 2 용량 배선의 상기 제 1 영역의 폭보다 크고,

상기 주사선에서, 상기 개구부를 제외한 상기 제 1 부분의 폭의 합계는 상기 제 2 부분의 폭보다 큰, 표시 장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 주사선과 상기 반도체막 사이의 게이트 절연막을 더 포함하고,

제 1 박막 트랜지스터는 상기 주사선, 상기 게이트 절연막, 상기 반도체막, 상기 제 1 전극, 및 상기 제 2 전극을 포함하고,

제 2 박막 트랜지스터는 상기 주사선, 상기 게이트 절연막, 상기 반도체막, 상기 제 1 전극, 및 상기 제 3 전극을 포함하는, 표시 장치.

청구항 6

제 1 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체막은 미결정 반도체 영역과 비정질 반도체 영역을 포함하는 적층 구조를 포함하는, 표시 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 제 1 전극은 위에서부터 볼 때 상기 제 2 전극과 상기 제 3 전극 사이에 제공되는, 표시 장치.

청구항 11

제 1 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 제 2 전극과 상기 제 3 전극은 위에서부터 볼 때 상기 제 1 전극의 한쪽 측에 제공되는, 표시 장치.

청구항 12

삭제

청구항 13

제 1 항, 제 3 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 주사선에서, 상기 제 1 부분의 단부는 상기 제 2 부분의 단부보다 외측에 위치하는, 표시 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 표시 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 근년에 들어, 시야각 특성이나 표시 품질이 개선된 액정 표시 장치로서, 수직 배향(VA: Vertically Aligned)형의 액정 표시 장치가 제공되고 있다. 또한, VA형 액정 표시 장치에 있어서 하나의 화소에 복수의 화소 전극을 갖고, 각각의 화소 전극에 접속되어 화소 전극의 전위를 제어하는 박막 트랜지스터를 갖는 멀티 도메인 구조의 액정 표시 장치가 제공되고 있다. 하나의 화소에 복수의 화소 전극을 제공함으로써, 화소 전극마다 액정의 배향을 상이하게 할 수 있기 때문에, 종래의 VA형 액정 표시 장치와 비교하여 시야각을 더욱 넓힐 수 있다(특허문헌 1 참조).

[0003] 또한, 액정 표시 장치는, 화면 크기가 대각선 60인치 이상으로 대형화되는 경향이 있고, 또 대각선 120인치 이상의 화면 크기도 감안하여 개발이 행해지고 있다. 또한, 화면 해상도도 하이비전 화질(HD, 1366×768), 풀 하이비전 화질(FHD, 1920×1080)로 고정세화되는 경향이 있고, 해상도가 3840×2048 또는 4096×2180 등 소위 4K 디지털 시네마용 액정 표시 장치의 개발도 활발히 행해지고 있다.

[0004] 또한, 잔상을 저감시키 표시 품위를 향상하기 위하여 구동 속도를 2배(배속 구동이라고도 불림)의 고속 구동으로 하는 것이 행해지고 있으며, 4배속 이상의 고속 구동도 검토되고 있다. 또한, 3차원(3D) 표시의 액정 표시

장치를 실현하기 위하여는 오른쪽 눈용과 왼쪽 눈용의 화상을 교대로 표시할 필요가 있기 때문에, 2배속 구동 이상의 고속 동작으로 액정 표시 장치를 동작시키는 것이 요구된다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개2006-317867호 공보

발명의 내용

해결하려는 과제

- [0006] 그러나, 액정 표시 장치의 대형화와 고정세화에 따라서, 필요한 화소수가 현저하게 증가되어 하나의 화소당의 기록 시간이 짧아진다. 그러므로, 화소 전극의 전위를 제어하는 박막 트랜지스터에는 고속 동작 및 높은 온 전류 등이 요구된다.
- [0007] 또한, 배선 저항 및 배선 간에서 발생되는 기생 용량의 증대는 신호선의 종단(終端)으로의 신호 전달을 늦게 한다. 결과적으로, 표시 불균일이나 계조 불량 등 표시 품질의 저하, 소비 전력의 증가가 일어나게 된다.
- [0008] 그래서, 본 발명의 일 형태는, 배선 저항의 상승을 방지하면서 배선 간의 기생 용량을 저감시킬 수 있는 표시 장치를 제공하는 것을 과제로 한다. 또한, 본 발명의 일 형태는, 표시 품질이 향상된 표시 장치를 제공하는 것을 과제로 한다. 또한, 본 발명의 일 형태는, 소비 전력을 저감시킬 수 있는 표시 장치를 제공하는 것을 과제로 한다.

과제의 해결 수단

- [0009] 본 발명의 일 형태는, 액정 표시 장치의 화소에 있어서, 신호선과, 상기 신호선과 교차된 주사선과, 신호선으로부터 돌출된 제 1 전극과, 상기 제 1 전극과 대향하는 제 2 전극과, 상기 제 2 전극과 접속된 화소 전극을 갖는다. 또한, 주사선의 일부는 개구부를 갖는 루프 형상이고, 제 1 전극의 일부는 주사선의 개구부와 중첩하는 영역에 위치한다. 즉, 제 1 전극의 일부는 주사선과 중첩되지 않는다.
- [0010] 또한, 본 발명의 일 형태는, 멀티 도메인 구조의 액정 표시 장치의 화소에 있어서 신호선과, 상기 신호선과 교차된 주사선과, 신호선으로부터 돌출된 제 1 전극과, 상기 제 1 전극과 대향하는 복수의 제 2 전극과, 상기 복수의 제 2 전극과 접속된 복수의 화소 전극을 갖는다. 또한, 주사선의 일부는 개구부를 갖는 루프 형상이다. 또한, 주사선, 제 1 전극, 게이트 절연막, 반도체막 및 복수의 제 2 전극 중 하나로 제 1 박막 트랜지스터를 구성하고, 주사선의 개구부와 제 1 전극이 중첩한다. 또한, 주사선, 제 1 전극, 게이트 절연막, 반도체막 및 복수의 제 2 전극 중 다른 하나로 제 2 박막 트랜지스터를 구성하고, 주사선의 개구부와 제 1 전극이 중첩한다.
- [0011] 상기 주사선에 있어서, 주사선의 일부는 개구부를 갖는 루프 형상인 영역이며, 주사선의 다른 부분은 신호선과 교차되는 방향으로 연장된 영역이고, 주사선의 일부에 있어서, 개구부를 끼운 주사선의 폭의 합계는 주사선의 다른 부분의 폭 이상인 것이 바람직하다. 또한, 주사선의 일부의 단부는, 주사선의 다른 부분의 단부보다 외측에 위치하는 것이 바람직하다. 또한, 상기 주사선의 일부의 단부가 주사선의 다른 부분의 단부보다 외측에 위치하는 영역에 있어서 주사선은 상기 루프 형상을 갖는다.
- [0012] 또한, 제 1 전극은 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽으로서 기능한다. 또한, 복수의 제 2 전극 중 하나는 제 1 박막 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽으로서 기능하고, 복수의 제 2 전극 중 다른 하나는 제 2 박막 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽으로서 기능한다.
- [0013] 또한, 제 1 전극은 상면 형상에 있어서 복수의 제 2 전극 각각의 사이에 제공되어도 좋다. 또는, 제 2 전극 및 제 3 전극은 상면 형상에 있어서 상기 제 1 전극의 한쪽 측에 제공되어도 좋다.

[0014] 복수의 박막 트랜지스터에 있어서 소스 전극 및 드레인 전극의 한쪽으로서 기능하는 제 1 전극이 공통된다. 그러므로, 소스 전극 및 드레인 전극의 한쪽과 주사선의 중첩 면적을 저감시킬 수 있고, 화소의 개구율을 유지하면서 주사선과 제 1 전극 사이에서 발생되는 기생 용량을 저감시킬 수 있다.

[0015] 또한, 주사선의 일부는 개구부를 갖는 루프 형상이고, 박막 트랜지스터에 있어서 소스 전극 및 드레인 전극의 한쪽으로서 기능하는 제 1 전극이 상기 개구부와 중첩하는 영역에 위치한다. 그러므로, 루프 형상의 주사선과 제 1 전극의 중첩 면적을 저감시킬 수 있고, 주사선과 제 1 전극의 기생 용량을 저감시킬 수 있다.

발명의 효과

[0016] 본 발명의 일 형태를 적용함으로써, 배선 저항의 상승을 방지하면서 화소의 개구율을 유지하면서 배선 간의 기생 용량을 저감시킬 수 있다. 또한, 본 발명의 일 형태를 적용함으로써, 표시 장치의 표시 품질을 향상시킬 수 있다. 또한, 본 발명의 일 형태를 적용함으로써, 표시 장치의 소비 전력을 저감시킬 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 형태에 따른 표시 장치의 화소의 구성을 설명한 상면도.

도 2(A) 및 도 2(B)는 멀티 도메인 구조의 화소의 구성을 설명한 회로도.

도 3(A) 및 도 3(B)는 본 발명의 일 형태에 따른 표시 장치의 박막 트랜지스터 및 용량 소자를 설명한 단면도.

도 4는 본 발명의 일 형태에 따른 표시 장치의 화소의 구성을 설명한 상면도.

도 5는 본 발명의 일 형태에 따른 표시 장치의 박막 트랜지스터를 설명한 단면도.

도 6(A) 내지 도 6(D)는 본 발명의 일 형태에 따른 표시 장치의 박막 트랜지스터의 제작 방법을 설명한 단면도.

도 7(A) 및 도 7(B)는 본 발명의 일 형태에 따른 표시 장치의 박막 트랜지스터의 제작 방법을 설명한 단면도.

도 8(A) 내지 도 8(C)는 본 발명의 일 형태에 따른 표시 장치의 화소의 구성을 설명한 상면도.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 실시형태에 대하여 도면을 참조하여 이하에 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않는다. 본 발명의 취지 및 그 범위에서 벗어남 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있음을 당업자이면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내어지는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 도면을 사용하여 본 발명의 구성을 설명하는 데에 있어서, 같은 것을 가리키는 부호는 상이한 도면 간에서도 공통적으로 사용한다.

[0019] 또한, 본 명세서에서 사용하는 제 1, 제 2, 제 3, 내지 제 n(n은 자연수)이라는 용어는 구성 요소가 혼동되는 것을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것은 아니다.

[0020] (실시형태 1)

[0021] 본 실시형태에서는, 배선 용량이 저감된 액정 표시 장치의 하나의 화소의 구성을 대하여 도 1 내지 도 3(B), 및 도 8(A) 내지 도 8(C)를 사용하여 설명한다. 또한, 본 실시형태에서는, 하나의 화소에 복수의 서브 화소를 제공한 화소를 화소(100)로서 설명하였지만 이것에 한정되지 않는다.

[0022] 도 1은 본 실시형태에 나타내어지는 멀티 도메인 구조의 액정 표시 장치의 하나의 화소(100)의 상면도를 도시하고, 도 2(A)는 도 1에 도시된 화소(100)의 회로도를 도시하고, 도 2(B)는 종래의 화소의 회로도를 도시하고, 도 3(A)는 도 1에 도시된 일점 패션A-B에서의 단면도를 도시하고, 도 3(B)는 도 1에 도시된 일점 패션C-D에서의 단면도를 도시한다. 도 8(A)는 도 1에 있어서의 박막 트랜지스터(136) 및 박막 트랜지스터(137)의 근방을 확대한 상면도이다. 도 8(B)는 도 8(A)의 주사선(103), 주사선(103a) 및 주사선(103b)의 형상을 보기 쉽게 하기 위하여 주사선(103), 주사선(103a), 주사선(103b), 용량 배선(105a) 및 용량 배선(105b)에만 빛금을 사용하여 도시한 상면도이다. 도 8(C)는 도 8(A)의 제 1 전극(123)의 형상을 보기 쉽게 하기 위하여 신호선(121), 제 1 전극

(123), 제 2 전극(125a) 및 제 3 전극(125b)에만 빗금을 사용하여 도시한 상면도이다. 또한, 도 8(B) 및 도 8(C)는 도 1의 일부를 축소하여 도시한 것이다.

[0023] 도 1 및 도 2(A)에 도시된 바와 같이, 화소(100)는 주사선(103)과, 주사선(103)과 교차된 신호선(121)을 갖는다. 또한, 주사선(103)과 같은 방향으로 연장된 용량 배선(105a) 및 용량 배선(105b)을 갖는다. 또한, 용량 배선(105a)과 용량 배선(105b) 사이에 주사선(103)을 갖는다.

[0024] 또한, 주사선(103) 및 신호선(121)의 교차부 근방에 박막 트랜지스터(136) 및 박막 트랜지스터(137)를 갖는다. 박막 트랜지스터(136)는 주사선(103)과 중첩한 반도체막(135)과, 반도체막(135)과 중첩한 제 1 전극(123) 및 제 2 전극(125a)을 갖는다. 제 1 전극(123)은 신호선(121)으로부터 돌출된 영역이다. 제 1 전극(123) 및 제 2 전극(125a)은 박막 트랜지스터(136)에 있어서 소스 전극 및 드레인 전극으로서 기능한다.

[0025] 박막 트랜지스터(137)는 주사선(103)과 중첩한 반도체막(135)과, 반도체막(135)과 중첩한 제 1 전극(123) 및 제 3 전극(125b)을 갖는다. 제 1 전극(123) 및 제 3 전극(125b)은 박막 트랜지스터(137)에 있어서 소스 전극 및 드레인 전극으로서 기능한다.

[0026] 박막 트랜지스터(136)에 포함된 제 2 전극(125a)은 화소 전극(139a)과 접속된다. 즉, 박막 트랜지스터(136)는 제 2 전극(125a)에 의하여 화소 전극(139a)을 포함한 액정 소자(142)와 접속된다. 또한, 용량 소자(140)의 한 쪽의 전극은 화소 전극(139a) 및 박막 트랜지스터(136)의 제 2 전극(125a)과 접속되고, 다른 쪽의 전극은 용량 배선(105a)과 접속된다(도 2(A) 참조).

[0027] 박막 트랜지스터(137)에 포함된 제 3 전극(125b)은 화소 전극(139b)과 접속된다. 즉, 박막 트랜지스터(137)는 제 3 전극(125b)에 의하여 화소 전극(139b)을 포함한 액정 소자(143)와 접속된다. 또한, 용량 소자(141)의 한 쪽의 전극은 화소 전극(139b) 및 박막 트랜지스터(137)의 제 3 전극(125b)과 접속되고, 다른 쪽의 전극은 용량 배선(105b)과 접속된다(도 2(A) 참조). 즉, 박막 트랜지스터(136) 및 박막 트랜지스터(137)는, 상면 형상에 있어서 화소(100)의 대략 중앙에 위치하고, 화소(100)에 있어서의 각 서브 화소의 화소 전극(139a)과 화소 전극(139b)과의 사이에 형성된다. 박막 트랜지스터(136) 및 박막 트랜지스터(137)를 화소 전극(139a)과 화소 전극(139b)과의 사이에 제공함으로써, 제 2 전극(125a) 및 화소 전극(139a), 그리고 제 3 전극(125b) 및 화소 전극(139b)의 접속 거리를짧게 할 수 있어 제 2 전극(125a) 및 화소 전극(139a), 그리고 제 3 전극(125b) 및 화소 전극(139b) 사이에 발생되는 기생 용량을 저감시킬 수 있음과 함께, 화소(100)에 있어서의 개구율의 저감을 방지할 수 있다.

[0028] 박막 트랜지스터(136) 및 박막 트랜지스터(137)는 소스 전극 및 드레인 전극의 한쪽인 제 1 전극(123)이 공통된다. 즉, 각 화소에 있어서, 신호선으로부터 돌출된 전극이 제 1 전극(123) 하나이고, 또 박막 트랜지스터(136) 및 박막 트랜지스터(137)에 있어서 공통되기 때문에, 주사선(103)과 신호선(121)으로부터 돌출된 제 1 전극(123)과의 사이에 발생되는 기생 용량을 저감시킬 수 있다.

[0029] 또한, 박막 트랜지스터(136) 및 박막 트랜지스터(137)가 형성된 영역 근방에서, 주사선(103)은 개구부(126)를 갖는 루프 형상이며, 주사선(103a) 및 주사선(103b)이 된다. 즉, 주사선은 신호선(121)과 교차되는 방향으로 연장된 영역인 주사선(103)과, 사이에 개구부(126)를 끼워으로써 루프 형상을 이루는 주사선(103a) 및 주사선(103b)으로 구성된다. 이 때, 개구부(126)를 끼운 주사선(103a) 및 주사선(103b)의 폭의 합계는 주사선(103)의 폭 이상이다. 또한, 루프 형상을 이루는 주사선(103a) 및 주사선(103b)에 있어서는, 주사선(103)의 단부보다 주사선(103a) 및 주사선(103b)의 단부가 더 외측에 돌출된다(도 8(B) 참조). 또한, 루프 형상을 이루는 주사선(103a)과 주사선(103b) 사이에 제공된 개구부에 제 1 전극(123)의 일부가 배치된다(도 8(C) 참조). 주사선(103a) 및 주사선(103b)의 폭의 합계는 주사선(103)의 폭 이상이기 때문에, 주사선(103)에서 분기한 주사선(103a) 및 주사선(103b)에 있어서 배선 저항의 증가를 방지할 수 있음과 함께, 발열, 정전 파괴 등으로 인한 반도체 장치의 불량의 발생을 저감시킬 수 있다.

[0030] 또한, 도 2(A) 및 도 8(A)에 도시된 바와 같이, 박막 트랜지스터(136)에 있어서는 주사선(103a)과 제 1 전극(123)의 중첩부에서 기생 용량 C4가 발생한다. 또한, 주사선(103a)과 제 2 전극(125a)의 중첩부에서 기생 용량 C5가 발생한다. 박막 트랜지스터(137)에 있어서는 주사선(103b)과 제 1 전극(123)의 중첩부에서 기생 용량 C6이 발생한다. 또한, 주사선(103b)과 제 3 전극(125b)의 중첩부에서 기생 용량 C7이 발생한다.

[0031] 여기서, 비교예로서 박막 트랜지스터와 중첩하는 영역에서 루프 형상을 갖지 않고 직선 형상인 주사선(203)을 갖고, 박막 트랜지스터(236) 및 박막 트랜지스터(237) 각각에 있어서 신호선(121)과 접속된 전극이 상이한 화소(200)의 회로도를 도 2(B)에 도시한다. 도 2(A)와 같은 구성에 있어서는 같은 부호를 사용하여 도시하고 구성

의 설명은 생략한다.

[0032] 도 2(B)에 도시된 바와 같이, 화소(200)는 주사선(203)과, 주사선(203)과 교차된 신호선(121)을 갖는다. 또한, 주사선(203)과 같은 방향으로 연장된 용량 배선(105a) 및 용량 배선(105b)을 갖는다. 또한, 용량 배선(105a)과 용량 배선(105b) 사이에 주사선(203)을 갖는다.

[0033] 또한, 주사선(203) 및 신호선(121)의 교차부 근방에 박막 트랜지스터(236) 및 박막 트랜지스터(237)를 갖는다. 박막 트랜지스터(236)는 주사선(203)에 접속된 게이트 전극과, 신호선(121)으로부터 돌출된 제 1 전극과, 액정 소자(142)와 접속된 제 2 전극을 갖는다. 또한, 용량 소자(140)의 한쪽의 전극은 액정 소자(142)에 포함된 화소 전극 및 박막 트랜지스터(236)의 제 2 전극에 접속되고, 용량 소자(140)의 다른 쪽의 전극은 용량 배선(105a)에 접속된다.

[0034] 박막 트랜지스터(237)는 주사선(203)에 접속된 게이트 전극과, 신호선(121)으로부터 돌출된 제 3 전극과, 액정 소자(143)와 접속된 제 4 전극을 갖는다. 또한, 용량 소자(141)의 한쪽의 전극은 액정 소자(143)에 포함된 화소 전극 및 박막 트랜지스터(237)의 제 4 전극에 접속되고, 용량 소자(141)의 다른 쪽의 전극은 용량 배선(105b)에 접속된다.

[0035] 또한, 박막 트랜지스터(236)에 있어서는 주사선(203)과 제 1 전극의 중첩부에서 기생 용량 C14가 발생한다. 또한, 주사선(203)과 제 2 전극의 중첩부에서 기생 용량 C15가 발생한다. 박막 트랜지스터(237)에 있어서는 주사선(203)과 제 3 전극의 중첩부에서 기생 용량 C16이 발생한다. 또한, 주사선(203)과 제 4 전극의 중첩부에서 기생 용량 C17이 발생한다.

[0036] 박막 트랜지스터(136) 및 박막 트랜지스터(236) 각각에 있어서 주사선(103a) 및 주사선(203)과 제 1 전극의 중첩부의 면적이 대략 동일하면 기생 용량 C4 및 기생 용량 C14는 대략 동일하다. 또한, 주사선(103a) 및 주사선(203)과 제 2 전극의 중첩부의 면적이 대략 동일하면 기생 용량 C5 및 기생 용량 C15는 대략 동일하다. 박막 트랜지스터(137) 및 박막 트랜지스터(237)에 있어서 주사선(103b)과 제 1 전극의 중첩부의 면적과, 주사선(203)과 제 3 전극의 중첩부의 면적이 대략 동일하면 기생 용량 C6 및 기생 용량 C16은 대략 동일하다. 또한, 주사선(103b)과 제 3 전극의 중첩부의 면적과, 주사선(203)과 제 4 전극의 중첩부의 면적이 대략 동일하면 기생 용량 C7 및 기생 용량 C17은 대략 동일하다.

[0037] 비교예로서 설명된, 박막 트랜지스터와 중첩하는 영역에 있어서 루프 형상을 갖지 않고 직선 형상인 주사선(203)을 갖는 화소(200)는, 도 2(B)에 도시된 바와 같이, 주사선(203)과 신호선(121) 사이에서 기생 용량 C11이 발생한다. 또한, 박막 트랜지스터(236) 및 박막 트랜지스터(237)에 있어서 소스 전극 및 드레인 전극의 한쪽이 되는 전극이 상이한 전극(박막 트랜지스터(236)에서는 제 1 전극, 박막 트랜지스터(237)에서는 제 3 전극)인 경우, 즉, 박막 트랜지스터(236)의 제 1 전극 및 박막 트랜지스터(237)의 제 3 전극 각각과 신호선(121)이 접속되는 경우에는, 주사선(203)과 제 1 전극 사이에서 기생 용량 C12가 발생하고, 주사선(203)과 제 3 전극 사이에서 기생 용량 C13이 발생한다.

[0038] 그러나, 본 실시형태에 나타내어지는 주사선(103)은, 박막 트랜지스터(136) 및 박막 트랜지스터(137)가 형성된 영역 근방에서 개구부(126)를 갖는 루프 형상이며, 도 1 및 도 8(B)에 도시된 바와 같이, 주사선(103a) 및 주사선(103b)이 된다. 또한, 루프 형상인 주사선(103a)과 주사선(103b) 사이에 제공된 개구부(126)에 있어서 제 1 전극(123)이 배치된다(도 8(C) 참조). 그러므로, 상기 영역에 있어서의 제 1 전극(123)에서는 주사선과의 기생 용량은 발생하지 않는다. 즉, 도 8(A)에서의 기생 용량 C3은 제로이다. 또한, 주사선(103a)과 신호선(121) 사이 그리고 주사선(103b)과 신호선(121) 사이에서는, 각각 기생 용량 C1 및 기생 용량 C2가 발생한다.

[0039] 또한, 주사선(103a) 및 주사선(103b)의 폭의 합계를 주사선(203)의 폭과 대략 동일하게 하면 화소(200)에서의 기생 용량 C11과 화소(100)에서의 기생 용량 C1 및 기생 용량 C2의 합계를 대략 동일하게 할 수 있으므로, 화소(100)와 비교하여 화소(200)에서는 기생 용량 C12 및 기생 용량 C13이 많다.

[0040] 또한, 도 1 및 도 2(A)에 도시된 화소(100)에 있어서 박막 트랜지스터(136) 및 박막 트랜지스터(137)는 소스 전극 및 드레인 전극의 한쪽인 제 1 전극(123)이 공통된다(도 8(C) 참조). 그러므로, 제 1 전극(123)에서 저항이 생긴다.

[0041] 그러나, 도 2(B)에 도시된 바와 같이, 박막 트랜지스터(236) 및 박막 트랜지스터(237)에 있어서 소스 전극 및 드레인 전극의 한쪽이 되는 전극이 상이한 전극인 경우, 즉, 박막 트랜지스터(236)의 제 1 전극 및 박막 트랜지스터(237)의 제 3 전극 각각과 신호선(121)이 접속되는 경우에는, 박막 트랜지스터(236)의 제 1 전극 및 박막

트랜지스터(237)의 제 3 전극 각각에서 저항이 생긴다.

[0042] 따라서, 도 1 및 도 2(A)에 도시된 바와 같이, 신호선(121)으로부터 돌출된 제 1 전극(123)을 박막 트랜지스터(136) 및 박막 트랜지스터(137) 각각의 소스 전극 및 드레인 전극의 한쪽으로 함으로써, 주사선(103)과 제 1 전극(123)의 중첩 면적을 저감시킬 수 있고, 배선 폭을 넓힐 없이, 즉, 개구율을 유지하면서 주사선(103)과 제 1 전극(123) 사이에서 발생되는 기생 용량을 저감시킬 수 있다. 또한, 여기서는 주사선(103a) 및 주사선(103b)의 폭의 합계를 주사선(203)의 폭과 대략 동일한 것으로 하였지만, 주사선(103a) 및 주사선(103b)의 폭의 합계는 주사선(103)의 폭 이상이면 좋은 것이다. 결과적으로, 화소에 있어서의 주사선의 저항의 증가를 방지할 수 있다.

[0043] 또한, 도 1에 도시된 화소(100)에 있어서 신호선(121), 제 1 전극(123), 제 2 전극(125a) 및 제 3 전극(125b)과, 주사선(103a), 주사선(103b), 용량 배선(105a) 및 용량 배선(105b)이 교차된 영역 근방에서 신호선(121), 제 1 전극(123), 제 2 전극(125a) 및 제 3 전극(125b)과, 주사선(103a), 주사선(103b), 용량 배선(105a) 및 용량 배선(105b)의 교차부의 외측에 반도체막(135)의 단부가 위치한다. 즉, 주사선(103a)과 신호선(121) 사이, 주사선(103b)과 신호선(121) 사이, 용량 배선(105a)과 신호선(121) 사이, 용량 배선(105b)과 신호선(121) 사이, 주사선(103a)과 제 1 전극(123) 사이, 주사선(103a)과 제 2 전극(125a) 사이, 주사선(103b)과 제 3 전극(125b) 사이에 게이트 절연막뿐만 아니라 반도체막(135)이 형성되기 때문에 배선 간의 기생 용량을 저감시킬 수 있다.

[0044] 또한, 본 실시형태에 나타내어지는 박막 트랜지스터에는 제 1 전극(123)을 사이에 두고 제 2 전극(125a) 및 제 3 전극(125b)이 제공된다. 그러므로, 제 1 전극(123)에서 제 2 전극(125a)으로 흐르는 전류의 방향과, 제 1 전극(123)에서 제 3 전극(125b)으로 흐르는 전류의 방향은 반대이다. 화소를 2분할로 하고 각각에 채널 방향(전류가 흐르는 방향)이 상이한 박막 트랜지스터를 제공함으로써, 반도체막(135)의 결정성이 변동되는 것으로 인하여 화소마다의 박막 트랜지스터의 전기 특성이 변동되는 것을 저감시킬 수 있다. 또한, 박막 트랜지스터(136) 및 박막 트랜지스터(137)에 있어서 공통의 반도체막을 갖기 때문에, 박막 트랜지스터(136) 및 박막 트랜지스터(137)에서 제 1 전극(123) 및 반도체막이 접한 영역을 공유할 수 있어 화소(100)에 있어서의 박막 트랜지스터(136) 및 박막 트랜지스터(137)의 접유 면적을 저감시킬 수 있다.

[0045] 또한, 본 실시형태에서는 하나의 화소에 2개의 박막 트랜지스터를 제공한 구조를 나타내었지만 이것에 한정되지 않는다. 하나의 화소에 3개 이상의 복수의 박막 트랜지스터 및 상기 박막 트랜지스터에 접속된 복수의 화소 전극을 가져도 좋다.

[0046] 다음에, 박막 트랜지스터 및 용량 소자의 구조에 대하여 도 3(A) 및 도 3(B)를 사용하여 설명한다.

[0047] 도 3(A)는 도 1에 도시된 일점 패선A-B에서의 박막 트랜지스터(136)의 단면 구조이다.

[0048] 박막 트랜지스터(136)는 기판(101) 위에 주사선(103)과, 반도체막(135)과, 주사선(103)과 반도체막(135) 사이에 제공된 게이트 절연막(107)과, 반도체막(135)에 접하는 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체막(127) 및 불순물 반도체막(129)과, 불순물 반도체막(127)에 접한 제 1 전극(123)과, 불순물 반도체막(129)에 접한 제 2 전극(125a)을 갖는다. 또한, 게이트 절연막(107), 반도체막(135), 불순물 반도체막(127), 불순물 반도체막(129), 제 1 전극(123) 및 제 2 전극(125a)을 덮는 절연막(138)이 형성된다. 또한, 절연막(138)의 개구부에 있어서 제 2 전극(125a)과 접속된 화소 전극(139a)이 형성된다.

[0049] 기판(101)으로서는 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있을 정도의 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 기판이 투광성을 가질 필요가 없는 경우에는, 스테인리스 등의 금속 기판 표면에 절연막을 제공한 것을 사용하여도 좋다. 유리 기판으로서는, 예를 들어, 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리 또는 알루미노실리케이트 유리 등의 무알칼리 유리 기판을 사용하면 좋다. 또한, 기판(101)의 크기는 한정되지 않고, 예를 들어, 액정 표시 장치에 흔히 사용되는 제 3 세대 내지 제 10 세대 유리 기판을 사용할 수 있다.

[0050] 주사선(103)의 일부는 박막 트랜지스터(136)의 게이트 전극으로서 기능한다. 주사선(103)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 니켈 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층시켜 형성할 수 있다. 또한, 인 등의 불순물 원소를 도핑시킨 다결정 실리콘으로 대표되는 반도체, Ag-Pd-Cu 합금, Al-Nd 합금, Al-Ni 합금 등을 사용하여도 좋다.

[0051] 예를 들어, 주사선(103)의 2층 적층 구조로서는, 알루미늄막 위에 몰리브덴막을 적층시킨 2층 적층 구조, 또는 구리막 위에 몰리브덴막을 적층시킨 2층 구조, 또는 구리막 위에 질화 티타늄막 또는 질화 탄탈막을 적층시킨 2

층 구조, 질화 티타늄막과 몰리브덴막을 적층시킨 2층 구조, 산소를 함유한 구리-마그네슘 합금막과 구리막을 적층시킨 2층 구조, 산소를 함유한 구리-망간 합금막과 구리막을 적층시킨 2층 구조, 구리-망간 합금막과 구리막을 적층시킨 2층 구조 등으로 하는 것이 바람직하다. 3층 적층 구조로서는 텉스텐막 또는 질화 텉스텐막과, 알루미늄과 실리콘의 합금막 또는 알루미늄과 티타늄의 합금막과, 질화 티타늄막 또는 티타늄막을 적층시킨 3층 구조로 하는 것이 바람직하다. 전기적 저항이 낮은 막 위에 배리어막으로서 기능하는 금속막이 적층됨으로써, 전기적 저항을 낮게 할 수 있고, 또 금속막으로부터 반도체막으로 금속 원소가 확산되는 것을 방지할 수 있다.

[0052] 또한, 주사선(103)과 동시에 용량 배선(105a) 및 용량 배선(105b)이 형성된다. 그러므로, 용량 배선(105a) 및 용량 배선(105b)은 주사선(103)과 같은 재료 및 적층 구조를 갖는다.

[0053] 게이트 절연막(107)은, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막 또는 질화산화 알루미늄막을 단층으로 또는 적층시켜 형성할 수 있다. 또한, 게이트 절연막(107)에 있어서 반도체막(135)이 미결정 실리콘막인 경우, 반도체막(135)에 접하는 층을 산화 실리콘막, 산화 알루미늄막 등의 산화물막으로 형성함으로써, 반도체막(135)과의 계면의 질소 농도를 저감시킬 수 있기 때문에 박막 트랜지스터의 전기 특성의 신뢰성을 높일 수 있다.

[0054] 또한, 여기서 산화질화 실리콘이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것이며, 바람직하게는, 러더포드 후방산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방산란법(HFS: Hydrogen Forward Scattering Spectrometry)을 사용하여 측정한 경우에, 조성 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 함유되는 것을 가리킨다. 또한, 질화산화 실리콘이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것이며, 바람직하게는, RBS 및 HFS를 사용하여 측정한 경우에, 조성 범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, 실리콘이 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 함유되는 것을 가리킨다. 다만, 산화질화 실리콘 또는 질화산화 실리콘을 구성하는 원자의 합계를 100at.%로 하는 경우에는 질소, 산소, 실리콘 및 수소의 함유 비율이 상기 범위 내에 함유되는 것으로 한다.

[0055] 반도체막(135)은 실리콘 또는 실리콘 게르마늄을 사용하여 형성한다. 또는, 산화물 반도체를 사용하여 형성한다. 산화물 반도체의 대표적인 예로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 3원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O막이나, 2원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막 Al-Zn-O막, In-Ga-O막 등을 사용할 수 있다.

[0056] 또한, 반도체막(135)은 상기 반도체 재료의 어느 것을 사용한 비정질 반도체, 미결정 반도체 또는 결정성 반도체를 단층으로 또는 적층시켜 형성할 수 있다.

[0057] 또한, 미결정 반도체란, 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조의 반도체이다. 미결정 반도체는 자유 에너지적으로 안정된 제 3 상태를 갖는 반도체이며, 단거리 질서를 갖고 격자 왜곡을 갖는 결정 질 반도체이고, 혼상 입자 직경이 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 보다 바람직하게는, 20nm 이상 50nm 이하의 기둥 형상 또는 바늘 형상의 혼상 입자가 기판 표면에 대하여 법선 방향으로 성장한다. 따라서, 기둥 형상 또는 바늘 형상의 혼상 입자 계면에는, 입자계가 형성되는 경우도 있다.

[0058] 미결정 반도체의 대표적인 예인 미결정 실리콘은, 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm^{-1} 보다 저파수 측으로 시프트된다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 와 비정질 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 위치한다. 또한, 미결합수(啷글링 본드)를 종단하기 위하여 수소 또는 할로겐을 적어도 1at.% 함유한다. 또한, 헬륨, 아르곤, 네온, 크립톤, 크세논 등의 희가스 원소를 함유시켜 격자 왜곡을 더욱 촉진시킴으로써, 안정성이 증가되어 양호한 미결정 반도체가 얻어진다. 이러한 미결정 반도체에 관한 기재는, 예를 들어, 미국특허 4,409,134호에 개시되어 있다.

[0059] 여기서는 반도체막(135)으로서 미결정 반도체 영역(131) 및 비정질 반도체 영역(133)의 적층 구조를 적용한다.

[0060] 미결정 반도체 영역(131)은 표면이 예각(銳角)을 갖는 요철 형상이고, 볼록부는 게이트 절연막(107)에서 비정질 반도체 영역(133)을 향하여 선단이 좁아지는(볼록부의 선단이 예각인) 볼록 형상(뿔 형상)이다. 또한, 미결정 반도체 영역(131)의 요철 형상은 게이트 절연막(107)에서 비정질 반도체 영역(133)을 향하여 폭이 넓어지는 볼록 형상(역(逆) 뿔 형상)이라도 좋다.

[0061] 미결정 반도체 영역(131)에서 적어도 볼록부의 영역은 질소 농도가 높은 영역이다. 또한, 미결정 반도체 영역(131)에 포함된 결정 입자에 NH₃ 또는 NH₂기를 가져도 좋다. 2차 이온 질량 분석법에 의하여 계측되는 미결정

반도체 영역(131)의 불록부의 영역에 함유되는 질소 농도를 1×10^{20} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하, 바람직하게는 2×10^{20} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하로 함으로써, 뿔 형상 또는 역 뿔 형상을 포함하는 요철 형상을 형성할 수 있다.

[0062] 비정질 반도체 영역(133)은 질소를 갖는 비정질 반도체로 형성된다. 질소를 갖는 비정질 반도체에 함유되는 질소는 예를 들어, NH₃기 또는 NH₂기로서 존재하여도 좋다. 비정질 반도체로서는 비정질 실리콘을 사용하여 형성한다.

[0063] 질소를 함유한 비정질 반도체는 종래의 비정질 반도체와 비교하여 CPM(Constant Photocurrent Method)이나 포토루미네선스 분광 측정으로 측정되는 Urbach 에지의 에너지가 작고, 결합 흡수 스펙트럼량이 적은 반도체이다. 즉, 질소를 함유한 비정질 반도체는 종래의 비정질 반도체와 비교하여 결함이 적고, 가전자 대역의 밴드 에지에 있어서의 준위의 테일(아래쪽 부분)의 기울기가 급격한 질서성이 높은 반도체이다. 질소를 함유한 비정질 반도체는 가전자 대역의 밴드 에지에 있어서의 준위의 테일의 경사가 급격하기 때문에, 밴드 갭이 넓어져, 터널 전류가 흐르기 어렵다. 그러므로, 질소를 함유한 비정질 반도체를 미결정 반도체 영역(131)과 불순물 반도체막(127) 및 불순물 반도체막(129)과의 사이에 제공함으로써, 박막 트랜지스터의 오프 전류를 저감시킬 수 있다. 또한, 질소를 함유한 비정질 반도체를 제공함으로써, 온 전류와 전계 효과 이동도를 높일 수 있다.

[0064] 또한, 질소를 함유한 비정질 반도체는 저온 포토루미네선스 분광에 의한 스펙트럼의 피크 영역이 1.31eV 이상 1.39eV 이하이다. 또한, 미결정 반도체, 대표적으로는, 미결정 실리콘을 저온 포토루미네선스 분광에 의하여 측정한 스펙트럼의 피크 영역은 0.98eV 이상 1.02eV 이하이고, 질소를 함유한 비정질 반도체는 미결정 반도체와 상이한 것이다.

[0065] 또한, 비정질 반도체 영역(133)에 입자 직경이 1nm 이상 10nm 이하, 바람직하게는 1nm 이상 5nm 이하의 반도체 결정 입자를 포함시킴으로써, 박막 트랜지스터의 온 전류와 전계 효과 이동도를 더 높일 수 있다.

[0066] 불순물 반도체막(127) 및 불순물 반도체막(129)은 필요에 따라 제공하면 좋다. 예를 들어, 반도체막을 실리콘 막 또는 실리콘 게르마늄 막으로 형성하는 경우이고, 또 n채널형 박막 트랜지스터인 경우에는 인이 첨가된 비정질 실리콘, 인이 첨가된 미결정 실리콘 등을 사용하여 형성한다. 또한, 인이 첨가된 비정질 실리콘 및 인이 첨가된 미결정 실리콘의 적층 구조로 할 수도 있다. 또한, p채널형 박막 트랜지스터인 경우에는 불순물 반도체막(127) 및 불순물 반도체막(129)은 붕소가 첨가된 미결정 실리콘, 붕소가 첨가된 비정질 실리콘 등을 사용하여 형성한다.

[0067] 제 1 전극(123) 및 제 2 전극(125a)은 알루미늄, 구리, 티타늄, 네오디뮴, 스칸듐, 몰리브덴, 크롬, 탄탈 또는 텉스텐 등에 의하여 단층으로 또는 적층시켜 형성할 수 있다. 또는, 헬록 방지 원소가 첨가된 알루미늄 합금(주사선(103)에 사용할 수 있는 Al-Nd 합금 등)에 의하여 형성하여도 좋다. 도너가 되는 불순물 원소가 첨가된 결정성 실리콘을 사용하여도 좋다. 도너가 되는 불순물 원소가 첨가된 결정성 실리콘에 접하는 층의 막을 티타늄, 탄탈, 몰리브덴, 텉스텐 또는 이를 원소의 질화물로 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을, 티타늄, 탄탈, 몰리브덴, 텉스텐 또는 이를 원소의 질화물로 끼운 적층 구조로 하여도 좋다.

[0068] 또한, 제 1 전극(123) 및 제 2 전극(125a)과 동시에 제 3 전극(125b)이 형성된다. 그러므로, 제 3 전극(125b)은 제 1 전극(123) 및 제 2 전극(125a)과 같은 재료 및 적층 구조를 갖는다. 또한, 제 1 전극(123)은 신호선(121)의 일부가 돌출된 영역이다. 그러므로, 신호선(121)은 제 1 전극(123)과 같은 재료 및 적층 구조를 갖는다.

[0069] 절연막(138)은, 게이트 절연막(107)과 같은 재료를 적절히 사용하여 형성할 수 있다. 또한, 절연막(138)을 적층 구조로 하는 경우는, 반도체막(135)에 접하는 층을 산화 실리콘막, 산화 알루미늄막 등의 산화물막으로 형성하는 것이 바람직하다. 이것은, 절연막(138) 위에 백 게이트 전극을 제공하는 경우에 반도체막(135)에 있어서 절연막(138)에 접하는 영역은 채널 영역으로서 기능하며, 채널 영역에 있어서의 질소 농도를 저감시킴으로써, 박막 트랜지스터의 신뢰성을 높일 수 있기 때문이다.

[0070] 화소 전극(139a)은 산화 텉스텐을 함유한 인듐 산화물, 산화 텉스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료나 그래핀을 사용하여 형성할 수 있다.

[0071] 화소 전극(139a)과 동시에 화소 전극(139b)이 형성된다. 그러므로, 화소 전극(139b)은 화소 전극(139a)과 같은

재료 및 적층 구조를 갖는다.

[0072] 도 3(B)는 도 1에 도시된 일점 패션C-D에서의 용량 소자의 단면 구조이다.

[0073] 용량 소자(140)는 기판(101) 위에 용량 배선(105a)과, 제 2 전극(125a)과, 용량 배선(105a)과 제 2 전극(125a)과의 사이에 제공된 게이트 절연막(107)으로 구성된다. 또한, 게이트 절연막(107) 및 제 2 전극(125a)을 덮는 절연막(138)이 형성된다. 또한, 절연막(138) 위에 제 2 전극(125a)과 접속된 화소 전극(139a)이 형성된다.

[0074] 또한, 도시되지 않았지만, 박막 트랜지스터(137)는 박막 트랜지스터(136)와 같은 구조로 구성된다. 또한, 박막 트랜지스터(137)에 접속된 용량 소자(141)는 용량 소자(140)와 같은 구조로 구성된다.

[0075] 본 실시형태에 의하여 멀티 도메인 구조의 액정 표시 장치에 있어서 주사선과 신호선 사이, 박막 트랜지스터의 주사선과 소스 전극 및 드레인 전극의 한쪽과의 사이의 기생 용량을 저감시킬 수 있다. 그러므로, 대형 액정 표시 장치, 고속 구동이 가능한 액정 표시 장치, 해상도가 높은 액정 표시 장치에 있어서 표시 품질을 향상시킬 수 있다. 또한, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0076] 또한, 본 실시형태에 나타내어진 구성을 다른 실시형태에 나타내어진 구성과 적절히 조합하여 사용할 수 있다.

[0077] (실시형태 2)

[0078] 본 실시형태에서는 배선 용량이 저감된 액정 표시 장치에 있어서 실시형태 1과 상이한 구조를 갖는 하나의 화소의 구성에 대하여 도 4 및 도 5를 사용하여 설명한다. 또한, 본 실시형태에서는 하나의 화소에 복수의 서브 화소를 제공한 화소를 화소(150)로서 설명하였지만 이것에 한정되지 않는다.

[0079] 도 4는 본 실시형태에 나타내어지는 멀티 도메인 구조의 액정 표시 장치의 하나의 화소(150)의 상면도이고, 도 5는 도 4에 도시된 일점 패션E-F에서의 단면도를 도시한다.

[0080] 도 4에 도시된 바와 같이, 화소(150)는 주사선(103)과, 주사선(103)과 교차된 신호선(151)을 갖는다. 또한, 주사선(103)과 같은 방향으로 연장된 용량 배선(105a) 및 용량 배선(105b)을 갖는다. 또한, 용량 배선(105a)과 용량 배선(105b) 사이에 주사선(103)을 갖는다.

[0081] 또한, 주사선(103) 및 신호선(151)의 교차부 근방에 박막 트랜지스터(166) 및 박막 트랜지스터(167)를 갖는다. 박막 트랜지스터(166)는 주사선(103)과 중첩한 반도체막(165a)과, 반도체막(165a)과 중첩한 제 1 전극(153) 및 제 2 전극(155a)을 갖는다. 제 1 전극(153)은 신호선(151)으로부터 돌출된 영역이다. 제 1 전극(153) 및 제 2 전극(155a)은 박막 트랜지스터(166)에 있어서 소스 전극 및 드레인 전극으로서 기능한다.

[0082] 박막 트랜지스터(167)는 주사선(103)과 중첩한 반도체막(165b)과, 반도체막(165b)과 중첩한 제 1 전극(153) 및 제 3 전극(155b)을 갖는다. 제 1 전극(153) 및 제 3 전극(155b)은 박막 트랜지스터(167)에 있어서 소스 전극 및 드레인 전극으로서 기능한다.

[0083] 박막 트랜지스터(166)에 포함된 제 2 전극(155a)은 화소 전극(169a)과 접속된다. 또한, 용량 배선(105a)과 제 2 전극(155a) 및 화소 전극(169a) 각각의 일부가 중첩한다. 용량 배선(105a), 게이트 절연막 및 제 2 전극(155a)으로 용량 소자를 구성한다.

[0084] 박막 트랜지스터(167)에 포함된 제 3 전극(155b)은 화소 전극(169b)과 접속된다. 또한, 용량 배선(105b)과 제 3 전극(155b) 및 화소 전극(169b) 각각의 일부가 중첩한다. 용량 배선(105b), 게이트 절연막 및 제 3 전극(155b)으로 용량 소자를 구성한다. 즉, 박막 트랜지스터(166) 및 박막 트랜지스터(167)는 박막 트랜지스터(136) 및 박막 트랜지스터(137)와 마찬가지로 상면 형상에 있어서 화소(150)의 대략 중앙에 위치하고, 화소(150)에 있어서의 각 서브 화소의 화소 전극(169a)과 화소 전극(169b)과의 사이에 형성된다. 그러므로, 제 2 전극(155a) 및 화소 전극(169a), 그리고 제 3 전극(155b) 및 화소 전극(169b) 사이에 발생되는 기생 용량을 저감시킬 수 있음과 함께, 화소(150)에 있어서의 개구율의 저감을 방지할 수 있다.

[0085] 박막 트랜지스터(166) 및 박막 트랜지스터(167)는 소스 전극 및 드레인 전극의 한쪽인 제 1 전극(153)이 공통된다. 즉, 각 화소에 있어서, 신호선으로부터 돌출된 전극이 제 1 전극(153)의 하나이고, 또 박막 트랜지스터(166) 및 박막 트랜지스터(167)에 있어서 공통되기 때문에, 주사선(103)과 신호선(151)으로부터 돌출된 제 1 전극(153)과의 사이에 발생되는 기생 용량을 저감시킬 수 있다.

[0086] 또한, 주사선(103)은 박막 트랜지스터(166) 및 박막 트랜지스터(167)가 형성된 영역 근방에서 루프 형상이며,

주사선(103a) 및 주사선(103b)이 된다. 또한, 루프 형상인 주사선(103a)과 주사선(103b) 사이에 제공된 개구부에 제 1 전극(153)의 일부가 배치된다. 그러므로, 박막 트랜지스터(166) 및 박막 트랜지스터(167) 각각에 소스 전극 및 드레인 전극의 한쪽이 제공되는 경우와 비교하여 주사선(103)과 제 1 전극(153)의 중첩 면적을 저감시킬 수 있고, 주사선(103)과 제 1 전극(153) 사이에 발생되는 기생 용량을 저감시킬 수 있다. 또한, 주사선(103a) 및 주사선(103b)의 폭의 합계는 주사선(103)의 폭 이상이기 때문에, 주사선(103)에서 분기한 주사선(103a) 및 주사선(103b)에 있어서 배선 저항의 증가를 방지할 수 있음과 함께, 발열, 정전 파괴 등으로 인한 반도체 장치의 불량의 발생을 저감시킬 수 있다.

[0087] 따라서, 주사선(103)과 제 1 전극(153)의 중첩 면적을 저감시킬 수 있고, 배선 폭을 넓힐 없이, 즉, 개구율을 유지하면서 주사선(103)과 제 1 전극(153) 사이에 발생되는 기생 용량을 저감시킬 수 있다. 또한, 화소에 있어서의 저항을 저감시킬 수 있다.

[0088] 또한, 도 4에 도시된 화소(150)에 있어서 주사선(103a)과 신호선(151) 사이, 주사선(103b)과 신호선(151) 사이, 용량 배선(105a)과 신호선(151) 사이, 그리고 용량 배선(105b)과 신호선(151) 사이에 반도체막(165c)이 제공된다. 또한, 주사선(103a)과 신호선(151), 주사선(103b)과 신호선(151), 용량 배선(105a)과 신호선(151), 그리고 용량 배선(105b)과 신호선(151) 각각의 교차부의 외측에 반도체막(165c)의 단부가 위치한다. 그러므로, 상기 배선간에는 케이트 절연막뿐만 아니라 반도체막(165c)이 형성되기 때문에 배선 간의 기생 용량을 저감시킬 수 있다. 또한, 반도체막(165c)의 단부는 주사선(103)의 일단부와 중첩하기 때문에 주사선(103)의 일단부 및 제 1 전극(153)의 일부에서의 기생 용량이 저감된다.

[0089] 또한, 박막 트랜지스터(166) 및 박막 트랜지스터(167) 각각에 있어서 반도체막(165a) 및 반도체막(165b)의 단부는 주사선(103)의 내측에 위치한다. 그러므로, 반도체막(165a) 및 반도체막(165b)에 백 라이트나 외광이 조사되는 것을 저감시킬 수 있어 박막 트랜지스터(166) 및 박막 트랜지스터(167)의 광 누설 전류를 저하시킬 수 있다.

[0090] 또한, 본 실시형태에 나타내어지는 박막 트랜지스터는 상면 형상에 있어서 제 1 전극(153)의 한쪽 측에 제 2 전극(155a) 및 제 3 전극(155b)이 제공된다. 즉, 제 2 전극(155a) 및 제 3 전극(155b)과 신호선(151)과의 사이에 신호선으로부터 돌출된 제 1 전극(153)이 제공된다. 그러므로, 제 1 전극(153) 및 제 2 전극(155a) 사이에 흐르는 전류의 방향과, 제 1 전극(153) 및 제 3 전극(155b) 사이에 흐르는 전류의 방향이 대략 일치된다. 반도체막이 미결정 반도체막 또는 결정성 반도체막인 경우, 결정의 배향 방향과 상기 전류가 흐르는 방향을 대략 일치시킴으로써, 박막 트랜지스터의 전기 특성을 향상시킬 수 있다. 또한, 박막 트랜지스터(166) 및 박막 트랜지스터(167)가 갖는 반도체막이 각각 상이하므로 박막 트랜지스터끼리에서의 누설 전류가 적고, 또 한쪽의 박막 트랜지스터의 전기 특성이 나빠도 한쪽의 박막 트랜지스터의 전기 특성이 다른 쪽의 박막 트랜지스터의 전기 특성에 영향을 미치지 않기 때문에, 화소간에서의 전기 특성의 불균일을 저감시킬 수 있다.

[0091] 또한, 본 실시형태에서는 하나의 화소에 2개의 박막 트랜지스터가 제공된 구조를 나타내었지만, 이것에 한정되지 않는다. 하나의 화소에 3개 이상의 복수의 박막 트랜지스터 및 상기 박막 트랜지스터에 접속된 복수의 화소 전극을 가져도 좋다.

[0092] 다음에, 박막 트랜지스터의 구조에 대하여 도 5를 사용하여 설명한다.

[0093] 도 5는 도 4에 도시된 일점 패션E-F에서의 박막 트랜지스터(166)의 단면 구조이다.

[0094] 박막 트랜지스터(166)는 기판(101) 위에 주사선(103)과, 반도체막(165a)과, 주사선(103)과 반도체막(165a) 사이에 제공된 케이트 절연막(107)과, 반도체막(165a)에 접하고 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체막(157) 및 불순물 반도체막(159)과, 불순물 반도체막(157)에 접한 제 1 전극(153)과, 불순물 반도체막(159)에 접한 제 2 전극(155a)을 갖는다. 또한, 케이트 절연막(107), 반도체막(165a), 불순물 반도체막(157), 불순물 반도체막(159), 제 1 전극(153) 및 제 2 전극(155a)을 덮는 절연막(168)이 형성된다. 또한, 절연막(168)의 개구부에 있어서 제 2 전극(155a)과 접속된 화소 전극(169a)이 형성된다.

[0095] 반도체막(165a)에는 실시형태 1에 나타내어진 반도체막(135)과 같은 재료 및 구조를 적절히 사용할 수 있다.

[0096] 또한, 반도체막(165a)과 동시에 반도체막(165b)이 형성된다. 그러므로, 반도체막(165b)은 반도체막(165a)과 같은 재료 및 적층 구조를 갖는다.

[0097] 불순물 반도체막(157) 및 불순물 반도체막(159)은 필요에 따라 제공하면 좋다. 또한, 불순물 반도체막(157) 및 불순물 반도체막(159)을 제공하는 경우에는 실시형태 1에 나타내어진 불순물 반도체막(127) 및 불순물 반도체막

(129)과 같은 재료 및 구조를 적절히 사용할 수 있다.

[0098] 제 1 전극(153) 및 제 2 전극(155a)은 실시형태 1에 나타내어진 제 1 전극(123) 및 제 2 전극(125a)과 같은 재료 및 구조를 적절히 사용할 수 있다.

[0099] 또한, 제 1 전극(153) 및 제 2 전극(155a)과 동시에 제 3 전극(155b)이 형성된다. 그러므로, 제 3 전극(155b)은 제 1 전극(153) 및 제 2 전극(155a)과 같은 재료 및 적층 구조를 갖는다. 또한, 제 1 전극(153)은 신호선(151)의 일부가 돌출된 영역이다. 그러므로, 신호선(151)은 제 1 전극(153)과 같은 재료 및 적층 구조를 갖는다.

[0100] 절연막(168)은 실시형태 1에 나타내어진 절연막(138)과 같은 재료 및 구조를 적절히 사용할 수 있다.

[0101] 화소 전극(169a)은 실시형태 1에 나타내어진 화소 전극(139a)과 같은 재료 및 구조를 적절히 사용할 수 있다.

[0102] 또한, 화소 전극(169a)과 동시에 화소 전극(169b)이 형성된다. 그러므로, 화소 전극(169b)은 화소 전극(169a)과 같은 재료 및 적층 구조를 갖는다.

[0103] 본 실시형태에 의하여 멀티 도메인 구조의 액정 표시 장치에 있어서 주사선과 신호선 사이, 박막 트랜지스터의 주사선과 소스 전극 및 드레인 전극의 한쪽과의 사이의 기생 용량을 저감시킬 수 있다. 그러므로, 대형 액정 표시 장치, 고속 구동이 가능한 액정 표시 장치, 해상도가 높은 액정 표시 장치에 있어서 표시 품질을 향상시킬 수 있다. 또한, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0104] 또한, 본 실시형태에 나타내어진 구성은 다른 실시형태에 나타내어진 구성과 적절히 조합하여 사용할 수 있다.

[0105] (실시형태 3)

[0106] 본 실시형태에서는 실시형태 1 및 실시형태 2에 나타내어진 박막 트랜지스터의 제작 방법에 대하여 도 6(A) 내지 도 7(B)를 사용하여 설명한다. 또한, 여기서는 실시형태 1에 나타내어진 박막 트랜지스터(136)의 제작 방법을 설명하였지만, 실시형태 1에 나타내어진 박막 트랜지스터(137), 실시형태 2에 나타내어진 박막 트랜지스터(166) 및 박막 트랜지스터(167)에 적절히 적용할 수 있다. 또한, 박막 트랜지스터는 p형보다 n형이 캐리어의 이동도가 높다. 또한, 동일한 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 통일시키면 공정수를 억제할 수 있어 바람직하다. 그러므로, 본 실시형태에서는 n형의 박막 트랜지스터의 제작 방법에 대하여 설명한다.

[0107] 도 6(A)에 도시된 바와 같이, 기판(101) 위에 주사선(103)를 형성한다. 다음에, 주사선(103)을 덮는 게이트 절연막(107)을 형성하고, 게이트 절연막(107) 위에 미결정 반도체막(109)을 형성한다.

[0108] 주사선(103)은 기판(101) 위에 스퍼터링법 또는 진공 증착법을 사용하여 상술한 재료로 도전막을 형성하고, 상기 도전막 위에 포토리소그래피법 또는 잉크젯법 등으로 마스크를 형성하고, 상기 마스크를 사용하여 도전막을 에칭함으로써 형성할 수 있다. 또한, 은, 금 또는 구리 등의 도전성 나노 페이스트를 잉크젯법에 의하여 기판 위에 토출하고, 소성함으로써 형성할 수도 있다. 또한, 주사선(103)과 기판(101)의 밀착성을 향상시키기 위하여 상기 금속 재료의 질화물막을 기판(101)과 주사선(103) 사이에 제공하여도 좋다. 여기서는 기판(101) 위에 도전막을 형성하고, 포토리소그래피 공정에 의하여 형성한 레지스트로 형성된 마스크를 사용하여 상기 도전막을 에칭한다.

[0109] 또한, 주사선(103)의 측면은 테이퍼 형상으로 하는 것이 바람직하다. 이것은 나중의 공정으로 주사선(103) 위에 형성된 절연막, 반도체막 및 배선이 주사선(103)의 단차 부분에서 절단되지 않도록 하기 위한 것이다. 주사선(103)의 측면을 테이퍼 형상으로 하기 위하여는 레지스트로 형성된 마스크를 후퇴시키면서 에칭하면 좋다.

[0110] 또한, 주사선(103)을 형성하는 공정에 의하여 용량 배선(105a) 및 용량 배선(105b)을 동시에 형성할 수 있다.

[0111] 게이트 절연막(107)은 CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다. 게이트 절연막(107)을 형성하는데의 글로우 방전 플라즈마는 3MHz 내지 30MHz, 대표적으로는 13.56MHz, 27.12MHz의 HF 대역의 고주파 전력 또는 30MHz보다 높고 300MHz 정도까지의 VHF 대역의 고주파 전력, 대표적으로는, 60MHz를 인가함으로써 생성된다. 또한, 1GHz 이상의 마이크로파의 고주파 전력을 인가함으로써 생성된다. 또한, 고주파 전력이 펄스 형상으로 인가되는 펄스 발진이나 연속적으로 인가되는 연속 발진으로 할 수 있다. 또한, HF 대역의 고주파 전력과, VHF 대역의 고주파 전력을 중첩시킴으로써, 대면적 기판에 있어서도 플라즈마의 불균일을 저감시켜 균일성을 높일

수 있음과 함께 퇴적 속도를 높일 수 있다. 고주파수가 1GHz 이상인 마이크로파 플라즈마 CVD장치를 사용하여 게이트 절연막(107)을 형성하면, 게이트 전극과 드레인 전극 및 소스 전극 사이의 내압을 향상시킬 수 있기 때문에, 신뢰성이 높은 박막 트랜지스터를 얻을 수 있다.

[0112] 또한, 게이트 절연막(107)으로서 유기 실란 가스를 사용한 CVD법으로 산화 실리콘막을 형성함으로써, 나중에 형성하는 반도체막의 결정성을 높일 수 있기 때문에, 박막 트랜지스터의 온 전류 및 전계 효과 이동도를 높일 수 있다. 유기 실란 가스로서는, 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0113] 미결정 반도체막(109)은 플라즈마 CVD 장치의 반응실 내에 있어서, 실리콘 또는 게르마늄을 함유한 퇴적성 기체와, 수소를 혼합하여 글로우 방전 플라즈마에 의하여 형성한다. 또는, 실리콘 또는 게르마늄을 함유한 퇴적성 기체와, 수소와, 헬륨, 아르곤, 네온, 크립톤, 크세논 등의 희ガ스를 혼합하고, 글로우 방전 플라즈마에 의하여 형성한다. 여기서는, 실리콘 또는 게르마늄을 함유한 퇴적성 기체의 유량에 대한 수소의 유량을 50배 이상 1000배 이하로 하여 퇴적성 기체를 희석한 조건으로 미결정 실리콘, 미결정 실리콘 게르마늄 등을 형성한다. 이 때의 퇴적 온도는 실온 내지 350°C로 하는 것이 바람직하며, 보다 바람직하게는 150 내지 280°C로 한다. 또한, 상부 전극과 하부 전극 사이의 간격은 플라즈마가 발생할 수 있는 간격으로 하면 좋다.

[0114] 실리콘 또는 게르마늄을 함유한 퇴적성 기체의 대표적인 예로서는, SiH_4 , Si_2H_6 , GeH_4 , Ge_2H_6 등이 있다.

[0115] 또한, 미결정 반도체막(109)의 원료 가스에 헬륨, 아르곤, 네온, 크립톤, 크세논 등의 희ガ스를 첨가함으로써, 미결정 반도체막(109)의 성막 속도가 높아진다. 결과적으로, 성막 속도가 높아짐으로써, 미결정 반도체막(109)에 혼입되는 불순물의 양이 저감된다. 또한, 높은 파워를 공급하지 않아도 안정된 플라즈마를 발생시킬 수 있다. 결과적으로, 미결정 반도체막(109)의 플라즈마 테미지를 저감시킬 수 있고, 미결정 반도체막(109)의 결정성을 높일 수 있다.

[0116] 미결정 반도체막(109)의 CVD법에 의한 형성 공정에 있어서, 글로우 방전 플라즈마의 생성에는, 게이트 절연막(107)을 형성할 때의 글로우 방전 플라즈마 생성 조건을 적절히 사용할 수 있다.

[0117] 다음에, 도 6(B)에 도시된 바와 같이, 미결정 반도체막(109) 위에 반도체막(111)을 형성한다. 반도체막(111)은 미결정 반도체 영역(111a) 및 비정질 반도체 영역(111b)으로 구성된다. 다음에, 반도체막(111) 위에 불순물 반도체막(113)을 형성한다. 다음에, 불순물 반도체막(113) 위에 마스크를 형성한다.

[0118] 미결정 반도체막(109)을 종(種)결정으로 하여 부분적으로 결정 성장시키는 조건(결정 성장을 저감시키는 조건)으로 미결정 반도체 영역(111a) 및 비정질 반도체 영역(111b)을 갖는 반도체막(111)을 형성할 수 있다.

[0119] 반도체막(111)은 플라즈마 CVD 장치의 처리실 내에 있어서 실리콘 또는 게르마늄을 함유한 퇴적성 기체와, 수소와, 질소를 함유한 기체를 혼합하고, 글로우 방전 플라즈마에 의하여 형성한다. 질소를 함유한 기체로서는 암모니아, 질소, 불화 질소, 염화 질소, 클로로아민, 플루오르아민 등이 있다. 글로우 방전 플라즈마는, 게이트 절연막(107)과 마찬가지로 생성할 수 있다.

[0120] 이 때, 실리콘 또는 게르마늄을 함유한 퇴적성 기체와 수소의 유량비는 미결정 반도체막(109)과 마찬가지로 미결정 반도체막을 형성하는 유량비를 사용하고, 또한, 원료 가스에 질소를 함유한 기체를 사용하는 조건으로 함으로써, 미결정 반도체막(109)의 퇴적 조건보다 결정 성장을 저감시킬 수 있다. 구체적으로는, 반도체막(111)의 퇴적 초기에 있어서는 원료 가스에 질소를 함유한 기체가 포함되기 때문에, 부분적으로 결정 성장이 억제되고, 뿐 형상의 미결정 반도체 영역이 성장함과 함께 비정질 반도체 영역이 형성된다. 또한, 퇴적 중기 또는 후기에서는 뿐 형상의 미결정 반도체 영역의 결정 성장이 정지되고, 비정질 반도체 영역만 퇴적된다. 결과적으로 반도체막(111)에 있어서 미결정 반도체 영역(111a) 및 결함이 적고 가전자 대역의 벤드 에지에서의 준위의 테일(아래쪽 부분)의 기울기가 급격하고 질서성이 높은 반도체막으로 형성된 비정질 반도체 영역(111b)을 형성할 수 있다.

[0121] 여기서, 반도체막(111)을 형성할 때의 가스 유량 조건의 대표적인 예는, 실리콘 또는 게르마늄을 함유한 퇴적성 기체의 유량에 대한 수소의 유량이 10배 내지 2000배, 바람직하게는 10배 내지 200배이다. 또한, 일반적인 비정질 반도체막을 형성할 때의 가스 유량 조건의 대표적인 예는, 실리콘 또는 게르마늄을 함유한 퇴적성 기체의 유량에 대한 수소의 유량은 0 내지 5배이다.

- [0122] 또한, 반도체막(111)의 원료 가스에 헬륨, 아르곤, 네온, 크립톤, 크세논 등의 희가스를 도입시킴으로써 성막 속도를 높일 수 있다.
- [0123] 반도체막(111)의 두께는 50nm 내지 350nm로 하는 것이 바람직하며, 더 바람직하게는 120nm 내지 250nm로 한다.
- [0124] 여기서는, 반도체막(111)의 원료 가스에 질소를 함유한 기체를 포함시켜 미결정 반도체 영역(111a) 및 비정질 반도체 영역(111b)을 갖는 반도체막(111)을 형성하였지만, 반도체막(111)의 다른 형성 방법으로서 미결정 반도체막(109)의 표면을 질소를 함유한 기체에 노출시켜 미결정 반도체막(109)의 표면에 질소를 흡착시킨 후, 실리콘 또는 게르마늄을 함유한 퇴적성 기체 및 수소를 원료 가스로서 사용하여 미결정 반도체 영역(111a) 및 비정질 반도체 영역(111b)을 갖는 반도체막(111)을 형성할 수 있다.
- [0125] 불순물 반도체막(113)은 플라즈마 CVD장치의 반응실 내에 있어서 실리콘을 함유한 퇴적성 기체와, 수소와, 포스핀(수소 희석 또는 실란 희석)이 혼합된 글로우 방전 플라즈마에 의하여 인이 첨가된 비정질 실리콘 또는 인이 첨가된 미결정 실리콘을 형성한다. 또한, p형 박막 트랜지스터를 제작하는 경우에는, 불순물 반도체막(113)으로서, 포스핀 대신에 디보란을 사용하여, 글로우 방전 플라즈마에 의하여 붕소가 첨가된 비정질 실리콘 또는 붕소가 첨가된 미결정 실리콘을 형성하면 좋다.
- [0126] 또한, 불순물 반도체막(113)을 인이 첨가된 미결정 실리콘 또는 붕소가 첨가된 미결정 실리콘으로 형성하는 경우에는 반도체막(111)과 불순물 반도체막(113) 사이에 미결정 반도체막, 대표적으로는 미결정 실리콘막을 형성함으로써, 계면의 특성을 향상시킬 수 있다. 그러므로, 불순물 반도체막(113)과 반도체막(111)의 계면에 생기는 저항을 저감시킬 수 있다. 결과적으로, 박막 트랜지스터의 소스 영역, 반도체막 및 드레인 영역에서 흐르는 전류량을 증가시키고, 온 전류 및 전계 효과 이동도를 증가시킬 수 있다.
- [0127] 마스크는 포토리소그래피 공정으로 형성할 수 있다.
- [0128] 다음에, 마스크를 사용하여 미결정 반도체막(109), 반도체막(111) 및 불순물 반도체막(113)을 에칭한다. 이 공정에 의하여 미결정 반도체막(109), 반도체막(111) 및 불순물 반도체막(113)을 소자마다 분리시켜 반도체막(116) 및 불순물 반도체막(117)을 형성한다. 또한, 반도체막(116)은 미결정 반도체막(109) 및 반도체막(111)의 미결정 반도체 영역(111a) 각각의 일부를 포함한 미결정 반도체 영역(114)과, 반도체막(111)의 비정질 반도체 영역(111b)의 일부를 포함한 비정질 반도체 영역(115)을 갖는다. 그 후, 마스크를 제거한다(도 6(C) 참조).
- [0129] 다음에, 불순물 반도체막(117) 위에 도전막(119)을 형성한다(도 6(D) 참조). 도전막(119)은 CVD법, 스퍼터링법 또는 진공 증착법을 사용하여 형성한다.
- [0130] 다음에, 포토리소그래피 공정에 의하여 레지스트로 형성된 마스크를 형성하고, 상기 레지스트로 형성된 마스크를 사용하여 도전막(119)을 에칭하여 소스 전극 및 드레인 전극으로서 기능하는 제 1 전극(123) 및 제 2 전극(125a)을 형성한다. 도전막(119)의 에칭에는 드라이 에칭 또는 웨트 에칭을 사용할 수 있다. 또는, 제 1 전극(123) 및 제 2 전극(125a)은 은, 금 또는 구리 등의 도전성 나노 페이스트를 스크린 인쇄법 또는 잉크젯법 등을 사용하여 토출하여 소성함으로써 형성하여도 좋다. 또한, 상기 공정에 의하여 제 3 전극(125b) 및 신호선(121)을 형성한다.
- [0131] 다음에, 불순물 반도체막(117) 및 반도체막(116)의 일부를 에칭하여 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체막(127) 및 불순물 반도체막(129)을 형성한다. 또한, 미결정 반도체 영역(114) 및 오목부를 갖는 비정질 반도체 영역(133)을 갖는 반도체막(135)을 형성한다.
- [0132] 여기서는, 제 1 전극(123) 및 제 2 전극(125a)의 단부와, 불순물 반도체막(127) 및 불순물 반도체막(129)의 단부가 일치되지만, 제 1 전극(123) 및 제 2 전극(125a)의 단부와, 불순물 반도체막(127) 및 불순물 반도체막(129)의 단부가 일치되지 않고 단면에 있어서 제 1 전극(123) 및 제 2 전극(125a)의 단부가 불순물 반도체막(127) 및 불순물 반도체막(129)의 단부보다 내측에 위치하여도 좋다.
- [0133] 다음에, 드라이 에칭을 행하여도 좋다. 드라이 에칭의 조건으로서 비정질 반도체 영역(133)에 데미지가 주어지지 않고, 또 비정질 반도체 영역(133)에 대한 에칭 속도가 낮은 조건을 사용한다. 에칭 가스로서는 대표적으로 Cl₂, CF₄ 또는 N₂ 등을 사용한다. 또한, 에칭 방법은 특별히 한정되지 않고, 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 방식, 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma) 방식, 전자 사이클로트론 공명 플라즈마(ECR: Electron Cyclotron Resonance) 방식, 반응성 이온 에칭(RIE: Reactive Ion Etching) 방식 등을 사용할 수 있다.

- [0134] 다음에, 비정질 반도체 영역(133)의 표면에 플라즈마 처리, 대표적으로는 물 플라즈마 처리, 산소 플라즈마 처리, 오존 플라즈마 처리, N₂O 플라즈마 처리, 산소 및 수소의 혼합 가스에 의한 플라즈마 처리 등의 산소 가스 분위기에 의한 플라즈마 처리를 행한다. 그 후, 마스크를 제거한다. 또한, 상기 마스크의 제거는 불순물 반도체막(117) 및 반도체막(116)의 드라이 에칭을 하기 전에 행하여도 좋다.
- [0135] 상술한 바와 같이, 비정질 반도체 영역(133)에 데미지가 주어지지 않는 조건으로 드라이 에칭을 더 행함으로써, 노출된 비정질 반도체 영역(133) 위에 존재하는 잔사(殘渣) 등의 불순물을 제거할 수 있다. 또한, 드라이 에칭에 이어 물 플라즈마 또는 수소 및 산소의 혼합 가스에 의한 플라즈마 처리를 행함으로써, 비정질 반도체 영역(133)의 결함을 저감시킬 수 있다. 그러므로, 나중에 형성될 박막 트랜지스터의 오프 전류를 저감시켜 전기 특성의 변동을 저감시킬 수 있다.
- [0136] 또한, 포토리소그래피 공정에 의하여 레지스트로 형성된 마스크를 도전막(119) 위에 형성하고, 상기 레지스트로 형성된 마스크를 사용하여 도전막(119)을 에칭하여 소스 전극 및 드레인 전극으로서 기능하는 제 1 전극(123) 및 제 2 전극(125a)을 형성한다. 다음에, 불순물 반도체막(117)을 에칭하여 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체막(127) 및 불순물 반도체막(129)을 형성한다. 이 때, 반도체막(116)의 일부가 에칭되는 경우도 있다. 다음에, 마스크를 제거한 후, 반도체막(116)의 일부를 에칭하여 비정질 반도체 영역(133)을 형성하여도 좋다. 상기 에칭 공정의 에칭 가스로서 HBr과, CF₄, NF₃ 및 SF₆ 중 하나 이상과 산소의 혼합 가스를 사용함으로써, 에칭 잔사물을 저감시킬 수 있기 때문에 박막 트랜지스터의 특성의 변동을 저감시킬 수 있다.
- [0137] 또한, 마스크를 제거한 후, 제 1 전극(123) 및 제 2 전극(125a)을 사용하여 비정질 반도체 영역(115)의 일부를 에칭하여 오목부를 갖는 비정질 반도체 영역(133)을 형성한다. 이로써, 박리액 및 레지스트 잔사물에 접촉한 비정질 반도체 영역은 에칭에 의하여 제거되기 때문에 백 채널에는 잔존하지 않는다. 결과적으로, 백 채널에 잔존한 박리액 및 레지스트 잔사물로 인하여 누설 전류가 발생하지 않기 때문에, 박막 트랜지스터의 오프 전류를 더욱 저감시킬 수 있다.
- [0138] 상술한 공정에 의하여 싱글 게이트형의 박막 트랜지스터를 제작할 수 있다(도 7(A) 참조). 또한, 본 실시형태에 나타내어지는 박막 트랜지스터는 역 스태거형의 박막 트랜지스터이기 때문에, 온 전류 및 전계 효과 이동도가 높고, 오프 전류가 낮고, 또 전기 특성의 변동이 적은 싱글 게이트형의 박막 트랜지스터를 생산성 높게 제작할 수 있다.
- [0139] 다음에, 도 7(B)에 도시된 바와 같이, 반도체막(135), 불순물 반도체막(127), 불순물 반도체막(129), 제 1 전극(123) 및 제 2 전극(125a) 위에 절연막(138)을 형성한다. 절연막(138)은 게이트 절연막(107)과 마찬가지로 형성할 수 있다.
- [0140] 다음에, 포토리소그래피 공정에 의하여 형성된 레지스트로 형성된 마스크를 사용하여 절연막(138)에 개구부를 형성한다. 다음에, 절연막(138) 위에 화소 전극(139a)을 형성한다.
- [0141] 상술한 공정에 의하여 박막 트랜지스터와, 상기 박막 트랜지스터에 접속된 화소 전극을 제작할 수 있다.
- [0142] 또한, 본 실시형태에 나타내어진 구성은 다른 실시형태에 나타내어진 구성과 적절히 조합하여 사용할 수 있다.

부호의 설명

- [0143] 100: 화소
 103: 주사선
 103a: 주사선
 103b: 주사선
 105a: 용량 배선
 105b: 용량 배선
 121: 신호선
 123: 전극

125a: 전극

125b: 전극

135: 반도체막

136: 박막 트랜지스터

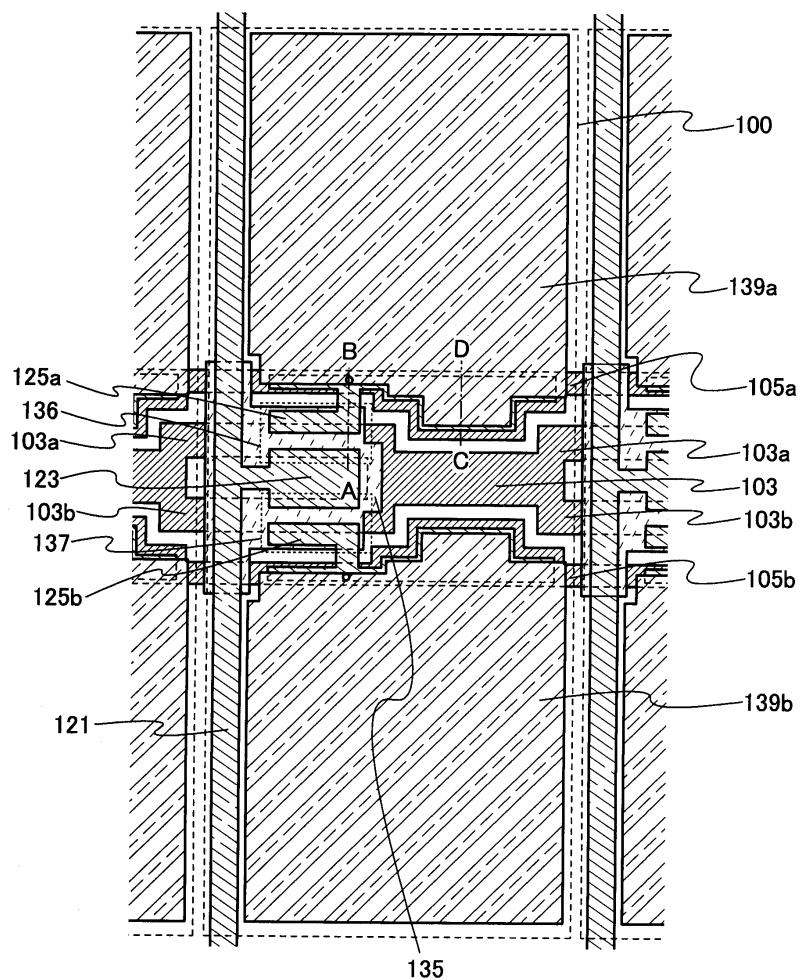
137: 박막 트랜지스터

139a: 화소 전극

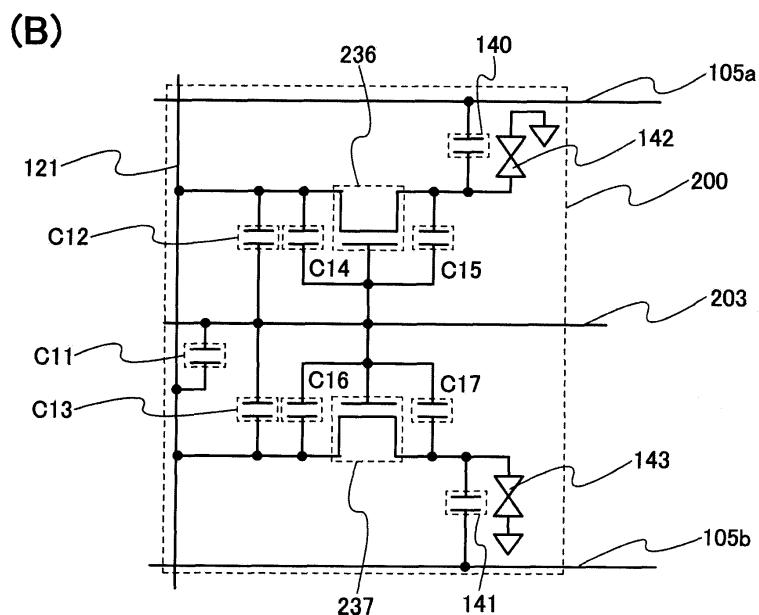
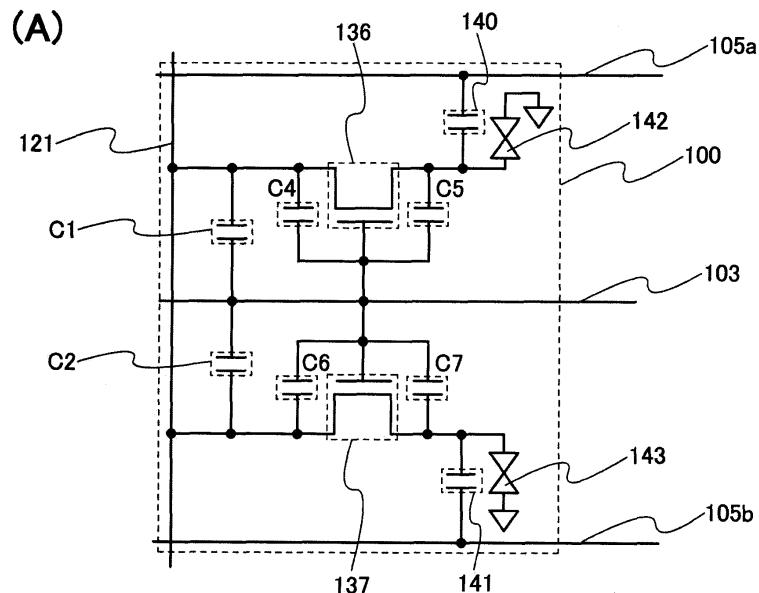
139b: 화소 전극

도면

도면1

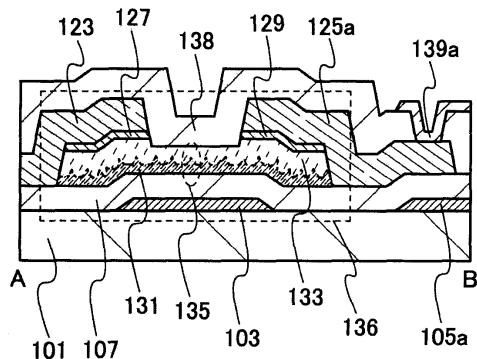


도면2

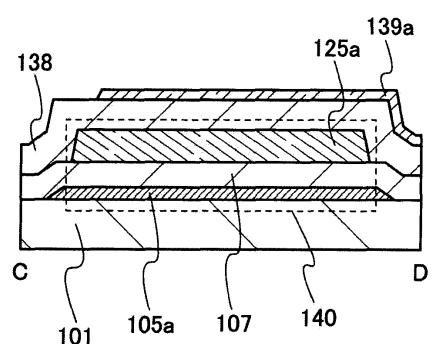


도면3

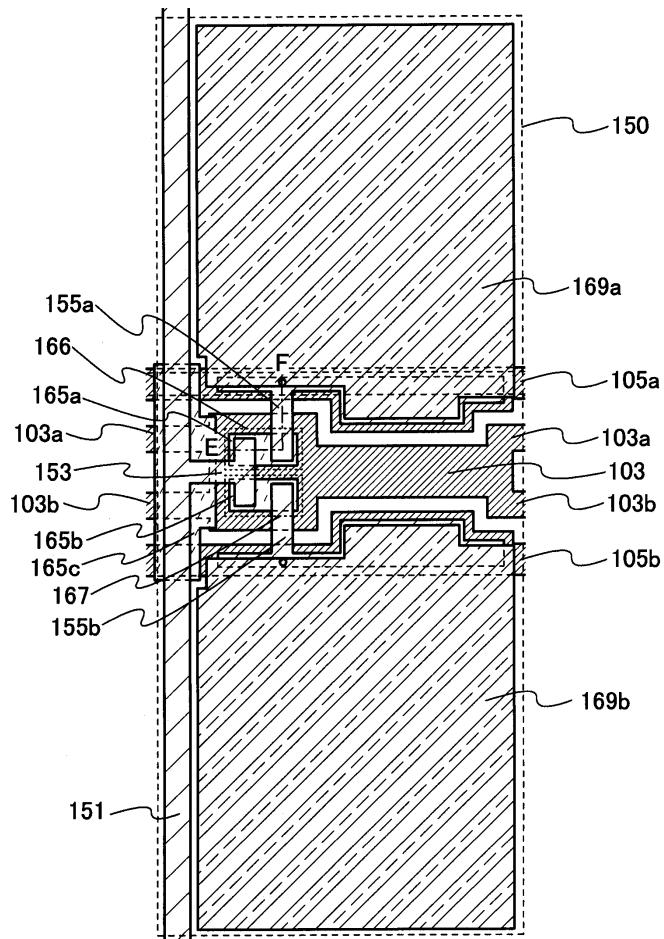
(A)



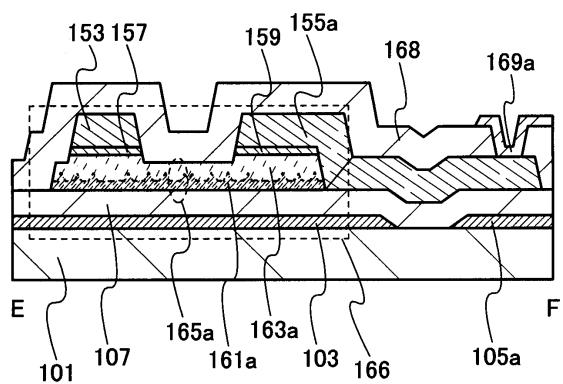
(B)



도면4

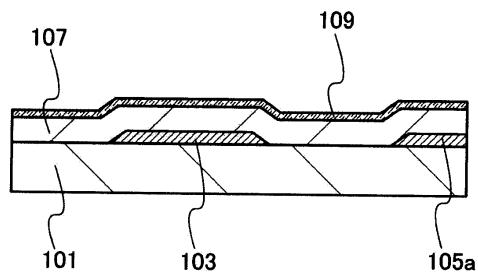


도면5

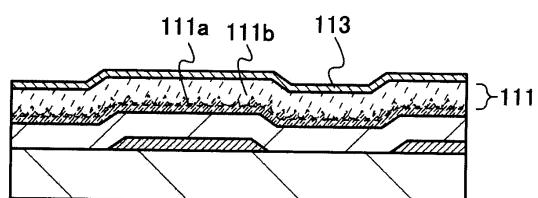


도면6

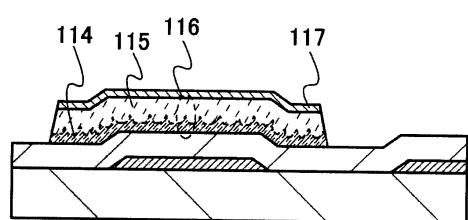
(A)



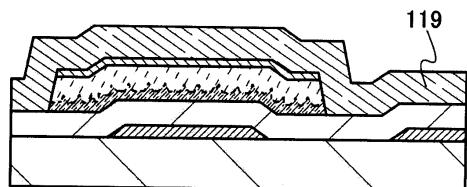
(B)



(C)

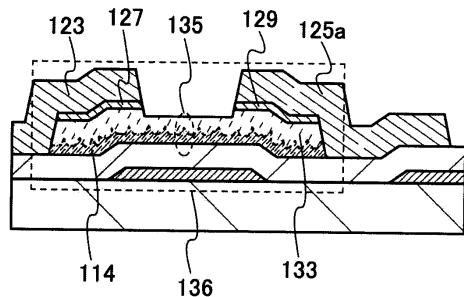


(D)

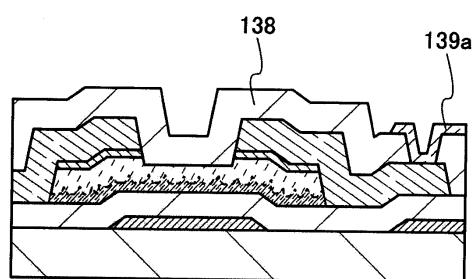


도면7

(A)

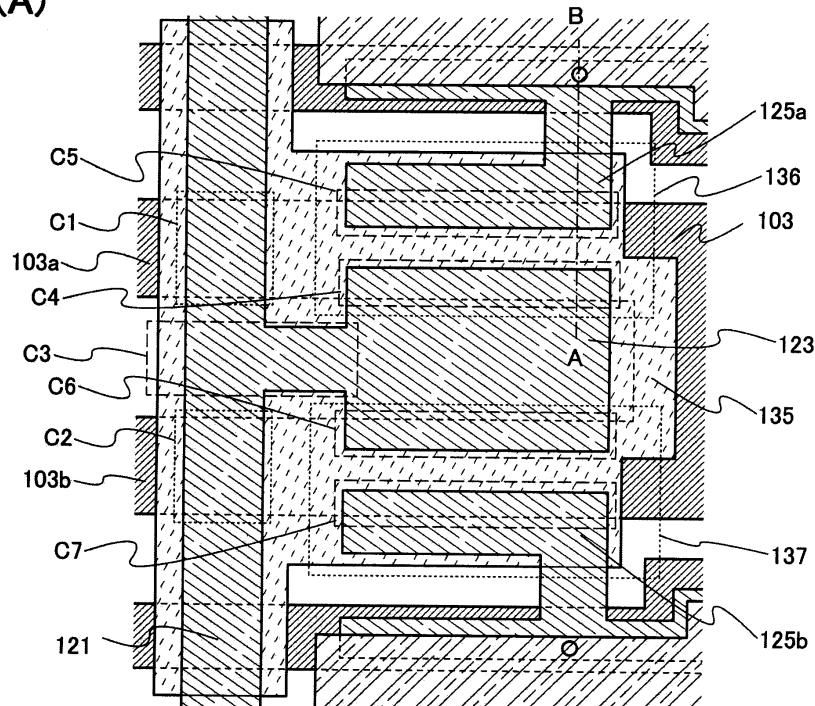


(B)



도면8

(A)



(C)

(B)

