



(12)发明专利

(10)授权公告号 CN 106796891 B

(45)授权公告日 2020.07.17

(21)申请号 201580047084.7
 (22)申请日 2015.08.28
 (65)同一申请的已公布的文献号
 申请公布号 CN 106796891 A
 (43)申请公布日 2017.05.31
 (30)优先权数据
 2014-178601 2014.09.02 JP
 (85)PCT国际申请进入国家阶段日
 2017.03.02
 (86)PCT国际申请的申请数据
 PCT/JP2015/074380 2015.08.28
 (87)PCT国际申请的公布数据
 W02016/035696 JA 2016.03.10
 (73)专利权人 株式会社FLOSFIA
 地址 日本京都府京都市西京区御陵大原1
 番29号
 (72)发明人 织田真也 高塚章夫 人罗俊实
 (74)专利代理机构 深圳瑞天谨诚知识产权代理
 有限公司 44340
 代理人 温青玲

(51)Int.Cl.
 H01L 21/365(2006.01)
 H01L 21/20(2006.01)
 H01L 21/28(2006.01)
 H01L 21/329(2006.01)
 H01L 21/336(2006.01)
 H01L 21/337(2006.01)
 H01L 21/338(2006.01)
 H01L 29/12(2006.01)
 H01L 29/24(2006.01)
 H01L 29/47(2006.01)
 H01L 29/739(2006.01)
 H01L 29/778(2006.01)
 H01L 29/78(2006.01)
 H01L 29/808(2006.01)
 H01L 29/812(2006.01)
 H01L 29/872(2006.01)
 H01L 33/16(2006.01)
 H01L 33/26(2006.01)

审查员 于鹏飞

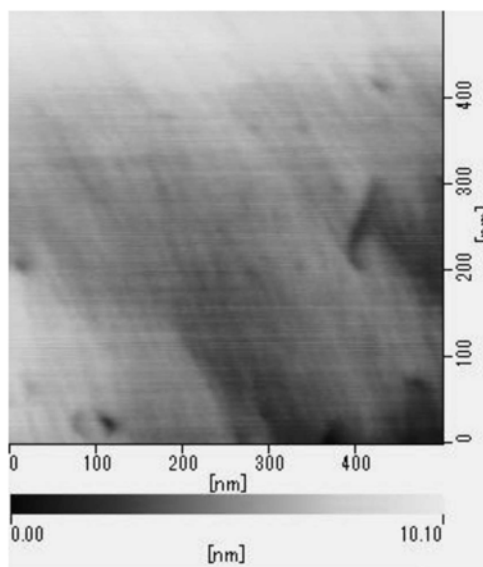
权利要求书2页 说明书18页 附图16页

(54)发明名称

层叠结构体及其制造方法、半导体装置、以及晶体膜

(57)摘要

提供结晶性优异、层叠结构体和迁移率良好的上述层叠结构体的半导体装置。该层叠结构体的特征在于，是直接或介由其他层将含有具有刚玉结构的结晶性氧化物作为主要成分的晶体膜在具有刚玉结构的晶体基板上层叠而成的，上述晶体基板具有 $0.2^\circ \sim 12.0^\circ$ 的偏离角，上述结晶性氧化物包含选自铟、铝、以及镓中的一种或两种以上的金属。



CN 106796891 B

1. 一种层叠结构体,其特征在于,是直接或介由其他层将含有具有刚玉结构的结晶性氧化物作为主要成分的晶体膜在具有刚玉结构的晶体基板上层叠而成的,所述晶体基板具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角,所述结晶性氧化物至少包含镓,所述晶体膜含有掺杂剂,所述结晶性氧化物是半导体。

2. 如权利要求1所述的层叠结构体,其特征在于,

所述晶体基板的偏离角为 $1^{\circ}\sim 8^{\circ}$ 。

3. 如权利要求1或2所述的层叠结构体,其特征在于,

所述结晶性氧化物还包含铟及/或铝,包含于所述晶体膜的金属元素中的镓、铟、以及铝的总原子比为0.5以上。

4. 如权利要求1或2所述的层叠结构体,其特征在于,

晶体膜的膜厚为 $1\mu\text{m}$ 以上。

5. 如权利要求1或2所述的层叠结构体,其特征在于,

利用原子力显微镜测定的晶体膜的膜表面的中心线平均粗糙度 R_a 为 10nm 以下,最大高低差(P-V值)为 100nm 以下。

6. 一种层叠结构体的制造方法,其特征在于,使原料溶液雾化产生雾,然后,向所述雾供给载气,利用所述载气将所述雾供给给基板,使所述雾发生热反应,将由结晶性氧化物构成的晶体膜层叠于所述基板表面的一部分或全部,

所述基板是具有刚玉结构的晶体基板,所述晶体基板具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角,所述原料溶液包含镓,所述原料溶液包含掺杂剂原料。

7. 如权利要求6所述的层叠结构体的制造方法,其特征在于,

使热反应在 $400^{\circ}\text{C}\sim 700^{\circ}\text{C}$ 的温度下进行。

8. 如权利要求6或7所述的层叠结构体的制造方法,其特征在于,

所述晶体基板的偏离角为 $2^{\circ}\sim 5^{\circ}$ 。

9. 如权利要求6或7所述的层叠结构体的制造方法,其特征在于,

晶体基板为c面、m面、a面或r面的蓝宝石基板。

10. 一种半导体装置,其特征在于,其至少具备权利要求1至5中任一项所述的层叠结构体和电极。

11. 一种晶体膜,其特征在于,含有具有刚玉结构的结晶性氧化物作为主要成分,所述晶体膜具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角,所述结晶性氧化物至少包含镓,所述晶体膜含有掺杂剂,所述结晶性氧化物是半导体。

12. 如权利要求11所述的晶体膜,其特征在于,

所述晶体膜的偏离角为 $1^{\circ}\sim 8^{\circ}$ 。

13. 如权利要求11或12所述的晶体膜,其特征在于,

所述结晶性氧化物还包含铟及/或铝,包含于所述晶体膜的金属元素中的镓、铟、以及铝的总原子比为0.5以上。

14. 如权利要求11或12所述的晶体膜,其特征在于,

所述晶体膜的膜厚为 $1\mu\text{m}$ 以上。

15. 如权利要求11或12所述的晶体膜,其特征在于,

利用原子力显微镜测定的晶体膜的膜表面的中心线平均粗糙度 R_a 为 10nm 以下,最大高

低差 (P-V值) 为100nm以下。

16. 一种半导体装置,其特征在於,其至少具备权利要求11至15中任意一项所述的晶体膜和电极。

层叠结构体及其制造方法、半导体装置、以及晶体膜

技术领域

[0001] 本发明涉及对半导体装置有用的层叠结构体及其制造方法、由上述层叠结构体构成的半导体装置及晶体膜。

背景技术

[0002] 作为能够实现高耐压、低损耗、以及高耐热的下一代开关元件,使用了带隙较大的氧化镓(Ga_2O_3)的半导体装置备受关注,期待其适用于逆变器等的功率用半导体装置(电力设备)。根据非专利文献1,该氧化镓能够通过使铟或铝分别形成混晶、或将它们组合形成混晶,对带隙进行控制,其中,以 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq x' \leq 2, 0 \leq y' \leq 2, 0 \leq z' \leq 2, x' + y' + z' = 1.5 \sim 2.5$)表示的 InAlGaO 系半导体是非常有吸引力的材料。

[0003] 在专利文献1中记载有添加了掺杂剂(4价的锡)的结晶性较高的导电性 $\alpha\text{-Ga}_2\text{O}_3$ 薄膜。但是,专利文献1记载的薄膜无法保持充分的耐压性,另外,含有大量碳杂质,具有导电性,远不能满足半导体特性,也尚难以用于半导体装置。

[0004] 另外,在非专利文献2中记载有, $\alpha\text{-Ga}_2\text{O}_3$ 薄膜能够通过MBE法(Molecular Beam Epitaxy,分子束外延)在蓝宝石上成膜。但是,虽然在 450°C 以下的温度下晶体生长至膜厚100nm,但是若膜厚增加至100nm以上,则晶体的品质变差,并且无法得到膜厚 $1\mu\text{m}$ 以上的膜。

[0005] 因此,期待膜厚为 $1\mu\text{m}$ 以上且晶体的品质不变差的 $\alpha\text{-Ga}_2\text{O}_3$ 薄膜。

[0006] 在专利文献2中记载有,使用镓或铟的溴化物或碘化物,通过雾化CVD法(CVD: Chemical Vapor Deposition,化学气相沉积)制造氧化物晶体薄膜。

[0007] 在专利文献3~5中记载有,具有刚玉型晶体结构的半导体层与具有刚玉型晶体结构的绝缘膜在具有刚玉型晶体结构的基底基板上层叠而成的多层结构体。

[0008] 另外,专利文献2~5均是关于由本申请人提出的专利或专利申请的公报。

[0009] 现有技术文献

[0010] 专利文献

[0011] 专利文献1:日本特开第2013-28480号公报

[0012] 专利文献2:日本专利第5397794号

[0013] 专利文献3:日本专利第5343224号

[0014] 专利文献4:日本专利第5397795号

[0015] 专利文献5:日本特开第2014-72533号公报

[0016] 非专利文献

[0017] 非专利文献1:金子健太郎、“刚玉结构氧化镓系混晶薄膜的生长和物性”、京都大学博士论文、平成25年3月

[0018] 非专利文献2:Raveen Kumaran,“New Solid State Laser Crystals Created by Epitaxial Growth”,A thesis submitted for the degree of doctor of philosophy, The University of British Columbia,September 2012

发明内容

[0019] 发明要解决的问题

[0020] 本发明的目的在于提供结晶性优异的层叠结构体、迁移率良好的上述层叠结构体的半导体装置及结晶性优异的晶体膜。

[0021] 解决问题的方案

[0022] 本发明者们为了达成上述目的而进行了深入研究, 结果发现层叠结构体的半导体特性、特别是迁移率良好, 上述层叠结构体是直接或介由其他层将含有具有刚玉结构的结晶性氧化物作为主要成分的晶体膜在具有刚玉结构的晶体基板上层叠而成的, 上述晶体基板具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角, 上述结晶性氧化物含有选自铟、铝、以及镓的一种或两种以上的金属。

[0023] 另外, 本发明者们获得上述各种知识以后进一步进行反复研究, 完成了本发明。

[0024] 即, 本发明涉及以下发明。

[0025] **【1】**一种层叠结构体, 其特征在于, 是直接或介由其他层将含有具有刚玉结构的结晶性氧化物作为主要成分的晶体膜在具有刚玉结构的晶体基板上层叠而成的, 所述晶体基板具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角, 所述结晶性氧化物包含选自铟、铝、以及镓中的一种或两种以上的金属。

[0026] **【2】**如**【1】**所述的层叠结构体, 其中, 所述晶体基板的偏离角为 $1^{\circ}\sim 8^{\circ}$ 。

[0027] **【3】**如**【1】**或**【2】**所述的层叠结构体, 其中, 晶体基板为c面、m面、a面或r面的蓝宝石基板。

[0028] **【4】**如**【1】**至**【3】**中任意一项所述的层叠结构体, 其中, 晶体膜的膜厚为 $1\mu\text{m}$ 以上。

[0029] **【5】**如**【1】**至**【4】**中任意一项所述的层叠结构体, 其中, 利用原子力显微镜测定的晶体膜的膜表面的中心线平均粗糙度(Ra)为 10nm 以下, 最大高低差(P-V值)为 100nm 以下。

[0030] **【6】**如**【1】**至**【5】**中任意一项所述的层叠结构体, 其中, 结晶性氧化物是半导体。

[0031] **【7】**如**【6】**所述的层叠结构体, 其中, 晶体膜还含有掺杂剂。

[0032] **【8】**一种层叠结构体的制造方法, 其特征在于, 使原料溶液雾化产生雾, 然后, 向所述雾供给载气, 利用所述载气将所述雾供给给基板, 使所述雾发生热反应, 将由结晶性氧化物构成的晶体膜层叠于所述基板表面的一部分或全部, 所述基板是具有刚玉结构的晶体基板, 所述晶体基板具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角, 所述原料溶液包含选自铟、铝、以及镓的一种或两种以上的金属。

[0033] **【9】**如**【8】**所述的层叠结构体的制造方法, 其中, 使热反应在 $400^{\circ}\text{C}\sim 700^{\circ}\text{C}$ 的温度下进行。

[0034] **【10】**如**【8】**或**【9】**所述的层叠结构体的制造方法, 其中, 所述晶体基板的偏离角为 $2^{\circ}\sim 5^{\circ}$ 。

[0035] **【11】**如**【8】**至**【10】**中任意一项所述的层叠结构体的制造方法, 其中, 晶体基板为c面、m面、a面或r面的蓝宝石基板。

[0036] **【12】**一种半导体装置, 其至少具备**【6】**或**【7】**记载的层叠结构体和电极。

[0037] **【13】**一种晶体膜, 其特征在于, 含有具有刚玉结构的结晶性氧化物作为主要成分, 所述晶体膜具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角, 所述结晶性氧化物包含选自铟、铝、以及镓的一种或两种以上的金属。

- [0038] 【14】如【13】所述的晶体膜,其中,所述晶体膜的偏离角为 $1^{\circ}\sim 8^{\circ}$ 。
- [0039] 【15】如【13】或【14】所述的晶体膜,其中,晶体膜为c面、m面、a面或r面的晶体膜。
- [0040] 【16】如【13】至【15】中任意一项所述的晶体膜,其中,晶体膜的膜厚为 $1\mu\text{m}$ 以上。
- [0041] 【17】如【13】至【16】中任意一项所述的晶体膜,其中,利用原子力显微镜测定的晶体膜的膜表面的中心线平均粗糙度(Ra)为 10nm 以下,最大高低差(P-V值)为 100nm 以下。
- [0042] 【18】如【13】至【17】中任意一项所述的晶体膜,其中,结晶性氧化物是半导体。
- [0043] 【19】如【18】所述的晶体膜,其中,晶体膜还含有掺杂剂。
- [0044] 【20】一种半导体装置,其至少具备【18】或【19】记载的晶体膜和电极。
- [0045] 发明效果
- [0046] 本发明的层叠结构体结晶性优异,上述层叠结构体的半导体装置的迁移率良好,上述晶体膜的结晶性优异。

附图说明

- [0047] 图1是示意性地表示本发明的肖特基势垒二极管(SBD:Schottky Barrier Diode)的适宜的一例的图。
- [0048] 图2是示意性地表示本发明的肖特基势垒二极管(SBD)的适宜的一例的图。
- [0049] 图3是示意性地表示本发明的肖特基势垒二极管(SBD)的适宜的一例的图。
- [0050] 图4是示意性地表示本发明的金属半导体场效应晶体管(MESFET: Metal Epitaxial-Semiconductor Field Effect Transistor)的适宜的一例的图。
- [0051] 图5是示意性地表示本发明的高电子迁移率晶体管(HEMT, High Electron Mobility Transistor)的适宜的一例的图。
- [0052] 图6是示意性地表示本发明的金属氧化膜半导体场效应晶体管(MOSFET, Metal-Oxide-Semiconductor Field-Effect Transistor)的适宜的一例的图。
- [0053] 图7是用于说明图6的金属氧化膜半导体场效应晶体管(MOSFET)的制造工序的一部分的示意图。
- [0054] 图8是示意性地表示本发明的金属氧化膜半导体场效应晶体管(MOSFET)的一例的图。
- [0055] 图9是示意性地表示本发明的静电感应晶体管(SIT, Static Induction Transistor)的适宜的一例的图。
- [0056] 图10是示意性地表示本发明的肖特基势垒二极管(SBD)的适宜的一例的图。
- [0057] 图11是示意性地表示本发明的肖特基势垒二极管(SBD)的适宜的一例的图。
- [0058] 图12是示意性地表示本发明的高电子迁移率晶体管(HEMT)的适宜的一例的图。
- [0059] 图13是示意性地表示本发明的金属氧化膜半导体场效应晶体管(MOSFET)的适宜的一例的图。
- [0060] 图14是示意性地表示本发明的结型场效应晶体管(JFET: Junction Field-Effect Transistor)的适宜的一例的图。
- [0061] 图15是示意性地表示本发明的绝缘栅双极型晶体管(IGBT, Insulated Gate Bipolar Transistor)的适宜的一例的图。
- [0062] 图16是示意性地表示本发明的发光元件(LED)的适宜的一例的图。

- [0063] 图17是示意性地表示本发明的发光元件(LED)的适宜的一例的图。
- [0064] 图18是实施例中使用了雾化CVD装置的结构图。
- [0065] 图19是说明实施例中使用的基座的图。
- [0066] 图20是表示实施例中使用的基座与供给管的截面积的关系的图。
- [0067] 图21表示实施例中的晶体膜的AFM像。
- [0068] 图22表示实施例中的晶体膜的AFM像。
- [0069] 图23表示实施例中的晶体膜的AFM像。

具体实施方式

[0070] 本发明的层叠结构体的特征在于,是直接或介由其他层将含有具有刚玉结构的结晶性氧化物作为主要成分的晶体膜在具有刚玉结构的晶体基板上层叠而成的,上述晶体基板具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角,上述结晶性氧化物包含选自铟、铝、以及镓中的一种或两种以上的金属。

[0071] 上述晶体基板只要具有刚玉结构,并且具有 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角,就没有特别限定。具有刚玉结构的晶体基板只要能够支撑上述晶体膜,并且在基板的全部或一部分中含有刚玉结构就没有特别限定。应予说明,刚玉结构的有无可以通过X射线衍射装置确定。作为上述晶体基板,例如可举出含有具有刚玉结构的晶体作为主要成分的基板等。对于含有具有刚玉结构的晶体作为主要成分的基板,在基板中的组成比中,只要含有50%以上的具有刚玉结构的晶体就没有特别限定,但是在本发明中,优选含有70%以上,更优选含有90%以上。作为以具有刚玉结构的晶体作为主要成分的基板,例如可举出蓝宝石基板(例:c面蓝宝石基板)或 α 型氧化镓基板等。对于上述晶体基板的厚度,本发明中不特别地限定,但是优选 $50\sim 2000\mu\text{m}$,更优选 $200\sim 800\mu\text{m}$ 。

[0072] 在本发明中,优选上述晶体基板为蓝宝石基板(例:c面蓝宝石基板、m面蓝宝石基板、a面蓝宝石基板、r面蓝宝石基板等)或 α 型氧化镓基板。通过使用这样的优选基底基板,上述结晶性半导体膜的杂质碳含量、载流子浓度、以及半宽与使用其他基板的情况相比能够进一步降低。

[0073] 另外,上述晶体基板具有约 $0.2^{\circ}\sim 12.0^{\circ}$ 的偏离角,但是在本发明中优选上述偏离角为约 $1^{\circ}\sim 8^{\circ}$,更优选约 $2^{\circ}\sim 5^{\circ}$ 。通过具有优选的偏离角,使层叠于晶体基板的晶体膜的半导体特性、特别是迁移率变得更优异。应予说明,晶体基板中的“偏离角”是指,基板表面与晶体生长表面所成的角度。

[0074] 在本发明中,能够根据常用方法制造具有偏离角的晶体基板。例如可举出使用研磨等已知方法对晶体基板赋予偏离角等。另外,在本发明中,在对晶体基板赋予偏离角后,也可以进一步实施已知的处理。作为该处理,例如可举出,在研磨后排列微孔或微小突起,然后通过热处理设置多阶梯结构等。

[0075] 在本发明中,直接或介由其他层将含有具有刚玉结构的结晶性氧化物作为主要成分的晶体膜在具有刚玉结构的晶体基板上层叠。上述晶体膜只要含有具有刚玉结构的结晶性氧化物作为主要成分就没有特别限定,但是优选通过外延生长而形成的外延片。在本发明中,上述结晶性氧化物含有选自铟、铝、以及镓的一种或两种以上的金属作为主要成分,优选至少含有铟或/和镓作为主要成分,最优选至少含有镓作为主要成分。应予说明,在本

发明中，“主要成分”是指，上述具有刚玉结构的结晶性氧化物以原子比计相对于上述晶体膜的全成分优选含有50%以上，更优选含有70%以上，进一步优选含有90%以上，也可以是100%。另外，上述晶体膜是在上述晶体基板上通过外延生长形成的，因此，具有约 0.2° ~ 12.0° 的偏离角，但是，在本发明中，优选上述偏离角为约 1° ~ 8° ，更优选为约 2° ~ 5° 。通过具有优选的偏离角，晶体膜的半导体特性、特别是迁移率变得更优异。应予说明，晶体膜中的“偏离角”是指，晶体膜表面与晶体生长表面所成的角度。

[0076] 另外，在本发明中，优选上述结晶性氧化物为半导体，更优选上述晶体膜进一步含有掺杂剂。在上述结晶性氧化物是半导体的情况下，半导体特性、特别是迁移率优异。应予说明，上述结晶性氧化物也可以不是半导体，但是在本发明中，即使在上述结晶性氧化物不是半导体的情况下，上述晶体膜也可以进一步含有掺杂剂，通过掺杂可改变吸收波长或成为光学晶体。

[0077] 作为上述半导体，例如可举出含有选自铟、铝、以及镓的一种或两种以上的金属作为主要成分的结晶性氧化物半导体等，在本发明中，优选至少含有铟或/和镓作为主要的具有刚玉结构的结晶性氧化物半导体，更优选至少含有镓作为主要成分的具有刚玉结构的结晶性氧化物半导体。应予说明，在本发明中，优选包含于上述晶体膜的金属元素中的镓、铟、以及铝的总原子比为0.5以上，更优选为0.8以上。另外，对于上述结晶性氧化物半导体含有镓时的优选组成，优选包含于上述晶体膜的金属元素中的镓的原子比为0.5以上，更优选为0.8以上。

[0078] 作为上述掺杂剂，例如可举出锡、锗、硅、钛、锆、钒或铌等n型掺杂剂或者p型掺杂剂等。掺杂剂的浓度通常可以是约 $1 \times 10^{16}/\text{cm}^3$ ~ $1 \times 10^{22}/\text{cm}^3$ ，另外，通过使掺杂剂的浓度为例如约 $1 \times 10^{17}/\text{cm}^3$ 以下的低浓度，例如在n型掺杂剂的情况下可形成n-型半导体等。另外，根据本发明，通过以约 $1 \times 10^{20}/\text{cm}^3$ 以上的高浓度含有掺杂剂，例如在n型掺杂剂的情况下也可以形成n+型半导体等。在本发明中，n型掺杂剂优选为锡、锗、硅、钛、锆、钒或铌，更优选为锡、锗或硅。在形成n-型半导体层的情况下，优选使上述晶体膜中的n型掺杂剂的浓度为约 1×10^{13} ~ $5 \times 10^{17}/\text{cm}^3$ ，更优选为约 1×10^{15} ~ $1 \times 10^{17}/\text{cm}^3$ 。另外，在形成n+型半导体层的情况下，优选使上述晶体膜中的n型掺杂剂的浓度为约 $1 \times 10^{17}/\text{cm}^3$ 以上的浓度，更优选为约 $3 \times 10^{17}/\text{cm}^3$ ~ $3 \times 10^{19}/\text{cm}^3$ 。如上所述，通过使掺杂剂包含在上述晶体膜中，能够形成电气特性优异的晶体膜。

[0079] 上述晶体膜可以在晶体基板上直接形成，也可以介由其他层形成。作为其他层，可举出其他组成的刚玉结构晶体薄膜、刚玉结构以外的晶体薄膜、或非晶体薄膜等。作为结构，可以是单层结构，也可以是多层结构。另外，也可以在同一层内混合有2相以上的晶相。在多层结构的情况下，晶体膜例如由绝缘性薄膜和导电性薄膜层叠构成，但是在本发明中不限于此。应予说明，在层叠绝缘性薄膜和导电性薄膜而构成多层结构的情况下，绝缘性薄膜与导电性薄膜的组成可以相同也可以不同。不特别地限定绝缘性薄膜与导电性薄膜的厚度比，但是优选例如(导电性薄膜的厚度)/(绝缘性薄膜的厚度)的比为0.001~100，更优选为0.1~5。具体而言，该更优选的比例如为0.1、0.2、0.3、0.4、0.5、0.6、0.7、0.8、0.9、1、1.1、1.2、1.3、1.4、1.5、1.6、1.7、1.8、1.9、2、3、4、5，也可以在这些数值中的任意两个数值之间的范围内。

[0080] 在本发明中，能够通过雾化·外延法(mist epitaxy method)，直接或介由其他层

在上述晶体基板上层叠上述晶体膜。

[0081] 上述雾化·外延法只要是包括下述工序的成膜方法就没有特别限定：工序(1)，将原料溶液雾化而产生雾；工序(2)，接着，对上述雾供给载气，利用上述载气将上述雾传递给晶体基板；工序(3)，使上述雾热反应，将由结晶性氧化物构成的晶体膜层叠于上述基板表面的一部分或全部。作为上述雾化·外延法，更具体地例如可举出雾化CVD法等。

[0082] 在上述工序(1)中，将原料溶液雾化产生雾。在工序(1)中可以使用将原料溶液雾化产生雾的雾产生器。对于上述雾产生器，只要能够将原料溶液雾化产生雾就没有特别限定，可以是公知的雾产生器，但是在本发明中优选通过超声波将原料雾化产生雾。应予说明，对于原料溶液，将在后面说明。

[0083] 在上述工序(2)中，对上述雾供给载气，通过上述载气将上述雾传递给晶体基板。对于上述载气，只要是能够将使原料溶液雾化所产生的雾传递到晶体基板上的气状物就没有特别限定。作为上述载气，没有特别限定，例如可举出氧气、氮气或氩气等非活性气体、合成气体或氢气等还原气体等。

[0084] 在上述工序(3)中，使上述雾热反应，使晶体膜层叠于上述基板表面的一部分或全部。在工序(3)中，可优选使用可通过载气将雾传递给上述晶体基板而在供给管内成膜的管状炉。反应温度只要是上述原料溶液发生热反应的温度就没有特别限定，但是在本发明中优选以400℃~700℃的温度进行热反应，更优选以500℃~700℃的温度进行。

[0085] 在本发明中，工序(3)中，在供给管内成膜的情况下，作为上述基座，优选使用例如图19或图20中示出的基座。

[0086] 图19表示基座的一实施方式。图19所示的基座51具有雾化加速部52、基板保持部53、以及支持部54。支持部54为棒状，构成为在中段改变角度而使支持部54与供给管55的接触角为约90°。通过这样的结构，基座51的稳定性提高，但是在本发明中，支持部54的形状没有特别限定，能够适当地使用各种形状。

[0087] 图19(a)表示从雾的上流朝向下流方向到晶体基板为止的供给管内的剖面，可知供给管的基板侧表面的外周形状是大致半圆形，沿着上述供给管的内周大致相同的形状。图19(b)表示以雾的上流为左、下流为右时的、供给管、晶体基板以及基座的剖面。雾在其性质上在供给管中容易沉降，但是基座101构成为将雾化加速部102倾斜设置而能够使沉降的雾加速上升传递给晶体基板103。

[0088] 图20将供给管55内的图19所示的基座和晶体基板的区域表示为基板·基座区域61，将排出未反应的雾的区域表示为排出区域62，可知基座与晶体基板的总面积和排出区域的面积之间的关系。在本发明中，如图20所示，在被分为上述基座所占的基座区域、上述基板区域、以及排出未反应的雾的排出区域的上述供给管内的剖面中，优选上述基座区域与上述晶体基板的总面积比上述排出区域的面积大。通过使用这样的优选的基座，能够在晶体基板上加速雾化，得到更均匀更厚的晶体膜。

[0089] 应予说明，在本发明中，上述晶体膜形成时可使用掺杂剂进行掺杂处理。另外，在本发明中，优选在上述原料溶液含有异常晶粒抑制剂来进行掺杂处理。通过使上述原料溶液中含有异常晶粒抑制剂来进行掺杂处理，能够得到表面平滑性优异的晶体膜。只要不妨碍本发明的目的，不特别地限定掺杂量，在原料中，以摩尔比计优选为0.01~10%，更优选为0.1~5%。

[0090] 上述异常晶粒抑制剂具有在成膜过程中抑制副产物颗粒产生的效果,只要能够使晶体膜的表面粗糙度(Ra)为例如0.1 μm 以下就没有特别限定,但是在本发明中,优选为由选自Br、I、F、以及Cl的至少一种构成的异常晶粒抑制剂。为了稳定地进行膜形成,若将Br或I作为异常晶粒抑制剂导入膜中,则能够抑制因异常晶粒生长而导致的表面粗糙度的劣化。异常晶粒抑制剂的添加量只要能够抑制异常晶粒就没有特别限定,在原料溶液中,以体积比计优选为50%以下,更优选为30%以下,最优选在1~30%的范围内。通过在这样的优选范围内使用异常晶粒抑制剂,能够使其作为异常晶粒抑制剂发挥功能,因此能够抑制晶体膜的异常晶粒的生长而使表面光滑。

[0091] 对于晶体膜的形成方法,只要不妨碍本发明的目的就没有特别限定,例如可将镓化合物及根据需要选择的铟化合物或铝化合物等根据晶体膜的组成混合,使混合而成的原料反应来形成。即,上述原料溶液包含选自铟、铝、以及镓的一种或两种以上的金属。由此,能够使晶体膜在晶体基板上从基板侧结晶生长。作为镓化合物,可以将镓金属作为起始原料在马上成膜前使其变化为镓化合物。作为镓化合物,例如可举出镓的有机金属络合物(例如乙酰丙酮络合物等)或卤化物(例:氟化、氯化、溴化或碘化物等)等,但是在本发明中,优选使用卤化物(例:氟化、氯化、溴化或碘化物等)。通过在原料化合物中使用卤化物用雾化CVD成膜,能够使上述晶体膜中实质上不含碳。

[0092] 更具体而言,晶体膜可通过如下方式形成:将由溶解有原料化合物的原料溶液生成的原料微粒供给到成膜室,使用上述基座,使上述原料化合物在上述成膜室内发生热反应。原料溶液的溶剂没有特别限定,优选水、过氧化氢溶液或有机溶剂。在本发明中,通常在掺杂剂原料的存在下使上述原料化合物反应。应予说明,优选掺杂剂原料包含在原料溶液中,与原料化合物一起或分别雾化。包含于上述晶体膜中的碳比掺杂剂少,优选上述晶体膜中实质上能够不含碳。应予说明,优选本发明的晶体膜包含卤素(优选为Br)可发挥良好的半导体特性,因而优选。作为掺杂剂原料,例如可举出、锡、锗、硅、钛、锆、钒或铌的金属单质或化合物(例如卤化物、氧化物等)等。

[0093] 通过上述的方式成膜,能够工业上有利地得到结晶性优异的晶体膜。另外,通过上述优选的方法在晶体基板上形成晶体膜,能够使使用原子力显微镜测定的晶体膜的膜表面的中心线平均粗糙度(Ra)为10nm以下,最大高低差(P-V值)为100nm以下。应予说明,在本发明中,通过适当调整成膜时间,能够不损害结晶性地使膜厚为1 μm 以上、优选为3 μm 以上。

[0094] 在本发明中,可以在成膜后进行退火处理。不特别地限定退火处理的温度,但是优选为700 $^{\circ}\text{C}$ 以下,更优选为300 $^{\circ}\text{C}$ ~700 $^{\circ}\text{C}$,最优选为300 $^{\circ}\text{C}$ ~550 $^{\circ}\text{C}$ 。通过以这样的优选温度进行退火处理,能够更适宜地调节上述晶体膜的载流子浓度。对于退火处理的处理时间,只要不妨碍本发明的目的就没有特别限定,但是优选为10秒~10小时,更优选为10秒~1小时。

[0095] 对于上述层叠结构体,在上述结晶性氧化物为半导体的情况下,能够将上述层叠结构体直接用于半导体装置或根据需要对上述层叠结构体进一步实施加工等处理后用于半导体装置。另外,在用于半导体装置的情况下,可以直接用于半导体装置,也可以进一步形成其他层(例如绝缘体层、半绝缘体层、导体层、半导体层、缓冲层或其他中间层等)等。

[0096] 本发明的层叠结构体对各种半导体装置有用,尤其对电力设备有用。另外,半导体

装置可分类为电极在半导体层的一面形成的横向的元件(横向器件)、以及在半导体层的表背面两侧分别具有电极的垂直的元件(垂直器件),在本发明中,横向器件和垂直器件均可适用上述层叠结构体。作为上述半导体装置,例如可举出肖特基势垒二极管(SBD)、金属半导体场效应晶体管(MESFET)、高电子迁移率晶体管(HEMT)、金属氧化膜半导体场效应晶体管(MOSFET)、静电感应晶体管(SIT)、结型场效应晶体管(JFET)、绝缘栅双极型晶体管(IGBT)或发光二极管等。在本发明中,优选上述半导体装置为SBD、MOSFET、SIT、JFET或IGBT,更优选为SBD、MOSFET或SIT。另外,在本发明中,上述半导体装置也可以不含p型半导体层。

[0097] 以下,用附图对将上述半导体结构的结晶性半导体膜适用于n型半导体层(n+型半导体或n-型半导体等)的情况的合适的例子进行说明,但是本发明不限于这些例子。应予说明,在以下例示的半导体装置中,只要不妨碍本发明的目的,也可以含有其他层(例如绝缘体层、半绝缘体层、导体层、半导体层、缓冲层或其他中间层等)等,另外,也可以适当地省略缓冲层(buffer层)等。

[0098] (SBD)

[0099] 图1示出了本发明涉及的肖特基势垒二极管(SBD)的一例。图1的SBD包括n-型半导体层101a、n+型半导体层101b、肖特基电极105a、以及欧姆电极105b。

[0100] 肖特基电极和欧姆电极的材料也可以是公知的电极材料,作为上述电极材料,例如可举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或者Ag等金属或它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化锌(IZO)等金属氧化物导电膜、聚苯胺、聚噻吩或聚吡咯等有机导电性化合物、或它们的混合物等。

[0101] 肖特基电极和欧姆电极的形成可以通过例如真空蒸镀法或溅射法等公知方法进行。更具体而言,例如,在形成肖特基电极的情况下可通过如下方式进行:使由Mo构成的层和由Al构成的层层叠,对由Mo构成的层和由Al构成的层实施利用了光刻技术的图案化。

[0102] 在对图1的SBD外加反向偏压的情况下,耗尽层(未图示)扩展到n-型半导体层101a中,因而成为高耐压的SBD。另外,在外加正向偏压的情况下,电子从欧姆电极105b流向肖特基电极105a。这样使用了上述半导体结构的SBD在高耐压·高电流用途方面优异,切换速度快、耐压性·可靠性也优异。

[0103] 图2示出了本发明的肖特基势垒二极管(SBD)的一例。图2的SBD包括图1的SBD的结构,还包括绝缘体层104。更具体而言,包括n-型半导体层101a、n+型半导体层101b、肖特基电极105a、欧姆电极105b、以及绝缘体层104。

[0104] 作为绝缘体层104的材料,例如可举出GaO、AlGaO、InAlGaO、AlInZnGaO₄、AlN、Hf₂O₃、SiN、SiON、Al₂O₃、MgO、GdO、SiO₂或者Si₃N₄等,但是在本发明中,优选具有刚玉结构的材料。通过将具有刚玉结构的绝缘体用于绝缘体层,能够使界面中的半导体特性的功能良好地表现。绝缘体层104设于n-型半导体层101和肖特基电极105a之间。绝缘体层的形成可以通过例如溅射法、真空蒸镀法或CVD法等公知方法进行。

[0105] 对于肖特基电极或欧姆电极的形成或材料等,与上述图1的SBD的情况相同,例如使用溅射法、真空蒸镀法、压接法、CVD法等公知方法,能够形成例如由Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等金属或它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化锌铟(IZO)等金属氧化物导电膜、聚苯胺、聚噻吩

或聚吡咯等有机导电性化合物、或者它们的混合物等构成的电极。

[0106] 与图1的SBD相比,图2的SBD绝缘特性更优异,具有更高的电流控制性。

[0107] 图3的SBD示出了本发明的肖特基势垒二极管(SBD)的一例。图3的SBD在具有槽结构、具备半绝缘体层103这一点上与图1或图2的SBD的结构有很大的不同。图3的SBD包括n-型半导体层101a、n+型半导体层101b、肖特基电极105a、欧姆电极105b、以及半绝缘体层103,能够在保持耐压性的状态下大幅降低漏电流,还能够实现显著的低导通电阻化。

[0108] 半绝缘体层103可以由半绝缘体构成,作为上述半绝缘体,例如可举出含有镁(Mg)、钌(Ru)、铁(Fe)、铍(Be)、铯(Cs)、镧、钡等半绝缘体掺杂剂的半绝缘体或者未进行掺杂处理的半绝缘体等。

[0109] (MESFET)

[0110] 图4表示本发明的金属半导体场效应晶体管(MESFET)的一例。图4的MESFET包括n-型半导体层111a、n+型半导体层111b、缓冲层(buffer层)118、半绝缘体层114、栅极115a、源极115b、以及漏极115c。

[0111] 栅极、漏极、以及源极的材料也可以分别为公知的电极材料,作为上述电极材料,例如可举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等金属或者它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟锡(IZO)等金属氧化物导电膜、聚苯胺、聚噻吩或聚吡咯等有机导电性化合物、或者它们的混合物等。栅极、漏极、以及源极的形成可以通过例如真空蒸镀法或溅射法等公知方法。

[0112] 半绝缘体层114可以由半绝缘体构成,作为上述半绝缘体,例如可举出含有例如镁(Mg)、钌(Ru)、铁(Fe)、铍(Be)、铯(Cs)、镧、钡等半绝缘体掺杂剂的半绝缘体或未进行掺杂处理的半绝缘体等。

[0113] 图4的MESFET中,由于在栅极下形成有良好的耗尽层,因此能够高效地控制从漏极流向源极的电流。

[0114] (HEMT)

[0115] 图5表示本发明的光电子迁移率晶体管(HEMT)的一例。图5的HEMT包括带隙宽的n型半导体层121a、带隙窄的n型半导体层121b、n+型半导体层121c、半绝缘体层124、缓冲层128、栅极125a、源极125b、以及漏极125c。

[0116] 栅极、漏极、以及源极的材料也可以分别为公知的电极材料,作为上述电极材料,例如可举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等金属或者它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟锡(IZO)等金属氧化物导电膜、聚苯胺、聚噻吩或聚吡咯等有机导电性化合物、或者它们的混合物等。栅极、漏极、以及源极的形成可以通过例如真空蒸镀法或溅射法等公知方法。

[0117] 应予说明,栅极下的n型半导体层至少由带隙宽的层121a和带隙窄的层121b构成,半绝缘体层124可以由半绝缘体构成,作为上述半绝缘体,例如可举出含有钌(Ru)或铁(Fe)等半绝缘体掺杂剂的半绝缘体或未进行掺杂处理的半绝缘体等。

[0118] 图5的HEMT中,由于在栅极下形成有良好的耗尽层,因此能够高效地控制从漏极流向源极的电流。另外,在本发明中,通过进一步形成凹槽结构可实现常闭。

[0119] (MOSFET)

[0120] 将本发明的半导体装置为MOSFET的情况的一例示于图6。图6的MOSFET为槽式的

MOSFET,包括n-型半导体层131a、n+型半导体层131b及131c、栅绝缘膜134、栅极135a、源极135b、以及漏极135c。

[0121] 在漏极135c上形成有例如厚度100nm~100 μ m的n+型半导体层131b,在上述n+型半导体层131b上形成有例如厚度100nm~100 μ m的n-型半导体层131a。并且还在上述n-型半导体层131a上形成有n+型半导体层131c,在上述n+型半导体层131c上形成有源极135b。

[0122] 另外,在上述n-型半导体层131a和上述n+型半导体层131c内形成有贯穿上述n+型半导体层131c、到达上述n-型半导体层131a中途的深度的多个沟槽。在上述沟槽内例如介由10nm~1 μ m的厚度的栅绝缘膜134嵌入形成有栅极135a。

[0123] 对于图6的MOSFET的开启状态,在上述源极135b与上述漏极135c之间施加电压,若对上述栅极135a施加相对于上述源极135b为正的电压,则在上述n-型半导体层131a的侧面形成通道层,电子被注入上述n-型半导体层131a,从而开启。对于关闭状态,通过使上述栅极的电压为0V,通道层无法形成,n-型半导体层131a为被耗尽层充满的状态,从而关闭。

[0124] 图7表示图6的MOSFET的制造工序的一部分。例如使用如图7(a)所示的半导体结构,在n-型半导体层131a和n+型半导体层131c的规定区域设置蚀刻掩模,以上述蚀刻掩模为掩盖,进一步地通过反应性离子蚀刻法等进行各向异性刻蚀,如图7(b)所示,形成从上述n+型半导体层131c表面到上述n-型半导体层131a的中途的深度的沟槽。接下来,如图7(c)所示,使用热氧化法、真空蒸镀法、溅射法、CVD法等公知方法,在上述沟槽的侧面和底面形成例如50nm~1 μ m厚的栅绝缘膜134之后,使用CVD法、真空蒸镀法、溅射法等在上述沟槽中形成n-型半导体层131a的厚度以下的例如多晶硅等栅极材料。

[0125] 并且,能够通过使用真空蒸镀法、溅射法、CVD法等公知方法,分别在n+型半导体层131c上形成源极135b,在n+型半导体层131b上形成漏极135c,制造功率MOSFET。应予说明,源极和漏极的电极材料也可以分别是公知的电极材料,作为上述电极材料,例如可举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等金属或者它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟锌(IZO)等金属氧化物导电膜、聚苯胺、聚噻吩或聚吡咯等有机导电性化合物、或者它们的混合物等。

[0126] 这样得到的MOSFET与现有的槽式MOSFET相比耐压性更优异。应予说明,在图6中示出了槽式的垂直MOSFET的例子,但是在本发明中不限于此,可以适用各种MOSFET的形式。例如也可以将图6的沟槽的深度钻取到n-型半导体层131a的底面为止的深度,以使串联电阻降低。应予说明,将横向的MOSFET的情况的一例示于图8。图8的MOSFET包括n-型半导体层131a、第一n+型半导体层131b、第二n+型半导体层131c、栅绝缘膜134、栅极135a、源极135b、漏极135c、缓冲层138、以及半绝缘体层139。如图8所示,通过将n+型半导体层嵌入n-型半导体层,与其他横型的MOSFET相比,能够使电流更好地流通。

[0127] (SIT)

[0128] 图9表示本发明的半导体装置为SIT的情况的一例。图9的SIT包括n-型半导体层141a、n+型半导体层141b及141c、栅极145a、源极145b、以及漏极145c。

[0129] 在漏极145c上形成例如厚度100nm~100 μ m的n+型半导体层141b,在上述n+型半导体层141b上形成例如厚度100nm~100 μ m的n-型半导体层141a。然后进一步在上述n-型半导体层141a上形成n+型半导体层141c,在上述n+型半导体层141c上形成源极145b。

[0130] 另外,在上述n-型半导体层141a内形成有贯穿上述n+型半导体层141c、到达上述n-

半导体层141a中途的深度的多个沟槽。在上述沟槽内的n-型半导体层上形成有栅极145a。

[0131] 对于图9的SIT的开启状态,在上述源极145b与上述漏极145c之间施加电压,若对上述栅极145a施加相对于上述源极145b为正的电压,则在上述n-型半导体层141a内形成通道层,电子被注入上述n-型半导体层141a,从而开启。对于关闭状态,通过使上述栅极的电压为0V,通道层无法形成,n-型半导体层141a为被耗尽层填满的状态,从而关闭。

[0132] 如图9所示的SIT的制造中,能够使用公知方法。例如使用如图7(a)所示的半导体结构,与上述的图7的MOSFET的制造工序同样地,在n-型半导体层141a和n+型半导体层141c的规定区域设置蚀刻掩模,以上述蚀刻掩模为掩盖,通过例如反应性离子蚀刻法等进行各向异性刻蚀,形成从上述n+型半导体层141c表面到上述n-型半导体层的中途的深度的沟槽。接下来,通过CVD法、真空蒸镀法、溅射法等在上述沟槽中形成n-型半导体层141a的厚度以下的例如多晶硅等的栅极材料。并且可通过使用真空蒸镀法、溅射法、CVD法等公知方法,分别在n+型半导体层141c上形成源极145b,在n+型半导体层141b上形成漏极145c,制造如图9所示的SIT。

[0133] 应予说明,源极和漏极的电极材料可以分别为公知的电极材料,作为上述电极材料,例如可举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等金属或者它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟(ZnO)等金属氧化物导电膜、聚苯胺、聚噻吩或聚吡咯等有机导电性化合物、或者它们的混合物等。

[0134] 上述例中示出了不使用p型半导体的例子,但是本发明中不限于此,也可以使用p型半导体。将使用了p型半导体的例子示于图10~图16。这些半导体装置能够与上述例同样地制造。应予说明,p型半导体可以为与n型半导体相同的材料、含有p型掺杂剂,也可以为不同的p型半导体。

[0135] 图10表示包括n-型半导体层101a、n+型半导体层101b、p型半导体层102、绝缘体层104、肖特基电极105a、以及欧姆电极105b的肖特基势垒二极管(SBD)的适宜的一例。

[0136] 图11表示包括n-型半导体层101a、n+型半导体层101b、p型半导体层102、肖特基电极105a、以及欧姆电极105b的槽式的肖特基势垒二极管(SBD)的适宜的一例。通过槽式的SBD,能够在保持耐压性的状态下大幅降低漏电流,可以实现显著的低导通电阻化。

[0137] 图12表示包括带隙宽的n型半导体层121a、带隙窄的n型半导体层121b、n+型半导体层121c、p型半导体层123、栅极125a、源极125b、漏极125c、以及基板129的高电子迁移率晶体管(HEMT)的适宜的一例。

[0138] 图13表示包括n-型半导体层131a、第一n+型半导体层131b、第二n+型半导体层131c、p型半导体层132、p+型半导体层132a、栅绝缘膜134、栅极135a、源极135b、以及漏极135c的金属氧化膜半导体场效应晶体管(MOSFET)的适宜的一例。应予说明,p+型半导体层132a可以是p型半导体层,也可以与p型半导体层132相同。

[0139] 图14表示包括n-型半导体层141a、第一n+型半导体层141b、第二n+型半导体层141c、p型半导体层142、栅极145a、源极145b、以及漏极145c的结型场效应晶体管(JFET)的适宜的一例。

[0140] 图15表示包括n型半导体层151、n-型半导体层151a、n+型半导体层151b、p型半导体层152、栅绝缘膜154、栅极155a、发射电极155b、以及集电极155c的绝缘栅双极型晶体管(IGBT)的适宜的一例。

[0141] (LED)

[0142] 将本发明的半导体装置为发光二极管(LED)的情况的一例示于图16。图16的半导体发光元件在第二电极165b上具有n型半导体层161,发光层163层叠于n型半导体层161上。并且,p型半导体层162层叠于发光层163上。在p型半导体层162上具备使发光层163产生的光透过的透光性电极167,第一电极165a层叠于透光性电极167上。应予说明,图16的半导体发光元件可以除了电极部分以外由保护层覆盖。

[0143] 作为透光性电极的材料,可举出含有铟(In)或钛(Ti)的氧化物的导电性材料等。更具体而言,例如可举出 In_2O_3 、 ZnO 、 SnO_2 、 Ga_2O_3 、 TiO_2 、 CeO_2 或它们的2种以上的混晶或在它们中进行掺杂而成的材料等。通过以溅射等公知方法设置这些材料,可形成透光性电极。另外,在形成透光性电极之后,可以实施以透光性电极的透明化为目的的热退火。

[0144] 对于图16的半导体发光元件,使第一电极165a为正极、第二电极165b为负极,介由两者使电流在p型半导体层162、发光层163、以及n型半导体层161中流通,从而发光层163发光。

[0145] 作为第一电极165a和第二电极165b的材料,例如可举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等金属或者它们的合金、氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟锡(IZO)等金属氧化物导电膜、聚苯胺、聚噻吩或聚吡咯等有机导电性化合物、或者它们的混合物等。不特别地限定电极的形成方法,可考虑与上述材料的适应性,根据适当选自印刷方式、喷雾法、涂装法等湿法、真空蒸镀法、溅射法、离子镀-电镀法等物理方式、CVD、等离子CVD法等化学方式等中的方法在上述基板上形成。

[0146] 应予说明,将发光元件的其他实施方式示于图17。对于图17的发光元件,n型半导体层161在基板169上层叠,在切去p型半导体层162、发光层163、以及n型半导体层161的一部分而露出的n型半导体层161的半导体层露出面上的一部分层叠有第二电极165b。

[0147] 实施例

[0148] 以下,说明本发明的实施例。

[0149] <实施例1>

[0150] 1. 成膜装置

[0151] 使用图18对本实施例中使用的雾化CVD装置19进行说明。雾化CVD装置19包括搭载基板20的基座21、供给载气的载气供给单元22、用于调节从载气供给单元22传送的载气的流量的流量调节阀23、收纳原料溶液24a的雾产生源24、容纳水25a容器25、安装在容器25的底面的超声波振动器26、由内径40mm的石英管构成的供给管27、以及设置于供给管27的周边部的加热器28。基座21由石英构成,搭载基板20的面从水平面倾斜。供给管27和基座21都由石英制造,抑制来源于装置的杂质混入在基板20上形成的膜内。

[0152] 应予说明,使用如图19所示的基座51作为基座21。应予说明,构成为:使基座的倾斜角为 45° ,使供给管内的基板·基座的总面积如图19所示的那样,基座区域逐渐增大,排出区域逐渐变窄,如图20所示的那样,使基座区域比排出区域大。

[0153] 2. 原料溶液与晶体基板的调整

[0154] 对溴化镓和氧化锆以锆与镓的原子比为1:0.05的方式调整水溶液。这时,以体积比10%含有48%溴化氢酸溶液。条件1中,氧化锆的浓度为 $5.0 \times 10^{-3} \text{mol/L}$ 。将该原料溶液24a收纳在雾产生源24内。另外,使用具有 0.2° 的偏离角的c面蓝宝石基板(1边为10mm的正

方形、厚度为600 μm)作为晶体基板20。

[0155] 3.成膜准备

[0156] 将晶体基板20设置在基座21上,使加热器28工作而使供给管27内的温度升温至500 $^{\circ}\text{C}$ 。接着,打开流量调节阀23将载气从载气源22供给到供给管27内,在用载气充分置换供给管27内的气氛后,将载气的流量调节至5L/min。使用氧气作为载气。

[0157] 4.膜形成

[0158] 接下来,使超声波振动器26以2.4MHz振动,将该振动通过水25a传播给原料溶液24a,使原料溶液24a微粒化,生成原料微粒。

[0159] 通过载气将该原料微粒导入供给管27内,在供给管27内反应,通过在晶体基板20的成膜面的CVD反应在晶体基板20上层叠膜,得到层叠结构体。

[0160] 5.评价

[0161] 得到的晶体膜为无白浊的清澈的晶体。另外,对得到的晶体膜的相进行鉴定。鉴定通过使用XRD衍射装置,以从15度到95度的角度进行 $2\theta/\omega$ 扫描来进行。测定使用CuK α 射线来进行。其结果,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,得到的结晶性半导体膜的膜厚为3.5 μm 。

[0162] 作为得到的膜的电气特性的评价,通过范德堡法(van der pauw法)进行霍尔效应测定。作为测定环境,在室温下施加磁场的频率为50mHz。其结果,迁移率为2($\text{cm}^2/\text{V}\cdot\text{s}$)。

[0163] <实施例2>

[0164] 使用具有0.6 $^{\circ}$ 的偏离角的c面蓝宝石基板作为晶体基板,除此以外,与实施例1同样地得到层叠结构体。

[0165] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率为2($\text{cm}^2/\text{V}\cdot\text{s}$)。

[0166] <实施例3>

[0167] 使用具有1 $^{\circ}$ 的偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为600 $^{\circ}\text{C}$,除此以外,与实施例1同样地得到层叠结构体。

[0168] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地,对得到的晶体膜的相实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率为2($\text{cm}^2/\text{V}\cdot\text{s}$)。

[0169] <实施例4>

[0170] 使用具有2 $^{\circ}$ 的偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为600 $^{\circ}\text{C}$,除此以外,与实施例1同样地得到层叠结构体。

[0171] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率为4($\text{cm}^2/\text{V}\cdot\text{s}$)。

[0172] <实施例5>

[0173] 使用具有4 $^{\circ}$ 的偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为600 $^{\circ}\text{C}$,除此以外,与实施例1同样地得到层叠结构体。

[0174] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,实施例1同样地进行霍尔效应测定,迁移率为12

($\text{cm}^2/\text{V} \cdot \text{s}$)。

[0175] <实施例6>

[0176] 使用具有 5° 的偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为 600°C ,除此以外,与实施例1同样地得到层叠结构体。

[0177] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率为 $4(\text{cm}^2/\text{V} \cdot \text{s})$ 。

[0178] <实施例7>

[0179] 使用具有 6° 的偏离角的c面蓝宝石基板作为晶体基板,除此以外,与实施例1同样地得到层叠结构体。

[0180] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率为 $4(\text{cm}^2/\text{V} \cdot \text{s})$ 。

[0181] <比较例1>

[0182] 使用不具有偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为 600°C ,除此以外,与实施例1同样地得到层叠结构体。

[0183] 得到的晶体膜观察到一部分发生白浊。但是,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率无法测定。

[0184] <比较例2>

[0185] 使用具有 16° 的偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为 600°C ,除此以外,与实施例1同样地得到层叠结构体。

[0186] 得到的晶体膜发生白浊。但是,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,实施例1同样地进行霍尔效应测定,迁移率无法测定。

[0187] <比较例3>

[0188] 使成膜温度为 500°C ,除此以外,与实施例2同样地得到层叠结构体。

[0189] 得到的晶体膜发生白浊。但是,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率无法测定。

[0190] <比较例4>

[0191] 使用具有 20° 的偏离角的c面蓝宝石基板作为晶体基板,并使成膜温度为 600°C ,除此以外,与实施例1同样地得到层叠结构体。

[0192] 得到的晶体膜发生白浊。但是,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率无法测定。

[0193] <比较例5>

[0194] 使成膜温度为 500°C ,除此以外,与实施例4同样地得到层叠结构体。

[0195] 得到的晶体膜发生白浊。但是,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,与实施例1同样地进行霍尔效应测定,迁移率无法测定。

[0196] <实施例8>

[0197] 与实施例5同样地得到层叠结构体。对得到的晶体膜,使用AFM观察其表面。观察结

果作为AFM像示于图21。应予说明,中心线平均粗糙度为 $1.125 \times 10^{-1} \text{nm}$,最大高低差(PV值)为 $8.118 \times 10^{-1} \text{nm}$ 。另外,与上述同样地再次制造层叠结构体,使用AFM测定晶体膜表面的Ra和PV值。其结果,中心线平均粗糙度为 $1.042 \times 10^{-1} \text{nm}$,最大高低差(PV值)为 1.050nm 。根据这些结果可知,本发明的晶体膜的表面平滑性优异。

[0198] <实施例9>

[0199] 使用乙酰丙酮镓(0.05mol/L)代替溴化镓,按锡与镓的原子比为1:0.001使用二水氯化亚锡代替氧化锗,以体积比1.5%使用36%盐酸代替48%溴化氢酸溶液,使用氮气(1.0L/分)作为第一载气、氮气(0.5L/分)作为第二载气,代替作为载气的氧气,使成膜温度为 500°C 并且使成膜时间为3小时,除此以外,与实施例5同样地得到层叠结构体。对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。另外,实施例1同样地,进行霍尔效应测定,迁移率为 $24 (\text{cm}^2/\text{V} \cdot \text{s})$ 。

[0200] <实施例10>

[0201] 使用具有 0.4° 的偏离角的m面蓝宝石基板作为晶体基板,除此以外,与实施例1同样地得到层叠结构体。得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。

[0202] <比较例6>

[0203] 使用不具有偏离角的偏离角的m面蓝宝石基板作为晶体基板,除此以外,与实施例10同样地得到层叠结构体。得到的晶体膜发生白浊。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。

[0204] <实施例11>

[0205] 使用具有 0.4° 的偏离角的a面蓝宝石基板作为晶体基板,除此以外,与实施例1同样地得到层叠结构体。得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。

[0206] <比较例7>

[0207] 使用不具有偏离角的偏离角的a面蓝宝石基板作为晶体基板,除此以外,与实施例10同样地得到层叠结构体。得到的晶体膜发生白浊。另外,与实施例1同样地,对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。

[0208] <实施例12>

[0209] 使用具有 0.4° 的偏离角的r面蓝宝石基板作为晶体基板,除此以外,与实施例1同样地得到层叠结构体。得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。

[0210] <比较例8>

[0211] 使用不具有偏离角的r面蓝宝石基板作为晶体基板,除此以外,与实施例10同样地得到层叠结构体。得到的晶体膜发生白浊。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 $\alpha\text{-Ga}_2\text{O}_3$ 。

[0212] <实施例13>

[0213] 使用具有 8° 的偏离角的c面蓝宝石基板作为晶体基板,使成膜温度为 580°C ,成膜时间为130分,除此以外,与实施例1同样地得到层叠结构体。

[0214] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的

相实施鉴定,得到的膜为 α -Ga₂O₃。另外,对得到的晶体膜的表面进行AFM测定。将结果示于图22。

[0215] <实施例14>

[0216] 使用具有12°的偏离角的c面蓝宝石基板作为晶体基板,使成膜温度为580℃,成膜时间为130分,除此以外,与实施例1同样地得到层叠结构体。

[0217] 得到的晶体膜为无白浊的清澈的晶体。另外,与实施例1同样地对得到的晶体膜的相关实施鉴定,得到的膜为 α -Ga₂O₃。另外,对得到的晶体膜的表面进行AFM测定。将结果示于图23。

[0218] 产业上的可利用性

[0219] 本发明的层叠结构体能够用于半导体(例如化合物半导体电子设备等)、电子部件・电气设备部件、光学・电子照片相关装置、工业部件等所有领域,由于半导体特性优异,对半导体装置尤其有用。

[0220] 符号说明

- [0221] 19 雾化CVD装置
- [0222] 20 晶体基板
- [0223] 21 基座
- [0224] 22 载气供给单元
- [0225] 23 流量调节阀
- [0226] 24 雾产生源
- [0227] 24a 原料溶液
- [0228] 25 容器
- [0229] 25a 水
- [0230] 26 超声波振动器
- [0231] 27 成膜室
- [0232] 28 加热器
- [0233] 51 基座
- [0234] 52 雾加速单元
- [0235] 53 基板保持部
- [0236] 54 支持部
- [0237] 55 供给管
- [0238] 61 基板・基座区域
- [0239] 62 排出区域
- [0240] 101a n-型半导体层
- [0241] 101b n+型半导体层
- [0242] 102 p型半导体层
- [0243] 103 金属层
- [0244] 104 绝缘体层
- [0245] 105a 肖特基电极
- [0246] 105b 欧姆电极

- [0247] 111a n-型半导体层
- [0248] 111b n+型半导体层
- [0249] 114 半绝缘体层
- [0250] 115a 栅极
- [0251] 115b 源极
- [0252] 115c 漏极
- [0253] 118 缓冲层
- [0254] 121a 带隙宽的n型半导体层
- [0255] 121b 带隙窄的n型半导体层
- [0256] 121c n+型半导体层
- [0257] 123 p型半导体层
- [0258] 124 半绝缘体层
- [0259] 125a 栅极
- [0260] 125b 源极
- [0261] 125c 漏极
- [0262] 128 缓冲层
- [0263] 129 基板
- [0264] 131a n-型半导体层
- [0265] 131b 第一n+型半导体层
- [0266] 131c 第二n+型半导体层
- [0267] 132 p型半导体层
- [0268] 134 栅绝缘膜
- [0269] 135a 栅极
- [0270] 135b 源极
- [0271] 135c 漏极
- [0272] 138 缓冲层
- [0273] 139 半绝缘体层
- [0274] 141a n-型半导体层
- [0275] 141b 第一n+型半导体层
- [0276] 141c 第二n+型半导体层
- [0277] 142 p型半导体层
- [0278] 145a 栅极
- [0279] 145b 源极
- [0280] 145c 漏极
- [0281] 151 n型半导体层
- [0282] 151a n-型半导体层
- [0283] 151b n+型半导体层
- [0284] 152 p型半导体层
- [0285] 154 栅绝缘膜

- [0286] 155a 栅极
- [0287] 155b 发射电极
- [0288] 155c 集电极
- [0289] 161 n型半导体层
- [0290] 162 p型半导体层
- [0291] 163 发光层
- [0292] 165a 第一电极
- [0293] 165b 第二电极
- [0294] 167 透光性电极
- [0295] 169 基板

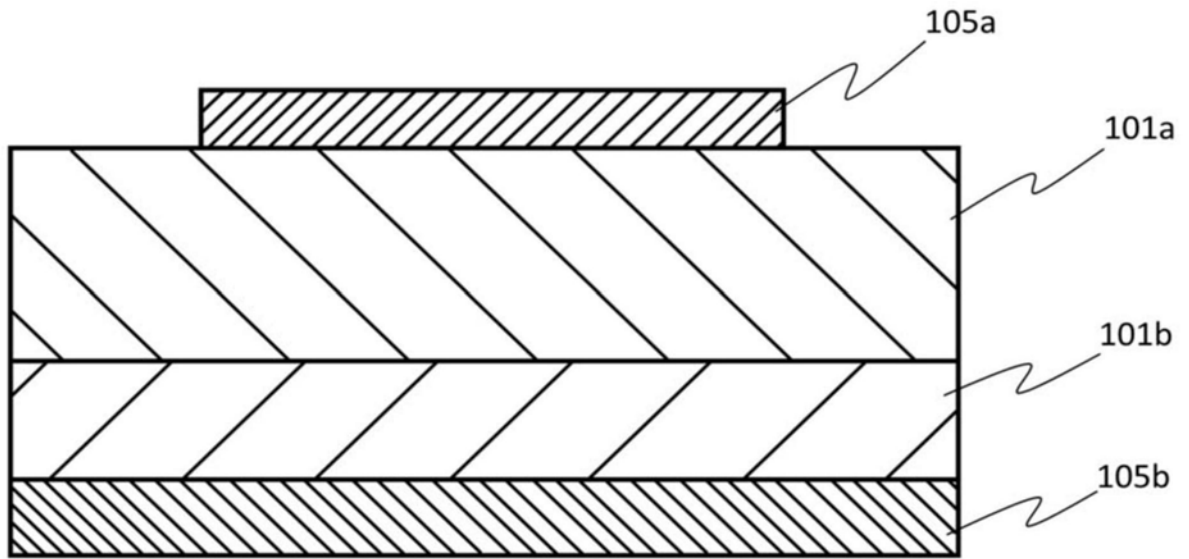


图1

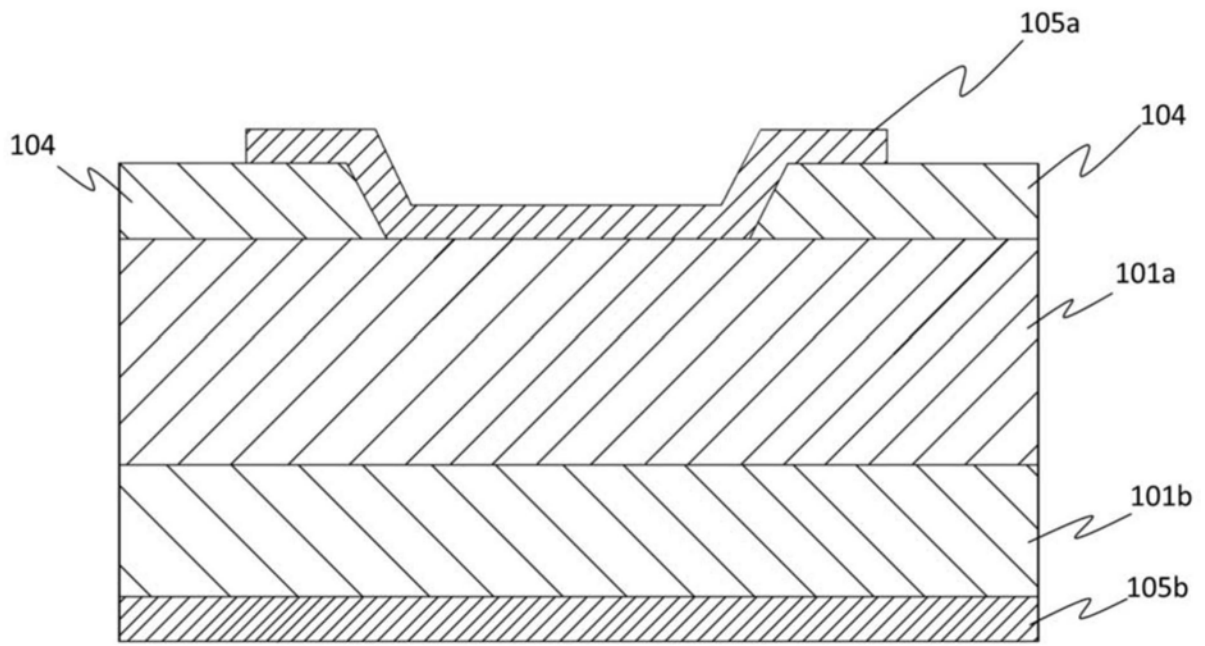


图2

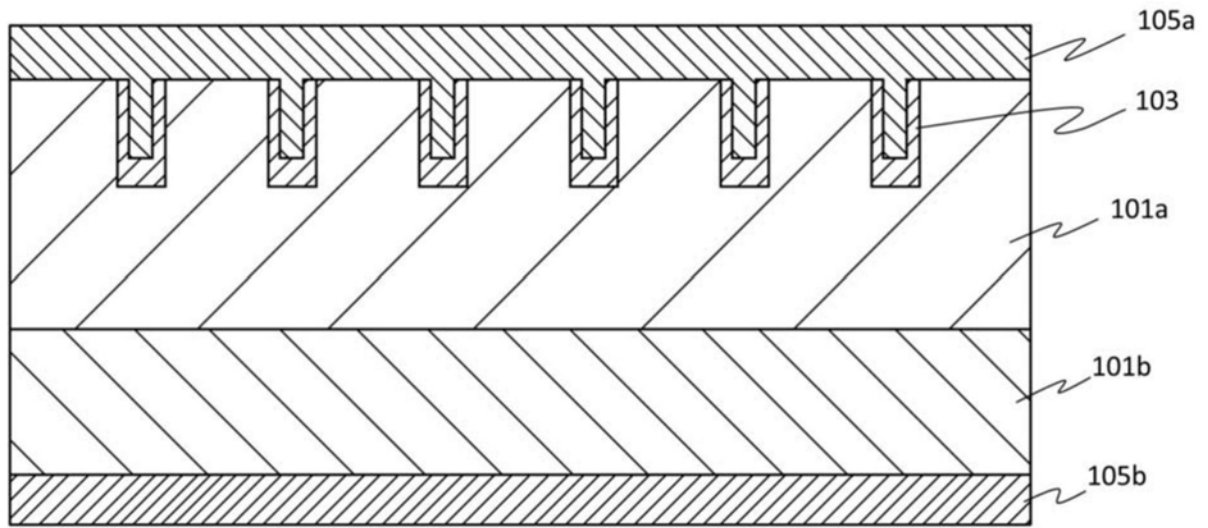


图3

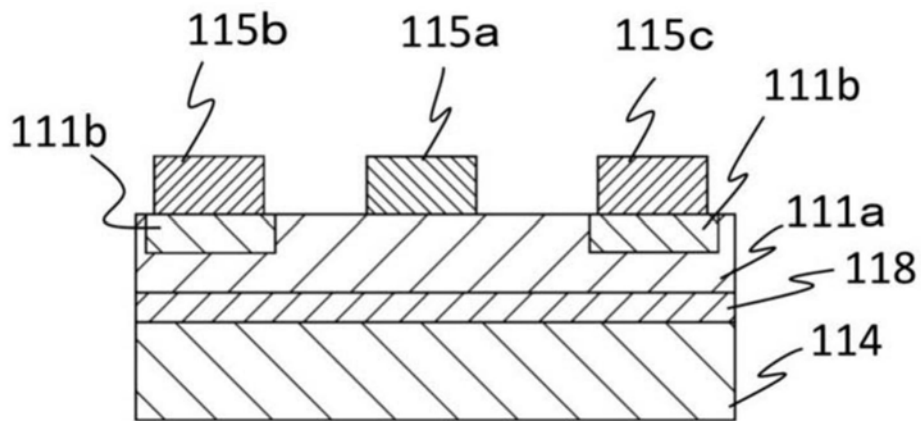


图4

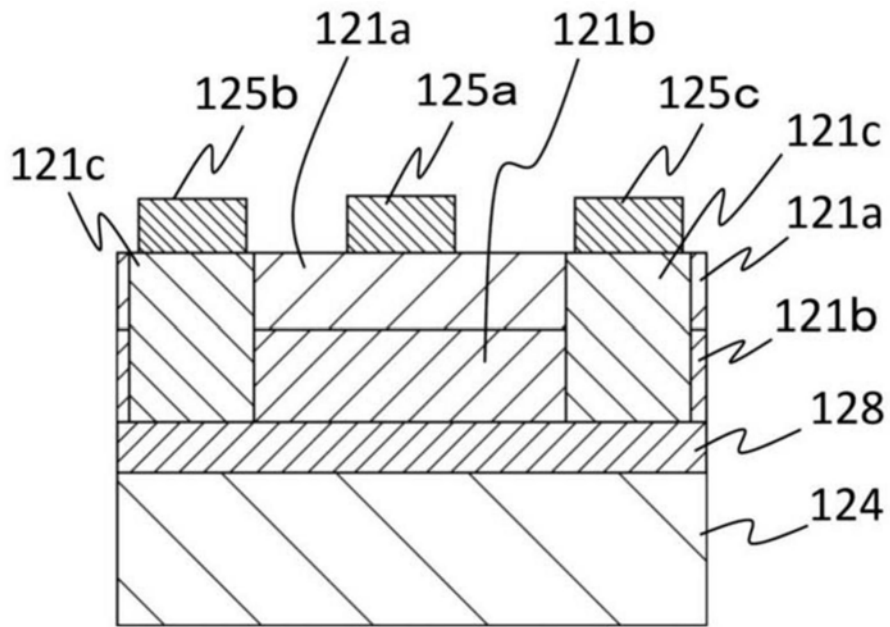


图5

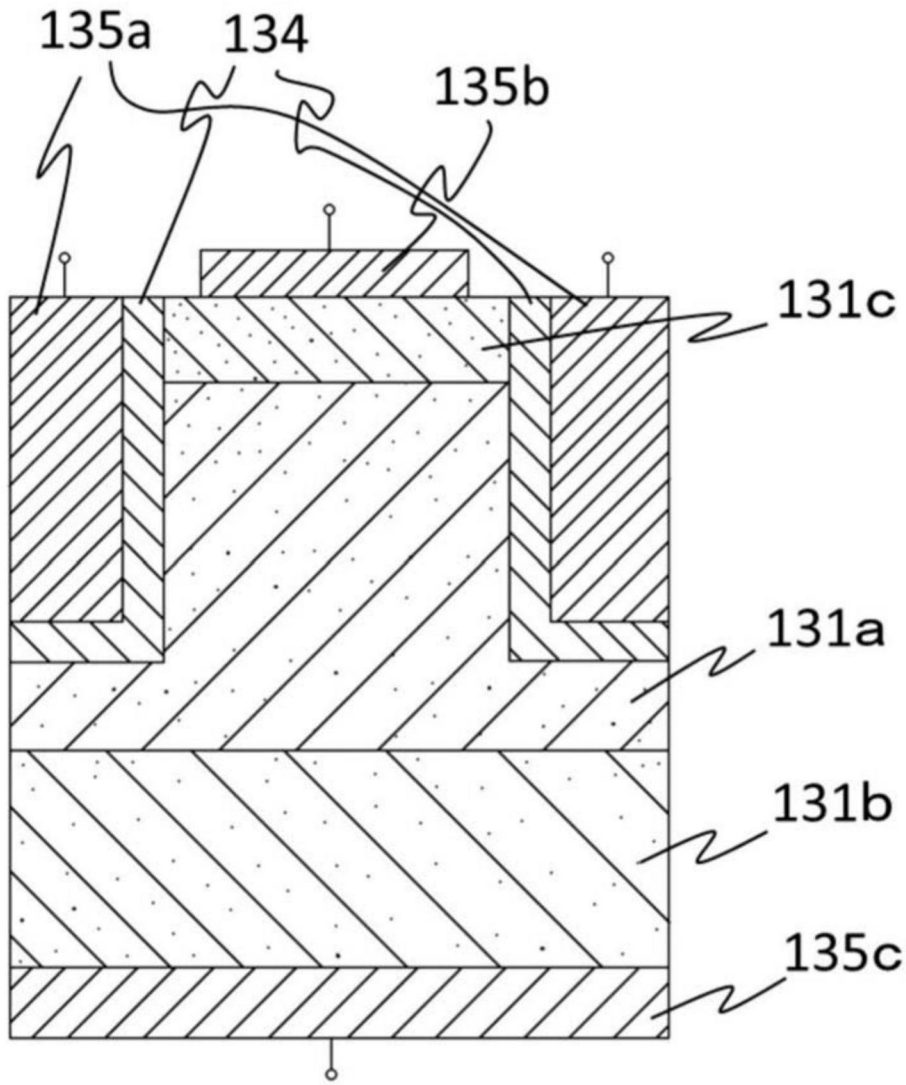


图6

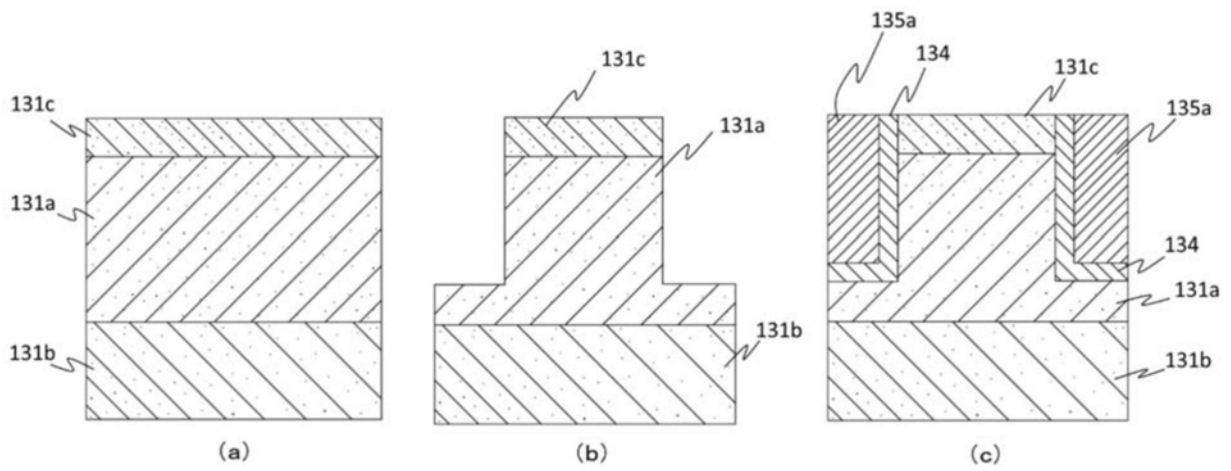


图7

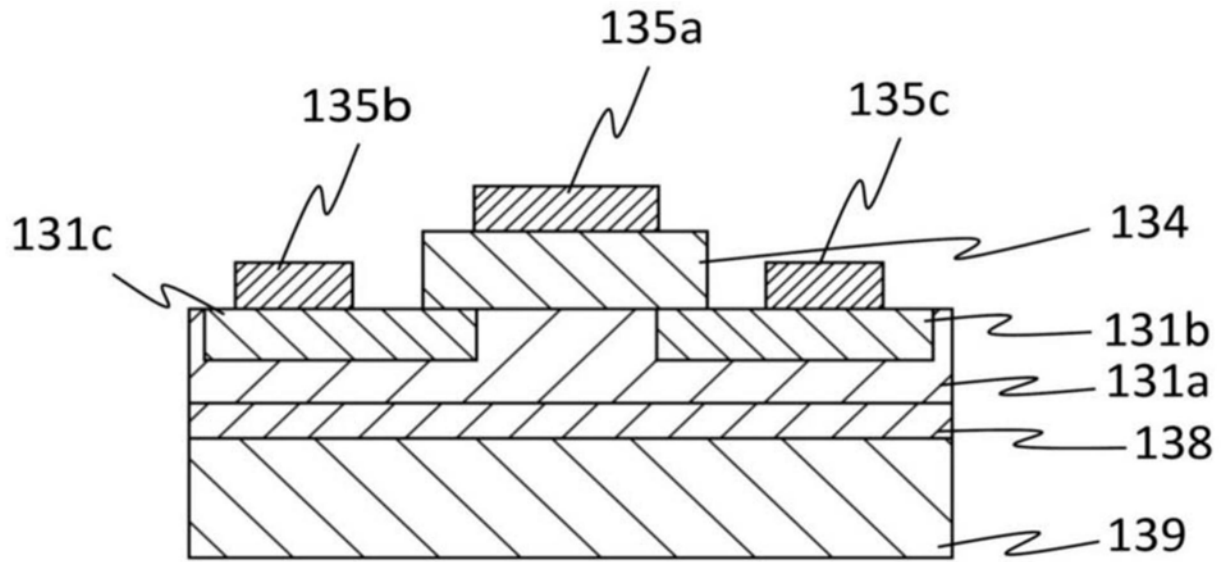


图8

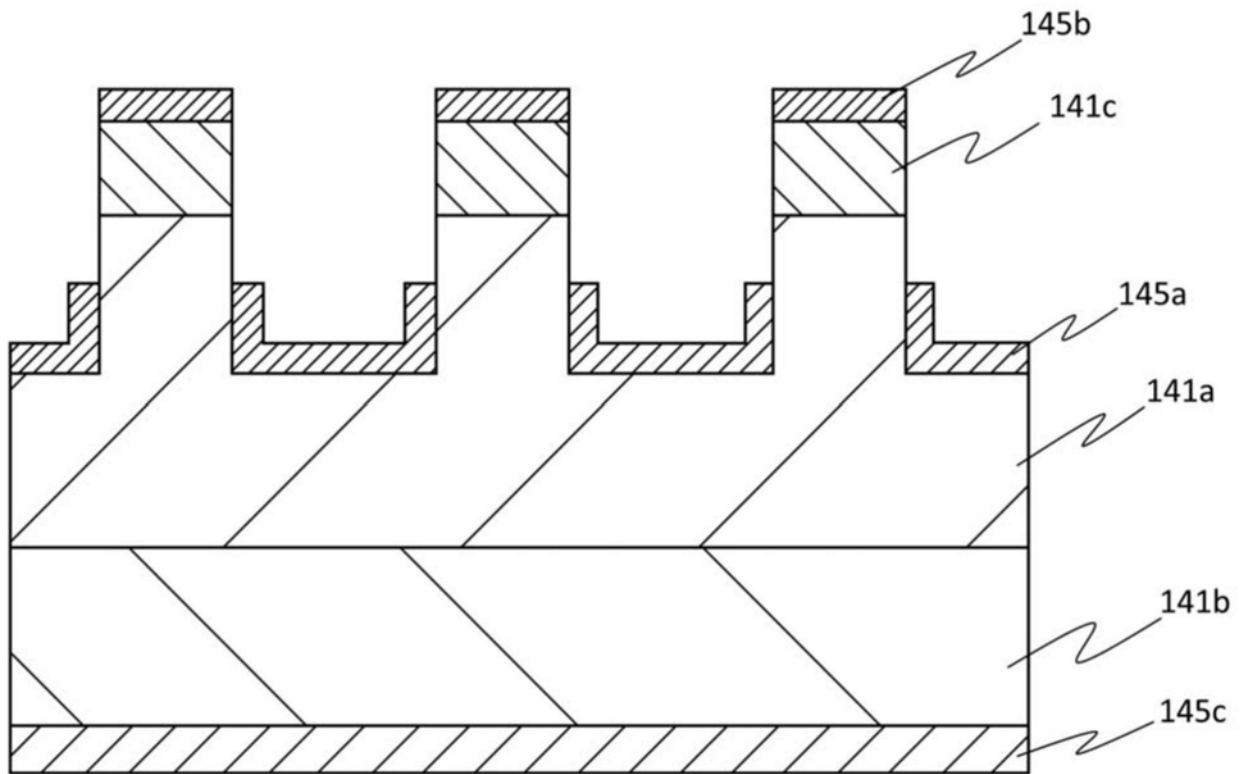


图9

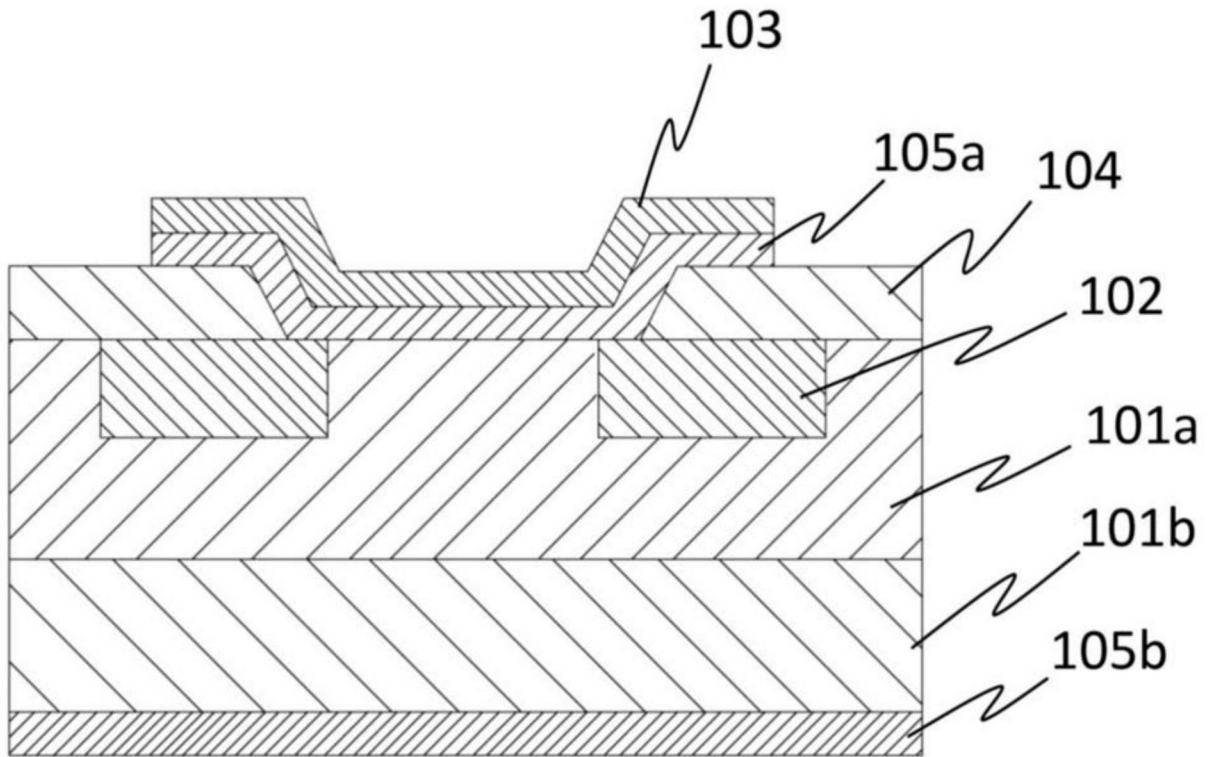


图10

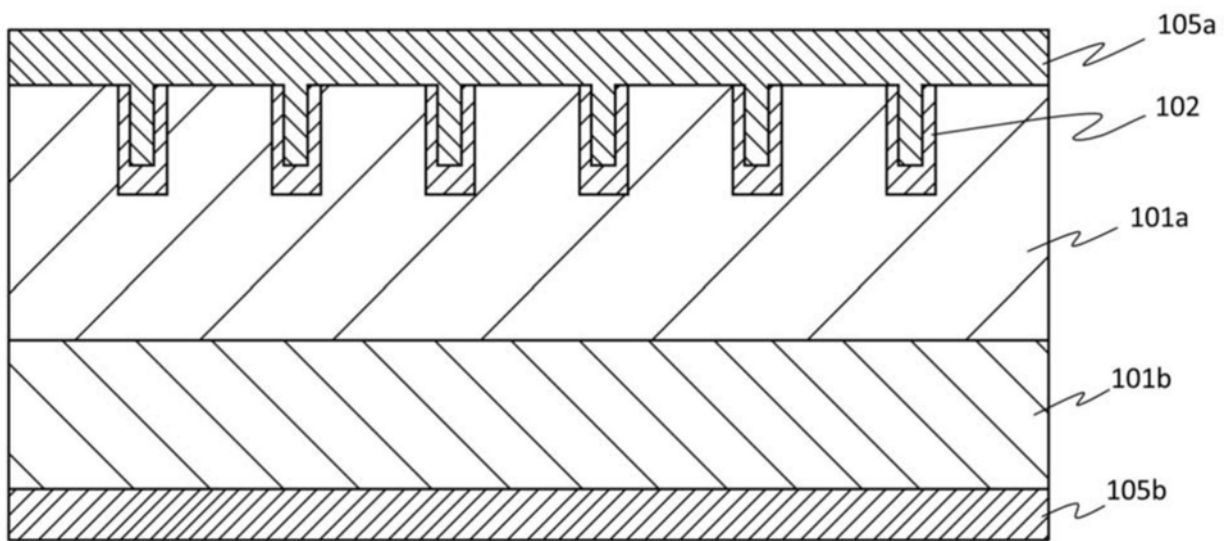


图11

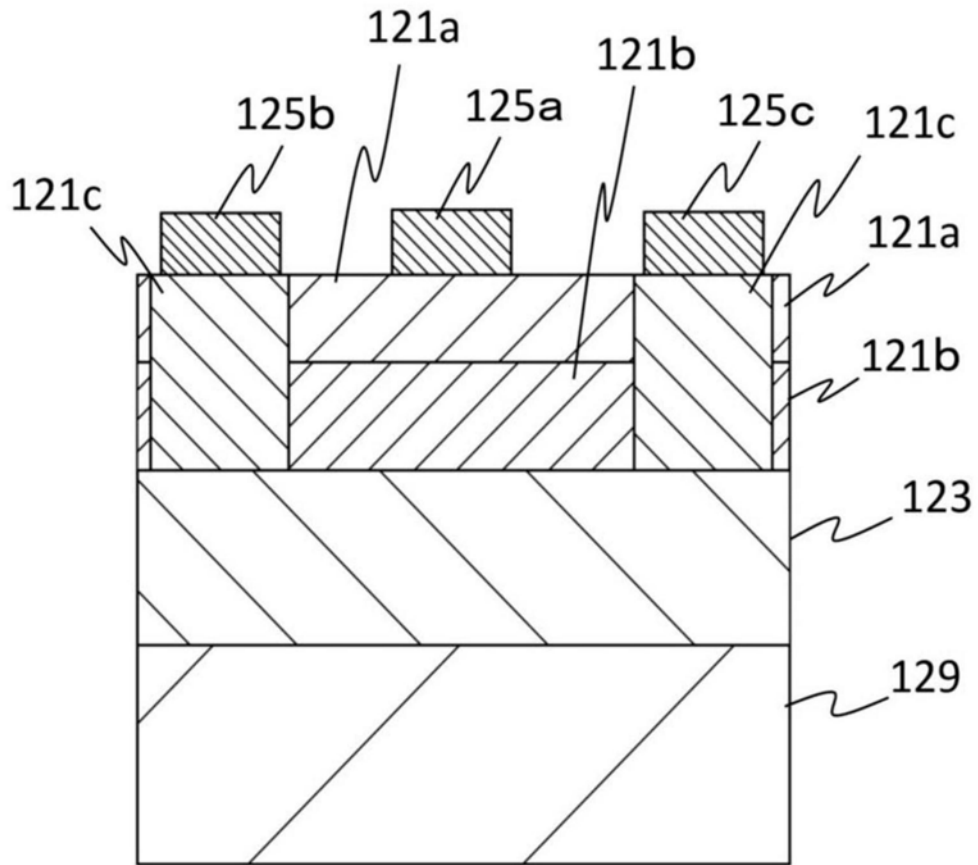


图12

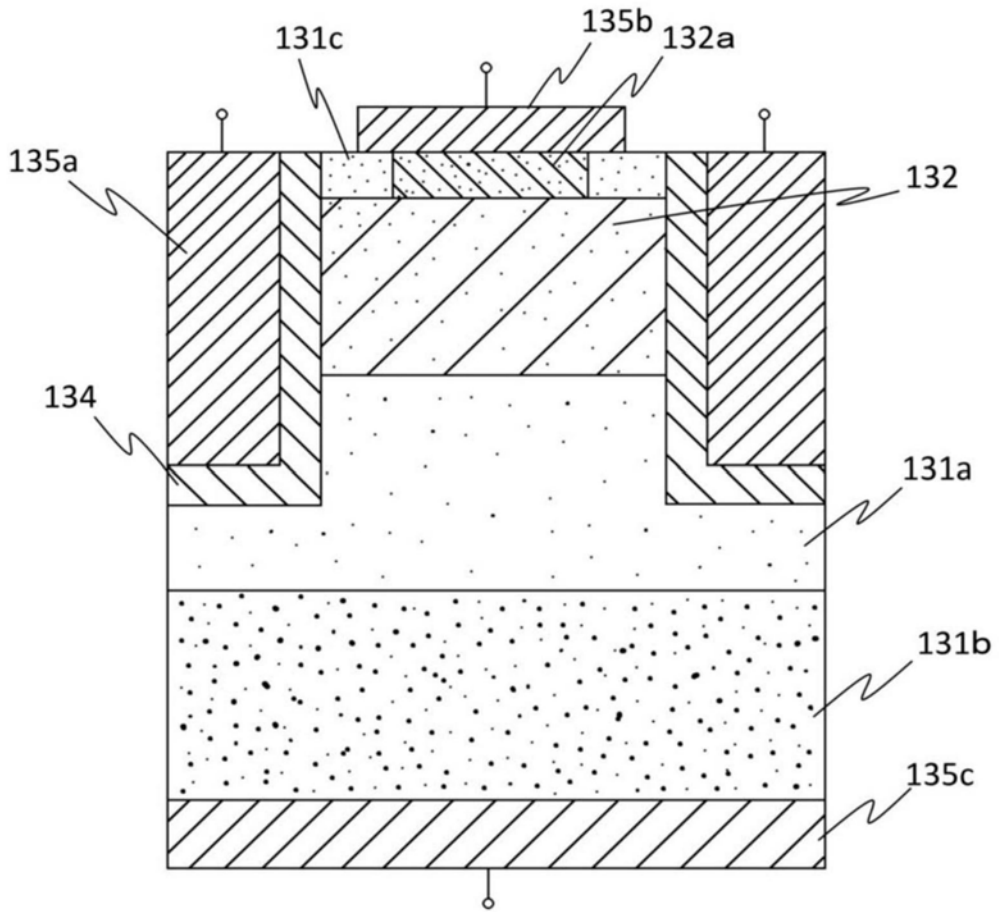


图13

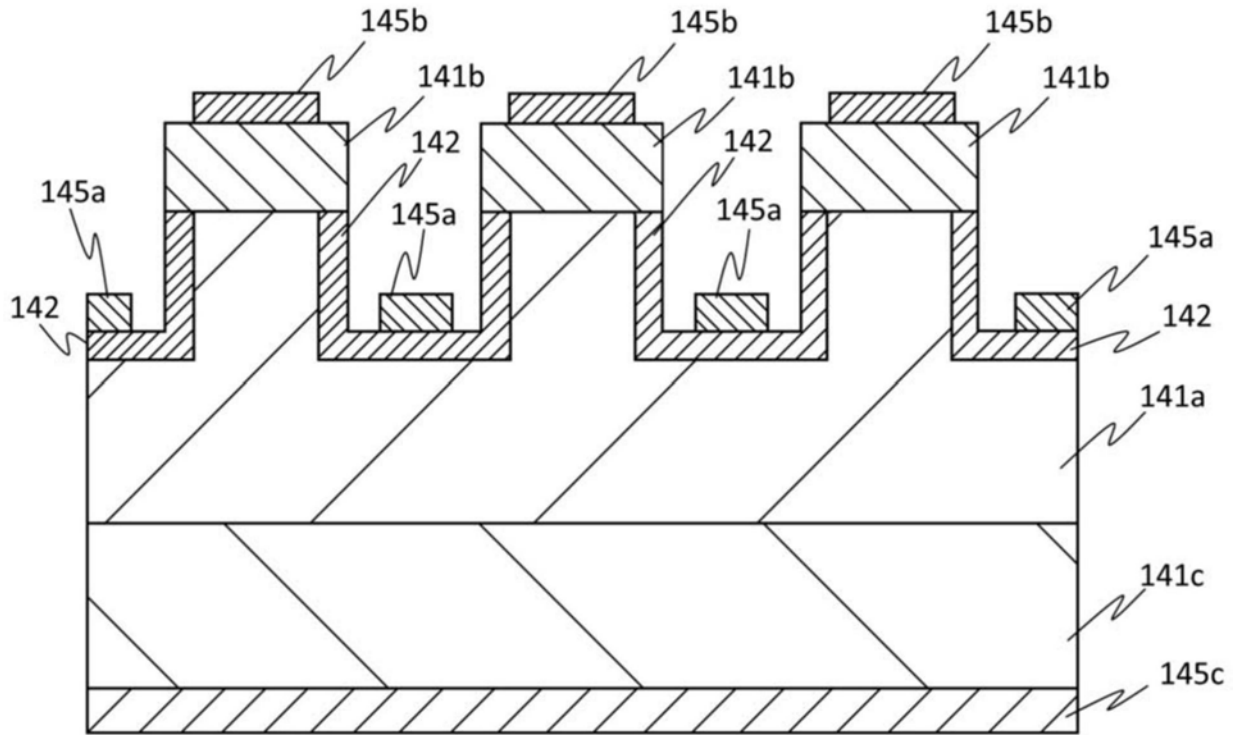


图14

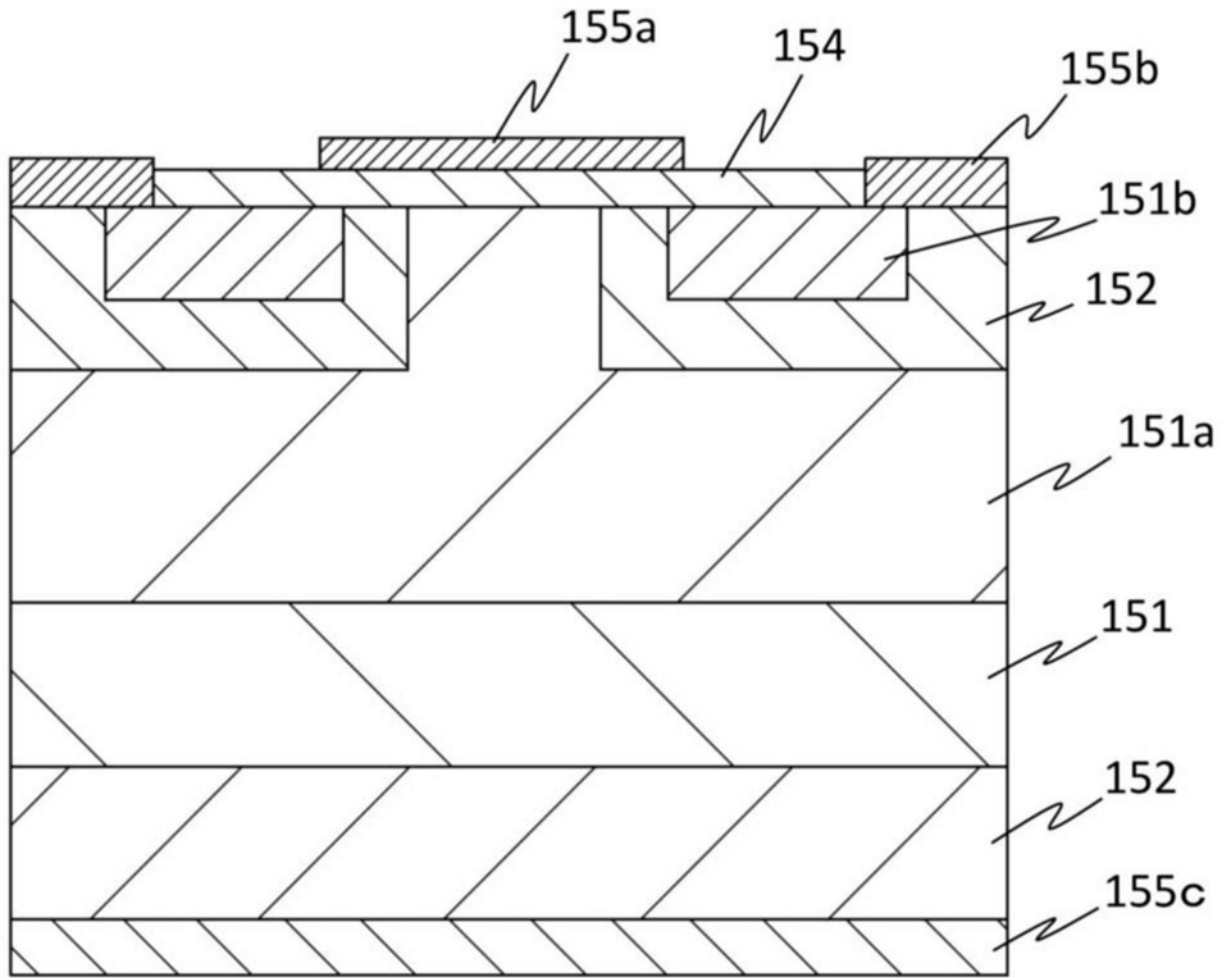


图15

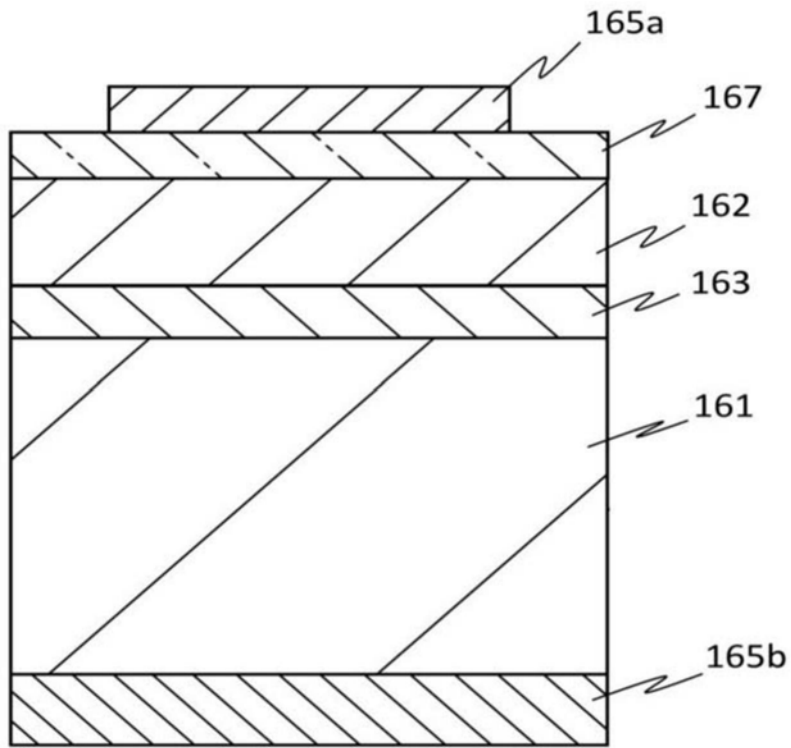


图16

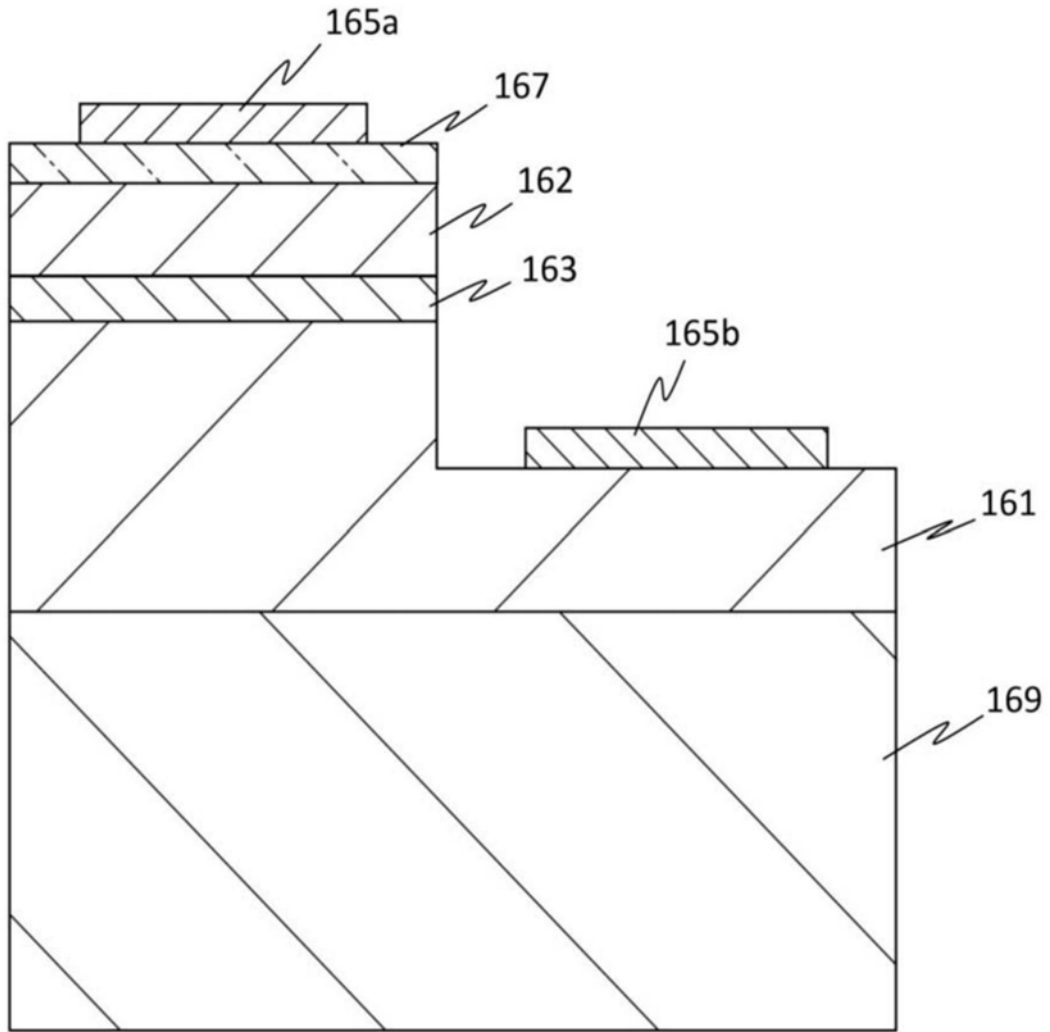


图17

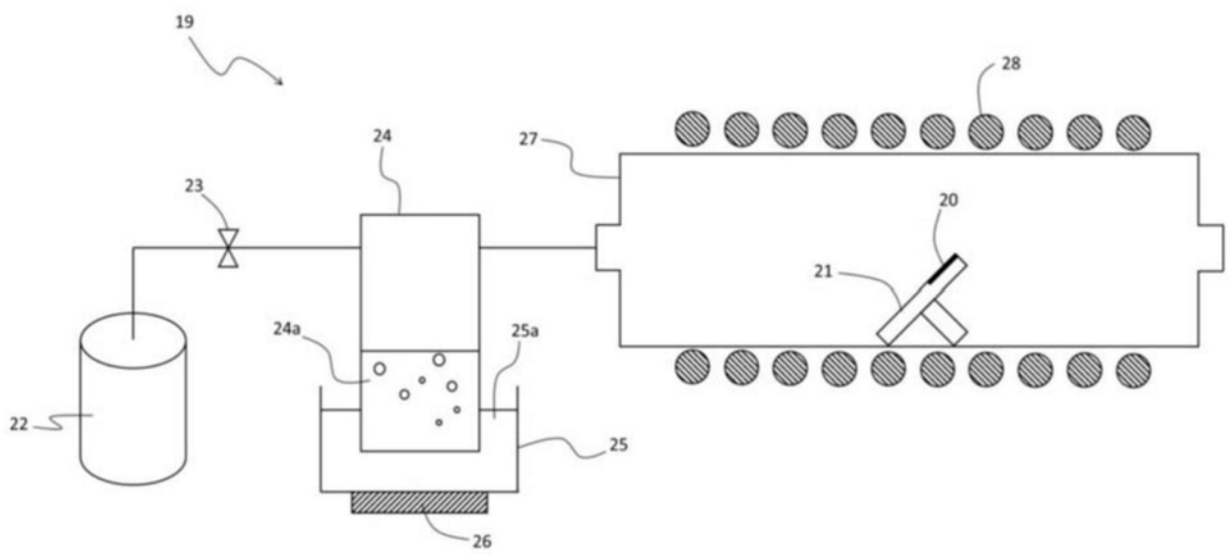


图18

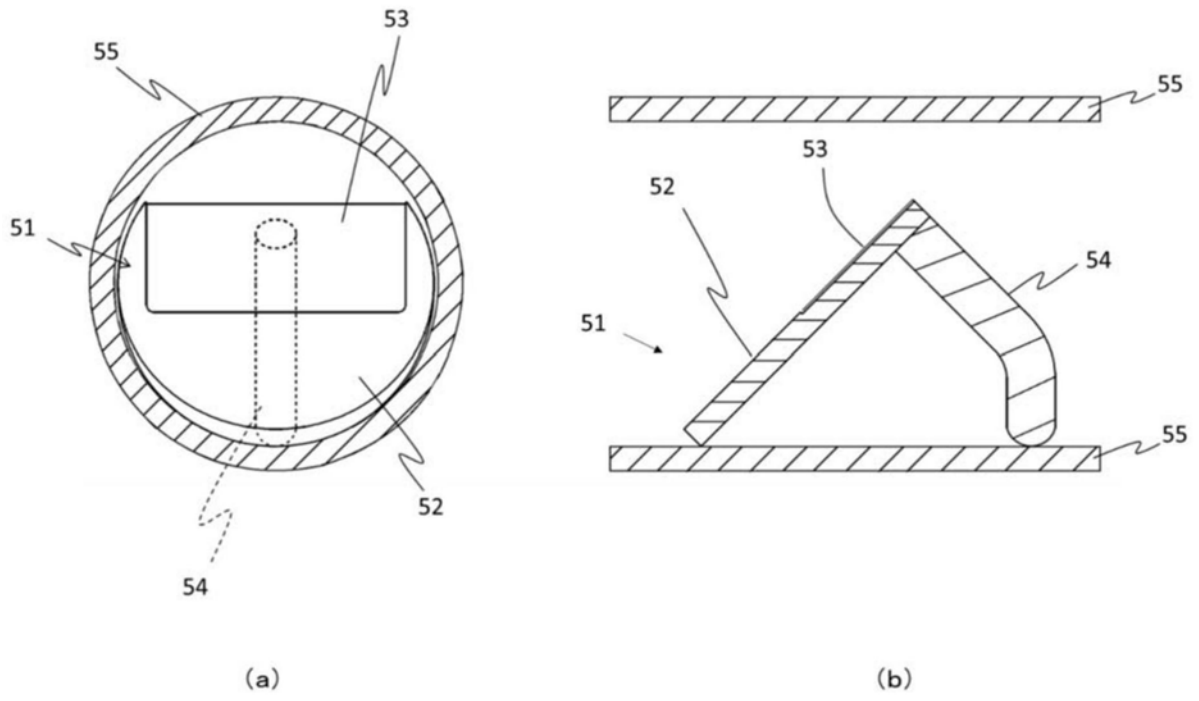


图19

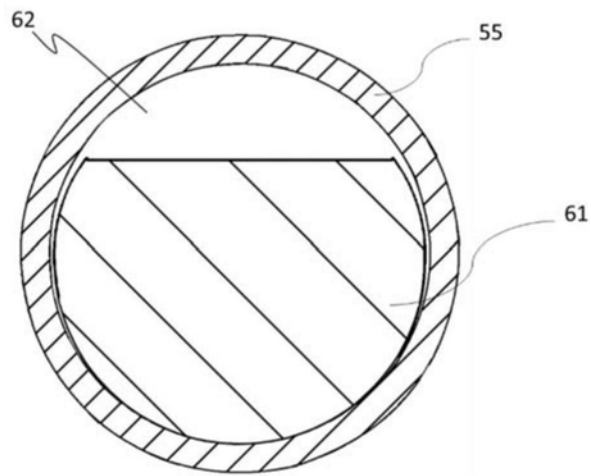


图20

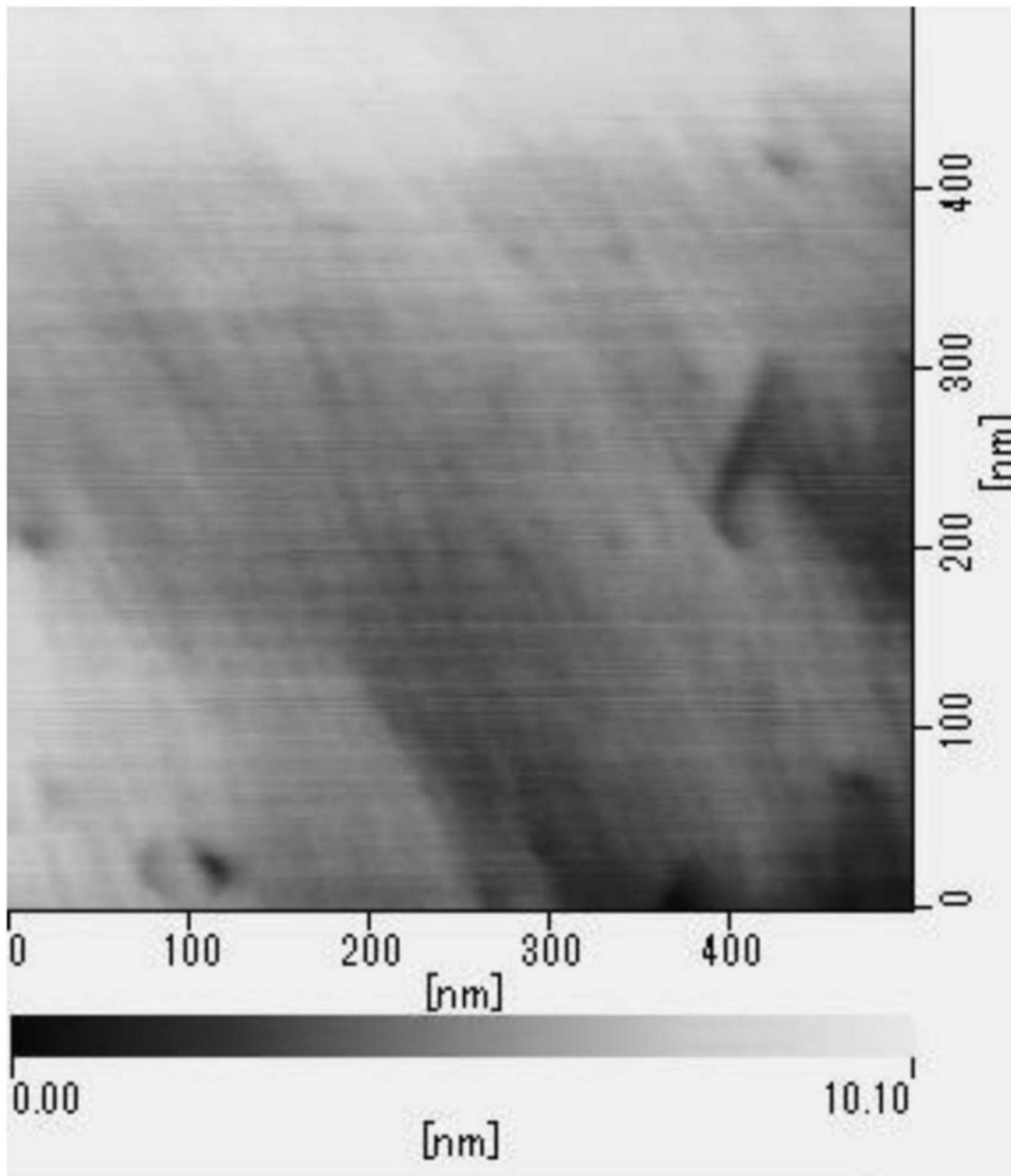


图21

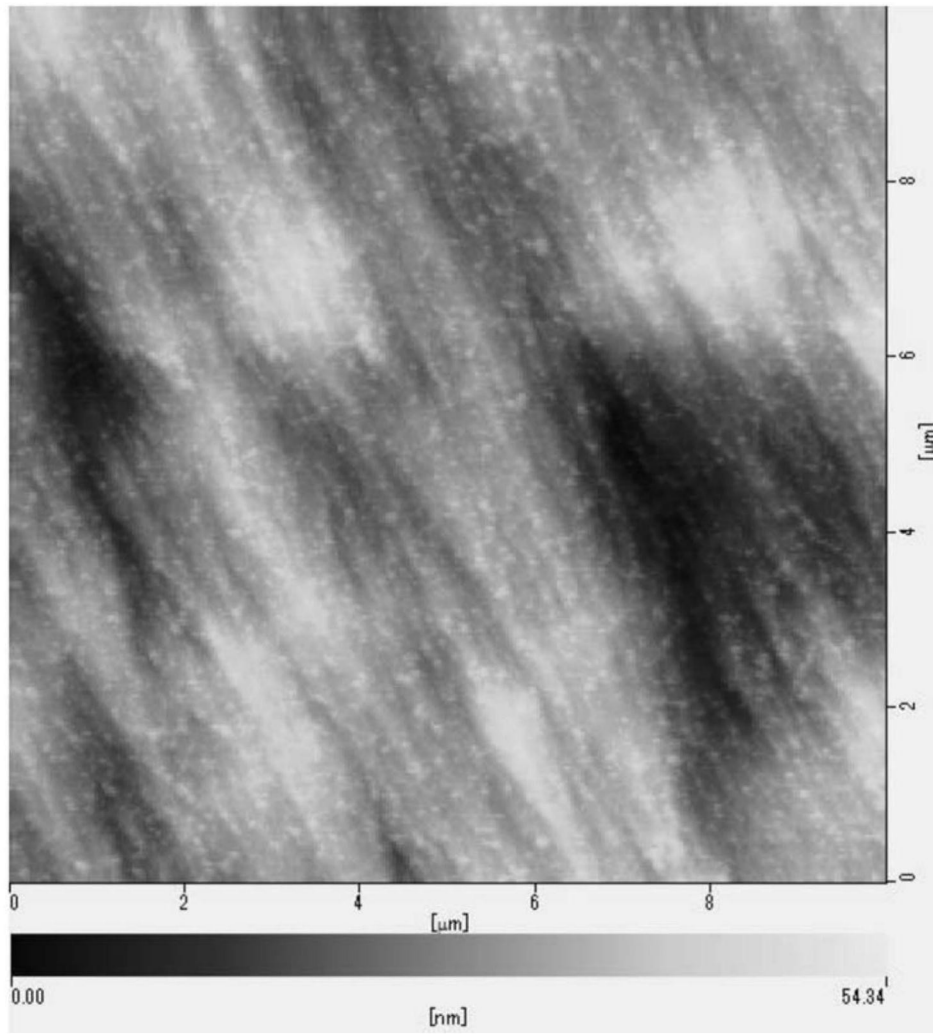


图22

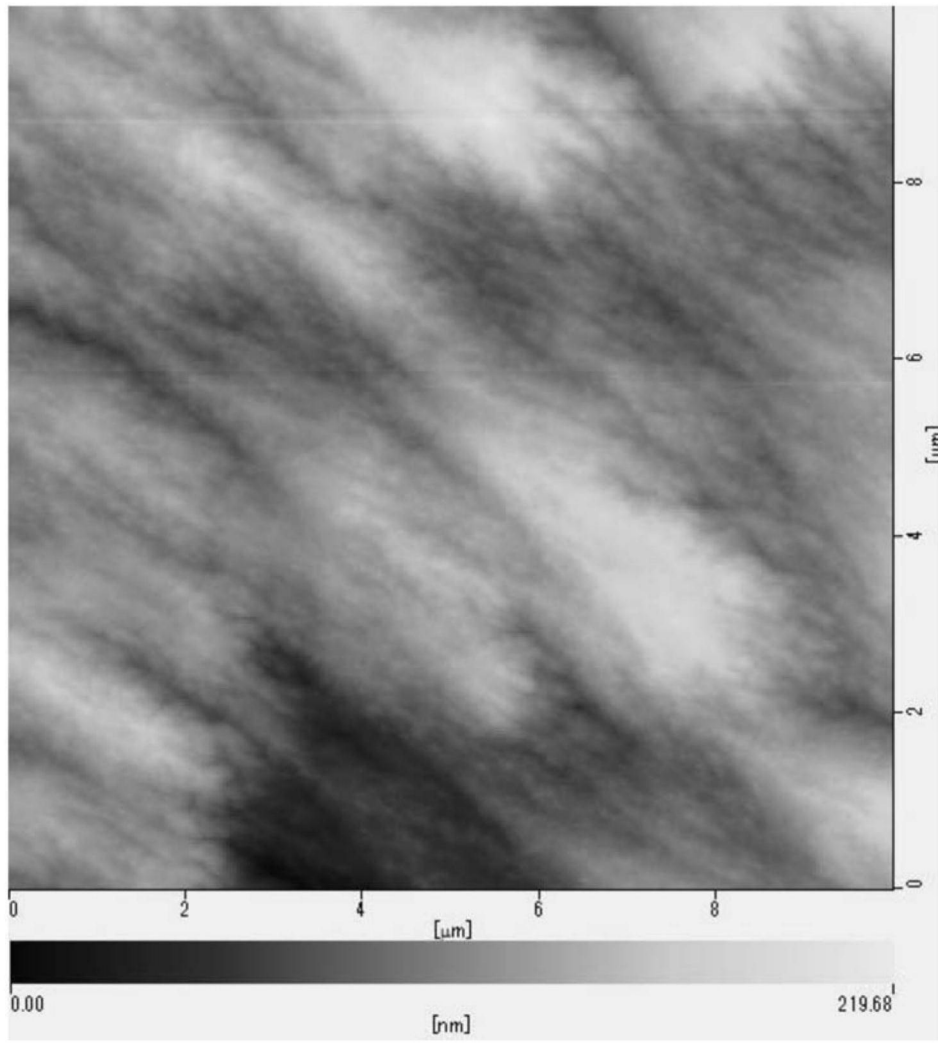


图23