



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0097675
(43) 공개일자 2013년09월03일

(51) 국제특허분류(Int. Cl.)

G11C 7/10 (2006.01) G11C 5/06 (2006.01)
G06F 1/00 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2013-0019126

(22) 출원일자 2013년02월22일

심사청구일자 없음

(30) 우선권주장

JP-P-2012-038468 2012년02월24일 일본(JP)
(뒷면에 계속)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

고야마 준

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

박충범, 장수길, 이중희

전체 청구항 수 : 총 25 항

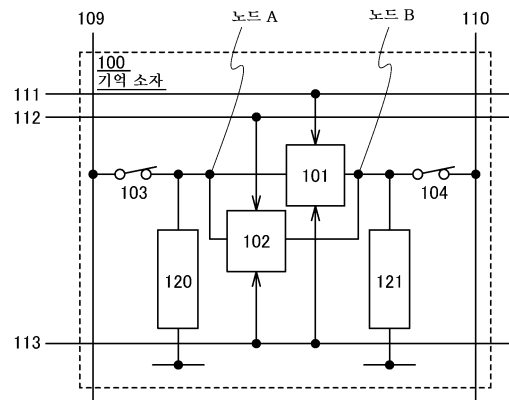
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은, 데이터의 신뢰성을 높일 수 있는 기억 장치를 제공한다.

제 1 전원 전압이 공급되면, 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 1 논리 소자와, 제 1 전원 전압과 다른 경로의 제 2 전원 전압이 공급되면, 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 2 논리 소자와, 상기 제 1 논리 소자가 갖는 상기 입력 단자에 접속된 제 1 기억 회로와, 상기 제 2 논리 소자가 갖는 상기 입력 단자에 접속된 제 2 기억 회로와, 상기 제 1 논리 소자가 갖는 상기 입력 단자와 제 1 배선의 접속을 제어하는 제 1 스위치와, 상기 제 2 논리 소자가 갖는 상기 입력 단자와 제 2 배선의 접속을 제어하는 제 2 스위치를 갖는다. 그리고, 상기 제 1 논리 소자가 갖는 상기 입력 단자에 상기 제 2 논리 소자가 갖는 상기 출력 단자가 접속되고, 상기 제 2 논리 소자가 갖는 상기 입력 단자에 상기 제 1 논리 소자가 갖는 상기 출력 단자가 접속되어 있는 기억 장치를 제공한다.

대표도 - 도1



(30) 우선권주장

JP-P-2012-105537 2012년05월03일 일본(JP)

JP-P-2012-192232 2012년08월31일 일본(JP)

특허청구의 범위

청구항 1

반도체 장치에 있어서,

기억 소자를 포함하고,

상기 기억 소자는

상기 제 1 논리 소자의 입력 단자의 전위에 따라 상기 제 1 논리 소자의 출력 단자에 제 1 전원 전위 및 제 2 전원 전위 중 하나가 출력되는 제 1 논리 소자와;

제 2 논리 소자의 입력 단자의 전위에 따라 상기 제 2 논리 소자의 출력 단자에 제 3 전원 전위 및 상기 제 2 전원 전위 중 하나가 출력되는 제 2 논리 소자와;

상기 제 1 논리 소자의 입력 단자에 전기적으로 접속된 제 1 기억 회로와;

상기 제 2 논리 소자의 입력 단자에 전기적으로 접속된 제 2 기억 회로를 포함하고,

상기 제 1 논리 소자의 입력 단자는 상기 제 2 논리 소자의 출력 단자에 전기적으로 접속되고,

상기 제 2 논리 소자의 입력 단자는 상기 제 1 논리 소자의 출력 단자에 전기적으로 접속되고,

상기 제 1 전원 전위는 제 1 배선으로부터 공급되고,

상기 제 2 전원 전위는 제 2 배선으로부터 공급되고,

상기 제 3 전원 전위는 제 3 배선으로부터 공급되는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 제 1 논리 소자 및 상기 제 2 논리 소자 각각은 인버터 및 클록드(clocked) 인버터로 구성된 그룹으로부터 선택된 논리 소자인, 반도체 장치.

청구항 3

제1항에 있어서,

상기 제 1 기억 회로 및 상기 제 2 기억 회로 각각은 트랜지스터 및 용량 소자를 포함하고,

상기 트랜지스터는 밴드 갭이 실리콘보다 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제 1 기억 회로 및 상기 제 2 기억 회로 각각은 트랜지스터 및 용량 소자를 포함하고,

상기 트랜지스터는 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 5

제1항에 있어서,

상기 제 1 논리 소자 및 상기 제 2 논리 소자 각각은 결정성을 갖는 실리콘을 포함하는 채널 형성 영역을 포함하는 트랜지스터를 포함하는, 반도체 장치.

청구항 6

제1항에 있어서,

제 1 스위치 및 제 2 스위치를 더 포함하고,
 상기 제 1 논리 소자의 상기 입력 단자는 상기 제 1 스위치를 통하여 제 4 배선에 전기적으로 접속되고,
 상기 제 2 논리 소자의 상기 입력 단자는 상기 제 2 스위치를 통하여 제 5 배선에 전기적으로 접속되고,
 제 1 데이터는 상기 제 4 배선에 공급되고,
 제 2 데이터는 상기 제 5 배선에 공급되는, 반도체 장치.

청구항 7

반도체 장치에 있어서,
 기억 소자를 포함하고,
 상기 기억 소자는,

- 제 1 트랜지스터와;
- 제 2 트랜지스터와;
- 제 3 트랜지스터와;
- 제 4 트랜지스터와;
- 제 5 트랜지스터와;
- 제 6 트랜지스터와;
- 제 1 용량 소자와;
- 제 2 용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 용량 소자에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 용량 소자에 전기적으로 접속되는, 반도체 장치.

청구항 8

제7항에 있어서,
 상기 제 5 트랜지스터 및 상기 제 6 트랜지스터 각각은 밴드 갭이 실리콘보다 넓고, 진성 캐리어 밀도가 실리콘

보다 낮은 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 9

제7항에 있어서,

상기 제 5 트랜지스터 및 상기 제 6 트랜지스터 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 10

제7항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터 각각은 결정성을 갖는 실리콘을 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 11

제7항에 있어서,

제 7 트랜지스터 및 제 8 트랜지스터를 더 포함하고,

상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 배선에 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 12

제11항에 있어서,

제 1 전원 전위는 상기 제 1 배선에 공급되고,

제 2 전원 전위는 상기 제 2 배선에 공급되고,

제 3 전원 전위는 상기 제 3 배선에 공급되고,

제 1 데이터는 상기 제 4 배선에 공급되고,

제 2 데이터는 상기 제 5 배선에 공급되는, 반도체 장치.

청구항 13

반도체 장치에 있어서,

캐시를 포함하는 CPU와;

상기 캐시는,

결정성을 갖는 실리콘을 포함하는 채널 형성 영역을 포함하는 트랜지스터와;

산화물 반도체를 포함하는 채널 형성 영역을 포함하는 트랜지스터를 포함하고,

전원 전압이 상기 CPU에 공급되는지 여부를 결정하는 파워 컨트롤러를 포함하는, 반도체 장치.

청구항 14

반도체 장치에 있어서,

캐시를 포함하는 CPU와;

상기 CPU는,

제 1 논리 소자의 입력 단자의 전위에 따라 상기 제 1 논리 소자의 출력 단자에 제 1 전원 전위 및 제 2

전원 전위 중 하나가 출력되는 제 1 논리 소자와;

제 2 논리 소자의 입력 단자의 전위에 따라 상기 제 2 논리 소자의 출력 단자에 제 3 전원 전위 및 상기 제 2 전원 전위 중 하나가 출력되는 제 2 논리 소자와;

상기 제 1 논리 소자의 입력 단자에 전기적으로 접속된 제 1 기억 회로와;

상기 제 2 논리 소자의 입력 단자에 전기적으로 접속된 제 2 기억 회로를 포함하고,

전원 전압이 상기 CPU에 공급되는지 여부를 결정하는 파워 컨트롤러를 포함하고,

상기 제 1 논리 소자의 입력 단자는 상기 제 2 논리 소자의 출력 단자에 전기적으로 접속되고,

상기 제 2 논리 소자의 입력 단자는 상기 제 1 논리 소자의 출력 단자에 전기적으로 접속되고,

상기 제 1 전원 전위는 제 1 배선으로부터 공급되고,

상기 제 2 전원 전위는 제 2 배선으로부터 공급되고,

상기 제 3 전원 전위는 제 3 배선으로부터 공급되는, 반도체 장치.

청구항 15

제14항에 있어서,

상기 제 1 논리 소자 및 상기 제 2 논리 소자 각각은 인버터 및 클록드 인버터로 구성된 그룹으로부터 선택된 논리 소자인, 반도체 장치.

청구항 16

제14항에 있어서,

상기 제 1 기억 회로 및 상기 제 2 기억 회로 각각은 트랜지스터 및 용량 소자를 포함하고,

상기 트랜지스터는 밴드 갭이 실리콘보다 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 17

제14항에 있어서,

상기 제 1 기억 회로 및 상기 제 2 기억 회로 각각은 트랜지스터 및 용량 소자를 포함하고,

상기 트랜지스터는 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 18

제14항에 있어서,

상기 제 1 논리 소자 및 상기 제 2 논리 소자 각각은 결정성을 갖는 실리콘을 포함하는 채널 형성 영역을 포함하는 트랜지스터를 포함하는, 반도체 장치.

청구항 19

제14항에 있어서,

제 1 스위치 및 제 2 스위치를 더 포함하고,

상기 제 1 논리 소자의 상기 입력 단자는 상기 제 1 스위치를 통하여 제 4 배선에 전기적으로 접속되고,

상기 제 2 논리 소자의 상기 입력 단자는 상기 제 2 스위치를 통하여 제 5 배선에 전기적으로 접속되고,

제 1 데이터는 상기 제 4 배선에 공급되고,

제 2 데이터는 상기 제 5 배선에 공급되는, 반도체 장치.

청구항 20

반도체 장치에 있어서,
캐시를 포함하는 CPU와;
상기 CPU는,

- 제 1 트랜지스터와;
- 제 2 트랜지스터와;
- 제 3 트랜지스터와;
- 제 4 트랜지스터와;
- 제 5 트랜지스터와;
- 제 6 트랜지스터와;
- 제 1 용량 소자와;
- 제 2 용량 소자를 포함하고,

전원 전압이 상기 CPU에 공급되는지 여부를 결정하는 파워 컨트롤러를 포함하고,
상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선에 전기적으로 접속되고,
상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,
상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선에 전기적으로 접속되고,
상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 배선에 전기적으로 접속되고,
상기 제 3 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,
상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,
상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,
상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 용량 소자에 전기적으로 접속되고,
상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,
상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 용량 소자에 전기적으로 접속되는, 반도체 장치.

청구항 21

제20항에 있어서,
상기 제 5 트랜지스터 및 상기 제 6 트랜지스터 각각은 밴드 갭이 실리콘보다 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 22

제20항에 있어서,
상기 제 5 트랜지스터 및 상기 제 6 트랜지스터 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 23

제20항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 각각은 결정성을 갖는 실리콘을 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

청구항 24

제20항에 있어서,

제 7 트랜지스터 및 제 8 트랜지스터를 더 포함하고,

상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 배선에 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 25

제24항에 있어서,

제 1 전원 전위는 상기 제 1 배선에 공급되고,

제 2 전원 전위는 상기 제 2 배선에 공급되고,

제 3 전원 전위는 상기 제 3 배선에 공급되고,

제 1 데이터는 상기 제 4 배선에 공급되고,

제 2 데이터는 상기 제 5 배선에 공급되는, 반도체 장치.

명세서

기술분야

[0001] 본 발명은 기억 장치와, 상기 기억 장치를 사용한 반도체 장치에 관한 것이다.

배경기술

[0002] 중앙 연산 처리 장치(CPU: Central Processing Unit) 등의 반도체 장치는, 동작 속도나 집적도를 향상시키기 위하여 반도체 소자의 미세화가 진행되고 있고, 채널 길이가 30nm 정도의 트랜지스터가 제작되어 있다. 한편, CPU는 반도체 소자가 미세화됨으로써, 트랜지스터의 누설 전류로 인한 소비 전력(누설 전력)이 증가된다. 구체적으로 종래에는, CPU에 있어서의 소비 전력의 대부분이 연산시의 소비 전력(동작 전력)이었지만, 근년에는 CPU에 있어서의 소비 전력의 10% 이상을 누설 전력이 차지하게 되었다.

[0003] 특히, 캐시는 높은 처리 능력의 CPU를 실현하기 위하여 대용량화되는 경우가 많고, CPU 중에서도 누설 전력이 가장 큰 집적 회로에 상당한다. 특히, 휴대 전화나 휴대 정보 단말 등의 휴대 단말용 CPU에서는, 캐시가 CPU의 칩 면적이나 트랜지스터 개수의 절반 이상을 차지하기 때문에, 캐시에 있어서의 누설 전력 저감에 대한 요구가 높다. 그래서, 파워 게이트를 사용함으로써, 집적 회로에 있어서 사용하지 않는 캐시 등의 전원을 차단하고, 따라서 CPU의 소비 전력을 저감시키는, 노멀리 오프 컴퓨터라고 불리는 기술이 주목을 받고 있다(비특허문헌 1 참조). 상기 노멀리 오프 컴퓨터에서는, 짧은 기간 내에 전원이 차단되기 때문에, 캐시로서 사용하는 기억 소자에는 불휘발성일 뿐만 아니라, 동작의 고속성이 요구된다. 불휘발성의 메모리인 플래시 메모리는, 상기 고속성을 만족시키지 못 하고, 또한, 캐시로서 사용하기에는 데이터의 개서(rewriting) 횟수가 충분하지 않았다.

[0004] 따라서, 종래부터 캐시로서 사용되는 휘발성의 기억 소자에, 플래시 메모리보다 고속 동작이 가능하고, 또 개서 횟수가 많은 불휘발성의 기억 소자를 부가한 구성의 기억 장치가 제안되어 있다. 하기 특허문헌 1에서는, 인버터를 사용한 휘발성의 데이터 보유 회로와, 강유전체 콘텐츠를 갖고, 데이터를 강유전체 콘텐츠에 기억시킴으로써 전원이 차단되어도 데이터를 보유할 수 있는 전자 회로에 대하여 기재되어 있다. 또한, 하기 특허문헌 2에

서는 크로스 커플링된 제 1 인버터 및 제 2 인버터와, 제 1 자기 저항 소자 및 제 2 자기 저항 소자로 구성된 불휘발성 래치 회로에 대하여 기재되어 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개2003-152506호 공보
(특허문헌 0002) 국제 공개 제2009/072511호

비특허문헌

- [0006] (비특허문헌 0001) 안도 고지(安藤功兒), "불휘발성 자기 메모리", 2002년 3월 14일, FED Review, vol. 1, No. 14

발명의 내용

해결하려는 과제

[0007] 상기 기억 장치에서는, 데이터의 대피 및 복귀에 의하여 소비되는 전력(오버 헤드)과, 전원의 차단에 의하여 삭감되는 전력이 동등하게 되는 전원의 차단 시간, 즉, 손익 분기 시간(BET: Break Even Time)이 긴 경우, 전원을 차단하는 기간이 짧으면, CPU의 소비 전력이 도리어 증가되기 쉽다는 문제가 있다.

[0008] 또한, 상기 기억 장치에서는 전원을 차단하기 전에 휘발성의 기억 소자로부터 불휘발성의 기억 소자에 데이터를 대피시키고, 전원의 복귀 후에 상기 데이터를 휘발성의 기억 소자에 되돌린다. 그런데, 휘발성의 기억 소자에는 일반적으로 플립플롭이 사용되고, 전원이 차단되어 있는 동안은 플립플롭을 구성하는 각 반도체 소자간의 노드들 중 어느 노드에서 전위가 부정(不定) 상태에 있다. 또한, 전위가 부정 상태에 있는 노드는, 기억 장치에 있어서 전원을 복귀시킨 후, 하이 레벨 및 로우 레벨 중 어느 전위로 확정되는 건지 확실하지 않는다. 또한, 전원이 복귀된 후에는 상기 노드의 전위가 하이 레벨 및 로우 레벨 중 어느 전위로 확정되어도 상기 노드의 전위는 전원에 의하여 안정해진다. 그래서, 불휘발성의 기억 소자로부터 데이터를 복귀시키고자 하여도 상기 노드의 전위에 따라서는, 데이터가 상쇄될 경우가 있다. 따라서, 상기 기억 장치에서는 전원의 차단에 의하여 데이터의 신뢰성이 낮아지기 쉽다.

[0009] 상술한 바와 같은 기술적 배경을 바탕으로 본 발명은, 데이터 기록시의 소비 전력을 낮게 억제할 수 있는 기억 장치의 제공을 과제들 중 하나로 한다. 또는, 본 발명은 데이터의 신뢰성을 높일 수 있는 기억 장치의 제공을 과제들 중 하나로 한다.

[0010] 또는, 본 발명은 상기 기억 장치를 사용함으로써 소비 전력을 낮게 억제할 수 있는 반도체 장치의 제공을 과제들 중 하나로 한다. 또는, 본 발명은 상기 기억 장치를 사용함으로써 신뢰성을 높일 수 있는 반도체 장치의 제공을 과제들 중 하나로 한다.

과제의 해결 수단

[0011] 상기 과제를 해결하기 위하여 본 발명의 제 1 구성을 갖는 기억 장치에서는 출력 단자의 전위가 서로의 입력 단자에 공급되고, 또 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 1 논리 소자 및 제 2 논리 소자와, 제 1 논리 소자 및 제 2 논리 소자의 데이터가 기억되는 기억 회로를 갖는다. 그리고, 본 발명의 일 형태에서는, 제 1 논리 소자 및 제 2 논리 소자에 각각 공급되는 전원 전압이 다른 경로(다른 계통)인 것으로 한다.

[0012] 상기 제 1 구성을 갖는 기억 장치에서는, 제 1 논리 소자 및 제 2 논리 소자에 보유된 데이터를 기억 장치로의 전원 전압의 공급이 정지되기 전에, 기억 회로에 대피시킬 수 있다. 구체적으로 기억 회로에는, 기억 장치에의 전원 전압의 공급이 정지되어 있는 기간에 있어서, 데이터를 보유할 수 있는 용량 소자, MRAM, ReRAM, FeRAM 등의 회로 소자를 사용할 수 있다.

- [0013] 그리고, 본 발명의 제 1 구성을 갖는 기억 장치에서는, 제 1 논리 소자에 공급되는 전원 전압과, 제 2 논리 소자에 공급되는 전원 전압을 다른 경로로 공급함으로써, 기억 회로에 보유된 데이터를 제 1 논리 소자 및 제 2 논리 소자에 되돌릴 때 제 1 논리 소자 및 제 2 논리 소자에 있어서 한쪽에 전원 전압을 공급하면서, 다른 쪽에 전원 전압을 공급하지 않는 상태를 만들 수 있다. 따라서, 제 1 논리 소자 및 제 2 논리 소자 중 어느 한쪽에 만 전원 전압을 공급하는 동작과, 대피시킨 데이터를 제 1 논리 소자 및 제 2 논리 소자에 기록하는 동작과, 제 1 논리 소자 및 제 2 논리 소자 양쪽 모두에 전원 전압을 공급함으로써, 상기 데이터를 제 1 논리 소자 및 제 2 논리 소자에 보유시키는 동작을 동시가 아니라 순차적으로 행할 수 있다.
- [0014] 따라서, 본 발명의 일 형태에 따른 기억 장치에서는, 기억 장치로의 전원 전압의 공급이 정지되어 있는 동안에, 제 1 논리 소자 또는 제 2 논리 소자의 입력 단자 또는 출력 단자 등의 노드에 있어서 전위가 부정 상태에 있어 도, 어느 한쪽의 논리 소자에 먼저 전원 전압을 공급하고 나서 대피시켜 둔 데이터를 복귀시킬 수 있어, 부정 상태에 있던 상기 노드의 전위를 데이터에 따라 확실하게 확정할 수 있다. 따라서, 기억 회로로부터 제 1 논리 소자 및 제 2 논리 소자에 데이터를 되돌린 후에도 데이터의 고신뢰성을 확보할 수 있다.
- [0015] 또는, 본 발명의 제 2 구성을 갖는 기억 장치는, 출력 단자의 전위가 서로의 입력 단자에 공급되어, 입력 단자의 전위의 극성을 반전시켜 출력 단자에 각각 공급되는 제 1 논리 소자 및 제 2 논리 소자와, 스위치와, 스위치 를 통하여 기록된 제 1 논리 소자 및 제 2 논리 소자의 데이터가 기억되는 용량 소자를 갖는다. 그리고, 본 발 명의 일 형태에서는 상기 제 2 구성을 갖는 기억 장치에 있어서 제 1 논리 소자 및 제 2 논리 소자에 각각 공급 되는 전원 전압이 다른 경로를 통하여도 좋다.
- [0016] 상기 제 2 구성을 갖는 기억 장치에서는, 제 1 논리 소자 및 제 2 논리 소자에 보유된 데이터를 기억 장치로의 전원 전압의 공급이 정지되기 전에, 용량 소자에 대피시킬 수 있다. 구체적으로 데이터의 대피는, 용량 소자로 의 전하의 공급에 의하여 행하고, 상기 전하의 보유는, 상기 스위치를 오프로 함으로써 행한다.
- [0017] 그리고, 본 발명의 제 2 구성을 갖는 기억 장치에서는, 제 1 논리 소자에 공급되는 전원 전압과, 제 2 논리 소 자에 공급되는 전원 전압을 다른 경로로 공급함으로써, 용량 소자에 보유된 전하를 방출하여 대피시켜 둔 데이 터를 제 1 논리 소자 및 제 2 논리 소자에 되돌릴 때 제 1 논리 소자 및 제 2 논리 소자에 있어서 한쪽에 전원 전압을 공급하면서, 다른 쪽에 전원 전압을 공급하지 않는 상태를 만들 수 있다. 따라서, 제 1 논리 소자 및 제 2 논리 소자 중 어느 한쪽에만 전원 전압을 공급하는 동작과, 대피시킨 데이터를 제 1 논리 소자 및 제 2 논 리 소자에 기록하는 동작과, 제 1 논리 소자 및 제 2 논리 소자 양쪽 모두에 전원 전압을 공급함으로써, 상기 데이터를 제 1 논리 소자 및 제 2 논리 소자에 보유시키는 동작을 동시가 아니라 순차적으로 행할 수 있다.
- [0018] 따라서, 본 발명의 제 2 구성을 갖는 기억 장치에서는, 기억 장치로의 전원 전압의 공급이 정지되어 있는 동안 에, 제 1 논리 소자 또는 제 2 논리 소자에 있어서의 입력 단자 또는 출력 단자 등의 노드에 있어서 전위가 부 정 상태에 있어도, 어느 한쪽의 논리 소자에 먼저 전원 전압을 공급하고 나서 대피시켜 둔 데이터를 복귀시킬 수 있어, 부정 상태에 있던 상기 노드의 전위를 데이터에 따라 확실하게 확정할 수 있다. 따라서, 기억 회로로 부터 제 1 논리 소자 및 제 2 논리 소자에 데이터를 되돌린 후에도 데이터의 고신뢰성을 확보할 수 있다.
- [0019] 또한, 본 발명의 제 1 구성 또는 제 2 구성을 갖는 기억 장치에서는, 데이터를 대피시킴으로써 전원 전압의 공 급이 정지되어도, 기억 장치 내의 데이터의 소실을 방지할 수 있다. 따라서, 외부 기억 장치에 데이터를 대피 시킬 필요가 없기 때문에, 기억 장치, 또는 기억 장치를 사용한 반도체 장치에, 60초와 같은 긴 시간이라도, 밀 리 초 정도의 짧은 시간이라도, 전원 전압의 공급을 정지할 수 있다. 그 결과, 기억 장치, 및 반도체 장치의 소비 전력을 저감시킬 수 있다.
- [0020] 또한, 본 발명의 제 2 구성을 갖는 기억 장치에서는, 오프 전류가 작은 트랜지스터로 상기 스위치를 구성하는 것을 구성 요건에 더하여도 좋다. 예를 들어, 밴드 갭이 넓고, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 반도체를 채널 형성 영역에 포함하는 트랜지스터 는 오프 전류가 현저히 작다. 본 발명의 일 형태에서는 상기 구성을 갖는 트랜지스터를 스위치로서 사용함으로 써 용량 소자에 있어서 보유되는 전하의 누설을 방지하고, 데이터의 신뢰성을 높일 수 있다.
- [0021] 그리고, 본 발명의 제 2 구성을 갖는 기억 장치에서는, 용량 소자로의 전하의 공급에 의하여 데이터의 기록을 행하기 때문에, MRAM 등과 비교하여 데이터의 기록에 필요한 전류를 1/100 정도로 억제할 수 있다. 그래서, 본 발명의 일 형태에서는, 전원의 차단에 필요한 오버 헤드를 MRAM의 경우보다 작게 할 수 있어 손익 분기 시간을 짧게 할 수 있다. 따라서, 상기 기억 장치를 사용한 본 발명의 일 형태에 따른 반도체 장치에서는, MRAM을 사 용하는 경우보다 소비 전력을 억제할 수 있다.

[0022] 구체적으로 본 발명의 일 형태에 따른 기억 장치에서는, 제 1 전원 전압이 공급되면, 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 1 논리 소자와, 제 1 전원 전압과 다른 경로로 제 2 전원 전압이 공급되면, 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 2 논리 소자와, 상기 제 1 논리 소자가 갖는 상기 입력 단자에 접속된 제 1 기억 회로와, 상기 제 2 논리 소자가 갖는 상기 입력 단자에 접속된 제 2 기억 회로와, 상기 제 1 논리 소자가 갖는 상기 입력 단자와 제 1 배선의 접속을 제어하는 제 1 스위치와, 상기 제 2 논리 소자가 갖는 상기 입력 단자와 제 2 배선의 접속을 제어하는 제 2 스위치를 갖는다. 그리고, 상기 제 1 논리 소자가 갖는 상기 입력 단자에 상기 제 2 논리 소자가 갖는 상기 출력 단자가 접속되고, 상기 제 2 논리 소자가 갖는 상기 입력 단자에 상기 제 1 논리 소자가 갖는 상기 출력 단자가 접속되어 있다.

[0023] 구체적으로 본 발명의 일 형태에 따른 기억 장치에서는, 제 1 전원 전압이 공급되면, 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 1 논리 소자와, 제 1 전원 전압과 다른 경로의 제 2 전원 전압이 공급되면, 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 제 2 논리 소자와, 제 1 용량 소자 및 제 2 용량 소자와, 상기 제 1 논리 소자가 갖는 상기 입력 단자와 상기 제 1 용량 소자의 접속을 제어하는 제 1 스위치와, 상기 제 2 논리 소자가 갖는 상기 입력 단자와 상기 제 2 용량 소자의 접속을 제어하는 제 2 스위치와, 상기 제 1 논리 소자가 갖는 상기 입력 단자와 제 1 배선의 접속을 제어하는 제 3 스위치와, 상기 제 2 논리 소자가 갖는 상기 입력 단자와 제 2 배선의 접속을 제어하는 제 4 스위치를 갖는다. 그리고, 상기 제 1 논리 소자가 갖는 상기 입력 단자에 상기 제 2 논리 소자가 갖는 상기 출력 단자가 접속되고, 상기 제 2 논리 소자가 갖는 상기 입력 단자에 상기 제 1 논리 소자가 갖는 상기 출력 단자가 접속되어 있다.

발명의 효과

[0024] 본 발명의 일 형태에 의하여, 데이터의 신뢰성을 높일 수 있는 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 데이터의 기록시의 소비 전력을 낮게 억제할 수 있어, 불휘발성과 고속성을 겸비한 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신뢰성을 높일 수 있는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 전력 소비를 낮게 억제할 수 있는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0025] 도 1은 기억 소자의 구성을 도시한 도면.
 도 2는 타이밍 차트.
 도 3은 기억 소자의 구성을 도시한 도면.
 도 4는 타이밍 차트.
 도 5는 기억 소자의 구성을 도시한 도면.
 도 6은 타이밍 차트.
 도 7a 및 도 7b는 기억 장치의 구성을 도시한 도면.
 도 8은 CPU의 구성을 도시한 도면.
 도 9는 반도체 장치의 구성을 도시한 도면.
 도 10은 기억 장치의 구성을 도시한 도면.
 도 11은 기억 장치의 단면도.
 도 12a 내지 도 12f는 전자 기기를 도시한 도면.
 도 13은 반도체 장치의 단면도.
 도 14는 반도체 장치의 블록도.
 도 15a는 기억 장치의 광학 현미경에 의한 사진이고, 도 15b는 기억 장치의 구성을 도시한 도면.
 도 16a는 기억 장치의 구성을 도시한 도면이고, 도 16b는 기억 장치의 광학 현미경에 의한 사진.
 도 17은 기억 장치의 데이터 보유 특성의 그래프.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 실시형태에 대하여 도면을 사용하여 이하에 자세히 설명한다. 그렇지만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 기재하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0027] 또한, 본 발명은, 마이크로 프로세서, 화상 처리 회로, DSP(Digital Signal Processor), 마이크로 컨트롤러 등의 집적 회로나, RF 태그, 반도체 표시 장치 등, 기억 장치를 사용할 수 있는 반도체 장치를, 그 범주에 포함한다. 반도체 표시 장치에는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, 전자 페이퍼, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등이나, 기억 장치를 구동 회로 또는 제어 회로에 갖는 그 외의 반도체 표시 장치가, 그 범주에 포함된다.
- [0028] (실시형태 1)
- [0029] 본 발명의 일 형태에 따른 기억 장치는, 1 비트의 데이터를 기억할 수 있는 기억 소자(100)를, 단수 또는 복수로 갖는다. 도 1은, 기억 소자(100)의 구성을 예시한 것이다.
- [0030] 기억 소자(100)는 논리 소자(101) 및 논리 소자(102)와, 스위치(103)와, 스위치(104)와, 기억 회로(120)와, 기억 회로(121)를 갖는다.
- [0031] 논리 소자(101) 및 논리 소자(102)는 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 기능을 갖는다. 즉, 논리 소자(101) 및 논리 소자(102)는 신호의 논리 레벨을 반전시키는 기능을 갖는다. 구체적으로 논리 소자(101) 및 논리 소자(102)로서 각각 인버터, 또는 클록드 인버터 등을 사용할 수 있다. 그리고, 논리 소자(101) 및 논리 소자(102)는 입력 단자가 서로의 출력 단자에 접속되어 있다.
- [0032] 또한, 기억 소자(100)에는, 배선(109) 내지 배선(113)이 접속되어 있다. 기억 소자(100)에 있어서의 데이터의 기록과 판독은, 배선(109) 및 배선(110)을 통하여 행해진다. 스위치(103)는 배선(109)에 공급된 데이터의 논리 소자(101) 및 논리 소자(102)로의 기록과, 논리 소자(101) 및 논리 소자(102)로부터 배선(109)으로의 데이터의 판독을 제어하는 기능을 갖는다. 또한, 스위치(104)는, 배선(110)에 공급된 데이터의 논리 소자(101) 및 논리 소자(102)로의 기록과, 논리 소자(101) 및 논리 소자(102)로부터 배선(110)으로의 데이터의 판독을 제어하는 기능을 갖는다.
- [0033] 구체적으로, 도 1에서는 스위치(103)는 논리 소자(101)의 입력 단자와 배선(109)의 전기적인 접속을 제어하는 기능을 갖는다. 또한, 스위치(104)는 논리 소자(102)의 입력 단자와 배선(110)의 전기적인 접속을 제어하는 기능을 갖는다.
- [0034] 배선(111) 내지 배선(113)은 기억 소자(100)에 전원 전위를 공급하는 기능을 갖는다. 구체적으로는, 도 1에서는 배선(111)에 공급되는 전원 전위와 배선(113)에 공급되는 전원 전위의 차이가 전원 전압으로서 논리 소자(101)에 공급된다. 또한, 도 1에서는, 배선(112)에 공급되는 전원 전위와 배선(113)에 공급되는 전원 전위의 차이가 전원 전압으로서 논리 소자(102)에 공급된다.
- [0035] 본 발명의 일 형태에서는, 상기 구성에 의하여 논리 소자(101)에 공급되는 전원 전압과, 논리 소자(102)에 공급되는 전원 전압을 다른 경로로 공급할 수 있다. 전원 전압을 다른 경로로 공급함으로써 논리 소자(101)에 전원 전압을 공급하면서, 논리 소자(102)에 전원 전압을 공급하지 않는 상태를 만들 수 있다. 또는 논리 소자(102)에 전원 전압을 공급하면서, 논리 소자(101)에 전원 전압을 공급하지 않는 상태를 만들 수 있다.
- [0036] 또한, 전원 전압을 공급하지 않는 상태란, 논리 소자(101)의 경우, 배선(111)과 배선(113)의 전위차가 한없이 0V에 가까운 상태를 의미하고, 논리 소자(102)의 경우, 배선(112)과 배선(113)의 전위차가 한없이 0V에 가까운 상태를 의미한다.
- [0037] 논리 소자(101) 및 논리 소자(102)는 전원 전압이 공급됨으로써 스위치(103) 및 스위치(104)를 통하여 기록된 데이터를 보유할 수 있다.
- [0038] 기억 회로(120) 및 기억 회로(121)는 전원 전압의 공급이 정지되어 있어도, 데이터를 기억하는 기능을 갖는다. 구체적으로, 도 1에서는 기억 회로(120)가 논리 소자(101)의 입력 단자에 접속되어 있고, 기억 회로(121)가 논리 소자(102)의 입력 단자에 접속되어 있다. 상기 구성에 의하여 기억 소자(100)로의 전원 전압의 공급이 정지

되기 전에 논리 소자(101) 및 논리 소자(102)에 보유된 데이터를 기억 회로(120) 및 기억 회로(121)에 대피시켜 데이터가 소실되는 것을 방지할 수 있다.

[0039] 또한, 기억 회로(120) 및 기억 회로(121)에는, 전원 전압의 공급이 정지되어 있는 기간에 있어서, 데이터를 보유할 수 있는 용량 소자, MRAM, ReRAM, FeRAM 등의 회로 소자를 사용할 수 있다.

[0040] 또한, 기억 소자(100)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 인덕터 등의 그 외 회로 소자를, 더 가져도 좋다.

[0041] 도 1에 도시된 기억 소자(100)의 동작의 일례는, 도 2에 도시된 타이밍 차트로 제시된다. 도 2에 도시된 타이밍 차트에서는, 기억 소자(100)의 동작이 기간 T1 내지 기간 T8에 따라 달라진다. 기간 T1, 기간 T2 및 기간 T8에서는, 논리 소자(101) 및 논리 소자(102)에 있어서의 데이터의 기록과, 보유와, 판독이 행해진다. 기간 T3 내지 기간 T7에서는, 논리 소자(101) 및 논리 소자(102)로의 전원 전압의 공급 정지 및 재개(再開)와, 데이터의 대피 및 복귀가 행해진다.

[0042] 이하, 각 기간에 있어서의 기억 소자(100)의 동작에 대하여 자세히 설명한다. 또한, 배선(113)에는, 항상 로우 레벨의 전원 전위(VSS)가 공급되는 것으로 하여, 이하의 설명을 행한다.

[0043] 기간 T1에서는, 배선(109) 및 배선(110)을 통하여 데이터가 기억 소자(100)에 기록된다. 구체적으로, 스위치(103) 및 스위치(104)가 온 상태(도통 상태)가 된다. 그리고, 데이터를 포함하는 신호의 제 1 전위가 배선(109)으로부터 스위치(103)를 통하여 논리 소자(101)의 입력 단자에 공급된다. 또한, 제 1 전위의 극성이 반전됨으로써 얻어지는 제 2 전위가 배선(110)으로부터 스위치(104)를 통하여 논리 소자(102)의 입력 단자에 공급된다.

[0044] 또한, 배선(111) 및 배선(112)에는, 하이 레벨의 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 논리 소자(101) 및 논리 소자(102)에 공급된다. 따라서, 논리 소자(101) 및 논리 소자(102)는, 전원 전압이 공급됨으로써 기록된 데이터를 보유한다.

[0045] 기간 T2에서는, 기억 소자(100)에 기록된 데이터가 논리 소자(101) 및 논리 소자(102)에 의하여 보유된다. 구체적으로, 스위치(103) 및 스위치(104)가 오프 상태(비도통 상태)가 된다. 또한, 배선(111) 및 배선(112)에는, 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 논리 소자(101) 및 논리 소자(102)에 공급된다. 그리고, 데이터를 포함하는 신호의 제 1 전위가 논리 소자(101)의 입력 단자 및 논리 소자(102)의 출력 단자에 있어서 보유되고, 제 2 전위가 논리 소자(102)의 입력 단자 및 논리 소자(101)의 출력 단자에 있어서 보유된다.

[0046] 기간 T3에서는, 논리 소자(101) 및 논리 소자(102)에 의하여 보유된 데이터를 기억 회로(120) 및 기억 회로(121)에 대피시킨다. 구체적으로, 스위치(103) 및 스위치(104)는 오프 상태이다. 또한, 배선(111) 및 배선(112)에는, 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 논리 소자(101) 및 논리 소자(102)에 공급된다. 그리고, 데이터를 포함하는 신호의 제 1 전위가 논리 소자(101)의 입력 단자 및 논리 소자(102)의 출력 단자로부터 기억 회로(120)에 기록되고, 제 2 전위가 논리 소자(102)의 입력 단자 및 논리 소자(101)의 출력 단자로부터 기억 회로(121)에 기록됨으로써, 기억 회로(120) 및 기억 회로(121)에 데이터가 기록된다.

[0047] 기간 T4에서는, 기억 소자(100)로의 전원 전압의 공급을 정지시킨다. 구체적으로, 스위치(103) 및 스위치(104)는 오프 상태이다. 그리고, 배선(111) 및 배선(112)에는, 전원 전위(VSS)가 공급된다. 따라서, 배선(111) 및 배선(112)과 배선(113)의 전위차는 한없이 0V에 가깝게 되고, 논리 소자(101) 및 논리 소자(102)로의 전원 전압의 공급은 정지된다. 따라서, 논리 소자(101) 및 논리 소자(102)를 구성하는 트랜지스터의 오프 전류에 기인하는 누설 전력을 한없이 0에 가깝게 할 수 있다. 또한, 기억 회로(120) 및 기억 회로(121)에서는 기간 T3에 있어서 기록된 논리 소자(101) 및 논리 소자(102)의 데이터가 보유된다.

[0048] 또한, 기간 T4에 있어서 배선(111) 및 배선(112)에 공급되는 전원 전위를, 전원 전위(VDD)로부터 전원 전위(VSS)로 전환하는 시기는 같은 타이밍이어도 좋다. 또는 배선(111) 및 배선(112) 중 어느 한쪽에 공급하는 전원 전위를 전원 전위(VDD)로부터 전원 전위(VSS)로 먼저 전환하도록 하여도 좋다.

[0049] 기간 T5에서는 논리 소자(101) 및 논리 소자(102) 중 어느 한쪽에 대하여 전원 전압의 공급이 다시 시작된다. 구체적으로, 스위치(103) 및 스위치(104)는 오프 상태이다. 그리고, 배선(111)에 공급되는 전원 전위는 전원 전위(VSS)로부터 전원 전위(VDD)로 전환되고, 배선(112)에는 전원 전위(VSS)가 계속해서 공급된다. 상기 동작

에 의하여 논리 소자(101)로의 전원 전압의 공급이 다시 시작되고, 논리 소자(102)로의 전원 전압의 공급은 정지된 상태를 유지한다.

[0050] 또는 배선(112)에 공급되는 전원 전위가, 전원 전위(VSS)로부터 전원 전위(VDD)로 전환되고, 배선(111)에는 전원 전위(VSS)가 계속해서 공급되어도 좋다. 상기 동작의 경우 논리 소자(102)로의 전원 전압의 공급이 다시 시작되고, 논리 소자(101)로의 전원 전압의 공급은 정지된 상태를 유지한다.

[0051] 기억 회로(120) 및 기억 회로(121)에서는, 기간 T3에서 기록된 논리 소자(101) 및 논리 소자(102)의 데이터가 계속해서 보유된다.

[0052] 기간 T6에서는, 기억 회로(120) 및 기억 회로(121)에 보유된 데이터를 논리 소자(101) 및 논리 소자(102)에 복귀시킨다. 구체적으로, 스위치(103) 및 스위치(104)는 오프 상태이다. 또한, 기간 T5와 마찬가지로 배선(111)에는 전원 전위(VDD)가 공급되고, 배선(112)에는 전원 전위(VSS)가 공급된다. 또는 기간 T5와 마찬가지로 배선(112)에 전원 전위(VDD)가 공급되고, 배선(111)에 전원 전위(VSS)가 공급되어도 좋다. 그리고, 데이터를 포함하는 신호의 제 1 전위가 기억 회로(120)로부터 판독되어 논리 소자(101)의 입력 단자 및 논리 소자(102)의 출력 단자에 공급되고, 제 2 전위가 기억 회로(121)로부터 판독되어 논리 소자(102)의 입력 단자 및 논리 소자(101)의 출력 단자에 공급됨으로써, 논리 소자(101) 및 논리 소자(102)에 데이터가 기록된다.

[0053] 또한, 기간 T6에서는 논리 소자(101) 및 논리 소자(102) 중 어느 한쪽에 전원 전압이 공급된 상태에 있기 때문에, 논리 소자(101)의 입력 단자(nodeA)의 전위와 출력 단자(nodeB)의 전위는 어느 한쪽이 하이 레벨이 되고, 다른 쪽이 로우 레벨이 되어, 서로 그 극성이 반전된 상태가 된다. 그리고, 논리 소자(101) 및 논리 소자(102) 중 다른 쪽에는 전원 전압이 공급되지 않는 상태에 있기 때문에, 입력 단자(nodeA)의 전위와 출력 단자(nodeB)의 전위 중 어느 쪽이 로우 레벨인지는 기억 회로(120) 및 기억 회로(121)로부터의 데이터에 따라 확정된다.

[0054] 기간 T7에서는 논리 소자(101) 및 논리 소자(102) 중, 기간 T5에서 전원 전압이 정지된 상태에 있는 다른 쪽의 논리 소자에 전원 전압의 공급이 다시 시작된다. 구체적으로, 스위치(103) 및 스위치(104)는 오프 상태이다. 그리고, 기간 T5에 있어서, 논리 소자(101)로의 전원 전압의 공급이 다시 시작되는 경우, 기간 T7에 있어서 배선(112)에 공급되는 전원 전위는, 전원 전위(VSS)로부터 전원 전위(VDD)로 전환되고, 배선(111)에는 전원 전위(VDD)가 계속해서 공급된다. 상기 동작에 의하여 논리 소자(101)뿐만 아니라, 논리 소자(102)로의 전원 전압의 공급이 다시 시작된다.

[0055] 또는 기간 T5에서 논리 소자(102)로의 전원 전압의 공급이 다시 시작된 경우, 기간 T7에서 배선(111)에 공급되는 전원 전위가, 전원 전위(VSS)로부터 전원 전위(VDD)로 전환되고, 배선(112)에는 전원 전위(VDD)가 계속해서 공급된다. 상기 동작에 의하여 논리 소자(102)뿐만 아니라, 논리 소자(101)로의 전원 전압의 공급이 다시 시작된다.

[0056] 또한, 기간 T7에서는 상기 다른 쪽의 논리 소자에 대하여 전원 전압의 공급이 다시 시작될 때, 기억 회로(120) 및 기억 회로(121)로부터 논리 소자(101) 및 논리 소자(102)에 제 1 전위 및 제 2 전위를 공급하는 상태를 유지한다. 구체적으로는, 제 1 전위를 기억 회로(120)로부터 논리 소자(101)의 입력 단자 및 논리 소자(102)의 출력 단자에 공급하고, 제 2 전위가 기억 회로(121)로부터 논리 소자(102)의 입력 단자 및 논리 소자(101)의 출력 단자에 공급한 상태를, 기간 T6으로부터 이어서 유지한다. 그리고, 상기 다른 쪽의 논리 소자에 있어서 전원 전압의 공급이 다시 시작된 후, 기억 회로(120) 및 기억 회로(121)로부터 논리 소자(101) 및 논리 소자(102)로의 제 1 전위 및 제 2 전위의 공급을 정지시킨다.

[0057] 상기 동작에 의하여 기간 T7에서는, 기간 T6에서 논리 소자(101) 및 논리 소자(102)에 기록된 데이터가 보유된다.

[0058] 기간 T8에서는, 논리 소자(101) 및 논리 소자(102)에 보유된 데이터가 배선(109) 및 배선(110)을 통하여 판독된다. 구체적으로, 스위치(103) 및 스위치(104)가 온 상태가 된다. 그리고, 데이터를 포함하는 신호의 제 1 전위가 논리 소자(101)의 입력 단자로부터 스위치(103)를 통하여 배선(109)에 공급된다. 또한, 제 2 전위가 논리 소자(102)의 입력 단자로부터 스위치(104)를 통하여 배선(110)에 공급된다.

[0059] 또한, 배선(111) 및 배선(112)에는, 하이 레벨의 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 논리 소자(101) 및 논리 소자(102)에 공급된다.

[0060] 또한, 기간 T1, 기간 T2, 및 기간 T8에 있어서 기억 회로(120) 및 기억 회로(121)는 상기 데이터의 기록 및 판독이 가능한 상태에 있어도 좋고, 상기 데이터의 기록 및 판독이 불가능한 상태에 있어도 좋다.

- [0061] 본 발명의 일 형태에 따른 기억 장치에서는, 논리 소자(101)에 공급되는 전원 전압과, 논리 소자(102)에 공급되는 전원 전압을 다른 경로로 공급함으로써, 기간 T5와 같이, 기억 회로(120) 및 기억 회로(121)에 보유된 데이터를 논리 소자(101) 및 논리 소자(102)에 되돌릴 때 논리 소자(101) 및 논리 소자(102)에 있어서 한쪽에 전원 전압을 공급하면서, 다른 쪽에 전원 전압을 공급하지 않는 상태를 만들 수 있다. 따라서, 논리 소자(101) 및 논리 소자(102) 중 어느 한쪽에만 전원 전압을 공급하는 기간 T5의 동작과, 대피시킨 데이터를 논리 소자(101) 및 논리 소자(102)에 기록하는 기간 T6의 동작과, 논리 소자(101) 및 논리 소자(102) 양쪽 모두에 전원 전압을 공급함으로써, 상기 데이터를 논리 소자(101) 및 논리 소자(102)에 보유시키는 기간 T7의 동작을 동시가 아니라 순차적으로 행할 수 있다. 따라서, 본 발명의 일 형태에 따른 기억 장치에서는, 기억 회로(120) 및 기억 회로(121)에 대피시킨 데이터를 논리 소자(101) 및 논리 소자(102)로 되돌린 후에도 데이터의 고신뢰성을 확보할 수 있다.
- [0062] 다음에, 도 1에 도시된 기억 소자(100)의 구체적인 구성의 일례에 대하여 도 3을 사용하여 나타내었다.
- [0063] 도 3에 도시된 기억 소자(100)는, 논리 소자(101)의 일례에 해당하는 인버터(101i)와, 논리 소자(102)의 일례에 해당하는 인버터(102i)와, 스위치(103)와, 스위치(104)와, 기억 회로(120)의 일례에 해당하는 스위치(107) 및 용량 소자(105)와, 기억 회로(121)의 일례에 해당하는 스위치(108) 및 용량 소자(106)를 갖는다. 인버터(101i)와 인버터(102i)는 입력 단자가 서로의 출력 단자에 접속되어 있다.
- [0064] 인버터(101i) 및 인버터(102i)는 배선(111) 내지 배선(113)으로부터 전원 전압이 공급됨으로써 스위치(103) 및 스위치(104)를 통하여 기록된 데이터를 보유할 수 있다.
- [0065] 용량 소자(105)는 인버터(101i) 및 인버터(102i)에 보유된 데이터를 필요에 따라 기억할 수 있도록, 스위치(107)를 통하여 인버터(101i)의 입력 단자에 접속되어 있다. 또한, 용량 소자(106)는 인버터(101i) 및 인버터(102i)에 보유된 데이터를 필요에 따라 기억할 수 있도록 스위치(108)를 통하여 인버터(102i)의 입력 단자에 접속되어 있다.
- [0066] 구체적으로는, 용량 소자(105)는 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽의 전극은 스위치(107)를 통하여 인버터(101i)의 입력 단자에 접속되고, 다른 쪽의 전극은 접지 전위 등의 전위가 공급되는 노드에 접속된다. 또한, 용량 소자(106)는 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽의 전극은 스위치(108)를 통하여 인버터(102i)의 입력 단자에 접속되고, 다른 쪽의 전극은 접지 전위 등의 전위가 공급되는 노드에 접속된다.
- [0067] 그리고, 본 발명의 일 형태에서는 스위치(107) 및 스위치(108)에 오프 전류가 현저히 작은 트랜지스터를 사용한다. 상기 구성에 의하여 기억 소자(100)로의 전원 전압의 공급이 정지되어도, 스위치(107) 및 스위치(108)를 오프 상태로 함으로써, 기억 회로(120) 및 기억 회로(121)에 있어서 데이터를 보유할 수 있다. 따라서, 기억 소자(100)로의 전원 전압의 공급이 정지되기 전에, 인버터(101i) 및 인버터(102i)에 보유된 데이터를 기억 회로(120) 및 기억 회로(121)에 대피시켜 데이터가 소실되는 것을 방지할 수 있다.
- [0068] 또한, 기억 소자(100)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 인덕턴스 등의, 그 외 회로 소자를, 더 가져도 좋다.
- [0069] 도 3에 도시된 기억 소자(100)의 동작의 일례는, 도 4에 도시된 타이밍 차트로 제시된다. 도 4에 도시된 타이밍 차트에서는, 도 2와 마찬가지로 기억 소자(100)의 동작이 기간 T1 내지 기간 T8에 따라 달라진다. 기간 T1, 기간 T2 및 기간 T8에서는, 인버터(101i) 및 인버터(102i)에 있어서의 데이터의 기록과, 보유와, 판독이 행해진다. 기간 T3 내지 기간 T7에서는, 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급 정지 및 재개와, 데이터의 대피 및 복귀가 행해진다.
- [0070] 각 기간에 있어서의 도 3에 도시된 기억 소자(100)의 동작에 대하여, 이하에 설명한다. 다만, 스위치(103) 및 스위치(104)의 동작과, 배선(111) 및 배선(112)에 공급되는 전원 전위에 대해서는, 모든 기간에 있어서 도 2에 도시된 타이밍 차트의 경우와 같기 때문에, 본 실시형태에서는 각 기간에 있어서의 스위치(107) 및 스위치(108)의 동작에 대하여 자세히 설명한다. 또한, 배선(113)에는 항상 로우 레벨의 전원 전위(VSS)가 공급되는 것으로 하여, 이하의 설명을 행한다.
- [0071] 기간 T1 및 기간 T2에서는 스위치(107) 및 스위치(108)는 오프로 한다. 상기 기간 T1 및 기간 T2에 있어서 스위치(107) 또는 스위치(108)가 온 상태이어도 좋지만, 기간 T1에 있어서 스위치(107) 및 스위치(108)가 오프 상태인 경우, 기억 소자(100)로의 데이터의 기록시에 용량 소자(105) 및 용량 소자(106)에 있어서 전하가 충전 및

방전되지 않기 때문에, 기억 소자(100)로의 데이터의 기록을 고속으로 행할 수 있다.

- [0072] 기간 T3에서는 스위치(107) 및 스위치(108)는 온으로 한다. 그리고, 데이터를 포함하는 신호의 제 1 전위가, 인버터(101i)의 입력 단자 및 인버터(102i)의 출력 단자로부터 용량 소자(105)의 한쪽의 전극에 공급되고, 제 2 전위가, 인버터(102i)의 입력 단자 및 인버터(101i)의 출력 단자로부터 용량 소자(106)의 한쪽의 전극에 공급됨으로써, 기억 회로(120) 및 기억 회로(121)에 데이터가 기록된다. 상기 동작에 의하여 인버터(101i) 및 인버터(102i)에 보유된 데이터에 따라, 스위치(107) 및 스위치(108)를 통하여 용량 소자(105) 및 용량 소자(106)에 전하가 공급되기 때문에, 상기 데이터를 기억 회로(120) 및 기억 회로(121)에 대피시킬 수 있다.
- [0073] 기간 T4 및 기간 T5에서는 스위치(107) 및 스위치(108)를 오프 상태로 한다. 상기 동작에 의하여 용량 소자(105) 및 용량 소자(106)에 공급된 전하가 보유된다.
- [0074] 기간 T6에서는 스위치(107) 및 스위치(108)를 온으로 한다. 그리고, 용량 소자(105)에 의하여 보유된 제 1 전위가 기억 회로(120)로부터 판독되어 인버터(101i)의 입력 단자 및 인버터(102i)의 출력 단자에 공급된다. 또한, 용량 소자(106)에 의하여 보유된 제 2 전위가 기억 회로(121)로부터 판독되어 인버터(102i)의 입력 단자 및 인버터(101i)의 출력 단자에 공급된다. 상기 동작에 의하여 인버터(101i) 및 인버터(102i)에 데이터가 기록된다.
- [0075] 기간 T6에 있어서는, 인버터(102i)에 전원 전압이 공급되지 않기 때문에, 인버터(102i)는 동작하지 않는다. 그래서, 용량 소자(105)가 인버터(102i)에 의하여 충전 및 방전되지 않는다. 따라서, 인버터(102i)로의 전원 전압의 공급이 시작되었을 때, 인버터(102i)의 오동작에 의하여 용량 소자(105)의 데이터는 소실되지 않는다. 한편, 용량 소자(106)의 데이터는 인버터(101i)로의 전원 전압의 공급이 시작되었을 때, 인버터(101i)의 오동작에 의하여 소실될 가능성이 있다. 그러나, 용량 소자(105)에는 데이터가 남아 있기 때문에, 용량 소자(105)의 데이터를 사용하여 인버터(102i)에 의하여 용량 소자(106)의 데이터가 개서된다. 구체적으로는 인버터(102i)에 의하여 디지털값이 반전되어 용량 소자(105)의 데이터가 용량 소자(106)에 기록된다.
- [0076] 기간 T7 및 기간 T8에서는, 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급이 다시 시작될 때까지 스위치(107) 및 스위치(108)를 온 상태로 한다. 그리고, 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급이 다시 시작된 후, 스위치(107) 및 스위치(108)를 오프 상태로 한다. 또한, 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급이 다시 시작된 후에도, 스위치(107) 및 스위치(108)의 온 상태를 유지하여도 좋지만, 기간 T8에 있어서 스위치(107) 및 스위치(108)가 오프 상태의 경우, 기억 소자(100)로부터의 데이터의 판독시에 용량 소자(105) 및 용량 소자(106)에 있어서 전하가 충전 및 방전되지 않기 때문에 기억 소자(100)로부터의 데이터의 판독을 고속으로 행할 수 있다.
- [0077] 다음에, 도 3에 도시된 기억 소자(100)의 더 구체적인 구성의 일례에 대하여, 도 5를 사용하여 나타낸다.
- [0078] 도 5에 도시된 기억 소자(100)에서는, 스위치(103)로서 트랜지스터(103t)를 사용하고, 스위치(104)로서 트랜지스터(104t)를 사용하고, 스위치(107)로서 트랜지스터(107t)를 사용하고, 스위치(108)로서 트랜지스터(108t)를 사용한다. 트랜지스터(103t) 및 트랜지스터(104t)와, 트랜지스터(107t) 및 트랜지스터(108t)는 n채널형 및 p채널형 중 어느 쪽이라도 좋다. 도 5에서는, 트랜지스터(103t) 및 트랜지스터(104t)와, 트랜지스터(107t) 및 트랜지스터(108t)가 모두 n채널형인 경우를 예시하였다.
- [0079] 또한, 도 5에서 인버터(101i)는 p채널형 트랜지스터(116)와, n채널형 트랜지스터(117)를 갖는다. 인버터(102i)는 p채널형 트랜지스터(114)와, n채널형 트랜지스터(115)를 갖는다.
- [0080] 그리고, 트랜지스터(103t)의 소스 단자 및 드레인 단자는, 한쪽이 배선(109)에 접속되고, 다른 쪽이 트랜지스터(116) 및 트랜지스터(117)의 게이트 전극에 접속된다. 트랜지스터(103t)의 게이트 전극은, 배선(118)에 접속된다. 트랜지스터(104t)의 소스 단자 및 드레인 단자는, 한쪽이 배선(110)에 접속되고, 다른 쪽이 트랜지스터(114) 및 트랜지스터(115)의 게이트 전극에 접속된다. 트랜지스터(104t)의 게이트 전극은 배선(118)에 접속된다.
- [0081] 또한, 트랜지스터의 소스 단자란, 활성층의 일부인 소스 영역 또는 활성층에 접속된 소스 전극을 의미한다. 마찬가지로, 트랜지스터의 드레인 단자란, 활성층의 일부인 드레인 영역, 또는 활성층에 접속된 드레인 전극을 의미한다.
- [0082] 그리고, 트랜지스터(107t)의 소스 단자 및 드레인 단자는, 한쪽이 트랜지스터(116) 및 트랜지스터(117)의 게이트 전극에 접속되고, 다른 쪽이 용량 소자(105)의 한쪽의 전극에 접속된다. 트랜지스터(107t)의 게이트

전극은, 배선(119)에 접속된다. 트랜지스터(108t)의 소스 단자 및 드레인 단자는, 한쪽이 트랜지스터(114) 및 트랜지스터(115)의 게이트 전극에 접속되고, 다른 쪽이 용량 소자(106)의 한쪽의 전극에 접속된다. 트랜지스터(108t)의 게이트 전극은 배선(119)에 접속된다.

[0083] 또한, 트랜지스터(114)의 소스 단자 및 드레인 단자는, 한쪽이 배선(112)에 접속되고, 다른 쪽이 트랜지스터(116) 및 트랜지스터(117)의 게이트 전극에 접속된다. 트랜지스터(115)의 소스 단자 및 드레인 단자는, 한쪽이 배선(113)에 접속되고, 다른 쪽이 트랜지스터(116) 및 트랜지스터(117)의 게이트 전극에 접속된다. 트랜지스터(116)의 소스 단자 및 드레인 단자는, 한쪽이 배선(111)에 접속되고, 다른 쪽이 트랜지스터(114) 및 트랜지스터(115)의 게이트 전극에 접속된다. 트랜지스터(117)의 소스 단자 및 드레인 단자는, 한쪽이 배선(113)에 접속되고, 다른 쪽이 트랜지스터(114) 및 트랜지스터(115)의 게이트 전극에 접속된다.

[0084] 상기 구성을 갖는 인버터(101i)에서는, 트랜지스터(116) 및 트랜지스터(117)의 게이트 전극이 그 입력 단자로서의 기능을 갖는다. 또한, 인버터(101i)에서는, 트랜지스터(116)의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터(117)의 소스 단자 및 드레인 단자의 다른 쪽이 그 출력 단자로서의 기능을 갖는다. 상기 구성을 갖는 인버터(102i)에서는, 트랜지스터(114) 및 트랜지스터(115)의 게이트 전극이 그 입력 단자로서의 기능을 갖는다. 또한, 인버터(102i)에서는, 트랜지스터(114)의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터(115)의 소스 단자 및 드레인 단자의 다른 쪽이 그 출력 단자로서의 기능을 갖는다.

[0085] 또한, 기억 소자(100)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 인덕턴스 등의, 그 외 회로 소자를, 더 가져도 좋다.

[0086] 또한, 도 5에서는, 각 스위치가 하나의 트랜지스터로 구성되는 경우를 예시하였지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 복수의 트랜지스터로 구성되어 있어도 좋다. 하나의 스위치가 복수의 트랜지스터로 구성되어 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.

[0087] 본 명세서에서, 트랜지스터들이 직렬로 접속되는 상태란, 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 어느 한쪽만이 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 어느 한쪽에 접속되는 상태를 의미한다. 또한, 트랜지스터들이 병렬로 접속되어 있는 상태란, 제 1 트랜지스터의 소스 전극과 드레인 전극의 어느 한쪽이, 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 어느 한쪽에 접속되고, 제 1 트랜지스터의 소스 전극과 드레인 전극의 다른 쪽이 제 2 트랜지스터의 소스 전극과 드레인 전극의 다른 쪽에 접속되어 있는 상태를 의미한다.

[0088] 또한, 트랜지스터가 갖는 소스 단자와 드레인 단자는 트랜지스터의 채널형, 및 소스 단자와 드레인 단자에 공급되는 전위의 고저(高低)에 따라 그 호칭이 바뀐다. 일반적으로, n채널형 트랜지스터에서는, 소스 단자와 드레인 단자 중, 낮은 전위가 공급되는 쪽이 소스 단자라고 불리고, 높은 전위가 공급되는 쪽이 드레인 단자라고 불린다. 또한, p채널형 트랜지스터에서는, 소스 단자와 드레인 단자 중, 낮은 전위가 공급되는 쪽이 드레인 단자라고 불리고, 높은 전위가 공급되는 쪽이 소스 단자라고 불린다. 본 명세서에서는, 편의상, 소스 단자와 드레인 단자가 고정되어 있는 것으로 가정하고, 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라 소스 단자와 드레인 단자의 호칭이 바뀐다.

[0089] 또한, 도 5에서는, 각 스위치를 구성하는 트랜지스터가 싱글 게이트 구조인 경우를 예시하였지만, 상기 트랜지스터는, 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 채널 형성 영역을 복수로 갖는, 멀티 게이트 구조라도 좋다.

[0090] 도 5에 도시된 기억 소자(100)의 동작의 일례는, 도 6에 도시된 타이밍 차트로 제시된다. 도 6은, 트랜지스터(103t) 및 트랜지스터(104t)와, 트랜지스터(107t) 및 트랜지스터(108t)가 모두 n채널형인 것으로 가정하였을 때의, 배선(111) 및 배선(112)과, 배선(118) 및 배선(119)에 있어서의 전위의 시간 변화를 나타낸 것이다. 또한, 도 6에 도시된 타이밍 차트에서는, 도 2와 마찬가지로 기억 소자(100)의 동작이 기간 T1 내지 기간 T8에 따라 달라진다. 기간 T1, 기간 T2 및 기간 T8에서는, 인버터(101i) 및 인버터(102i)에 있어서의 데이터의 기록과, 보유와, 판독이 행해진다. 기간 T3 내지 기간 T7에서는, 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급 정지 및 재개와, 데이터의 대피 및 복귀가 행해진다.

[0091] 도 5에 도시된 기억 소자(100)의 각 기간에 있어서의 동작에 대하여, 이하에 자세히 설명한다. 또한, 배선(113)에는 항상 전원 전위(VSS)가 공급되는 것으로 하여, 이하의 설명을 행한다.

[0092] 기간 T1에서는, 배선(118)에 하이 레벨의 전위(VH)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 온 상태가 된다. 따라서, 배선(109) 및 배선(110)의 데이터가 인버터(101i) 및 인버터(102i)에 기록된다.

또한, 배선(119)에 로우 레벨의 전위(VL)가 공급되기 때문에, 트랜지스터(107t) 및 트랜지스터(108t)는 오프 상태가 된다. 배선(111) 및 배선(112)에는 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 인버터(101i) 및 인버터(102i)에 공급된다.

[0093] 기간 T2에서는, 배선(118)에 전위(VL)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 오프 상태가 된다. 따라서, 인버터(101i) 및 인버터(102i)는 데이터를 보유한다. 또한, 배선(119)에 전위(VL)가 공급되기 때문에, 트랜지스터(107t) 및 트랜지스터(108t)는 오프 상태가 된다. 배선(111) 및 배선(112)에는 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 인버터(101i) 및 인버터(102i)에 공급된다.

[0094] 기간 T3에서는, 배선(118)에 전위(VL)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 오프 상태가 된다. 또한, 배선(119)에 전위(VH)가 공급되기 때문에, 트랜지스터(107t) 및 트랜지스터(108t)는 온 상태가 된다. 따라서, 인버터(101i) 및 인버터(102i)의 데이터가 용량 소자(105) 및 용량 소자(106)에 기록된다. 배선(111) 및 배선(112)에는 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 인버터(101i) 및 인버터(102i)에 공급된다.

[0095] 기간 T4에서는, 배선(118)에 전위(VL)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 오프 상태가 된다. 또한, 배선(119)에 전위(VL)가 공급되기 때문에, 트랜지스터(107t) 및 트랜지스터(108t)는 오프 상태가 된다. 배선(111) 및 배선(112)에는 전원 전위(VSS)가 공급되기 때문에, 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급을 정지되어 있다. 따라서, 트랜지스터(114) 및 트랜지스터(115)의 오프 전류에 의하여 배선(112)과 배선(113) 사이에 흐르는 전류를 한없이 0에 가깝게 할 수 있다. 또한, 트랜지스터(116) 및 트랜지스터(117)의 오프 전류에 의하여 배선(111)과 배선(113) 사이에 흐르는 전류를 한없이 0에 가깝게 할 수 있다. 따라서, 인버터(101i) 및 인버터(102i)를 구성하는 트랜지스터의 오프 전류에 기인하는 누설 전력을 한없이 0에 가깝게 할 수 있다. 그리고, 트랜지스터(107t) 및 트랜지스터(108t)의 오프 전류가 충분히 작으면, 용량 소자(105) 및 용량 소자(106)의 데이터는 인버터(101i) 및 인버터(102i)로의 전원 전압의 공급이 정지된 후에도 계속해서 보유된다.

[0096] 또한, 특별히 언급이 없는 한, 본 명세서에서 오프 전류란 n채널형 트랜지스터에 있어서는 드레인 단자를 소스 단자와 게이트 전극보다 높은 전압으로 한 상태로서 소스 단자의 전압을 기준으로 하였을 때 게이트 전극의 전압이 0V 이하일 때, 소스 단자와 드레인 단자 사이에 흐르는 전류를 가리킨다. 또는, 본 명세서에서 오프 전류란, p채널형 트랜지스터에 있어서는, 드레인 단자를 소스 단자와 게이트 전극보다도 낮은 전압으로 한 상태에 있어서, 소스 단자의 전압을 기준으로 하였을 때의 게이트 전극의 전압이 0V 이상일 때에, 소스 단자와 드레인 단자 사이에 흐르는 전류를 가리킨다.

[0097] 또한, 도 6에 도시된 타이밍 차트에서는, 기간 T3으로부터 기간 T4로 이행할 때, 배선(112)에 공급하는 전원 전위를 전원 전위(VDD)로부터 전원 전위(VSS)로 전환시킨 후에, 배선(111)에 공급하는 전원 전위를 전원 전위(VDD)로부터 전원 전위(VSS)로 전환시킨다. 본 발명의 일 형태에서는, 배선(111)에 공급되는 전원 전위와, 배선(112)에 공급되는 전원 전위를 동시에 전원 전위(VDD)로부터 전원 전위(VSS)로 전환시켜도 좋다. 또는, 본 발명의 일 형태에서는, 배선(111)에 공급되는 전원 전위를 전원 전위(VDD)로부터 전원 전위(VSS)로 전환시킨 후에, 배선(112)에 공급하는 전원 전위를 전원 전위(VDD)로부터 전원 전위(VSS)로 전환시켜도 좋다.

[0098] 기간 T5에서는, 배선(118)에 전위(VL)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 오프 상태가 된다. 또한, 배선(119)에 전위(VL)가 공급되기 때문에, 트랜지스터(107t) 및 트랜지스터(108t)는 오프 상태가 된다. 배선(111)에는 전원 전위(VDD)가 공급되기 때문에, 인버터(101i)로의 전원 전압의 공급이 다시 시작된다. 또한, 배선(112)에는 전원 전위(VSS)가 공급되기 때문에, 인버터(102i)로의 전원 전압의 공급은 정지되어 있다.

[0099] 기간 T6에서는, 배선(118)에 전위(VL)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 오프 상태가 된다. 또한, 배선(119)에 전위(VH)가 공급되기 때문에 트랜지스터(107t) 및 트랜지스터(108t)는 온 상태가 된다. 배선(111)에는 전원 전위(VDD)가 공급되고, 인버터(101i)에는 전원 전압이 공급되어 있다. 또한, 배선(112)에는 전원 전위(VSS)가 공급되기 때문에, 인버터(102i)로의 전원 전압의 공급은 정지되어 있다.

[0100] 기간 T7에서는, 배선(118)에 전위(VL)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 오프 상태가 된다. 또한, 배선(119)에 공급되는 전위는 전위(VH)로부터 전위(VL)로 변화되기 때문에 트랜지스터(107t) 및 트랜지스터(108t)는 온 상태에서부터 오프 상태가 된다. 배선(111)에는, 전원 전위(VDD)가 공급되고, 인버터

(101i)에는 전원 전압이 공급되어 있다. 또한, 배선(112)에는, 전원 전위(VDD)가 공급되기 때문에 인버터(102i)로의 전원 전압의 공급이 다시 시작된다.

[0101] 또한, 도 6에 도시된 타이밍 차트에서는, 기간 T5에 있어서 인버터(101i)로의 전원 전압의 공급을 다시 시작하고, 기간 T7에 있어서 인버터(102i)로의 전원 전압의 공급을 다시 시작하지만, 기간 T5에 있어서 인버터(102i)로의 전원 전압의 공급을 다시 시작하고, 기간 T7에 있어서 인버터(101i)로의 전원 전압의 공급을 다시 시작하여도 좋다. 이 경우, 기간 T5 및 기간 T6에 있어서 배선(111)에 전원 전위(VSS)가 공급되고, 배선(112)에 전원 전위(VDD)가 공급된다.

[0102] 기간 T8에서는, 배선(118)에 하이 레벨의 전위(VH)가 공급되기 때문에, 트랜지스터(103t) 및 트랜지스터(104t)는 온 상태가 된다. 또한, 배선(119)에 로우 레벨의 전위(VL)가 공급되기 때문에, 트랜지스터(107t) 및 트랜지스터(108t)는 오프 상태가 된다. 배선(111) 및 배선(112)에는, 전원 전위(VDD)가 공급되고, 전원 전위(VSS)와 전원 전위(VDD)의 차이에 상당하는 전원 전압이 인버터(101i) 및 인버터(102i)에 공급된다.

[0103] 또한, 기간 T1, 기간 T2, 및 기간 T8에 있어서 기억 회로(120) 및 기억 회로(121)는 상기 데이터의 기록 및 판독이 가능한 상태에 있어도 좋고, 상기 데이터의 기록 및 판독이 불가능한 상태에 있어도 좋다. 즉, 상기 기간 T1, 기간 T2, 및 기간 T8에 있어서 배선(119)에 하이 레벨의 전위(VH)가 공급되어도 좋다.

[0104] 도 5에 도시된 기억 소자(100)에서는, 트랜지스터(107t)를 오프 상태로 함으로써 용량 소자(105)에 있어서의 전하의 보유를 행한다. 또한, 트랜지스터(108t)를 오프 상태로 함으로써 용량 소자(106)에 있어서의 전하의 보유를 행한다. 따라서, 트랜지스터(107t) 및 트랜지스터(108t)는 오프 전류가 작은 것이 바람직하다. 오프 전류가 작은 트랜지스터(107t) 및 트랜지스터(108t)를 스위치(107) 및 스위치(108)로서 사용함으로써 용량 소자(105) 및 용량 소자(106)로부터 누설되는 전하의 양을 작게 억제할 수 있어, 기억 회로(120) 및 기억 회로(121)에 있어서 데이터를 확실하게 보유할 수 있다.

[0105] 밴드 갭이 넓고, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 반도체를 채널 형성 영역에 포함하는 트랜지스터는, 오프 전류가 현저히 작다. 상기 트랜지스터를 트랜지스터(107t) 및 트랜지스터(108t)에 사용함으로써 기억 회로(120) 및 기억 회로(121)에 있어서 데이터를 확실하게 보유할 수 있다.

[0106] 또한, 트랜지스터(103t), 트랜지스터(104t), 트랜지스터(114) 내지 트랜지스터(117)는 산화물 반도체 등의 밴드 갭이 넓은 반도체를 채널 형성 영역에 포함하는 트랜지스터라도 좋고, 실리콘 또는 게르마늄 등의 반도체를 채널 형성 영역에 포함하는 트랜지스터라도 좋다. 결정성을 갖는 실리콘 또는 게르마늄 등의 반도체를 채널 형성 영역에 포함하는 트랜지스터는, 이동도가 높다. 상기 트랜지스터를 트랜지스터(103t), 트랜지스터(104t), 트랜지스터(114) 내지 트랜지스터(117)에 사용함으로써 기억 소자(100)에 있어서의 데이터의 기록 및 판독을 고속으로 행할 수 있다.

[0107] 또한, 트랜지스터(103t), 트랜지스터(104t), 트랜지스터(114) 내지 트랜지스터(117)가, 실리콘 또는 게르마늄 등의 반도체를 채널 형성 영역에 포함하는 트랜지스터이며, 트랜지스터(107t) 및 트랜지스터(108t)가, 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터인 경우, 트랜지스터(103t), 트랜지스터(104t), 트랜지스터(114) 내지 트랜지스터(117)와, 트랜지스터(107t) 및 트랜지스터(108t)를 적층시킴으로써 기억 장치의 고집적화를 실현할 수 있다.

[0108] 또한, 도 3 및 도 5에 도시된 구성을 갖는 기억 소자(100)는, MRAM 등을 기억 회로에 사용한 기억 소자와 비교하여 오버 헤드가 작다. 구체적으로, MRAM은 1셀당의 기록 전류가 50 μ A 내지 500 μ A라고 지적되어 있지만, 도 3 및 도 5에 도시된 구성을 갖는 기억 소자(100)에서는, 용량 소자로의 전하의 공급에 의하여 데이터의 대피를 행하기 때문에, 데이터의 기록에 필요한 전류를 MRAM의 1/100 정도로 억제할 수 있다. 그래서, 도 3 및 도 5에 도시된 구성을 갖는 본 발명의 일 형태에서는 전원의 차단에 필요한 오버 헤드를 MRAM의 경우보다 작게 할 수 있어 손익 분기 시간을 짧게 할 수 있다. 따라서, 상기 기억 장치를 사용한 본 발명의 일 형태에 따른 반도체 장치에서는, MRAM을 사용하는 경우보다 소비 전력을 억제할 수 있다.

[0109] 다음에, 도 7a는 기억 장치의 구성을 일례로서 도시한 것이다. 도 7a에 도시된 기억 장치는 스위치(130) 및 스위치(131)와, 기억 소자(100)를 복수로 갖는 기억 소자군(170)을 갖는다. 스위치(130)를 통하여 배선(111)에 공급된 전원 전위(VDD)가 각 기억 소자(100)에 공급된다. 또한, 스위치(131)를 통하여 배선(112)에 공급된 전원 전위(VDD)가 각 기억 소자(100)에 공급된다. 또한, 각 기억 소자(100)에는 배선(113)을 통하여 전원 전위(VSS)가 공급된다.

- [0110] 도 7a에서는, 스위치(130) 및 스위치(131)로서 각각 하나의 트랜지스터를 사용하는 경우를 예시하였다. 그리고, 스위치(130)는 신호(SigA)에 의하여 스위칭이 제어되고, 스위치(131)는 신호(SigB)에 의하여 스위칭이 제어된다. 스위치(130) 및 스위치(131)에 의하여 2종류의 경로를 통하여 각 기억 소자(100)에의 전원 전위(VDD)의 공급을 제어할 수 있다.
- [0111] 또한, 도 7a에서는 2종류의 경로를 통하여 각 기억 소자(100)에 전원 전위(VDD)가 공급되는 경우를 예시하였지만, 본 발명의 일 형태에 따른 기억 장치는 2종류의 경로를 통하여 각 기억 소자(100)에 전원 전위(VSS)가 공급되는 구성을 가져도 좋다.
- [0112] 도 7b에 도시된 기억 장치는, 스위치(132) 및 스위치(133)와, 기억 소자(100)를 복수로 갖는 기억 소자군(170)을 갖는다. 스위치(132)를 통하여 배선(152)에 공급되는 전원 전위(VSS)가, 각 기억 소자(100)에 공급된다. 또한, 스위치(133)를 통하여 배선(151)에 공급된 전원 전위(VSS)가, 각 기억 소자(100)에 공급된다. 또한, 각 기억 소자(100)에는 배선(150)을 통하여 전원 전위(VDD)가 공급된다.
- [0113] 도 7b에서는 스위치(132) 및 스위치(133)로서 각각 하나의 트랜지스터를 사용하는 경우를 예시한다. 그리고, 스위치(132)는 신호(SigA)에 의하여 스위칭이 제어되고, 스위치(133)는 신호(SigB)에 의하여 스위칭이 제어된다. 스위치(132) 및 스위치(133)에 의하여 각 기억 소자(100)로의 2종류의 경로의 전원 전위(VSS)의 공급을 제어할 수 있다.
- [0114] (실시형태 2)
- [0115] 본 실시형태에서는, 본 발명의 반도체 장치의 일 형태에 상당하는 CPU의 구체적인 일 형태에 대하여 설명한다. 도 8에 CPU의 구성의 일례를 블록도로 도시하였다. 또한, 본 명세서에 첨부된 도면에서는 구성 요소를 기능별로 분류하고, 서로 독립된 블록으로서 블록도를 도시하였지만, 실제의 구성 요소는 기능별로 완전히 분리해 내는 것이 어렵고, 하나의 구성 요소가 복수의 기능에 관련될 수도 있다.
- [0116] CPU(600)는, 제어 장치(601)와, 연산 장치에 상당하는 ALU(Arithmetic logic unit)(602)와, 데이터 캐시(603)와, 명령 캐시(604)와, 프로그램 카운터(605)와, 명령 레지스터(606)와, 주 기억 장치(607)와, 레지스터 파일(608)을 갖는다.
- [0117] 제어 장치(601)는 입력된 명령을 디코드하여 실행하는 기능을 갖는다. ALU(602)는 사칙 연산, 논리 연산 등의 각종 연산 처리를 행하는 기능을 갖는다. 데이터 캐시(603)는 사용 빈도가 높은 데이터를 임시적으로 기억해 두는 완충 기억 장치이다. 명령 캐시(604)는 제어 장치(601)로 보내지는 명령(프로그램) 중, 사용 빈도가 높은 명령을 일시적으로 기억해 두는 완충 기억 장치이다. 프로그램 카운터(605)는 다음에 실행할 명령의 어드레스를 기억하는 레지스터이다. 명령 레지스터(606)는 다음에 실행할 명령을 기억하는 레지스터이다. 주 기억 장치(607)에는, ALU(602)에 있어서의 연산 처리에 사용되는 데이터나, 제어 장치(601)에 있어서 실행되는 명령이 기억되어 있다. 레지스터 파일(608)은 범용 레지스터를 포함하는 복수의 레지스터를 갖고, 주 기억 장치(607)로부터 판독된 데이터, ALU(602)의 연산 처리 도중에 얻어진 데이터, 또는 ALU(602)의 연산 처리의 결과 얻어진 데이터 등을 기억할 수 있다.
- [0118] 다음에, CPU(600)의 동작에 대하여 설명한다.
- [0119] 제어 장치(601)는 프로그램 카운터(605)에 기억되어 있는, 다음에 실행할 명령의 어드레스에 따라, 명령 캐시(604)의 대응하는 어드레스로부터 명령을 판독하고, 명령 레지스터(606)에 상기 명령을 기억시킨다. 명령 캐시(604)의 대응하는 어드레스에, 해당하는 명령이 기억되어 있지 않은 경우에는, 주 기억 장치(607)의 대응하는 어드레스에 액세스하여 주 기억 장치(607)로부터 명령을 판독하고, 명령 레지스터(606)에 기억시킨다. 이 경우, 상기 명령을 명령 캐시(604)에도 기억시켜 둔다.
- [0120] 제어 장치(601)는 명령 레지스터(606)에 기억되어 있는 명령을 디코드하여 명령을 실행한다. 구체적으로는, 상기 명령에 따라 ALU(602)의 동작을 제어하기 위한 각종 신호를 생성한다.
- [0121] 실행해야 할 명령이 연산 명령인 경우에는, 레지스터 파일(608)에 기억되어 있는 데이터를 사용하여 ALU(602)에 연산 처리를 행하게 하고, 그 연산 처리의 결과를 레지스터 파일(608)에 저장한다.
- [0122] 실행해야 할 명령이 로드 명령인 경우에는, 제어 장치(601)는 우선 데이터 캐시(603)의 대응하는 어드레스에 액세스하여 해당되는 데이터가 데이터 캐시(603) 중에 있는지 여부를 확인한다. 해당하는 데이터가 있는 경우에는, 상기 데이터를 데이터 캐시(603)의 대응하는 어드레스로부터 레지스터 파일(608)에 복사한다. 해당하는 데이터가 없는 경우에는, 상기 데이터를 주 기억 장치(607)의 대응하는 어드레스로부터 데이터 캐시(603)의 대응

하는 어드레스에 복사한 후, 데이터 캐시(603)의 대응하는 어드레스로부터 레지스터 파일(608)에 상기 데이터를 복사한다. 또한, 해당하는 데이터가 없는 경우에는, 상술한 바와 같이 저속의 주 기억 장치(607)에 액세스할 필요가 있기 때문에, 데이터 캐시(603) 등의 완충 기억 장치에만 액세스하는 경우보다도, 명령의 실행에 시간을 요한다. 그러나, 상기 데이터의 복사에 더하여, 주 기억 장치(607)에 있어서의 상기 데이터의 어드레스 및 그 근방의 어드레스의 데이터도 완충 기억 장치에 복사해 둬으로써, 주 기억 장치(607)에 있어서의 상기 데이터의 어드레스 및 그 근방의 어드레스로의 2번째 이후의 액세스를, 고속으로 행할 수 있다.

[0123] 실행해야 할 명령이 스토어 명령인 경우에는, 레지스터 파일(608)의 데이터를, 데이터 캐시(603)의 대응하는 어드레스에 기억시킨다. 이 때, 제어 장치(601)는, 우선 데이터 캐시(603)의 대응하는 어드레스에 액세스하여 해당되는 데이터를 데이터 캐시(603) 중에 저장할 수 있는지 여부를 확인한다. 저장할 수 있는 경우에는, 상기 데이터를 레지스터 파일(608)로부터 데이터 캐시(603)의 대응하는 어드레스에 복사한다. 저장할 수 없는 경우에는, 데이터 캐시(603)의 일부 영역에 새롭게 대응하는 어드레스를 배정하고, 상기 데이터를 레지스터 파일(608)로부터 데이터 캐시(603)의 대응하는 어드레스에 복사한다. 또한, 데이터 캐시(603)에 데이터를 복사하면 즉시, 주 기억 장치(607)에도 상기 데이터를 복사하는 구성도 가능하다. 또한 몇 가지 데이터를 데이터 캐시(603)에 복사한 후, 이들 데이터를 통괄하여 주 기억 장치(607)에 복사하는 구성도 가능하다.

[0124] 그리고, 제어 장치(601)는 명령의 실행이 종료되면, 다시 프로그램 카운터(605)에 액세스하여 명령 레지스터(606)로부터 판독한 명령을 디코드, 실행한다고 하는 상기 동작을 반복한다.

[0125] 본 발명의 일 형태에서는, 데이터 캐시(603)나 명령 캐시(604) 등의 완충 기억 장치에, 상기 실시형태에서 나타난 기억 장치를 사용함으로써, 전원 전압의 공급 정지에 의한 완충 기억 장치 내 데이터의 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 정지시키기 전에, 보유된 데이터의 대피를 단시간으로 행할 수 있고, 또 전원 전압의 공급이 다시 시작된 후, 단시간으로 상기 데이터를 복귀시킬 수 있다. 따라서, CPU(600) 전체, 또는 CPU(600)를 구성하는 각종 회로에 있어서, 60초와 같이 긴 시간이라도, 밀리 초 정도의 짧은 시간이라도, 전원 전압의 공급을 정지할 수 있다. 따라서, CPU(600)의 소비 전력을 작게 억제할 수 있다.

[0126] 다음에, CPU(600)를 갖는 반도체 장치(650)의 구성을 일례로서 도 9에 도시하였다. 도 9에 도시된 반도체 장치(650)는 CPU(600)와, 파워 컨트롤러(651)와, 스위치(652)와, BUF(버퍼)(653)를 갖는다.

[0127] CPU(600)는 파워 컨트롤러(651), BUF(653)의 동작을 통괄적으로 제어하는 기능을 갖는다. BUF(653)는 반도체 장치(650)에 입력된 데이터를 CPU(600)에 공급하는 기능을 갖는다.

[0128] 파워 컨트롤러(651)는, CPU(600)로부터의 명령에 따라 CPU(600)에 전원 전압 및 구동 신호의 공급을 제어하는 기능을 갖는다. CPU(600)는 파워 컨트롤러(651)로부터의 전원 전압 및 구동 신호의 공급이 행해지므로, 동작 상태가 된다. 또한, CPU(600)는 파워 컨트롤러(651)로부터의 전원 전압 및 구동 신호의 공급이 정지됨으로써 정지 상태가 된다.

[0129] 구체적으로, 파워 컨트롤러(651)는 스위치(652)의 온 또는 오프를 제어하기 위한 신호(SigA) 및 신호(SigB)를 생성하는 기능을 갖는다. 스위치(652)는 신호(SigA) 및 신호(SigB)에 따라 온 및 오프 중 어느 쪽의 상태가 선택된다. 스위치(652)가 온 상태라면 전원 전위(도 9에서는 전원 전위(VDD)를 예시하였음)가 스위치(652)를 통하여 CPU(600)에 공급되고, 스위치(652)가 오프 상태라면 전원 전위는 CPU(600)에 공급되지 않는다.

[0130] 스위치(652)는 예를 들어 도 7a에 도시된 스위치(130) 및 스위치(131), 또는 도 7b에 도시된 스위치(132) 및 스위치(133) 등을 갖는다.

[0131] 또한, CPU(600)의 구동 신호에는, 클록 신호(C-CLK) 등이 있다. 파워 컨트롤러(651)는 반도체 장치(650)에 입력된 클록 신호(CLK)로부터 CPU(600)에서 사용되는 클록 신호(C-CLK)를 생성하는 기능을 갖는다.

[0132] 다음에, 도 9에 도시된 반도체 장치(650)의 동작의 일례에 대하여 설명한다.

[0133] 전원 전압의 공급을 정지시킬 때, 우선 CPU(600)는 파워 컨트롤러(651)에 대하여, CPU(600)로의 전원 전압 및 구동 신호의 구동 신호의 공급을 정지시키도록 명령한다. 그리고, 상기 명령에 따라 파워 컨트롤러(651)는 신호(SigA) 및 신호(SigB)에 의하여 스위치(652)를 오프시킴으로써, CPU(600)로의 전원 전압의 공급을 정지시킨다. 구체적으로, 본 발명의 일 형태에서는 우선 CPU(600)에서는 완충 기억 장치 내에 있어서 기억 회로로의 데이터의 대피를 행한다. 이어서, 클록 신호(C-CLK)의 CPU(600)로의 공급을 정지시킨 후, 2종류의 경로를 통하여 공급되는 완충 기억 장치로의 전원 전압의 공급을 양쪽 모두 정지시킨다.

- [0134] 파워 컨트롤러(651)가 CPU(600)로의 전원 전압 및 구동 신호의 공급을 정지하면, CPU(600)는 정지 상태가 된다.
- [0135] 또한, CPU(600)로의 전원 전압의 공급이 정지된 후에, CPU(600)로의 구동 신호의 공급을 정지시켜도 좋다. 다만, CPU(600)로의 구동 신호의 공급을 정지한 후에 CPU(600)로의 전원 전압의 공급을 정지함으로써, CPU(600)가 오동작을 일으키지 않고 CPU(600)를 정지 상태로 할 수 있어 바람직하다.
- [0136] 각종 명령이 반도체 장치(650)에 입력되면, 파워 컨트롤러(651)에 의하여 전원 전압의 공급이 다시 시작된다. 파워 컨트롤러(651)는 상기 명령의 입력이 행해지면, CPU(600)로의 전원 전압 및 구동 신호의 공급이 다시 시작된다.
- [0137] 구체적으로, 우선 파워 컨트롤러(651)는 완충 기억 장치로의 2 종류의 전원 전압의 공급 경로 중, 어느 한쪽이 다시 시작된다. 다음에, CPU(600)에서는 완충 기억 장치 내에 있어서 기억 회로에 대피시켜 둔 데이터를 논리 소자에 기록함으로써, 상기 데이터를 복귀시킨다. 그 후, 완충 기억 장치로의 2 종류의 전원 전압의 공급 경로 중, 다른 쪽이 다시 시작된다. 그리고, 클록 신호(C-CLK)의 CPU(600)로의 공급이 다시 시작된다. CPU(600)는 전원 전압 및 구동 신호의 공급이 다시 시작됨으로써, 다시 동작 상태가 된다.
- [0138] 또한, CPU(600)로의 구동 신호의 공급이 다시 시작된 후에, CPU(600)로의 전원 전압의 공급을 다시 시작하여도 좋다. 다만, CPU(600)로의 전원 전압의 공급이 다시 시작된 후에, CPU(600)로의 구동 신호의 공급이 다시 시작됨으로써, CPU(600)가 오동작을 일으키지 않고 CPU(600)를 동작 상태로 할 수 있다.
- [0139] 상술한 바와 같이, CPU(600)가 파워 컨트롤러(651)를 제어하는 방식 대신에, 파워 컨트롤러(651)의 동작을 소프트웨어, 즉, BIOS(Basic Input/Output System)나 오퍼레이팅 시스템(operating system)과 연동하는 전원 관리 프로그램에 의하여 제어할 수도 있다.
- [0140] 예를 들어, BIOS에 의하여 CPU(600)가 새로운 명령을 페치(fetch)하지 않는 것을 감지한 경우, 파워 컨트롤러(651)에 스위치(652)를 오프로 하는 명령을 출력시키도록 한다.
- [0141] 또한, 반도체 장치(650)가 컴퓨터에 탑재되는 경우, 오퍼레이팅 시스템상에서 동작하는 전원 관리 프로그램에 의하여 파워 컨트롤러(651)를 제어하도록 하여도 좋다. 전원 관리 프로그램은, CPU(600)의 동작 상태, 또는 하드 디스크나 키보드 등의 입력 디바이스가 일정한 기간 동안 동작하지 않은 것을 검지하여 파워 컨트롤러(651)에 스위치(652)를 오프 상태로 하라는 명령을 준다. 또는 전원 관리 프로그램에 의하지 않고, 평선 키(Function Key)를 설정해 두고, 사용자의 의사(意思)에 의하여 파워 컨트롤러(651)의 동작을 제어하는 신호가 입력되도록 할 수도 있다.
- [0142] 다음에, 도 10에 1열의 기억 소자(100)에 대응한 프리차지 회로(161), 스위치 회로(162), 센스 앰프(163), 및 출력 회로(164)의 접속 구조를 예시하였다. 또한, 도 10에서는 도 1에 도시된 기억 소자(100)의 하나를 예시하였다.
- [0143] 프리차지 회로(161)는 데이터의 판독 전에 배선(109) 및 배선(110)의 전위를 리셋하는 기능을 갖는다. 스위치 회로(162)는 기억 소자(100)에 접속된 배선(109) 및 배선(110)과, 센스 앰프(163) 및 출력 회로(164) 사이의 접속을 제어하는 기능을 갖는다.
- [0144] 센스 앰프(163)는 기억 소자(100)로부터 데이터를 판독할 때 배선(109)과 배선(110)의 전위차를 증폭시키는 기능을 갖는다. 또한, 센스 앰프(163)는 기억 소자(100)로부터 판독된 데이터를 임시적으로 기억하는 기능을 갖는다. 출력 회로(164)는 센스 앰프(163)에 의하여 증폭된 전위차를 사용하여 데이터를 판독하는 기능을 갖는다.
- [0145] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0146] (실시형태 3)
- [0147] 본 실시형태에서는 도 5에 도시된 기억 소자(100)를 갖는 기억 장치의, 단면 구조의 일례에 대하여 설명한다. 또한, 본 실시형태에서는 트랜지스터(103t), 트랜지스터(104t), 트랜지스터(114) 내지 트랜지스터(117)가 비정질, 미결정, 다결정 또는 단결정인, 실리콘 또는 게르마늄 등의 반도체를 활성층으로서 사용하고, 트랜지스터(107t) 및 트랜지스터(108t)가 산화물 반도체를 활성층으로서 사용하는 경우를 예로 들어, 기억 소자(100)의 단면 구조에 대하여 설명한다.
- [0148] 또한, 실리콘 반도체로서는, 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐 등의 처리에 의하여 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온

등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

- [0149] 도 11은 p채널형 트랜지스터(114) 및 n채널형 트랜지스터(115)와, 용량 소자(105)와, 트랜지스터(107t)의 구성을 일례로서 단면도로 도시한 것이다.
- [0150] 도 11에 도시된 기억 장치는, 표면에 절연막(201)이 형성된 기판(200) 위에 트랜지스터(115)와 트랜지스터(114)를 갖는다.
- [0151] 트랜지스터(115)는, 결정성을 갖는 실리콘을 갖는 반도체막(203n)과, 반도체막(203n) 위의 게이트 절연막(204n)과, 게이트 절연막(204n)을 개재(介在)하여 반도체막(203n)과 중첩되는 위치에 제공된 게이트 전극(205n)과, 반도체막(203n)에 접속된 도전막(206) 및 도전막(207)을 갖는다. 또한, 반도체막(203n)은 채널 형성 영역으로서 기능하는 제 1 영역(208)과 소스 영역 또는 드레인 영역으로서 기능하는 제 2 영역(209) 및 제 2 영역(210)을 갖는다. 제 2 영역(209) 및 제 2 영역(210)은 제 1 영역(208)을 사이에 끼운다. 또한, 도 11에서는, 반도체막(203n)이 제 1 영역(208)과 제 2 영역(209) 및 제 2 영역(210) 사이에 LDD(Lightly Doped Drain) 영역으로서 기능하는 제 3 영역(211) 및 제 3 영역(212)을 갖는 경우를 예시한다.
- [0152] 또한, 트랜지스터(114)는, 결정성을 갖는 실리콘을 갖는 반도체막(203p)과, 반도체막(203p) 위의 게이트 절연막(204p)과, 게이트 절연막(204p)을 개재하여 반도체막(203p)과 중첩되는 위치에 제공된 게이트 전극(205p)과, 반도체막(203p)에 접속된 도전막(207) 및 도전막(213)을 갖는다. 그리고, 반도체막(203p)은 채널 형성 영역으로서 기능하는 제 1 영역(214)과 소스 영역 또는 드레인 영역으로서 기능하는 제 2 영역(215) 및 제 2 영역(216)을 갖는다. 제 2 영역(215) 및 제 2 영역(216)은 제 1 영역(214)을 사이에 끼운다. 또한, 도 11에서는, 반도체막(203p)이 제 1 영역(214)과 제 2 영역(215) 및 제 2 영역(216) 사이에 LDD 영역으로서 기능하는 제 3 영역(217) 및 제 3 영역(218)을 갖는 경우를 예시하였다.
- [0153] 또한, 도 11에서는, 트랜지스터(115)와, 트랜지스터(114)가 도전막(207)을 공유하고 있다.
- [0154] 또한, 도 11에서는, 트랜지스터(115)와, 트랜지스터(114)가, 박막의 반도체막을 사용하고 있는 경우를 예시하였지만, 트랜지스터(115)와, 트랜지스터(114)가, 벌크의 반도체 기판에 채널 형성 영역을 갖는 트랜지스터라도 좋다. 박막의 반도체막으로서는, 예를 들어 비정질 실리콘을 레이저 결정화시킴으로써 얻어지는 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.
- [0155] 그리고, 도 11에 도시된 기억 장치는, 도전막(206), 도전막(207), 및 도전막(213) 위에 절연막(219)이 제공되어 있다. 그리고, 절연막(219) 위에는, 트랜지스터(107t)가 제공되어 있다.
- [0156] 트랜지스터(107t)는 절연막(219) 위에 산화물 반도체를 포함하는 반도체막(230)과, 반도체막(230) 위의 게이트 절연막(231)을 갖는다. 또한, 게이트 절연막(231)은 반도체막(230)을 완전히 덮지 않는다. 트랜지스터(107t)는 반도체막(230) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전막(232) 및 도전막(233)을 갖고, 반도체막(230) 중 게이트 절연막(231)으로 덮이지 않은 영역에 있어서 반도체막(230)과 도전막(232) 및 도전막(233)이 각각 접속되어 있다.
- [0157] 그리고, 도전막(233)은 절연막(219)에 제공된 개구부를 통하여 도전막(207)에 접속되어 있다.
- [0158] 또한, 트랜지스터(107t)는 게이트 절연막(231) 위에 있어서 반도체막(230)과 중첩되는 위치에, 게이트 전극(234) 및 사이드 월(235)을 갖는다. 사이드 월(235)은 게이트 전극(234)의 측부에 제공된다. 그리고, 도전막(232)의 일부, 및 도전막(233)의 일부는 사이드 월(235) 위에 중첩된다. 또한, 도전막(232) 및 도전막(233) 위에는 절연막(237)이 형성된다.
- [0159] 또한, 도전막(232) 및 도전막(233)은 반드시 사이드 월(235)에 접할 필요는 없지만, 사이드 월(235)에 접하도록 도전막(232) 및 도전막(233)을 형성함으로써, 도전막(232) 및 도전막(233)의 위치가 약간 어긋나게 형성되어도, 도전막(232) 및 도전막(233)과 반도체막(230)의 접하는 면적이 변동되는 것을 방지할 수 있다. 따라서, 도전막(232) 및 도전막(233)의 위치가 어긋나게 형성되는 것으로 인한 트랜지스터(107t)의 온 전류의 변동을 방지할 수 있다.
- [0160] 또한, 게이트 전극(234) 위에는 절연막(236)이 제공된다. 절연막(236)을 반드시 제공할 필요는 없지만, 절연막(236)을 게이트 전극(234)의 상부에 제공함으로써, 도전막(232) 및 도전막(233)의 위치가 어긋나 게이트 전극(234)의 상부에 덮이도록 형성되어도, 도전막(232) 및 도전막(233)과 게이트 전극(234)이 접촉하는 것을 방지할 수 있다.

- [0161] 또한, 트랜지스터(107t) 및 절연막(237) 위에는, 절연막(238)이 제공되고, 절연막(238) 위에는 도전막(239)이 제공된다. 절연막(237) 및 절연막(238)을 사이에 끼워 도전막(232) 및 도전막(239)이 중첩된 부분이 용량 소자(105)로서 기능한다.
- [0162] 또한, 도 11에서는, 용량 소자(105)를 트랜지스터(107t)와 함께 절연막(219) 위에 제공한 경우를 예시하였지만, 용량 소자(105)는 트랜지스터(115) 및 트랜지스터(114)와 함께 절연막(219) 아래에 제공되어도 좋다.
- [0163] 또한, 도 11에 있어서, 트랜지스터(107t)는, 게이트 전극(234)을 산화물 반도체막(230)의 한쪽에 있어서 적어도 갖고 있으면 좋지만, 반도체막(230)을 사이에 끼워 존재하는 한 쌍의 게이트 전극을 갖고 있어도 좋다.
- [0164] 실리콘 반도체보다 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료의 일례로서, 산화물 반도체 외에 탄화 실리콘(SiC), 질화 갈륨(GaN) 등의 화합물 반도체 등이 있다. 산화물 반도체는, 탄화 실리콘이나 질화 갈륨과 달리 스퍼터링법이나 습식법에 의하여 전기적 특성이 우수한 트랜지스터를 제작할 수 있고, 양산성이 뛰어나다는 이점을 갖는다. 또한 탄화 실리콘 또는 질화 갈륨과 달리, 산화물 반도체는 실온에서도 형성할 수 있기 때문에, 유리 기판 위에 형성할 수 있거나, 또는 실리콘을 사용한 집적 회로 위에 전기적 특성이 우수한 트랜지스터를 제작할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다. 따라서, 상술한 와이드 갭 반도체 중에서도 특히 산화물 반도체는 양산성이 높다는 장점을 갖는다. 또한, 트랜지스터의 성능(예를 들어, 전계 효과 이동도)을 향상시키기 위하여, 결정성의 산화물 반도체를 얻고자 하는 경우에도 250℃ 내지 800℃의 가열 처리에 의하여 용이하게 결정성의 산화물 반도체를 얻을 수 있다.
- [0165] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified OS)는, i형(진성 반도체) 또는 i형에 매우 가깝다. 그래서, 상기 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 현저히 작다고 하는 특성을 갖는다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 작게 할 수 있다.
- [0166] 구체적으로, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터의 오프 전류가 작은 것은, 여러 가지 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 10 μm 인 소자라도 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V에서 10V의 범위에서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 규격화한 오프 전류는 100zA/ μm 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여, 오프 전류의 측정을 행하였다. 상기 측정에서는, 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 주입로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V인 경우에, 수십 yA/ μm 라는, 더 작은 오프 전류 밀도가 얻어지는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역으로서 사용한 트랜지스터는, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비하여 오프 전류가 현저히 작다.
- [0167] 또한, 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 저감하기 위한 스테빌라이저로서, 그들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 hafnium(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.
- [0168] 또한, 다른 스테빌라이저로서 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중의 어느 한 종류 또는 복수 종류를 포함하여도 좋다.
- [0169] 예를 들어, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화

물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0170] 또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 갖는 산화물을 가리키고, In과 Ga와 Zn의 비율은 특별히 제한되지 않는다. 또한, In와 Ga와 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn계 산화물은, 무전계시(無電界時)의 저항이 충분히 높고, 오프 전류를 충분히 작게 하는 것이 가능하고, 또 이동도도 높기 때문에, 반도체 장치에 사용하는 반도체 재료로서는 적합하다.

[0171] 예를 들어, In:Ga:Zn= 1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn= 2:2:1(=2/5:2/5:1/5)의 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, In:Sn:Zn= 1:1:1(=1/3:1/3:1/3), In:Sn:Zn= 2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 좋다.

[0172] 그러나, 이들로 한정되지 않고, 필요로 하는 전기적 특성(이동도, 임계값, 또는 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한 필요로 하는 반도체 특성을 얻기 위하여 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0173] 또한, 예를 들어, 산화물 반도체막은 In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 타깃을 사용한 스퍼터링법에 의하여 형성할 수 있다. In-Ga-Zn계 산화물 반도체막을 스퍼터링법으로 형성하는 경우, 바람직하게는, 원자수비가 In:Ga:Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 또는 3:1:4로 나타내는 In-Ga-Zn계 산화물의 타깃을 사용한다. 상술한 원자수비를 갖는 In-Ga-Zn계 산화물의 타깃을 사용하여 산화물 반도체막을 형성함으로써, 다결정 또는 CAAC-OS(후술함)가 형성되기 쉬워진다. 또한, In, Ga 및 Zn을 포함하는 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타깃을 사용함으로써, 형성한 산화물 반도체막은 치밀한 막이 된다.

[0174] 또한, 산화물 반도체로서 In-Zn계 산화물의 재료를 사용하는 경우, 사용하는 타깃 중의 금속 원소의 원자수비는, In:Zn=50:1 내지 1:2(몰수비로 환산하면 In₂O₃:ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 In₂O₃:ZnO=10:1 내지 1:2), 더욱 바람직하게는 In:Zn=1.5:1 내지 15:1(몰수비로 환산하면 In₂O₃:ZnO=3:4 내지 15:2)로 한다. 예를 들어, In-Zn계 산화물인 산화물 반도체막의 형성에 사용하는 타깃은 원자수비가 In:Zn:O=X:Y:Z일 때, Z>1.5X+Y로 한다. Zn의 비율을 상기 범위에 들어가게 함으로써, 이동도의 향상을 실현할 수 있다.

[0175] 또한, 산화물 반도체막으로서 In-Sn-Zn계 산화물 반도체막을 스퍼터링법으로 형성하는 경우, 바람직하게는, 원자수비가 In:Sn:Zn = 1:1:1, 2:1:3, 1:2:2, 또는 4:9:7로 나타내어지는 In-Sn-Zn계 산화물 타깃을 사용한다.

[0176] 또한, 구체적으로는 감압 상태로 보유했던 처리실 내에 기판을 보유하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 산화물 반도체막을 형성하면 좋다. 형성할 때, 기판 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 하여도 좋다. 기판을 가열하면서 형성함으로써, 형성된 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션(sublimation) 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩(cold trap)을 더한 것이라도 좋다. 크라이오 펌프를 사용하여 처리실을 배기하면, 예를 들어, 수소 원자, 물(H₂O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 당해 처리실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.

[0177] 또한, 스퍼터링 등으로 형성된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량으로 포함되어 있는 것이 있다. 수분 또는 수소는, 도너 준위를 형성하기 쉬우므로, 산화물 반도체에서는 불순물이다. 따라서, 본 발명의 일 형태에서는, 산화물 반도체막 중의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위하여, 감압 분위기하, 질소나 회가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초진조 에어(CRDS(cavity ring down laser spectroscopy: 캐비티 링 다운 레이저 분광법) 방식의 이슬점 온도계를 사용하여 측정한 경우의 수분량이 20ppm(이슬점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기하에서, 산화물 반도체막에 가열 처리를 실시한다.

[0178] 산화물 반도체막에 가열 처리를 실시함으로써, 산화물 반도체막 중의 수분 또는 수소를 탈리시킬 수 있다. 구

체적으로는, 250℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만의 온도에서 가열 처리를 행하면 좋다. 예를 들어, 500℃, 3분간 이상 6분간 이하 정도로 행하면 좋다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있으므로, 유리 기판의 변형점을 넘는 온도로도 처리를 행할 수 있다.

[0179] 또한, 상기 가열 처리에 의하여 산화물 반도체막으로부터 산소가 탈리되고, 산화물 반도체막 내에 산소 결손이 형성되는 경우가 있다. 따라서, 상기 가열 처리를 행한 후에 반도체막(230)에 산소를 공급하는 처리를 행하여 산소 결손을 저감시키는 것이 바람직하다.

[0180] 예를 들어, 산소를 포함하는 가스 분위기하에 있어서 가열 처리를 행함으로써, 반도체막(230)에 산소를 공급할 수 있다. 산소를 공급하기 위한 가열 처리는, 상술한 수분 또는 수소의 농도를 저감하기 위한 가열 처리와 마찬가지로의 조건으로 행하면 좋다. 다만, 산소를 공급하기 위한 가열 처리는 산소 가스, 또는 조건조 에어(CRDS(cavity ring down laser spectroscopy)방식의 이슬점계를 사용하여 측정하였을 경우의 수분량이 20ppm(이슬점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 등의 산소를 포함하는 가스 분위기하에 있어서 행한다.

[0181] 상기 산소를 포함하는 가스에는, 물, 수소 등의 농도가 낮은 것이 바람직하다. 구체적으로는, 산소를 포함하는 가스 내에 포함되는 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다.

[0182] 또는, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용하여 반도체막(230)에 산소를 공급할 수 있다. 상기 방법을 사용하여 산소를 반도체막(230)에 공급한 후, 반도체막(230)에 포함되는 결정부가 손상을 받은 경우는, 가열 처리를 행하여 손상을 받은 결정부를 수복(修復)시키도록 하여도 좋다.

[0183] 또한, 산화물 반도체막과 접하는 게이트 절연막 등의 절연막으로서, 산소를 포함하는 절연막을 사용하고, 상기 절연막으로부터 산화물 반도체막에 산소를 공급하도록 하여도 좋다. 산소를 포함하는 절연막은, 산소 분위기하에서의 가열 처리나, 산소 도핑 등에 의하여 절연 재료를 화학 양론적 조성보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도핑이란, 산소를 반도체막에 첨가하는 것을 가리킨다. 또한, 산소 도핑에는, 플라즈마화한 산소를 반도체막에 첨가하는 산소 플라즈마 도핑이 포함된다. 또한, 산소 도핑은 이온 주입법 또는 이온 도핑법을 사용하여 행하여도 좋다. 산소 도핑 처리를 행함으로써, 화학 양론적 조성보다 산소가 많은 영역을 갖는 절연막을 형성할 수 있다. 그리고, 산소를 포함하는 절연막을 형성한 후, 가열 처리를 실시함으로써 상기 절연막으로부터 산화물 반도체막에 산소가 공여되도록 한다. 상기 구성에 의하여, 도너가 되는 산소 결손을 저감하고, 산화물 반도체막에 포함되는 산화물 반도체의 화학 양론적 조성을 만족시킬 수 있다. 반도체막에는, 화학 양론적 조성을 초과하는 양의 산소가 포함되어 있는 것이 바람직하다. 결과적으로, 산화물 반도체막을 i형에 가깝게 할 수 있고, 산소 결손에 기인한 트랜지스터의 전기적 특성의 편차를 경감시켜 전기적 특성의 향상을 실현할 수 있다.

[0184] 또한, 산소를 산화물 반도체막에 공여하기 위한 가열 처리는, 질소, 조건조 공기 또는 회가스(아르곤, 헬륨 등)의 분위기하에서, 바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하에서 행한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하인 것이 바람직하다.

[0185] 또한, 반도체막(230)으로서 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 갖는 산화물 반도체막을 사용할 수 있다. 바람직하게는, 산화물 반도체막은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.

[0186] CAAC-OS막으로 구성된 산화물 반도체막은, 스퍼터링법에 의해서도 제작할 수 있다. 스퍼터링법에 의하여 CAAC-OS막을 얻기 위해서는 산화물 반도체막의 퇴적 초기 단계에서 육방정의 결정이 형성되도록 하는 것과, 이 결정을 종(種)으로 하여 결정이 성장되도록 하는 것이 중요하다. 그를 위해서는 타겟과 기판의 거리를 넓게 취하고(예를 들어, 150mm 내지 200mm 정도), 기판 가열 온도를 100℃ 내지 500℃, 적합하게는 200℃ 내지 400℃, 더 적합하게는 250℃ 내지 300℃로 하면 바람직하다. 또한, 이것에 더하여, 성막시의 기판 가열 온도보다도 높은 온도로, 퇴적된 산화물 반도체막을 가열 처리함으로써 막 중에 포함되는 마이크로 결함이나, 적층 계면의 결함을 수복할 수 있다.

[0187] 산화물 반도체막은, 예를 들어 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질을 갖는다. 비단결정에 있어서 비정질은 결함 준위 밀도가 가장 높고, CAAC는 결함 준위 밀도가 가장 낮다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide

Semiconductor)라고 부른다.

- [0188] 산화물 반도체막은, 예를 들어 CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어 c축 배향하고, a축 또는/및 b축은 거시적으로 보면 정렬되어 있지 않는 산화물 반도체를 갖는다.
- [0189] 산화물 반도체막은 예를 들어 미결정을 가져도 좋다. 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정을 막 중에 갖는다. 또는 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 결정 부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다.
- [0190] 산화물 반도체막은 예를 들어 비정질부를 가져도 좋다. 비정질 산화물 반도체막은 예를 들어 원자 배열이 무질서한 막이고, 결정 성분을 갖지 않는 산화물 반도체를 갖는다. 또는 비정질 산화물 반도체막은 예를 들어 완전한 비정질이고, 결정부를 갖지 않는 산화물 반도체를 갖는다.
- [0191] 또한, 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.
- [0192] 또한, 산화물 반도체막은 예를 들어 단결정을 가져도 좋다.
- [0193] 산화물 반도체막은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 이와 같은 산화물 반도체막의 일례로서는, CAAC-OS막이 있다.
- [0194] CAAC-OS막은, 완전한 단결정이 아니고(비단결정의 한 종류), 완전한 비정질도 아니다. CAAC-OS막은, 예를 들어 비정질 상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다. 또한, 상기 결정부는 하나의 변이 100nm 미만의 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에 명확한 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그래서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0195] CAAC-OS막에 포함되는 결정부는, 예를 들어 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 a-b면에 수직인 방향에서 볼 때 금속 원자가 삼각형 또는 육각형으로 배열하며, c축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에 있어서, 단순히 "수직"이라고 기재한 경우, 80° 이상 100° 이하의 범위, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재한 경우에는 -10° 이상 10° 이하의 범위, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0196] 또한, CAAC-OS막에 있어서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0197] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 따라서, 결정부의 c축은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다. 성막하였을 때 또는 성막 후에 가열 처리 등의 결정화 처리를 행하였을 때, 결정부는 형성된다.
- [0198] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0199] CAAC-OS막은, 예를 들어, 다결정인 금속 산화물 타깃을 사용하여 스퍼터링법에 의하여 형성한다. 상기 타깃에 이온이 충돌하면, 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 갖는 평판 형상, 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우, 평판 형상의 스퍼터링 입자가, 결정 상태를 유지한 상태에서 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.

- [0200] 또한, CAAC-OS막을 형성하기 위하여, 이하의 조건을 적용하는 것이 바람직하다.
- [0201] 성막시의 불순물 혼입을 저감시킴으로써, 불순물에 의하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소, 및 질소 등)를 저감시키면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.
- [0202] 또한, 성막시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 성막한다. 성막시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나고, 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0203] 또한, 성막 가스 중의 산소 비율을 높여, 전력을 최적화함으로써 성막시의 플라즈마 대미지를 경감시키면 바람직하다. 성막 가스 중의 산소 비율은 30vol.% 이상, 바람직하게는 100vol.%로 한다.
- [0204] 타깃의 일례로서, In-Ga-Zn계 산화물 타깃에 대하여 이하에 나타낸다.
- [0205] InO_x 분말, GaO_y 분말 및 ZnO_z 분말을 소정의 mol비로 혼합하여, 가압 처리를 행한 후, 1000°C 이상 1500°C 이하의 온도에서 가열 처리를 행함으로써 다결정인 In-Ga-Zn계 산화물 타깃으로 한다. 또한, X, Y 및 Z는 임의의 정수이다. 여기서, 소정의 mol수 비율은 예를 들어, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류, 및 이들을 혼합하는 mol수비는 타깃에 따라 적절히 변경하면 좋다.
- [0206] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0207] (실시형태 4)
- [0208] 본 발명의 일 형태에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 게임기(휴대형을 포함함), 휴대 정보 단말, 전자 서적, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 12a 내지 도 12f에 도시하였다.
- [0209] 도 12a는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(stylus)(5008) 등을 갖는다. 또한, 도 12a에 도시된 휴대형 게임기는 2개의 표시부(표시부(5003) 및 표시부(5004))를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이것에 한정되지 않는다.
- [0210] 도 12b는 휴대 정보 단말이며, 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 갖는다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601) 및 제 2 하우징(5602)은 접속부(5605)에 의하여 접속되어 있고, 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)에 의하여 변경할 수 있다. 제 1 표시부(5603)에 있어서의 영상을 접속부(5605)에 있어서의 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(5603) 및 제 2 표시부(5604)의 적어도 한쪽에, 위치 입력 장치로서의 기능이 부가된 반도체 표시 장치를 사용하도록 하여도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써도 부가할 수 있다.
- [0211] 도 12c는 노트북형 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다.
- [0212] 도 12d는 전기 냉동 냉장고이며, 하우징(5301), 냉장실용 문(5302), 냉동실용 문(5303) 등을 갖는다.
- [0213] 도 12e는, 비디오 카메라이며, 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 갖는다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부

(5803)는 제 2 하우징(5802)에 제공된다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되고, 제 1 하우징(5801), 제 2 하우징(5802) 사이의 각도는 접속부(5806)에 의하여 변경할 수 있다. 표시부(5803)에 있어서의 영상을 접속부(5806)에 있어서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라, 전환하는 구성으로 하여도 좋다.

[0214] 도 12f는 보통 자동차이며, 차체(5101), 차륜(5102), 대쉬 보드(5103), 라이트(5104) 등을 갖는다.

[0215] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0216] (실시형태 5)

[0217] 도 13에 본 발명의 일 형태에 따른 반도체 장치의 단면 구조의 일부를, 일례로서 도시하였다. 또한, 도 13에서는, 트랜지스터(107t), 용량 소자(105), 및 트랜지스터(115)를 예시하였다.

[0218] 또한, 본 실시형태에서는, 트랜지스터(115)가 단결정의 실리콘 기판에 형성되고, 산화물 반도체를 활성층으로 사용한 트랜지스터(107t)와 용량 소자(105)가 트랜지스터(115) 위에 형성되어 있는 경우를 예시한다. 트랜지스터(115)는 비정질, 미결정, 다결정 또는 단결정인 실리콘 또는 게르마늄 등의 박막 반도체를 활성층으로 사용하여도 좋다. 또는, 트랜지스터(115)는 산화물 반도체를 활성층으로 사용하여도 좋다. 모든 트랜지스터가 산화물 반도체를 활성층으로 사용하는 경우, 트랜지스터(107t)는 트랜지스터(115) 위에 적층되지 않아도 좋고, 트랜지스터(107t)와 트랜지스터(115)는 동일 층에 형성되어 있어도 좋다.

[0219] 박막의 실리콘을 사용하여 트랜지스터(115)를 형성하는 경우, 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링 법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐 등의 처리에 의하여 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0220] 또한, 기억 회로를 구성하는 트랜지스터 중, 트랜지스터(107t)에 산화물 반도체를 사용하고, 트랜지스터(115)를 포함하는 그 외의 트랜지스터에 실리콘을 사용하는 경우, 실리콘을 사용한 트랜지스터의 개수에 비하여 산화물 반도체를 사용한 트랜지스터의 개수는 적어도 된다. 따라서, 실리콘을 사용한 트랜지스터 위에 트랜지스터(107t)를 적층시킴으로써 트랜지스터(107t)의 디자인 룰을 완화시킬 수 있다.

[0221] 도 13에서는, 반도체 기판(400)에 n채널형 트랜지스터(115)가 형성되어 있다.

[0222] 반도체 기판(400)은, 예를 들어 n형 또는 p형의 도전형을 갖는 실리콘 기판, 게르마늄 기판, 실리콘 게르마늄 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, GaP 기판, GaInAsP 기판, ZnSe 기판 등) 등을 사용할 수 있다. 도 13에서, n형 도전성을 갖는 단결정 실리콘 기판을 사용한 경우를 예시하였다.

[0223] 또한, 트랜지스터(115)는, 소자 분리용 절연막(401)에 의하여 다른 트랜지스터와 전기적으로 분리되어 있다. 소자 분리용 절연막(401)의 형성에는, 선택 산화법(LOCOS법: Local Oxidation of Silicon법) 또는 트렌치 분리법 등을 사용할 수 있다.

[0224] 구체적으로 트랜지스터(115)는 반도체 기판(400)에 형성된, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(402) 및 불순물 영역(403)과, 게이트 전극(404)과, 반도체 기판(400)과 게이트 전극(404) 사이에 제공된 게이트 절연막(405)을 갖는다. 게이트 전극(404)은 게이트 절연막(405)을 사이에 끼워 불순물 영역(402)과 불순물 영역(403) 사이에 형성되는 채널 형성 영역과 중첩된다.

[0225] 트랜지스터(115) 위에는 절연막(409)이 제공되어 있다. 절연막(409)에는 개구부가 형성되어 있다. 또한, 상기 개구부에는 불순물 영역(402), 불순물 영역(403)에 각각 접하는 배선(410), 배선(411)이 형성되어 있다.

[0226] 그리고, 배선(410)은 절연막(409) 위에 형성된 배선(415)에 접속되어 있고, 배선(411)은 절연막(409) 위에 형성된 배선(416)에 접속되어 있다.

[0227] 배선(415) 및 배선(416) 위에는 절연막(420)이 형성되어 있다. 절연막(420)에는 개구부가 형성되어 있고, 상기 개구부에는 배선(416)에 접속된 배선(421)이 형성되어 있다.

[0228] 그리고, 도 13에서는 절연막(420) 위에 트랜지스터(107t) 및 용량 소자(105)가 형성되어 있다.

[0229] 트랜지스터(107t)는, 절연막(420) 위에 산화물 반도체를 포함하는 반도체막(430)과, 반도체막(430) 위의 소스 전극 또는 드레인 전극으로서 기능하는 도전막(432) 및 도전막(433)과, 반도체막(430), 도전막(432) 및 도전막(433) 위의 게이트 절연막(431)과, 게이트 절연막(431) 위에 위치하고, 도전막(432)과 도전막(433) 사이에 있어서 반도체막(430)과 중첩된 게이트 전극(434)을 갖는다.

- [0230] 또한, 게이트 절연막(431) 위에 있어서, 도전막(433)과 중첩되는 위치에 도전막(435)이 제공되어 있다. 게이트 절연막(431)을 사이에 끼워 도전막(433) 및 도전막(435)이 중첩되는 부분이 용량 소자(105)로서 기능한다.
- [0231] 또한, 배선(421)은 도전막(432)에 접속되어 있다.
- [0232] 또한, 도 13에서는, 용량 소자(105)가 트랜지스터(107t)와 함께 절연막(420) 위에 제공되어 있는 경우를 예시하였지만, 용량 소자(105)는 트랜지스터(115)와 함께 절연막(420) 아래에 제공되어도 좋다.
- [0233] 그리고, 트랜지스터(107t), 용량 소자(105) 위에 절연막(441)이 제공되어 있다. 절연막(441)에는 개구부가 제공되고, 상기 개구부에 있어서 게이트 전극(434)에 접하는 도전막(443)이 절연막(441) 위에 제공되어 있다.
- [0234] 또한, 도 13에 있어서, 트랜지스터(107t)는, 게이트 전극(434)을 산화물 반도체막(430)의 한쪽에 있어서 적어도 갖고 있으면 좋지만, 반도체막(430)을 사이에 끼워 존재하는 한 쌍의 게이트 전극을 갖고 있어도 좋다.
- [0235] 트랜지스터(107t)가 반도체막(430)을 사이에 끼워 존재하는 한 쌍의 게이트 전극을 갖고 있는 경우, 한쪽의 게이트 전극에는 온 상태 또는 오프 상태를 제어하기 위한 신호가 공급되고, 다른 쪽의 게이트 전극은 전기적으로 절연하고 있는 플로팅 상태여도 좋고, 전위가 다른 곳으로부터 공급되는 상태이어도 좋다. 후자의 경우, 한 쌍의 전극에, 같은 높이의 전위가 공급되어도 좋고, 다른 쪽의 게이트 전극에만 접지 전위 등의 고정된 전위가 공급되어도 좋다. 다른 쪽의 게이트 전극에 공급되는 전위의 높이를 제어함으로써, 트랜지스터의 임계값 전압을 제어할 수 있다.
- [0236] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0237] (실시형태 6)
- [0238] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치의 일례에 대하여 설명한다.
- [0239] 도 14에 본 발명의 일 형태에 따른 반도체 장치(800)의 구성을 블록도로 도시하였다. 도 14에 도시된 반도체 장치(800)는, CPU(801), DRAM(802), 타이머(Timer)(803), I/O 포트(804), 시스템 버스(System Bus)(805) 등을 갖는다.
- [0240] DRAM(802)은 CPU(801)에 있어서 실행되는 명령이나 데이터 등이 기억되는 주 기억 장치로서의 기능을 갖는다. 타이머(803)는 시간을 측정하고, 측정한 시간을 정보로서 포함하는 신호를 생성하는 기능을 갖는다. I/O 포트(804)는 반도체 장치(800)의 외부에 있는 기기와, 반도체 장치(800)의 신호의 입출력에 있어서의 인터페이스로서의 기능을 갖는다. 시스템 버스(805)는 CPU(801)와, DRAM(802), 타이머(803), 및 I/O 포트(804)간의, 신호의 전송 경로로서의 기능을 갖는다.
- [0241] CPU(801)는 데이터 패스(Data path)(806)와, 파워 스위치(Power Switches)(807)와, 파워 컨트롤러(Power Controller)(808)와, 명령 캐시(I cache)(809)와, 데이터 캐시(D cache)(810)와, 컨트롤러(Controller)(811)를 갖는다.
- [0242] 컨트롤러(811)는, 제어 장치에 상당하며, 명령을 디코드하고, 실행하는 기능을 갖는다.
- [0243] 데이터 패스(806)는 레지스터(Register)(812) 외에, 예를 들어 ALU(Arithmetic Logic Unit), 시프터, 승산기, 또는 부동 소수점 연산기 등의 각종 연산 처리를 행하는 회로를 포함한다.
- [0244] 파워 컨트롤러(808)는, 데이터 패스(806)로부터의 명령에 따라, 파워 스위치(807)가 갖는 각 스위치의, 도통 상태 또는 비도통 상태를 선택함으로써, 명령 캐시(809), 데이터 캐시(810), 데이터 패스(806)로의 전원 전압의 공급을 제어하는 기능을 갖는다. 또한, 도 14에서는, 파워 컨트롤러(808)가 CPU(801)의 구성 요소 중 하나로서 도시되었지만, 파워 컨트롤러(808)는 CPU(801)의 구성 요소에 반드시 포함된다고 한정되지 않는다. 본 발명의 일 형태에 따른 반도체 장치에서는, 파워 컨트롤러(808)를 CPU(801)와 상이한 구성 요소로서 가져도 좋다.
- [0245] 본 발명의 일 형태에 따른 반도체 장치(800)에서는, 상기 실시형태에서 나타낸 기억 소자(100)를 명령 캐시(809), 데이터 캐시(810), 또는 레지스터(812)에 사용할 수 있다. 상기 실시형태에서 나타낸 기억 소자(100)를, 명령 캐시(809), 데이터 캐시(810), 또는 레지스터(812) 등의 완충 기억 장치에 사용함으로써, 전원 전압의 공급의 정지에 의한 완충 기억 장치 내의 데이터의 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 정지시키기 전에 보유된 데이터의 대피를 단시간으로 행할 수 있고, 또한, 전원 전압의 공급이 다시 시작된 후, 단시간으로 상기 데이터를 복귀시킬 수 있다. 따라서, CPU(801) 전체, 또는 CPU(801)를 갖는 반도체 장치에 있어서 60초와 같은 긴 시간이라도, 밀리 초 정도의 짧은 시간이라도, 전원 전압의 공급을 정지할 수 있다.

그래서, 반도체 장치(800)의 소비 전력을 작게 억제할 수 있다.

[0246] 반도체 장치(800)의 사양의 일례를 하기 표 1에 나타낸다.

표 1

[0247]

Technology	Si	0.35 μ m
	OS	0.8 μ m
Architecture		32-bit RISC
Size (W x H)		12 mm x 12 mm
Number of transistors		Approx. 100k
Clock frequency		25 MHz
Power supply voltage	Si	2.5 V
	OS	3.2 V

[0248] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0249] (실시형태 7)

[0250] 본 실시형태에서는, 본 발명의 일 형태에 따른 기억 장치에 있어서의 1비트의 데이터를 기억할 수 있는 기억 소자에 대하여 상기 실시형태와 다른 구성에 대하여 그 일례를 나타낸다. 또한, 본 발명의 일 형태에 따른 기억 장치는, 상기 실시형태 2에서 설명한 데이터 캐시(603) 또는 명령 캐시(604), 상기 실시형태 5에서 설명한 데이터 캐시(810) 또는 명령 캐시(809)에 사용할 수 있다.

[0251] 본 발명의 일 형태에 따른 기억 장치는, 1비트의 데이터를 기억할 수 있는 기억 소자를, 단수 또는 복수로 갖는다. 도 15a에서는, 실제로 제작한 기억 소자(Memory_Cell)를 복수 구비한 기억 장치의 광학 현미경에 의한 사진을 도시하였다.

[0252] 도 15a에 있어서 도시된 기억 소자는 매트릭스 형상으로 제공되고, 주변에 칼럼 드라이버(COLUMN_DRV.), 로우 드라이버(ROW_DRV.), 및 센스 앰프(SENSE_AMP.)를 갖는다.

[0253] 도 15b는, 도 15a에서 실제로 제작한 기억 장치가 갖는 기억 소자의 회로 구성을 도시한 것이다.

[0254] 도 15b에 도시된 기억 소자(820)는, 스위치로서 기능하는 트랜지스터(SW_FET1) 및 트랜지스터(SW_FET2), 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 기능을 갖는 인버터(INV1) 및 인버터(INV2), 오프 전류가 현저히 작은 트랜지스터를 스위치로서 사용하는 트랜지스터(SW_FET1) 및 트랜지스터(SW_FET2), 그리고, 전하를 보유하는 기능을 갖는 용량 소자(Cap1) 및 용량 소자(Cap2)를 갖는다.

[0255] 도 15b에 도시된 구성에 있어서, 트랜지스터(SW_FET1) 및 트랜지스터(SW_FET2)는 실시형태 1에서 설명한 스위치(103) 및 스위치(104)의 일례에 상당한다. 또한, 인버터(INV1) 및 인버터(INV2)는 실시형태 1에서 설명한 논리 소자(101) 및 논리 소자(102)의 일례에 상당한다. 또한, 트랜지스터(OS_FET1) 및 트랜지스터(OS_FET2), 그리고 용량 소자(Cap1) 및 용량 소자(Cap2)는 실시형태 1에서 설명한 기억 회로(120) 및 기억 회로(121)의 일례에 상당한다. 인버터(INV1) 및 인버터(INV2)는 입력 단자가 서로의 출력 단자에 접속되어 있다.

[0256] 인버터(INV1) 및 인버터(INV2)는 같은 배선으로부터 전원 전압이 공급됨으로써, 트랜지스터(SW_FET1) 및 트랜지스터(SW_FET2)를 통하여 기록된 데이터를 보유할 수 있다.

[0257] 용량 소자(Cap1)는 인버터(INV1) 및 인버터(INV2)에 보유된 데이터를 필요에 따라 기억할 수 있도록 트랜지스터(OS_FET1)를 통하여 인버터(INV1)의 입력 단자에 접속된다. 또한, 용량 소자(Cap2)는 인버터(INV1) 및 인버터(INV2)에 보유된 데이터를 필요에 따라 기억할 수 있도록 트랜지스터(OS_FET2)를 통하여 인버터(INV2)의 입력 단자에 접속된다.

[0258] 구체적으로는, 용량 소자(Cap1)는 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽의 전극은 트랜지스터(OS_FET1)를 통하여 인버터(INV1)의 입력 단자에 접속되고, 다른 쪽의 전극은 접지 전위 등의 전위가 공급되는 노드에 접속된다. 또한, 용량 소자(Cap2)는 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽의 전극은 트랜지스터(OS_FET2)를 통하여 인버터(INV2)의 입력 단자에 접속되고, 다른 쪽의 전극은 접지 전위 등의 전위가 공급되는 노드에 접속된다.

[0259] 그리고, 본 발명의 일 형태에서는 트랜지스터(OS_FET1) 및 트랜지스터(OS_FET2)에 오프 전류가 현저히 작은 트

랜지스터를 사용한다. 상기 구성에 의하여 기억 소자(820)로의 전원 전압의 공급이 정지되어도, 트랜지스터(OS_FET1) 및 트랜지스터(OS_FET2)를 오프 상태로 함으로써, 기억 회로(120) 및 기억 회로(121)에 있어서 데이터를 보유할 수 있다. 따라서, 기억 소자(820)로의 전원 전압의 공급이 정지되기 전에, 인버터(INV1) 및 인버터(INV2)에 보유된 데이터를 기억 회로(120) 및 기억 회로(121)에 대피시켜 데이터가 소실되는 것을 방지할 수 있다.

[0260] 또한, 도 15b에 도시된 기억 소자(820)의 동작의 일례는, 도 4에 도시된 타이밍 차트에 나타내는 스위치(103) 및 스위치(104), 그리고 스위치(107) 및 스위치(108)와 같이, 트랜지스터(SW_FET1) 및 트랜지스터(SW_FET2), 그리고 트랜지스터(OS_FET1) 및 트랜지스터(OS_FET2)로 구성되는 스위치의 온 상태 또는 오프 상태를 전환시킴으로써 동작시키면 좋다. 구체적으로는, 트랜지스터(SW_FET1) 및 트랜지스터(SW_FET2), 그리고 트랜지스터(OS_FET1) 및 트랜지스터(OS_FET2)에 접속되는 비트선(BL), 반전 비트선(BLB), 워드선(WL), 제어선(OS_WE) 또한 인버터(INV1) 및 인버터(INV2)로의 전원 전압의 공급의 정지 및 재개는 데이터의 대피 및 복귀 사이에서 행하는 구성으로 하면 좋다.

[0261] (실시형태 8)

[0262] 본 실시형태에서는, 상술한 실시형태에 나타낸 캐시로서 사용할 수 있는 기억 소자의 일례를, 도 16a, 도 16b 및 도 17을 사용하여 설명한다. 도 16a에는, 기억 소자의 일례로서 기억 소자(900)의 회로도도 도시하였다.

[0263] 도 16a에 도시된 기억 소자(900)는, 트랜지스터(910)와, 트랜지스터(912)와, 용량 소자(914)를 갖고, 배선(920), 배선(922), 및 배선(924)과 전기적으로 접속되어 있다. 트랜지스터(910)는 상술한 실시형태에 나타낸 트랜지스터(107t) 및 트랜지스터(108t)와 마찬가지로의 것을 사용할 수 있고, 본 실시형태에서는, 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터를 사용하는 것으로 한다. 또한, 트랜지스터(912)는 상술한 실시형태에 나타낸 트랜지스터(103t) 및 트랜지스터(104t)와 마찬가지로의 것을 사용할 수 있다.

[0264] 트랜지스터(910)의 소스 단자 및 드레인 단자는, 한쪽이 배선(920)에 접속되고, 다른 쪽이 트랜지스터(912)의 게이트 전극 및 용량 소자(914) 중 어느 한쪽의 전극에 접속되어 있다. 트랜지스터(910)의 게이트 전극은 배선(922)에 접속되어 있다. 트랜지스터(912)의 소스 단자 및 드레인 단자는, 한쪽이 배선(920)에 접속되고, 다른 쪽에는 배선을 통하여 소정의 전위가 공급된다. 용량 소자(914)의 다른 쪽의 전극은 배선(924)에 접속되어 있다.

[0265] 트랜지스터(910)는 오프 전류가 현저히 작다는 특징을 갖기 때문에 트랜지스터(910)를 오프 상태로 함으로써, 트랜지스터(910)의 소스 단자 및 드레인 단자 중 다른 쪽과, 트랜지스터(912)의 게이트 전극과, 용량 소자(914) 중 한쪽의 전극이 접속된 노드(이하, 노드 FG라고 부름)의 전위를 긴 시간에 걸쳐 보유할 수 있다. 그리고, 용량 소자(914)를 가짐으로써, 노드 FG에 공급된 전하의 보유가 용이하게 되고, 보유된 정보의 판독도 용이하게 된다.

[0266] 기억 소자(900)에 정보를 기억시킬 경우(기록)는, 우선, 배선(922)의 전위를 트랜지스터(910)가 온 상태가 되는 전위로 하여, 트랜지스터(910)를 온 상태로 한다. 이로써, 배선(920)의 전위가, 노드 FG에 공급되고, 노드 FG에 소정량의 전하가 축적된다. 그 후, 배선(924)의 전위를 트랜지스터(910)가 오프 상태가 되는 전위로 하고, 트랜지스터(910)를 오프 상태로 함으로써 노드 FG에는 소정의 전하가 계속 보유된 상태가 된다. 상술한 바와 같이, 노드 FG에 소정량의 전하를 축적 및 보유시킴으로써, 메모리 셀에 정보를 기억시킬 수 있다.

[0267] 기억된 정보를 판독할 경우(판독)는, 우선, 트랜지스터(912)의 소스 단자 및 드레인 단자 중 다른 쪽에 소정의 전위(정 전위)를 공급한 상태에서, 노드 FG에 보유된 전하에 의하여 트랜지스터(912)의 온 상태 또는 오프 상태가 선택되는 전위(판독 전위)를 공급한다. 그 후, 트랜지스터(912)의 온 상태 또는 오프 상태를 판독(배선(920)의 전위를 판독)함으로써 기억된 정보를 판독할 수 있다.

[0268] 도 16a에 도시된 기억 소자(900)를 매트릭스 형상으로 복수 배열시켜 제작한 기억 장치의 광학 현미경 사진을 도 16b에 도시하였다. 도 16b에 도시된 기억 장치는 기억 소자(900)를 메모리 셀로서 매트릭스 형상으로 배열시킨 메모리 셀 어레이와, 로우 드라이버와, 센스 래치와 컨트롤러를 갖는다.

[0269] 도 16b에 도시된 기억 장치는 행 방향의 폭이 4.0mm, 열 방향의 폭이 5.8mm, 기억 용량은 1M비트이다.

[0270] 도 16b에 도시된 기억 장치의 데이터 보유 특성을 측정한 결과를 도 17에 도시하였다. 데이터 보유 특성의 측정은, 도 16a에 도시된 배선(922)의 전압을 -2V로 하고, 온도 125℃로 행하였다.

[0271] 도 17에 도시된 그래프는, 가로 축에는 시간(초), 세로 축에 데이터가 보유된 비트수를 취한다. 도 17에 도시

된 바와 같이, 도 16b에 도시된 기억 장치는 125℃의 환경에서 10일 이상 경과하여도 데이터를 충분히 보유하였다. 여기서, 125℃로의 가속 계수는 실온의 가속 계수의 약 10^4 배이다. 따라서, 도 16b에 도시된 기억 장치는 실온의 환경에서 10년, 또는 더 이상 동안 데이터를 보유할 수 있다는 것이 추측된다.

[0272] 이와 같이, 산화물 반도체 등의 밴드 갭이 넓은 반도체를 채널 형성 영역에 포함하는 트랜지스터를, 기억 장치에 사용함으로써 양호한 데이터 보유 특성을 갖는 기억 장치를 제공할 수 있다.

[0273] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0274] 100: 기억 소자
 101: 논리 소자
 101i: 인버터
 102: 논리 소자
 102i: 인버터
 103: 스위치
 103t: 트랜지스터
 104: 스위치
 104t: 트랜지스터
 105: 용량 소자
 106: 용량 소자
 107: 스위치
 107t: 트랜지스터
 108: 스위치
 108t: 트랜지스터
 109: 배선
 110: 배선
 111: 배선
 112: 배선
 113: 배선
 114: 트랜지스터
 115: 트랜지스터
 116: 트랜지스터
 117: 트랜지스터
 118: 배선
 119: 배선
 120: 기억 회로
 121: 기억 회로
 130: 스위치

131: 스위치
 132: 스위치
 133: 스위치
 150: 배선
 151: 배선
 152: 배선
 161: 프리차지 회로
 162: 스위치 회로
 163: 센스 앰프
 164: 출력 회로
 170: 기억 소자군
 200: 기관
 201: 절연막
 203n: 반도체막
 203p: 반도체막
 204n: 게이트 절연막
 204p: 게이트 절연막
 205n: 게이트 전극
 205p: 게이트 전극
 206: 도전막
 207: 도전막
 208: 영역
 209: 영역
 210: 영역
 211: 영역
 212: 영역
 213: 도전막
 214: 영역
 215: 영역
 216: 영역
 217: 영역
 218: 영역
 219: 절연막
 230: 반도체막
 231: 게이트 절연막
 232: 도전막

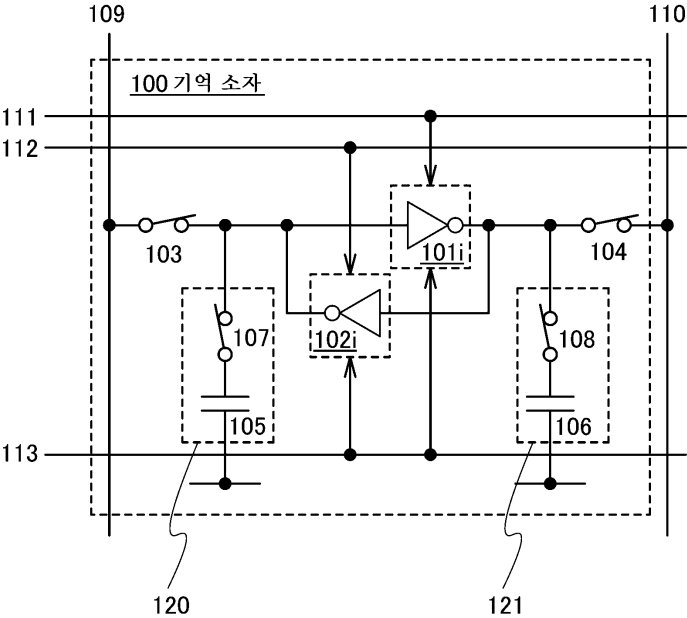
233: 도전막
 234: 게이트 전극
 235: 사이드 월
 236: 절연막
 237: 절연막
 238: 절연막
 239: 도전막
 400: 반도체 기판
 401: 소자 분리용 절연막
 402: 불순물 영역
 403: 불순물 영역
 404: 게이트 전극
 405: 게이트 절연막
 409: 절연막
 410: 배선
 411: 배선
 415: 배선
 416: 배선
 420: 절연막
 421: 배선
 430: 반도체막
 431: 게이트 절연막
 432: 도전막
 433: 도전막
 434: 게이트 전극
 435: 도전막
 441: 절연막
 443: 도전막
 600: CPU
 601: 제어 장치
 602: ALU
 603: 데이터 캐시
 604: 명령 캐시
 605: 프로그램 카운터
 606: 명령 레지스터
 607: 주 기억 장치

608: 레지스터 파일
 650: 반도체 장치
 651: 파워 컨트롤러
 652: 스위치
 653: BUF
 800: 반도체 장치
 801: CPU
 802: DRAM
 803: 타이머
 804: I/O 포트
 805: 시스템 버스
 806: 데이터 패스
 807: 파워 스위치
 808: 파워 컨트롤러
 809: 명령 캐시
 810: 데이터 캐시
 811: 컨트롤러
 812: 레지스터
 820: 기억 소자
 900: 기억 소자
 910: 트랜지스터
 912: 트랜지스터
 914: 용량 소자
 920: 배선
 922: 배선
 924: 배선
 5001: 하우징
 5002: 하우징
 5003: 표시부
 5004: 표시부
 5005: 마이크로폰
 5006: 스피커
 5007: 조작 키
 5008: 스타일러스
 5101: 차체
 5102: 차륜

도면2

스위치 103,104		지역 소자 120,121		배선 111		배선 112	
T1	T2	T3	T4	T5	T6	T7	T8
ON	OFF	OFF	OFF	OFF	OFF	OFF	ON
		Write	Hold		Read	/	
VDD	VDD	VDD	VSS	VDD	VDD	VDD	VDD
VDD	VDD	VDD	VSS	VSS	VSS	VDD	VDD

도면3

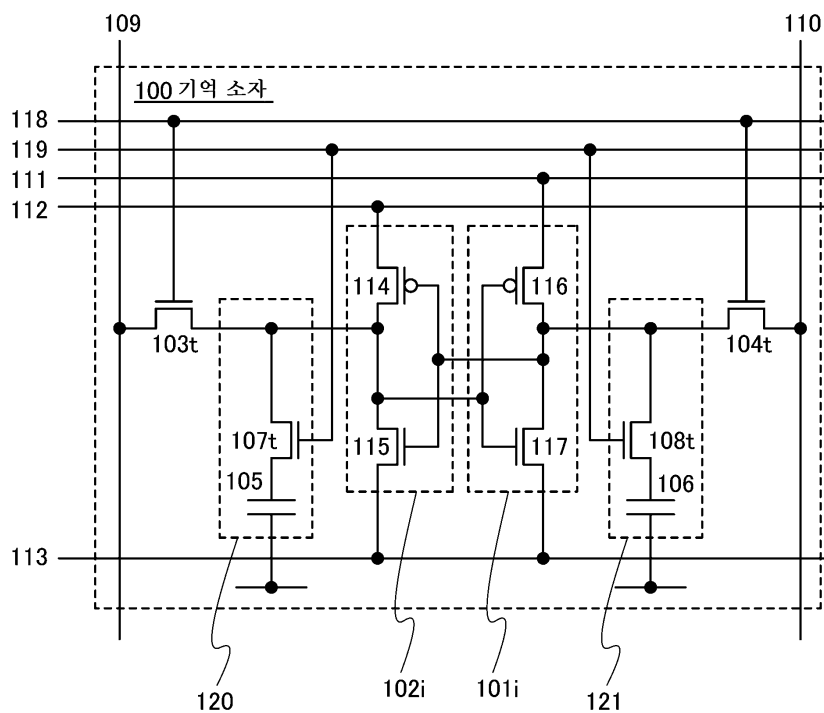


도면4

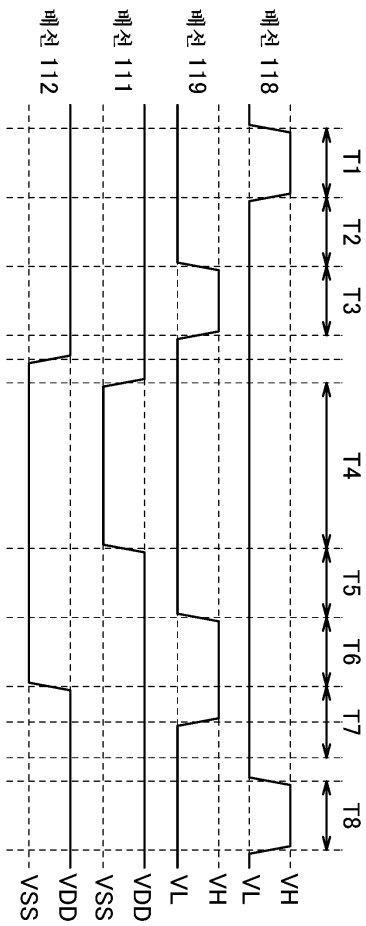
스위치
103, 104
스위치
107, 108
배선 111
배선 112

	T1	T2	T3	T4	T5	T6	T7	T8
스위치 103, 104	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON
스위치 107, 108	OFF	OFF	ON	OFF	OFF	ON	ON	OFF
배선 111	VDD	VDD	VDD	VSS	VDD	VDD	VDD	VDD
배선 112	VDD	VDD	VDD	VSS	VSS	VSS	VDD	VDD

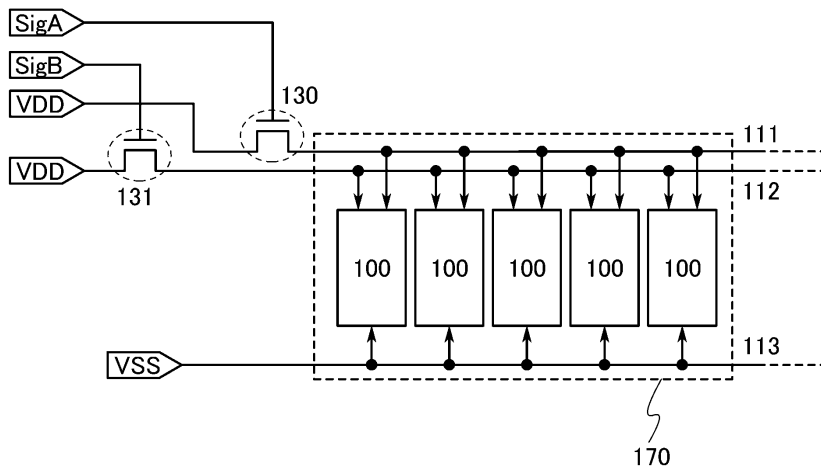
도면5



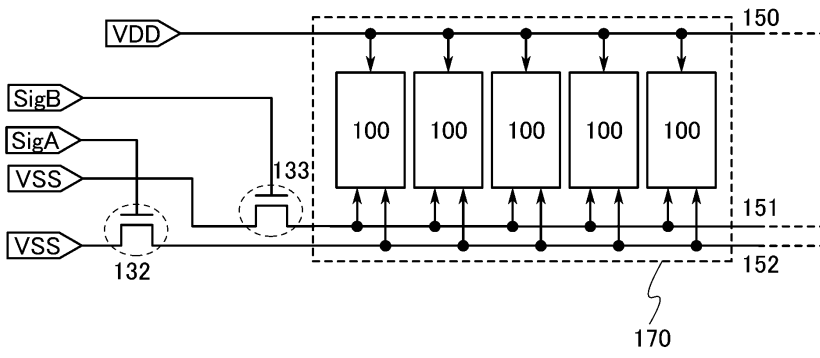
도면6



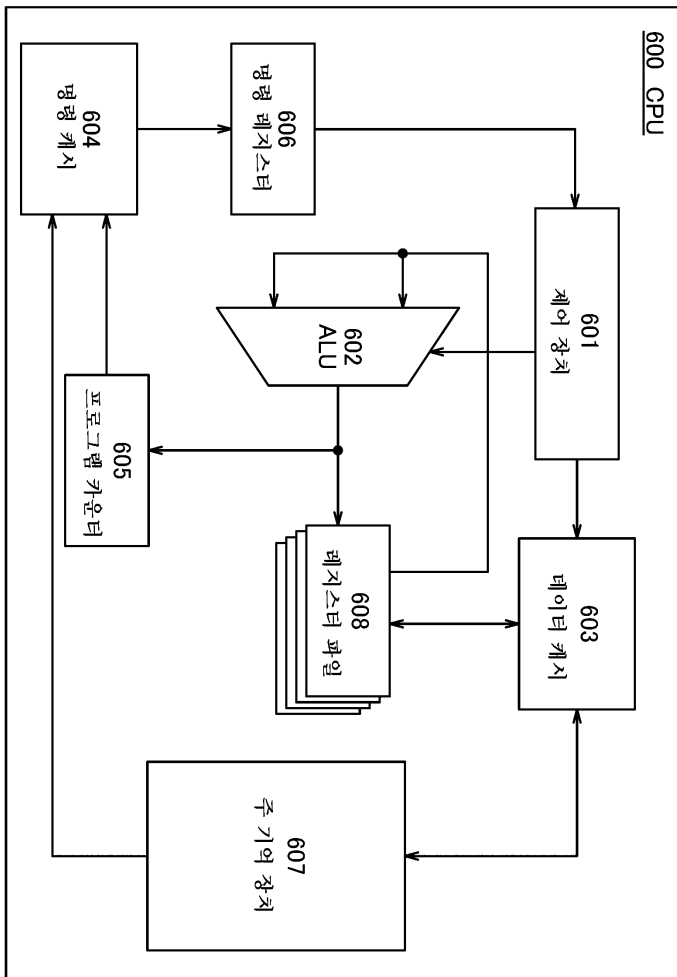
도면7a



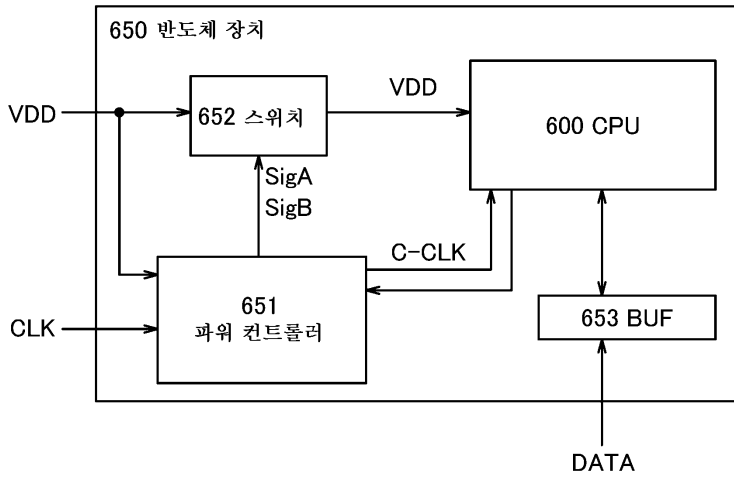
도면7b



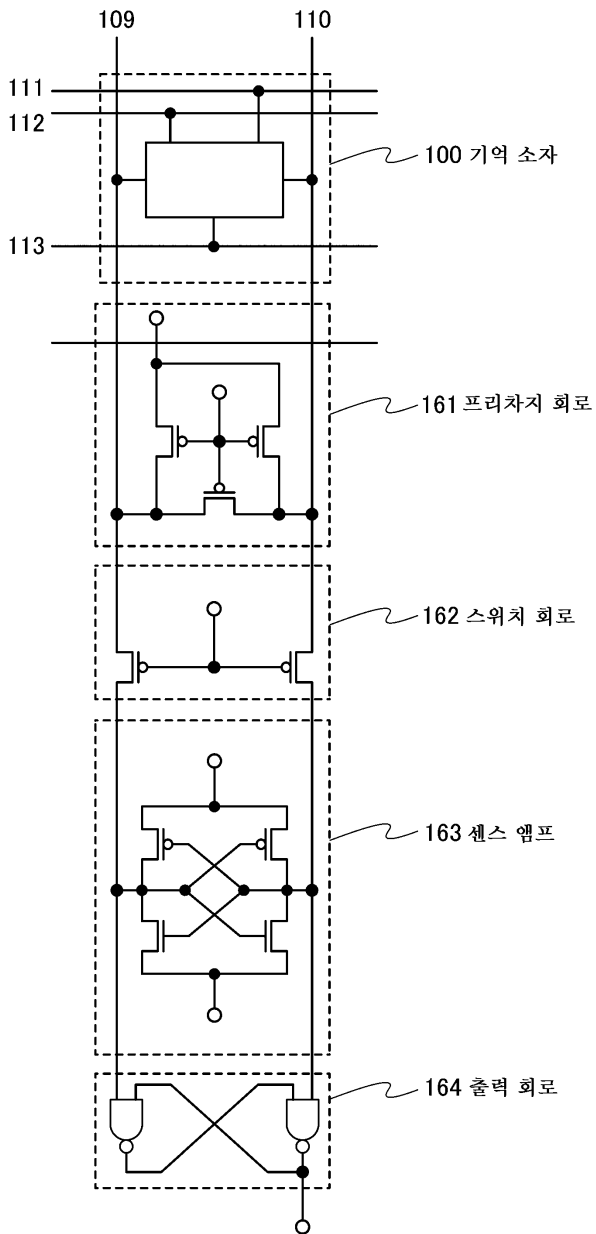
도면8



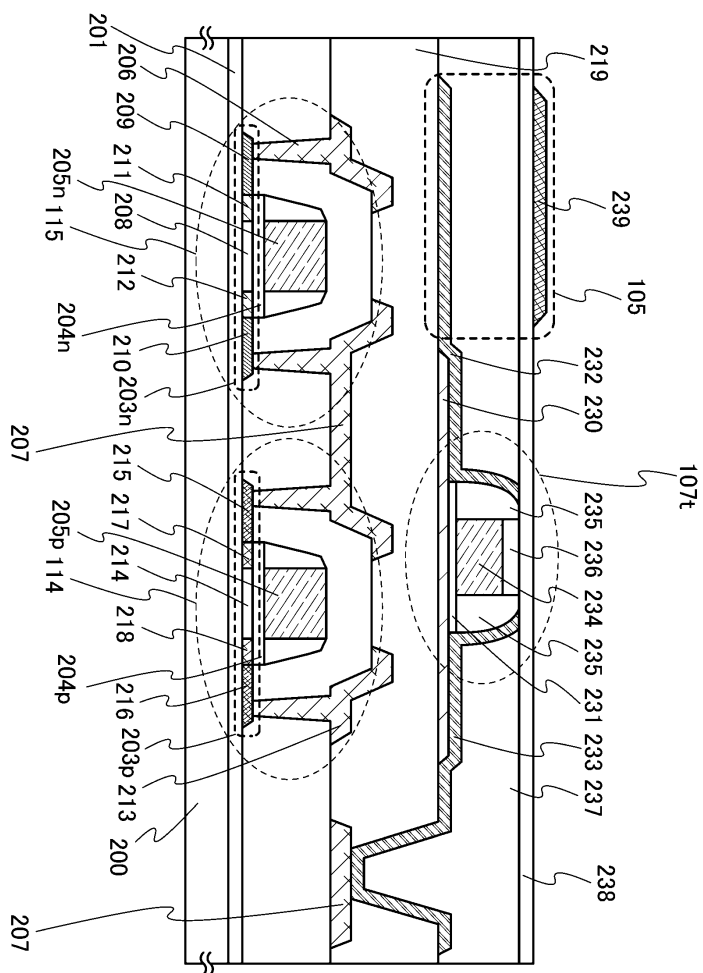
도면9



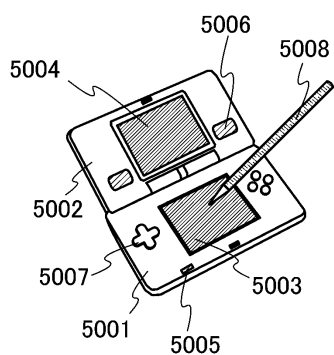
도면10



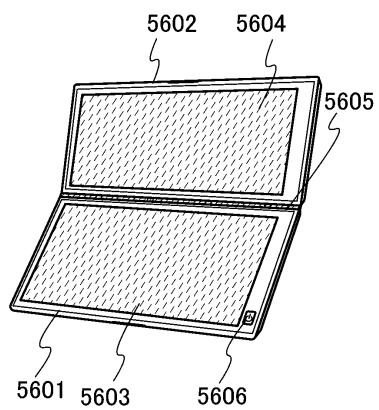
도면11



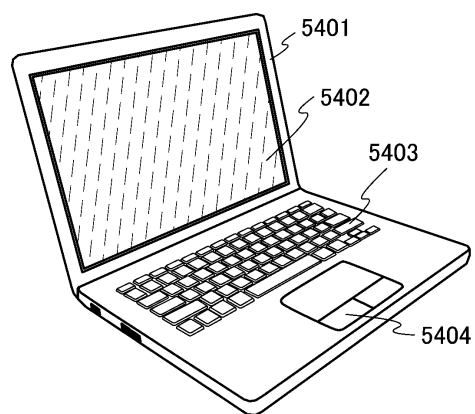
도면12a



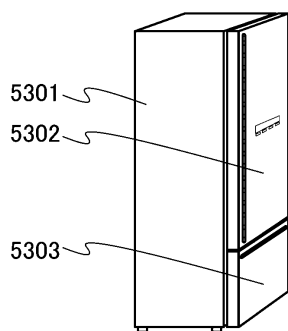
도면12b



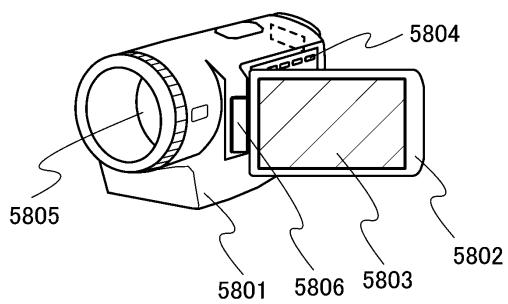
도면12c



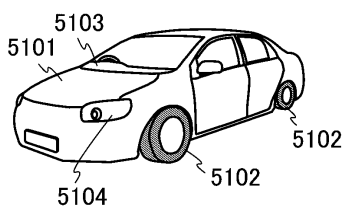
도면12d



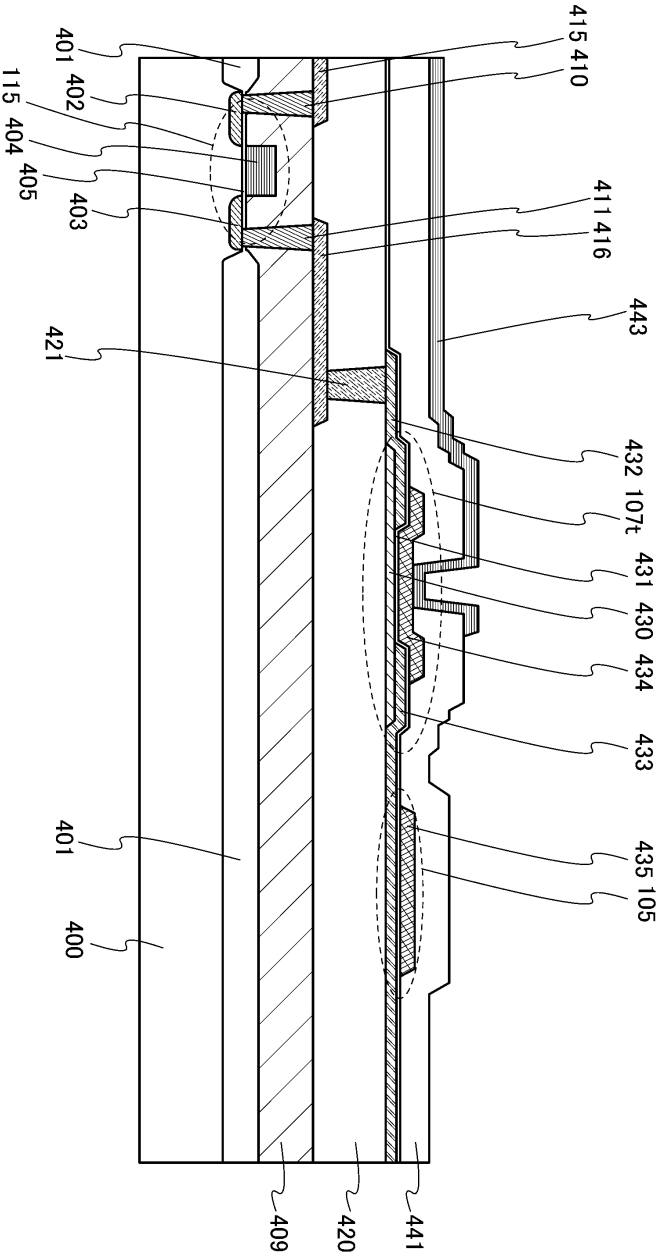
도면12e



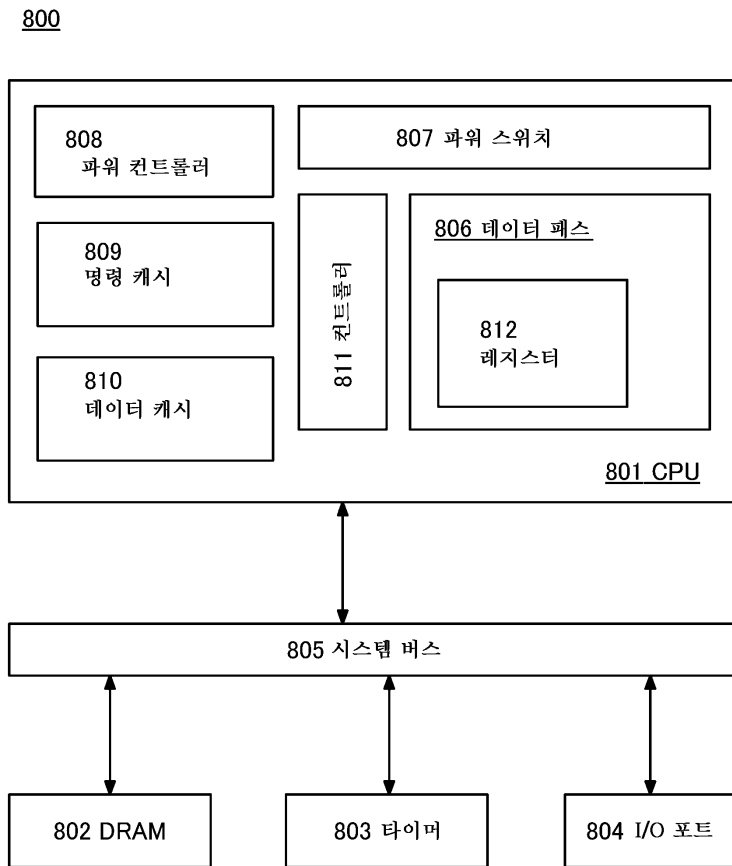
도면12f



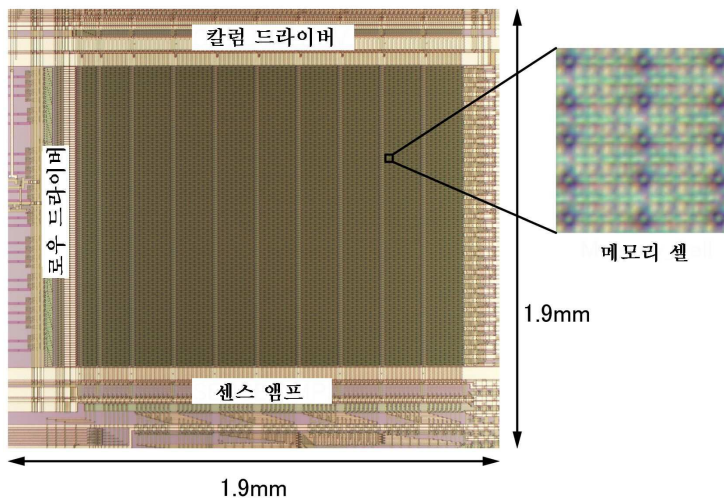
도면13



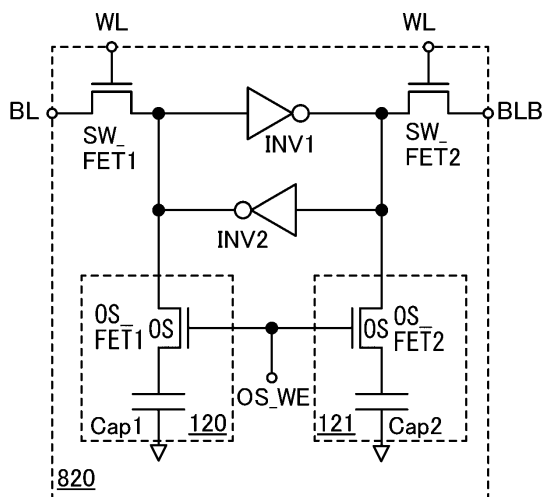
도면14



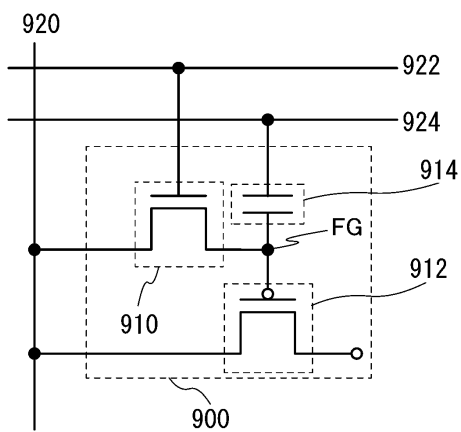
도면15a



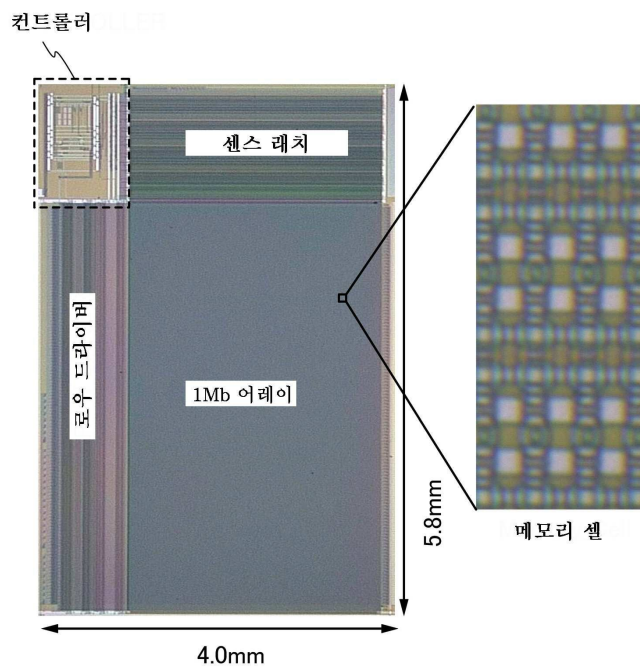
도면15b



도면16a



도면 16b



도면17

