



(12) 发明专利

(10) 授权公告号 CN 103258827 B

(45) 授权公告日 2016. 03. 23

(21) 申请号 201310155747. X

CN 103021939 A, 2013. 04. 03,

(22) 申请日 2013. 04. 28

CN 102709239 A, 2012. 10. 03,

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号

CN 102790012 A, 2012. 11. 21,

KR 20030077372 A, 2003. 10. 01,

(72) 发明人 宁策 高涛

审查员 陈冠源

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 203179888 U, 2013. 09. 04,

CN 103021939 A, 2013. 04. 03,

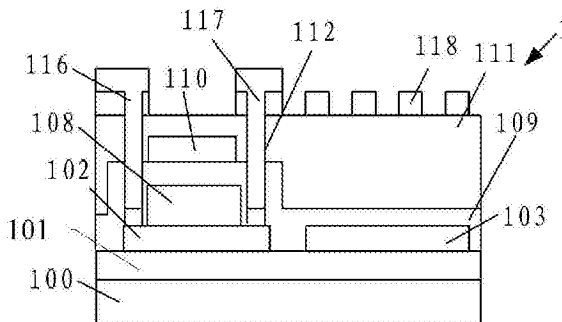
权利要求书2页 说明书9页 附图7页

(54) 发明名称

阵列基板及其制作方法、显示装置

(57) 摘要

本发明实施例提供阵列基板及其制作方法、显示装置,涉及显示技术领域,能够减少制作阵列基板所需的光刻掩膜工艺的次數,縮短研发和大规模量产的时间,降低制作成本。本发明的阵列基板,包括:基板;设置于所述基板上的有源层、第一透明电极,以及所述有源层上、用于保护后续的源、漏极之间的有源层区域的刻蚀阻挡层,所述有源层、第一透明电极及所述刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的,所述有源层的掺杂区域与所述第一透明电极的材料相同;设置于所述有源层上的源、漏极,所述有源层与所述源、漏极之间设置有与后续的第二透明电极相同材料的透明导电材料,且所述源、漏极通过所述透明导电材料与所述有源层的掺杂区域相连接。



1. 一种阵列基板,其特征在于,包括:

基板;

设置于所述基板上的有源层、第一透明电极,以及所述有源层上、用于保护后续的源、漏极之间的有源层区域的刻蚀阻挡层,所述有源层、第一透明电极及所述刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的,所述有源层的掺杂区域与所述第一透明电极的材料相同;

设置于所述有源层上的源、漏极,所述有源层与所述源、漏极之间设置有与后续的第二透明电极相同材料的透明导电材料,且所述源、漏极通过所述透明导电材料与所述有源层的掺杂区域相连接;

设置于所述有源层、刻蚀阻挡层及第一透明电极上的栅绝缘层;

设置于所述栅绝缘层上的栅极,所述栅极设置于所述有源层的上方;

设置于所述栅极和所述栅绝缘层上的保护层;

设置于所述有源层的上方、对应于后续形成的源极和漏极的过孔,所述源、漏极通过所述过孔与所述有源层的掺杂区域电连接;

设置于所述保护层上的第二透明电极,所述第二透明电极为狭缝状电极;

设置于所述基板与所述有源层之间的缓冲层。

2. 根据权利要求 1 所述的阵列基板,其特征在于,所述第二透明电极的厚度在 30nm 至 50nm 的范围内。

3. 根据权利要求 1 或 2 所述的阵列基板,其特征在于,所述有源层及所述第一透明电极的厚度在 30nm 至 50nm 的范围内,所述刻蚀阻挡层的厚度在 100nm 至 200nm 的范围内。

4. 一种显示装置,其特征在于,包括如权利要求 1-3 中任一项所述的阵列基板。

5. 一种阵列基板的制作方法,其特征在于,包括:

在基板上形成氧化物半导体薄膜和绝缘薄膜;

采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层;

在完成上述工艺的基板上形成栅绝缘层;

在所述栅绝缘层上形成栅极薄膜;

采用一次构图工艺处理所述栅极薄膜,以在所述有源层上方形成栅极;

在完成上述工艺的基板上形成保护层;

采用一次构图工艺,在所述有源层对应于源极、漏极的上方形成过孔;

在完成上述工艺的基板上形成透明导电薄膜和金属薄膜;

采用一次构图工艺处理所述透明导电薄膜和金属薄膜,以形成源极、漏极和第二透明电极。

6. 根据权利要求 5 所述的阵列基板的制作方法,其特征在于,形成所述有源层及所述第一透明电极的基体材料相同。

7. 根据权利要求 5 所述的阵列基板的制作方法,其特征在于,所述采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层,具体

包括：

在所述绝缘薄膜上形成第一光刻胶；

对第一光刻胶进行半曝光，显影后形成第一光刻胶完全保留区域、第一光刻胶部分保留区域以及第一光刻胶完全去除区域，所述第一光刻胶完全保留区域对应于所述有源层上、用于保护后续形成的源、漏电极之间的有源层区域，所述第一光刻胶部分保留区域对应于所述源极、漏极以及所述第一透明电极；

刻蚀所述第一光刻胶完全去除区域对应的绝缘薄膜和氧化物半导体薄膜；

去除所述第一光刻胶部分保留区域的第一光刻胶；

刻蚀所述第一光刻胶部分保留区域对应的绝缘薄膜，去除光刻胶完全保留区域的光刻胶，以形成所述刻蚀阻挡层；

采用掺杂工艺，将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极。

8. 根据权利要求 5-7 中任一项所述的阵列基板的制作方法，其特征在于，采用所述掺杂工艺处理所述氧化物半导体薄膜的方法包括：

采用氢 H、铝 Al、锡 Sn 或钛 Ti 离子，对所述氧化物半导体薄膜进行处理。

9. 根据权利要求 5-7 中任一项所述的阵列基板的制作方法，其特征在于，所述有源层及所述第一透明电极的厚度在 30nm 至 50nm 的范围内，所述刻蚀阻挡层的厚度在 100nm 至 200nm 的范围内。

10. 根据权利要求 5 所述的阵列基板的制作方法，其特征在于，所述在基板上形成氧化物半导体薄膜和绝缘薄膜之前，所述方法还包括：

在所述基板上形成缓冲层。

11. 根据权利要求 5 所述的阵列基板的制作方法，其特征在于，所述采用一次构图工艺处理所述透明导电薄膜和金属薄膜，以形成源极、漏极和第二透明电极，具体包括：

在所述金属薄膜上形成第二光刻胶；

对所述第二光刻胶进行半曝光，显影后形成第二光刻胶完全保留区域、第二光刻胶部分保留区域以及第二光刻胶完全去除区域，所述第二光刻胶完全保留区域对应于后续形成所述源极和漏极的区域，所述第二光刻胶部分保留区域对应于后续形成所述第二透明电极的区域；

刻蚀所述第二光刻胶完全去除区域对应的金属薄膜和透明导电薄膜；

去除所述第二光刻胶部分保留区域的第二光刻胶；

刻蚀所述第二光刻胶部分保留区域对应的金属薄膜，以形成所述第二透明电极；

去除第二光刻胶完全保留区域的光刻胶，形成源、漏极，所述源、漏极通过与所述第二透明电极相同材料的透明导电薄膜与所述有源层的掺杂区域连接。

12. 根据权利要求 5 所述的阵列基板的制作方法，其特征在于，所述第二透明电极的厚度在 30nm 至 50nm 的范围内。

## 阵列基板及其制作方法、显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及阵列基板及其制作方法、显示装置。

### 背景技术

[0002] 随着显示技术的不断进步,用户对显示装置的需求不断增加,TFT-LCD(Thin Film Transistor-Liquid Crystal Display,薄膜场效应晶体管液晶显示器)也在手机、液晶显示器、平板电脑等产品中得到了广泛的应用。此外,随着显示装置的不断普及,人们对于显示装置的色彩质量、对比度、可视角度、响应速度、低功耗的需求也日益增长,于是,OLED(Organic Light-Emitting Diode,薄膜场效应晶体管有机发光二极管)显示器也开始逐渐进入了用户的视野。

[0003] 现有技术制作阵列基板时,通常需要进行6-8次光刻掩膜工艺才能制作完成该阵列基板,因此,在研发和大规模量产上耗时时间长,制作成本较高。

### 发明内容

[0004] 本发明的实施例提供一种阵列基板及其制作方法、显示装置,能够减少制作阵列基板所需的光刻掩膜工艺的次數,缩短研发和大规模量产的时间,降低制作成本。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本发明实施例提供一种阵列基板,包括:

[0007] 基板;

[0008] 设置于所述基板上的有源层、第一透明电极,以及所述有源层上、用于保护后续的源、漏极之间的有源层区域的刻蚀阻挡层,所述有源层、第一透明电极及所述刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的,所述有源层的掺杂区域与所述第一透明电极的材料相同;

[0009] 设置于所述有源层上的源、漏极,所述有源层与所述源、漏极之间设置有与后续形成的第二透明电极相同材料的透明导电材料,且所述源、漏极通过所述透明导电材料与所述有源层的掺杂区域相连接。

[0010] 所述阵列基板,还包括:

[0011] 设置于所述基板与所述有源层之间的缓冲层。

[0012] 所述阵列基板,还包括:

[0013] 设置于所述有源层、刻蚀阻挡层及第一透明电极上的栅绝缘层。

[0014] 所述阵列基板,还包括:

[0015] 设置于所述栅绝缘层上的栅极,所述栅极设置于所述有源层的上方;

[0016] 设置于所述栅极和所述栅绝缘层上的保护层;

[0017] 设置于所述有源层的上方、对应于后续形成的源极和漏极的过孔,所述源、漏极通过所述过孔与所述有源层的掺杂区域电连接;

[0018] 设置于所述保护层上的第二透明电极,所述第二透明电极为狭缝状电极。

- [0019] 所述第二透明电极的厚度在 30nm 至 50nm 的范围内。
- [0020] 所述有源层及所述第一透明电极的厚度在 30nm 至 50nm 的范围内,所述刻蚀阻挡层的厚度在 100nm 至 200nm 的范围内。
- [0021] 本发明实施例还提供一种显示装置,包括具有上述任一特征的阵列基板。
- [0022] 本发明实施例还提供一种阵列基板的制作方法,包括:
- [0023] 在基板上形成氧化物半导体薄膜和绝缘薄膜;
- [0024] 采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层。
- [0025] 形成所述有源层及所述第一透明电极的基体材料相同。
- [0026] 所述采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层,具体包括:
- [0027] 在所述绝缘薄膜上形成第一光刻胶;
- [0028] 对第一光刻胶进行半曝光,显影后形成第一光刻胶完全保留区域、第一光刻胶部分保留区域以及第一光刻胶完全去除区域,所述第一光刻胶完全保留区域对应于所述有源层上、用于保护后续形成的源、漏电极之间的有源层区域,所述第一光刻胶部分保留区域对应于所述源极、漏极以及所述第一透明电极;
- [0029] 刻蚀所述第一光刻胶完全去除区域对应的绝缘薄膜和氧化物半导体薄膜;
- [0030] 去除所述第一光刻胶部分保留区域的第一光刻胶;
- [0031] 刻蚀所述第一光刻胶部分保留区域对应的绝缘薄膜,去除光刻胶完全保留区域的光刻胶,以形成所述刻蚀阻挡层;
- [0032] 采用掺杂工艺,将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极。
- [0033] 采用所述掺杂工艺处理所述氧化物半导体薄膜的方法包括:
- [0034] 采用氢 H、铝 Al、锡 Sn 或钛 Ti 离子,对所述氧化物半导体薄膜进行处理。
- [0035] 所述有源层及所述第一透明电极的厚度在 30nm 至 50nm 的范围内,所述刻蚀阻挡层的厚度在 100nm 至 200nm 的范围内。
- [0036] 所述在基板上形成氧化物半导体薄膜和绝缘薄膜之前,所述方法还包括:
- [0037] 在所述基板上形成缓冲层。
- [0038] 所述形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层之后,所述方法还包括:
- [0039] 在完成上述工艺的基板上形成栅绝缘层;
- [0040] 在所述栅绝缘层上形成栅极薄膜;
- [0041] 采用一次构图工艺处理所述栅极薄膜,以在所述有源层上方形成栅极。
- [0042] 在形成所述栅极之后,所述方法还包括:
- [0043] 在完成上述工艺的基板上形成保护层;
- [0044] 采用一次构图工艺,在所述有源层对应于源极、漏极的上方形成过孔。
- [0045] 在形成所述过孔之后,所述方法还包括:

- [0046] 在完成上述工艺的基板上形成透明导电薄膜和金属薄膜；
- [0047] 采用一次构图工艺处理所述透明导电薄膜和金属薄膜，以形成源极、漏极和第二透明电极。
- [0048] 所述采用一次构图工艺处理所述透明导电薄膜和金属薄膜，以形成源极、漏极和第二透明电极，具体包括：
- [0049] 在所述金属薄膜上形成第二光刻胶；
- [0050] 对所述第二光刻胶进行半曝光，显影后形成第二光刻胶完全保留区域、第二光刻胶部分保留区域以及第二光刻胶完全去除区域，所述第二光刻胶完全保留区域对应于后续形成所述源极和漏极的区域，所述第二光刻胶部分保留区域对应于后续形成所述第二透明电极的区域；
- [0051] 刻蚀所述第二光刻胶完全去除区域对应的金属薄膜和透明导电薄膜；
- [0052] 去除所述第二光刻胶部分保留区域的第二光刻胶；
- [0053] 刻蚀所述第二光刻胶部分保留区域对应的金属薄膜，以形成所述第二透明电极；
- [0054] 去除第二光刻胶完全保留区域的光刻胶，形成源、漏极，所述源、漏极通过与所述第二透明电极相同材料的透明导电薄膜与所述有源层的掺杂区域连接。
- [0055] 所述第二透明电极的厚度在 30nm 至 50nm 的范围内。
- [0056] 本发明实施例所提供的阵列基板及其制作方法、显示装置，阵列基板包括基板，设置于基板上的有源层、第一透明电极，以及有源层上、用于保护后续的源、漏极之间的有源层区域的刻蚀阻挡层，有源层、第一透明电极及刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的，有源层的掺杂区域与第一透明电极的材料相同，设置于有源层上的源、漏极，有源层与源、漏极之间设置有与后续的第二透明电极相同材料的透明导电材料，且源、漏极通过透明导电材料与有源层的掺杂区域相连接。通过该方案，由于有源层、第一透明电极及刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的，与现有技术相比减少了制作阵列基板所需的构图工艺的次数，缩短了研发和大规模量产的时间，降低了制作成本。

## 附图说明

[0057] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0058] 图 1 为本发明实施例提供的阵列基板的结构示意图一；
- [0059] 图 2 为本发明实施例提供的阵列基板的制作方法流程图一；
- [0060] 图 3 为本发明实施例提供的阵列基板的结构示意图二；
- [0061] 图 4 为本发明实施例提供的阵列基板的制作方法流程图二；
- [0062] 图 5 为本发明实施例提供的阵列基板的结构示意图三；
- [0063] 图 6 为本发明实施例提供的阵列基板的结构示意图四；
- [0064] 图 7 为本发明实施例提供的阵列基板的结构示意图五；
- [0065] 图 8 为本发明实施例提供的阵列基板的结构示意图六；
- [0066] 图 9 为本发明实施例提供的阵列基板的结构示意图七；

- [0067] 图 10 为本发明实施例提供的阵列基板的结构示意图八；  
[0068] 图 11 为本发明实施例提供的阵列基板的结构示意图九；  
[0069] 图 12 为本发明实施例提供的阵列基板的结构示意图十；  
[0070] 图 13 为本发明实施例提供的阵列基板的制作方法流程图三；  
[0071] 图 14 为本发明实施例提供的阵列基板的结构示意图十一；  
[0072] 图 15 为本发明实施例提供的阵列基板的结构示意图十二；  
[0073] 图 16 为本发明实施例提供的阵列基板的结构示意图十三。

### 具体实施方式

[0074] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0075] 需要说明的是:本发明的“上”“下”只是参考附图对本发明进行说明,不作为限定用语。

[0076] 本发明实施例提供一种阵列基板,包括:

[0077] 基板;

[0078] 设置于所述基板上的有源层、第一透明电极,以及所述有源层上、用于保护后续的源、漏极之间的有源层区域的刻蚀阻挡层,所述有源层、第一透明电极及所述刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的,所述有源层的掺杂区域与所述第一透明电极的材料相同;

[0079] 设置于所述有源层上的源、漏极,所述有源层与所述源、漏极之间设置有与后续的第二透明电极相同材料的透明导电材料,且所述源、漏极通过所述透明导电材料与所述有源层的掺杂区域相连接。

[0080] 本发明实施例提供一种阵列基板 1,如图 1 所示,包括:

[0081] 基板 100;

[0082] 设置于所述基板 100 上的缓冲层 101;

[0083] 设置于所述缓冲层 101 上的有源层 102 和第一透明电极 103;

[0084] 设置于所述有源层 102 上的刻蚀阻挡层 108,所述刻蚀阻挡层 108 对应于所述有源层 102 上、用于保护后续的源、漏极之间的有源层区域;

[0085] 设置于所述有源层 102、刻蚀阻挡层 108 及第一透明电极 103 上的栅绝缘层 109;

[0086] 设置于所述栅绝缘层 109 上的栅极 110,所述栅极 110 设置于所述有源层 102 的上方;

[0087] 设置于所述栅极 110 和所述栅绝缘层 109 上的保护层 111;

[0088] 设置于所述有源层 102 的上方、对应于后续形成的源极 116 和漏极 117 的过孔 112,所述源、漏极通过所述过孔与所述有源层的掺杂区域电连接;

[0089] 设置于所述过孔 112 内的源极 116 和漏极 117,以及设置于所述保护层 111 上的第二透明电极 118,所述第二透明电极 118 为狭缝状电极。

[0090] 在本实施例中,以第一透明电极为公共电极,第二透明电极为像素电极为例进行

说明。

[0091] 在基板上可选择性的形成缓冲层,为避免玻璃基板中的杂质影响有源层,本实施例中优选在基板上形成缓冲层。

[0092] 进一步地,所述第二透明电极的厚度在 30nm 至 50nm 的范围内。

[0093] 进一步地,所述有源层及所述第一透明电极的厚度在 30nm 至 50nm 的范围内,所述刻蚀阻挡层的厚度在 100nm 至 200nm 的范围内。

[0094] 本发明实施例所提供的阵列基板,包括基板,设置于基板上的有源层、第一透明电极,以及有源层上、用于保护后续形成的源、漏极之间的有源层区域的刻蚀阻挡层,有源层、第一透明电极及刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的,有源层的掺杂区域与第一透明电极的材料相同,设置于有源层上的源、漏极,有源层与源、漏极之间设置有与后续的第二透明电极相同材料的透明导电材料,且源、漏极通过透明导电材料与有源层的掺杂区域相连接。通过该方案,由于有源层、第一透明电极及刻蚀阻挡层为采用一次构图工艺和一次掺杂工艺所形成的,与现有技术相比减少了制作 TFT 所需的构图工艺的次数,缩短了研发和大规模量产的时间,降低了制作成本。

[0095] 本发明实施例提供一种阵列基板的制作方法,包括:

[0096] 在基板上形成氧化物半导体薄膜和绝缘薄膜;

[0097] 采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层,其中,形成所述有源层及所述第一透明电极的材料相同。

[0098] 所述采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层,具体包括:

[0099] 在所述绝缘薄膜上形成第一光刻胶;

[0100] 对第一光刻胶进行半曝光,显影后形成第一光刻胶完全保留区域、第一光刻胶部分保留区域以及第一光刻胶完全去除区域,所述第一光刻胶完全保留区域对应于所述有源层上、用于保护后续形成的源、漏电极之间的有源层区域,所述第一光刻胶部分保留区域对应于所述源极、漏极以及所述第一透明电极;

[0101] 刻蚀所述第一光刻胶完全去除区域对应的绝缘薄膜和氧化物半导体薄膜;

[0102] 去除所述第一光刻胶部分保留区域的第一光刻胶;

[0103] 刻蚀所述第一光刻胶部分保留区域对应的绝缘薄膜,去除光刻胶完全保留区域的光刻胶,以形成所述刻蚀阻挡层;

[0104] 采用掺杂工艺,将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极。

[0105] 如图 2 所示,本发明实施例提供的一种阵列基板的制作方法,该方法包括:

[0106] S101、在基板上沉积缓冲层。

[0107] 如图 3 所示,在经过预先清洗的基板 100 上,以 PECVD(Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学气相沉积)、LPCVD(Low Pressure Chemical Vapor Deposition,低压化学气相沉积)、APCVD(Atmospheric Pressure Chemical Vapor Deposition,大气压化学气相沉积)、ECR-CVD(Electron Cyclotron Resonance-Chemical



Vapor Deposition, 电子回旋谐振化学气相沉积) 或者溅射等方法形成缓冲层 101, 以阻挡基板 100 中所含的杂质扩散进入有源层中, 防止对 TFT 元件的阈值电压和漏电流等特性产生影响。

[0108] 需要补充的是, 缓冲层 101 的材料为氧化硅和 / 或氮化硅, 即缓冲层 101 可以为单层的氧化硅、氮化硅或者二者的叠层。

[0109] 进一步地, 缓冲层 101 厚度可以在 100nm 至 300nm 的范围内。

[0110] 需要补充的是, 由于传统的碱性玻璃中铝、钡、钠等金属杂质的含量较高, 在高温处理工艺中容易发生金属杂质的扩散, 因此, 基板 101 可以优选为无碱玻璃基板。

[0111] 需要说明的是, 在基板上可选择性的形成缓冲层, 为避免玻璃基板中的杂质影响有源层, 本实施例中优选在基板上形成缓冲层。

[0112] S102、在缓冲层上形成有源层、第一透明电极, 以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层。

[0113] 其中, 形成所述有源层及所述第一透明电极的基体材料相同。

[0114] 示例性的, 如图 4 所示, 在缓冲层上形成有源层、第一透明电极, 以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层的方法具体可以包括 S201 至 S208:

[0115] S201、在缓冲层上形成氧化物半导体薄膜。

[0116] 其中, 形成所述有源层及所述第一透明电极的基体材料, 即氧化物半导体薄膜具体可以为 IGZO (Indium Gallium Zinc Oxide, 铟镓锌氧化物)、 $\text{In}_2\text{O}_3$  (氧化铟)、ZnO (氧化锌) 或 ITZO (Indium Tin Zinc Oxide, 铟锡锌氧化物) 等。

[0117] S202、在氧化物半导体薄膜上形成绝缘薄膜。

[0118] 如图 5 所示, 在缓冲层 101 沉积氧化物半导体薄膜及绝缘薄膜, 沉积非氧化物半导体薄膜及绝缘薄膜的方法可以为 PECVD、LPCVD、APCVD、ECR-CVD 或者溅射等方法, 本发明不做限制。

[0119] 其中, 所述氧化物半导体薄膜的厚度可以在 30nm 至 50nm 的范围内, 所述绝缘层薄膜的厚度可以在 100nm 至 200nm 的范围内。

[0120] S203、在所述绝缘薄膜上形成第一光刻胶。

[0121] S204、对第一光刻胶进行半曝光, 显影后形成第一光刻胶完全保留区域、第一光刻胶部分保留区域以及第一光刻胶完全去除区域, 所述第一光刻胶完全保留区域对应于所述形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域, 所述第一光刻胶部分保留区域对应于源极、漏极以及所述第一透明电极。

[0122] 如图 6 所示, 对形成在绝缘薄膜上的第一光刻胶进行半曝光, 显影后形成第一光刻胶完全保留区域 105、第一光刻胶部分保留区域 106 以及第一光刻胶完全去除区域 107。

[0123] S205、刻蚀所述第一光刻胶完全去除区域对应的绝缘薄膜和氧化物半导体薄膜。

[0124] 具体地, 采用一次干法刻蚀, 刻蚀所述第一光刻胶完全去除区域对应的绝缘薄膜, 采用一次湿法刻蚀, 刻蚀所述第一光刻胶完全去除区域对应的氧化物半导体薄膜, 以形成如图 7 所示的结构。

[0125] S206、去除所述第一光刻胶部分保留区域的第一光刻胶。

[0126] 具体地, 采用灰化工艺, 去除所述第一光刻胶部分保留区域的第一光刻胶, 同时,

所述第一光刻胶完全保留区域的第一光刻胶被减薄。

[0127] S207、刻蚀所述第一光刻胶部分保留区域对应的绝缘薄膜，去除光刻胶完全保留区域的光刻胶，以形成所述刻蚀阻挡层。

[0128] 如图 8 所示，采用一次干法刻蚀，刻蚀所述第一光刻胶部分保留区域对应的绝缘薄膜，去除光刻胶完全保留区域的光刻胶，以形成所述刻蚀阻挡层 108。

[0129] S208、采用掺杂工艺，将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极。

[0130] 其中，采用所述掺杂工艺处理所述氧化物半导体薄膜的方法包括：采用氢 H、铝 Al、锡 Sn 或钛 Ti 离子，对所述氧化物半导体薄膜进行处理。

[0131] 具体地，S208 可以与 S207 同时执行，即在形成刻蚀阻挡层的同时，利用干法刻蚀法的等离子体，对所述第一光刻胶部分保留区域对应的氧化物半导体薄膜进行掺杂处理，将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极；

[0132] 或者，S208 也可以在 S207 之后执行，此时，可以利用单独的 H 等离子体将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极，或者可以利用离子注入的方式，选用 Al、Sn、Ti 等离子，将所述第一光刻胶部分保留区域对应的氧化物半导体薄膜分别转化为所述有源层的掺杂区域和第一透明电极。

[0133] 其中，采用掺杂工艺处理有源层的部分区域，是为了在形成源极和漏极时，该区域能够与源极和漏极良好地接触，减小了接触电阻。

[0134] S103、在完成上述工艺的基板上形成栅绝缘层。

[0135] 如图 9 所示，采用 PECVD、LPCVD、APCVD、ECR-CVD 或者溅射等方法，在完成上述工艺的基板上形成栅绝缘层 109。

[0136] 其中，栅绝缘层 109 的厚度能够根据阵列基板的具体设计进行适应性改变，优选地，栅绝缘层 109 的厚度可以在 50nm 至 200nm 的范围内。栅绝缘层 109 的材料可以为氧化硅和 / 或氮化硅，即栅绝缘层 109 可以为单层的氧化硅、氮化硅或者二者的叠层。

[0137] S104、在所述栅绝缘层上形成栅极薄膜。

[0138] 具体地，采用 PECVD、LPCVD、APCVD、ECR-CVD 或者溅射等方法，在所述栅绝缘层上形成栅极薄膜。栅极薄膜的厚度可以在 200nm 至 300nm 的范围内。

[0139] S105、采用一次构图工艺处理所述栅极薄膜，以在所述有源层上方形成栅极。

[0140] 如图 10 所示，采用一次构图工艺处理栅极薄膜后，在对应于有源层 102 的上方形成栅极 110。其中，构图工艺具体包括光刻胶涂覆、曝光、显影、刻蚀光刻胶去除等步骤，刻蚀工艺可以为等离子刻蚀、反应离子刻蚀、电感耦合等离子体刻蚀等干法刻蚀方法，刻蚀气体可以为含氟、氯的气体，如  $CF_4$ 、 $CHF_3$ 、 $SF_6$ 、 $CCl_2F_2$  气体，也可以为上述气体与  $O_2$  的混合气体。

[0141] S106、在完成上述工艺的基板上形成保护层。

[0142] 如图 11 所示，采用 PECVD、LPCVD、APCVD、ECR-CVD 或者溅射等方法，在完成上述工艺的基板上形成保护层 111。

[0143] 其中，保护层 111 的厚度能够根据阵列基板的具体设计进行适应性改变，优选地，保护层 111 的厚度可以在 200nm 至 400nm 的范围内。

[0144] S107、采用一次构图工艺，在所述有源层对应于源极、漏极的上方形成过孔。

[0145] 如图 12 所示,在形成保护层 111 后,在栅绝缘层 109 和保护层 111 内(即有源层对应于源极、漏极的上方)形成过孔 112。形成过孔的方法可以为等离子刻蚀、反应离子刻蚀、电感耦合等离子体刻蚀等干法刻蚀方法,刻蚀气体可以为含氟、氯的气体,如  $CF_4$ 、 $CHF_3$ 、 $SF_6$ 、 $CCl_2F_2$  气体,也可以为上述气体与  $O_2$  的混合气体。

[0146] S108、在完成上述工艺的基板上形成透明导电薄膜。

[0147] 具体地,采用 PECVD、LPCVD、APCVD、ECR-CVD 或者溅射等方法,在完成上述工艺的基板上形成所述透明导电薄膜。其中,所述透明导电薄膜的厚度可以在 30nm 至 50nm 的范围内。

[0148] S109、在透明导电薄膜上形成金属薄膜。

[0149] 具体地,采用 PECVD、LPCVD、APCVD、ECR-CVD 或者溅射等方法,在完成上述工艺的基板上形成所述金属薄膜。其中,所述金属薄膜的厚度在 200nm 至 300nm 的范围内。

[0150] S110、采用一次构图工艺处理所述透明导电薄膜和金属薄膜,以形成源极、漏极和第二透明电极。

[0151] 示例性的,如图 13 所示,形成源极、漏极和第二透明电极的方法具体可以包括 S301 至 S305:

[0152] S301、在金属薄膜上形成第二光刻胶。

[0153] S302、对所述第二光刻胶进行半曝光,显影后形成第二光刻胶完全保留区域、第二光刻胶部分保留区域以及第二光刻胶完全去除区域,所述第二光刻胶完全保留区域对应于后续形成所述源极和漏极的区域,所述第二光刻胶部分保留区域对应于后续形成所述第二透明电极的区域。

[0154] 如图 14 所示,对形成在金属薄膜上的第二光刻胶进行半曝光,显影后形成第二光刻胶完全保留区域 113、第二光刻胶部分保留区域 114 以及第二光刻胶完全去除区域 115。

[0155] S303、刻蚀所述第二光刻胶完全去除区域对应的金属薄膜和透明导电薄膜。

[0156] 具体地,如图 15 所示,采用一次湿法刻蚀,刻蚀所述第一光刻胶完全去除区域对应的金属薄膜和透明导电薄膜,以形成源极 116、漏极 117。

[0157] S304、去除所述第二光刻胶部分保留区域的第二光刻胶。

[0158] 具体地,采用灰化工艺,去除所述第二光刻胶部分保留区域的第二光刻胶,同时,所述第二光刻胶完全保留区域的第二光刻胶被减薄。

[0159] S305、刻蚀所述第二光刻胶部分保留区域对应的金属薄膜,以形成所述第二透明电极。

[0160] 如图 16 所示,采用一次湿法刻蚀,刻蚀所述第二光刻胶部分保留区域对应的金属薄膜,以形成第二透明电极 118。

[0161] S306、去除第二光刻胶完全保留区域的光刻胶,形成源、漏极,所述源、漏极通过与所述第二透明电极相同材料的透明导电薄膜与所述有源层的掺杂区域连接。

[0162] 进一步地,所述有源层及所述第一透明电极的厚度在 30nm 至 50nm 的范围内,所述刻蚀阻挡层的厚度在 100nm 至 200nm 的范围内。

[0163] 进一步地,所述第二透明电极的厚度在 30nm 至 50nm 的范围内。

[0164] 本发明实施例所提供的阵列基板的制作方法,包括在基板上形成氧化物半导体薄膜和绝缘薄膜,采用一次构图工艺和一次掺杂工艺处理所述氧化物半导体薄膜和绝缘薄

膜,以形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层。通过该方案,由于采用一次构图工艺和一次掺杂工艺形成有源层、第一透明电极,以及形成在有源层上、用于保护后续形成的源、漏电极之间的有源层区域的刻蚀阻挡层,与现有技术相比减少了制作阵列基板所需的构图工艺的次数,缩短了研发和大规模量产的时间,降低了制作成本。

[0165] 本发明实施例提供一种显示装置,包括具有上述实施例所描述的阵列基板。该显示装置可以为液晶显示装置,包括相对平行设置的彩膜基板和上述实施例所提出的阵列基板,以及填充于彩膜基板和阵列基板之间的液晶;该显示装置也可以为 OLED 显示装置,包括上述实施例所提出的阵列基板,以及蒸镀于该阵列基板之上的有机发光材料及封装盖板。

[0166] 本发明实施例提供的液晶显示装置,液晶显示装置可以为液晶显示器、液晶电视、数码相框、手机、平板电脑等具有显示功能的产品或者部本发明不做限制。

[0167] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

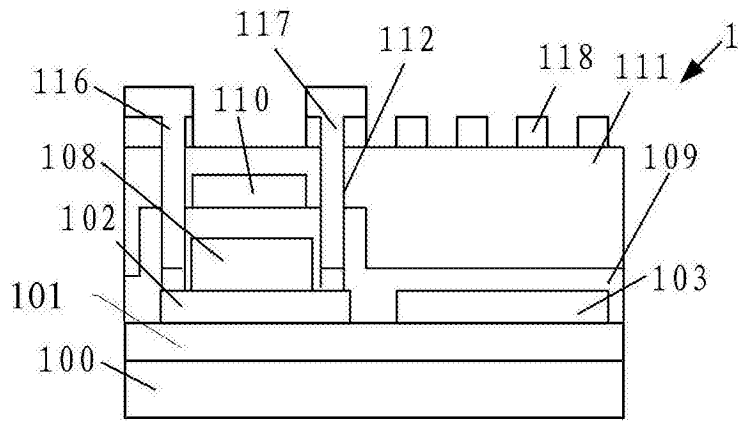


图 1

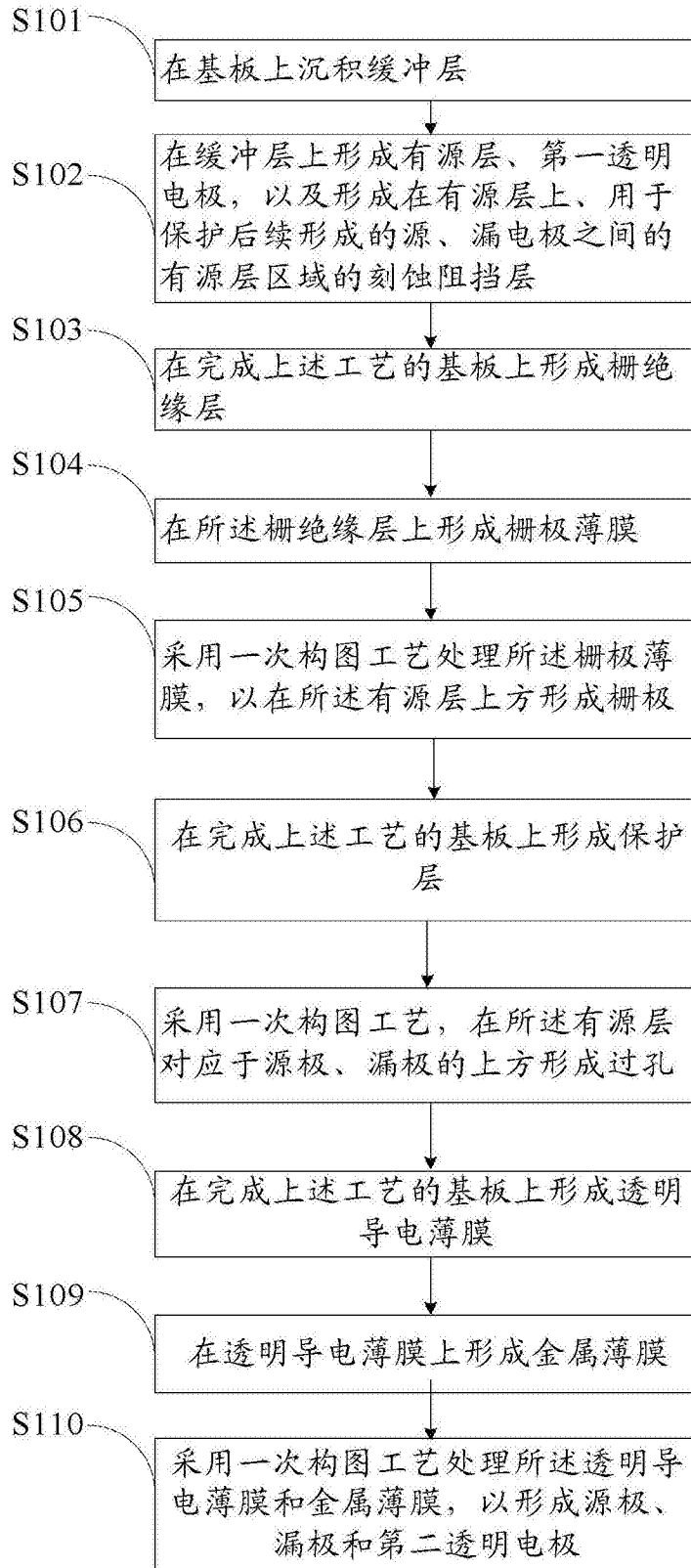


图 2

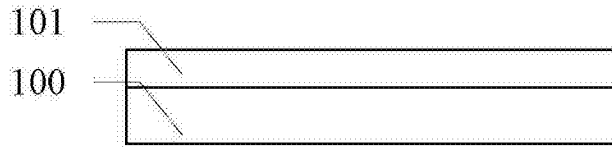


图 3

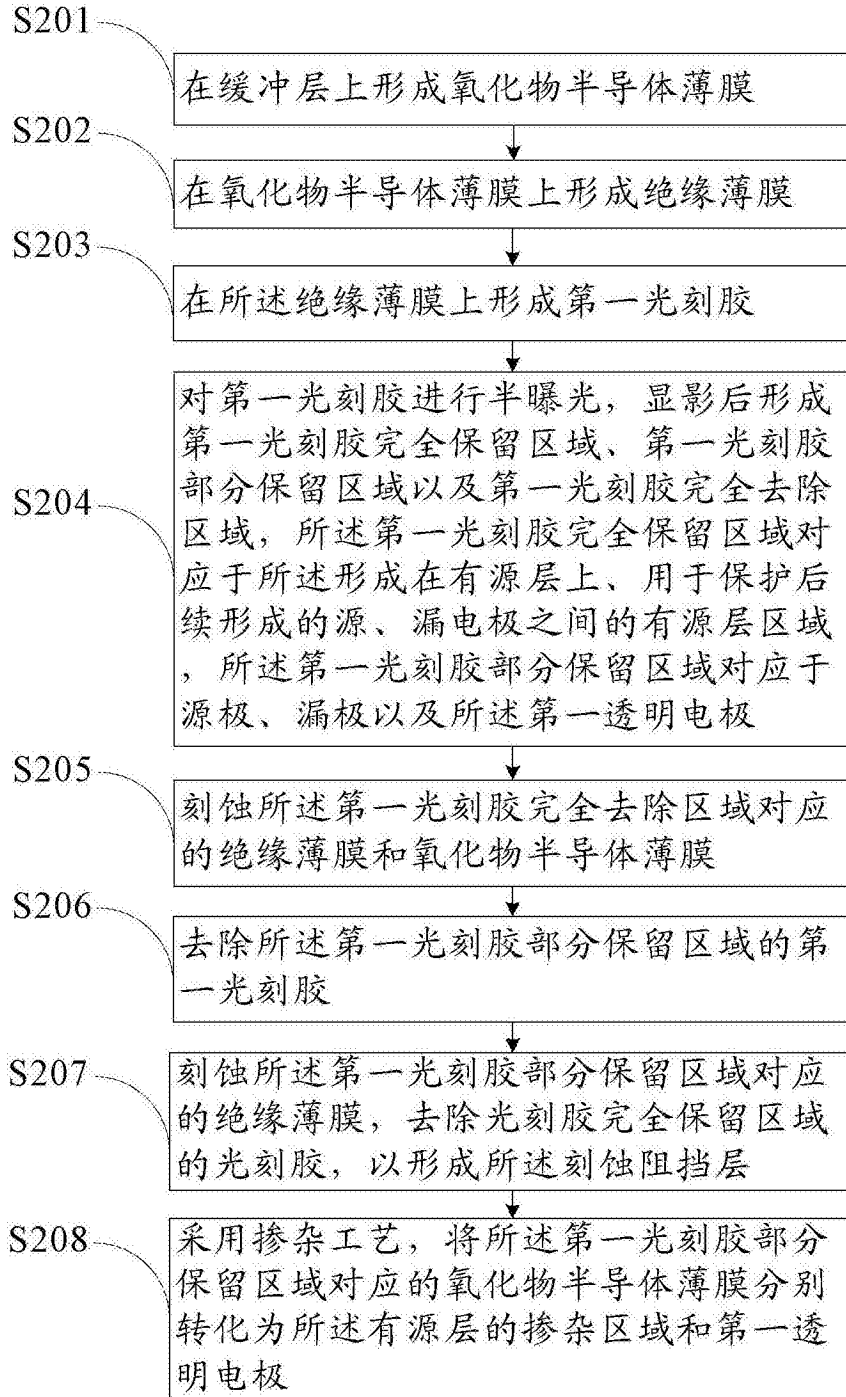


图 4

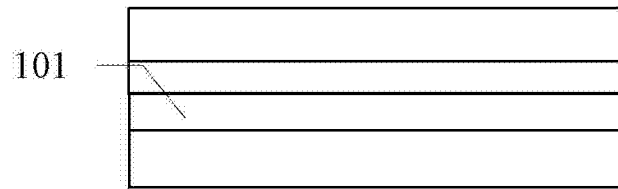


图 5

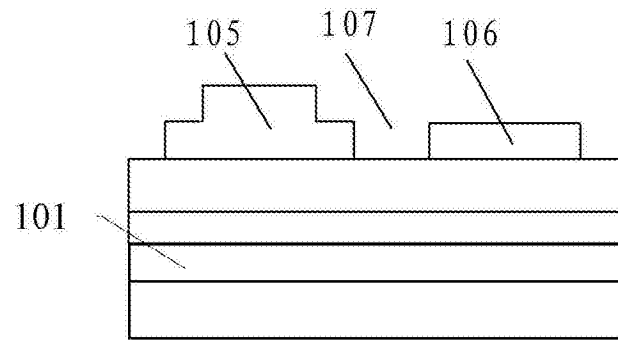


图 6

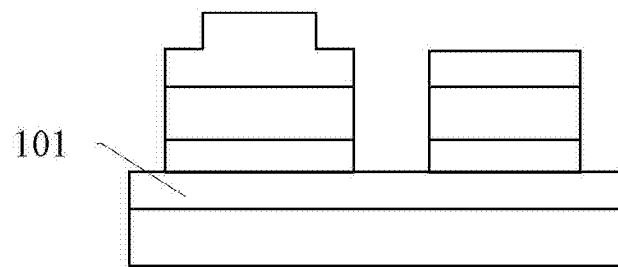


图 7

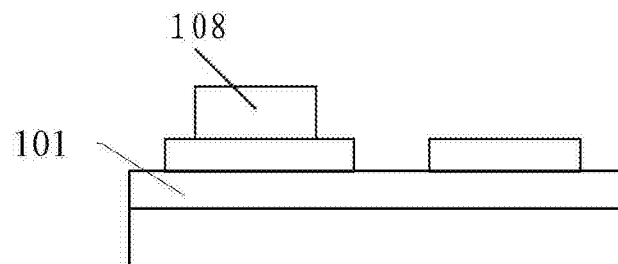


图 8



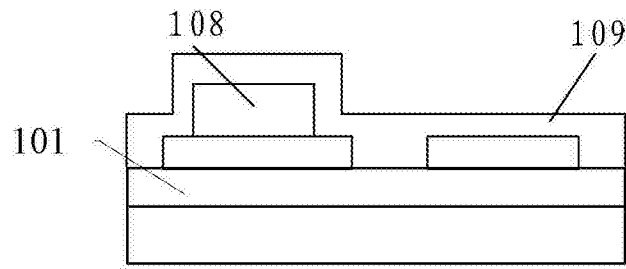


图 9

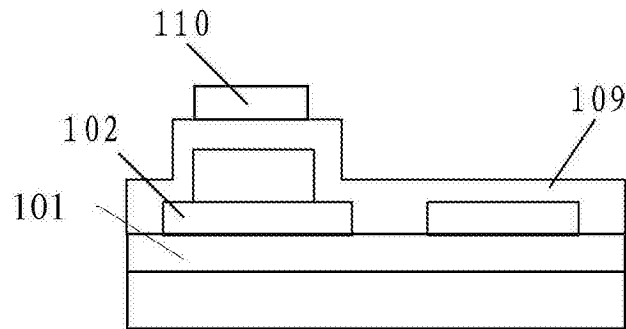


图 10

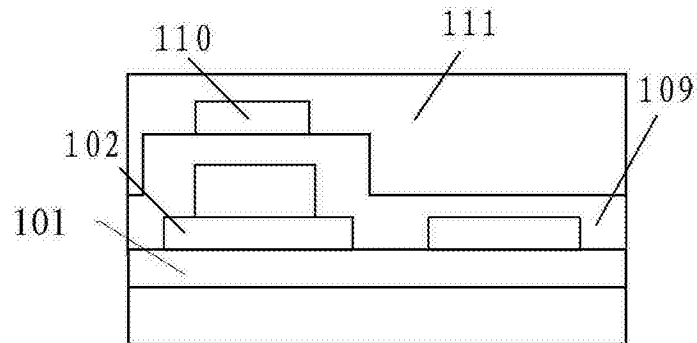


图 11

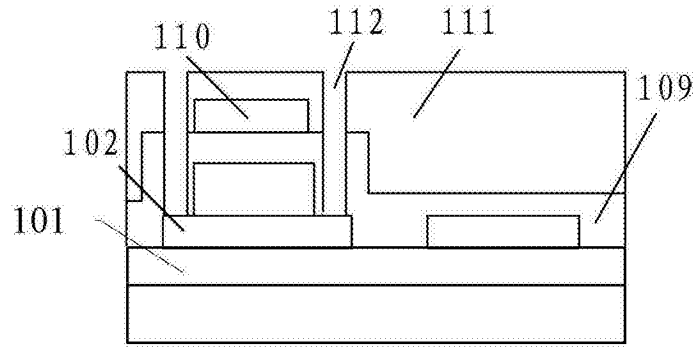


图 12

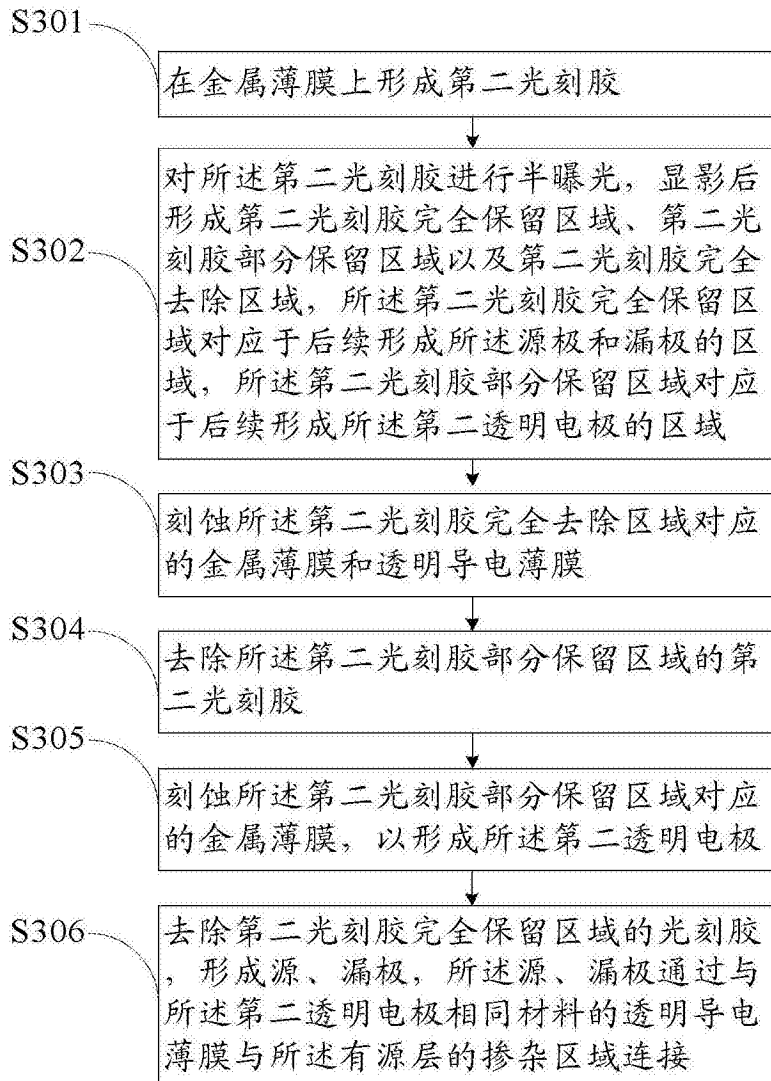


图 13

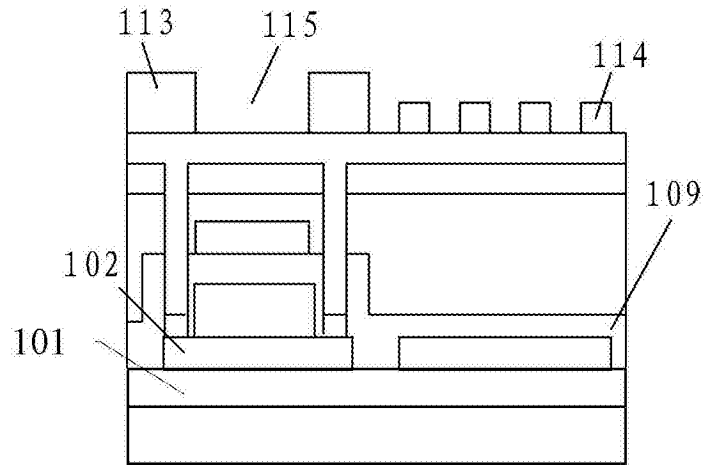


图 14

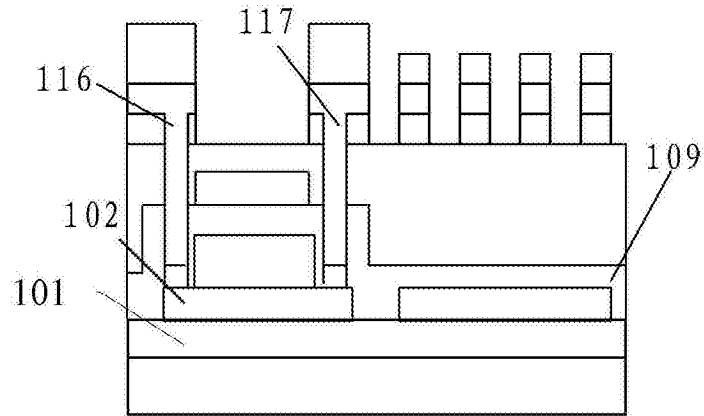


图 15

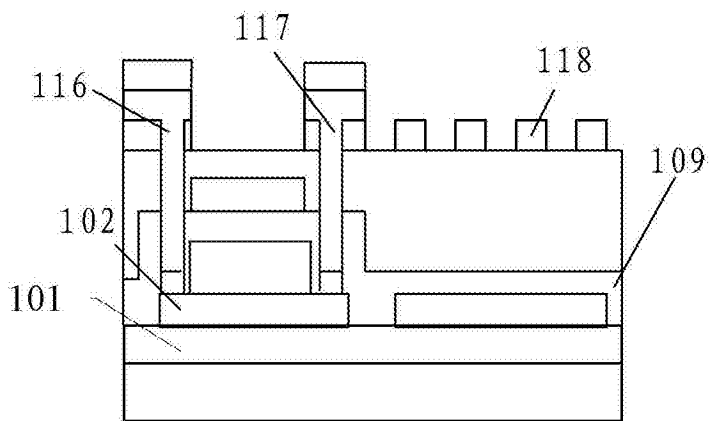


图 16