

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-76863
(P2020-76863A)

(43) 公開日 令和2年5月21日(2020.5.21)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/3266 (2016.01)	G09G 3/3266	5C080
G09G 3/20 (2006.01)	G09G 3/20	621D
G09G 3/3225 (2016.01)	G09G 3/20	670K
	G09G 3/20	660E
	G09G 3/20	622E

審査請求 未請求 請求項の数 13 O L (全 15 頁) 最終頁に続く

(21) 出願番号	特願2018-209929 (P2018-209929)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成30年11月7日 (2018.11.7)	(74) 代理人	100076428 弁理士 大塚 康徳

(74) 代理人 100115071
弁理士 大塚 康弘
(74) 代理人 100112508
弁理士 高柳 司郎
(74) 代理人 100116894
弁理士 木村 秀二
(74) 代理人 100130409
弁理士 下山 治
(74) 代理人 100134175
弁理士 永川 行光

最終頁に続く

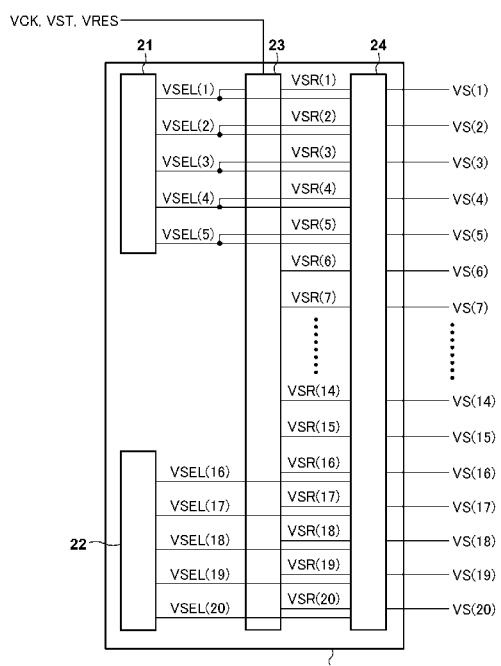
(54) 【発明の名称】表示装置および電子機器

(57) 【要約】

【課題】表示装置における焼き付きを抑制し、かつ、高速に動作させるのに有利な技術を提供する。

【解決手段】行列状に配された複数の画素を備える画素アレイと、画素アレイの行を選択する走査回路と、複数の画素のうち走査回路によって選択された行に配された画素に映像信号を供給する信号出力回路と、を含む表示装置であって、表示装置は、画素アレイのうち一端の側の開始行から開始行よりも他端の側の終了行までに配された画素を用いて画像の表示を行い、走査回路は、開始行を指定する開始指定回路と、終了行を指定する終了指定回路と、シフトレジスタ回路と、を含み、シフトレジスタ回路は、1つの画像を表示するための1つのフレーム期間において、映像信号を書き込むための選択を開始行から開始し、開始行から終了行までの行を順に選択する。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

行列状に配された複数の画素を備える画素アレイと、
前記画素アレイの行を選択する走査回路と、
前記複数の画素のうち前記走査回路によって選択された行に配された画素に映像信号を供給する信号出力回路と、を含む表示装置であって、
前記表示装置は、前記画素アレイのうち一端の側の開始行から前記開始行よりも他端の側の終了行までに配された画素を用いて画像の表示を行い、
前記走査回路は、前記開始行を指定する開始指定回路と、前記終了行を指定する終了指定回路と、シフトレジスタ回路と、を含み、
前記シフトレジスタ回路は、1つの画像を表示するための1つのフレーム期間において、映像信号を書き込むための選択を前記開始行から開始し、前記開始行から前記終了行までの行を順に選択することを特徴とする表示装置。

【請求項 2】

前記開始指定回路は、画像の表示を開始してからの時間の経過、表示される画像の切替え、画像の表示の開始または終了、および、前記表示装置の電源のオンまたはオフのうち少なくとも1つに応じて前記開始行の位置をシフトさせることを特徴とする請求項1に記載の表示装置。

【請求項 3】

前記シフトレジスタ回路は、前記画素アレイのそれぞれの行に対応して配された複数の単位回路を含み、

前記開始指定回路は、前記複数の単位回路のうち1つの単位回路に前記開始行を指定するための信号を送信し、

前記シフトレジスタ回路は、前記複数の単位回路のうち前記開始行を指定するための信号を受信した単位回路に接続された行を前記開始行とすることを特徴とする請求項1または2に記載の表示装置。

【請求項 4】

前記複数の単位回路のそれぞれは、Dフリップフロップとマルチプレクサとを含み、
前記複数の単位回路のうちn行目の単位回路のマルチプレクサの信号出力端子は、前記n行目の単位回路のDフリップフロップの信号入力端子に接続され、

前記n行目の単位回路のDフリップフロップの信号出力端子は、前記n行目の前記他端の側に隣接する行の単位回路のマルチプレクサの信号入力端子に接続され、

前記複数の単位回路のうち前記開始行となる行に接続された単位回路のマルチプレクサの制御端子に前記開始指定回路から前記開始行を指定するための信号が入力されることによって、当該行から映像信号を書き込むための選択が開始されることを特徴とする請求項3に記載の表示装置。

【請求項 5】

前記開始指定回路は、

前記複数の単位回路のうち少なくとも2つの単位回路に前記開始行を指定するための信号を送信可能に構成され、

画像の表示を行う際、前記少なくとも2つの単位回路のうち1つの単位回路に前記開始行を指定するための信号を送信し、

前記少なくとも2つの単位回路は、前記画素アレイのうち前記一端の側の端部に配された連続する少なくとも2つの行に接続されていることを特徴とする請求項3または4に記載の表示装置。

【請求項 6】

前記走査回路は、前記複数の画素のそれぞれの発光または非発光を制御するための発光制御回路をさらに含み、

前記発光制御回路は、前記複数の画素のうち前記開始行と前記終了行との間に配されない画素のそれぞれが非発光状態となるように制御することを特徴とする請求項1乃至5の

何れか 1 項に記載の表示装置。

【請求項 7】

前記発光制御回路は、前記画素アレイのうち前記一端の側の端部に配された連続する少なくとも 2 つの行に接続された第 1 制御回路と、前記画素アレイのうち前記他端の側の端部に配された連続する少なくとも 2 つの行に接続された第 2 制御回路と、を含み、

前記第 1 制御回路は、

前記開始指定回路から前記開始行を指定するための信号を受信可能に構成され、

前記第 1 制御回路に接続された行のうち前記開始行よりも前記一端の側に配された行を非発光状態になるように制御し、

前記第 1 制御回路に接続された行のうち前記開始行と前記開始行よりも前記他端の側に配された行とを発光状態になるように制御し、

前記第 2 制御回路は、

前記終了指定回路から前記終了行を指定するための信号を受信可能に構成され、

前記第 2 制御回路に接続された行のうち前記終了行よりも前記他端の側に配された行を非発光状態になるように制御し、

前記第 2 制御回路に接続された行のうち前記終了行と前記終了行よりも前記一端の側に配された行とを発光状態になるように制御することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記発光制御回路は、前記画素アレイのうち前記少なくとも 2 つの単位回路に接続された行に接続された第 1 制御回路と、前記画素アレイのうち前記他端の側の端部に配された連続する少なくとも 2 つの行に接続された第 2 制御回路と、を含み、

前記第 1 制御回路は、

前記開始指定回路から前記開始行を指定するための信号を受信可能に構成され、

前記第 1 制御回路に接続された行のうち前記開始行よりも前記一端の側に配された行を非発光状態になるように制御し、

前記第 1 制御回路に接続された行のうち前記開始行と前記開始行よりも前記他端の側に配された行とを発光状態になるように制御し、

前記第 2 制御回路は、

前記終了指定回路から前記終了行を指定するための信号を受信可能に構成され、

前記第 2 制御回路に接続された行のうち前記終了行よりも前記他端の側に配された行を非発光状態になるように制御し、

前記第 2 制御回路に接続された行のうち前記終了行と前記終了行よりも前記一端の側に配された行とを発光状態になるように制御することを特徴とする請求項 5 に従属する請求項 6 に記載の表示装置。

【請求項 9】

前記発光制御回路は、前記第 1 制御回路および前記第 2 制御回路に接続された行の間に配された行を発光状態になるように制御することを特徴とする請求項 7 または 8 に記載の表示装置。

【請求項 10】

前記表示装置は、前記画素アレイのうち連続する一部の行を用いて画像を表示することを特徴とする請求項 1 乃至 9 の何れか 1 項に記載の表示装置。

【請求項 11】

前記画素アレイのうち前記開始行となる行が、前記画素アレイのうち前記一端の側の端部に配された行とは異なる行を含むことを特徴とする請求項 1 乃至 10 の何れか 1 項に記載の表示装置。

【請求項 12】

前記画素アレイのうち前記終了行となる行が、前記画素アレイのうち前記他端の側の端部に配された行とは異なる行を含むことを特徴とする請求項 1 乃至 11 の何れか 1 項に記載の表示装置。

10

20

30

40

50

【請求項 1 3】

請求項 1 乃至 1 2 の何れか 1 項に記載の表示装置と、
前記表示装置の駆動を制御する制御部と、
を含む電子機器。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、表示装置および電子機器に関する。

【背景技術】**【0 0 0 2】**

表示装置において、同じ文字や画像などの表示を長時間にわたり行った場合、同じ表示を行った領域の発光特性が変化してしまい、他の画像を表示している間においても僅かに周囲との間で輝度差が生じる「焼き付き」現象が知られている。特許文献 1、2 には、焼き付きを抑制するために、表示される画像の位置を時間経過などに応じてシフトさせることが示されている。

【先行技術文献】**【特許文献】****【0 0 0 3】**

【特許文献 1】特開 2005 - 148558 号公報

【特許文献 2】特開 2009 - 163172 号公報

10

20

【発明の概要】**【発明が解決しようとする課題】****【0 0 0 4】**

特許文献 1、2 に示される表示装置では、1 つの画像を表示する 1 つの走査期間において、画像を表示するための映像信号を入力するタイミングをシフトさせることによって、表示する画像の位置をシフトさせている。このため、それぞれの走査期間において、映像信号を入力する期間よりも長い時間が必要となり、表示装置の動作速度の向上が難しい。

【0 0 0 5】

本発明は、表示装置における焼き付きを抑制し、かつ、高速に動作させるのに有利な技術を提供することを目的とする。

30

【課題を解決するための手段】**【0 0 0 6】**

上記課題に鑑みて、本発明の実施形態に係る表示装置は、行列状に配された複数の画素を備える画素アレイと、画素アレイの行を選択する走査回路と、複数の画素のうち走査回路によって選択された行に配された画素に映像信号を供給する信号出力回路と、を含む表示装置であって、表示装置は、画素アレイのうち一端の側の開始行から開始行よりも他端の側の終了行までに配された画素を用いて画像の表示を行い、走査回路は、開始行を指定する開始指定回路と、終了行を指定する終了指定回路と、シフトレジスタ回路と、を含み、シフトレジスタ回路は、1 つの画像を表示するための 1 つのフレーム期間において、映像信号を書き込むための選択を開始行から開始し、開始行から終了行までの行を順に選択することを特徴とする。

40

【発明の効果】**【0 0 0 7】**

本発明によれば、表示装置における焼き付きを抑制し、かつ、高速に動作させるのに有利な技術を提供することができる。

【図面の簡単な説明】**【0 0 0 8】**

【図 1】本発明の実施形態に係る表示装置の構成例を示す図。

【図 2】図 1 の表示装置の画像の表示位置のシフトを説明する図。

【図 3】図 1 の表示装置の走査回路の構成例を示す図。

50

【図4】図1の表示装置の動作例を示すタイミング図。

【図5】図1の表示装置の動作例を示すタイミング図。

【図6】図1の表示装置の動作例を示すタイミング図。

【図7】図3の走査回路のシフトレジスタ回路の構成例を示す回路図。

【図8】図3の走査回路の発光制御回路の構成例を示す回路図。

【図9】図1の表示装置を用いたカメラの構成例を示すブロック図。

【発明を実施するための形態】

【0009】

以下、本発明に係る記録装置の具体的な実施形態を、添付図面を参照して説明する。以下の説明および図面において、複数の図面に渡って共通の構成については共通の符号を付している。そのため、複数の図面を相互に参照して共通する構成を説明し、共通の符号を付した構成については適宜説明を省略する。

10

【0010】

図1～8を参照して、本発明の実施形態における表示装置の構成について説明する。図1は、本発明の表示装置1の構成の概略を示す図である。表示装置1は、画素アレイ10、走査回路20、信号出力回路30、制御回路40を含む。

20

【0011】

画素アレイ10は、行列状に配された複数の画素11を備える。本明細書において、説明を分かりやすくするために、画素アレイ10が20列×20行の画素11を備えるものとして説明する。しかしながら、画素アレイ10に配される画素11の数はこれに限られることはない。

20

【0012】

画素11には、画素アレイ10の行ごとに共通に設けられた走査線12が接続される。本明細書において、図1の横方向を行方向、縦方向を列方向と呼ぶ場合がある。走査回路20は、制御回路40によって制御され、それぞれの走査線12に走査信号VS(1)～VS(20)を出力する。ここで、VS(n)はn行目の走査信号を表している。走査信号VS(1)～VS(20)によって、画素11は行ごとに書き込み制御および発光制御される。走査回路20は、垂直走査回路とも呼ばれる。

30

【0013】

また、画素11には、列ごとに共通に設けられた信号線13が接続される。信号出力回路30は、制御回路40によって制御され、信号線13に映像信号DATA(1)～DATA(20)を出力する。ここで、DATA(m)はm列目の映像信号を表している。走査回路20が画素アレイの行を選択することによって画素11が書き込み状態となり、選択された行に配された画素11に信号出力回路30から映像信号DATA(1)～DATA(20)が供給される。さらに、走査回路20からの制御によって画素11が発光状態となるように制御されたとき、画素11は、書き込まれた信号に基づいて発光する。

30

【0014】

表示装置1は、焼き付き現象を抑制するために、走査回路20を制御回路40から制御することによって、画像を表示する位置をシフトさせる機能を有する。図2(a)～2(c)は、画像を表示する位置のシフトについて説明する図である。

40

【0015】

制御回路40は、後述するクロック信号VCK、スタートパルス信号VST、リセット信号VRESなどの各種信号を用いて、走査回路20および信号出力回路30を制御する。

40

【0016】

本実施形態において、表示装置1は、画素アレイ10のうち連続する一部の行を用いて画像を表示する。20行×20列の画素アレイ10を持つ表示装置1において、例えば、20列×16行の画像を表示するための映像信号が入力されたとする。入力された映像信号が、画素アレイ10の所定の20列×16行の画素11に供給され、画像が表示される。ここで、画像が表示される領域を表示領域と呼ぶ。表示領域が、例えば、画素アレイ1

50

0のうち3行目～18行目である場合を図2(a)に示す。この表示領域を基準、すなわちシフト±0行として、-2行および+2行、画像の表示領域をシフトさせた場合を、それぞれ図2(b)および図2(c)に示す。-2行の表示領域のシフトを行った場合、画像は1行目～16行目に表示される。一方、+2行の表示領域のシフトを行った場合、画像は5行目～20行目に表示される。つまり、図2(a)、2(c)のように、画素アレイ10のうち画像の表示が開始される開始行となる行が、画素アレイ10のうち1行目の側(一端の側)の端部に配された行とは異なる行であってもよい。また、図2(a)、2(b)のように、画素アレイ10のうち画像の表示を終了する終了行となる行が、画素アレイ10のうち20行目の側(他端の側)の端部に配された行とは異なる行であってもよい。

10

【0017】

このように、特定の画素11に常に同じ画像が出力されないように表示領域をずらすことによって、画素アレイ10における焼き付きを低減する。ここで、表示領域のシフトの説明として、シフト量を±0行を基準とし-2行および+2行と設定することを説明した。以降においても、一例として、上述したシフト量を前提に説明するが、シフト量や表示領域の大きさはこれに限られることはない。表示領域の行数は、画素アレイの行数よりも1行以上少なければよい。また、シフト量は、例えば、±1行であってもよいし、また、画素アレイの行数と表示領域の行数とによって適宜設定すればよい。

【0018】

図3は、走査回路20の構成例を示す図である。走査回路20は、開始指定回路21、終了指定回路22、シフトレジスタ回路23、発光制御回路24を含む。開始指定回路21は、選択信号VSEL(1)～VSEL(5)によって、画素アレイ10のうち画像を表示する表示領域の開始行を指定する。また、終了指定回路22は、選択信号VSEL(16)～VSEL(20)によって、画素アレイ10のうち画像を表示する表示領域の終了行を指定する。シフトレジスタ回路23は、選択された開始行から映像信号を書き込むための走査を行うために、信号VSR(1)～VSR(20)を出力する。発光制御回路24は、信号VSR(1)～VSR(20)に基づいて、開始行から終了行までを走査する走査信号VS(1)～VS(20)を出力する。これによって、表示装置1は、画素アレイ10のうち1行目の側(一端の側)の開始行から開始行よりも20行目の側(他端の側)の終了行までに配された画素11を用いて画像の表示を行う。ここで、VSEL(n)はn行目に対応する選択信号、VSR(n)はn行目に対応する信号を表している。

20

【0019】

図4～6は、走査回路20の動作のタイミング図である。図4は、シフト±0行の場合、つまり表示領域が、画素アレイ10のうち3行目～18行目である場合のタイミング図を示す。

30

【0020】

まず、時刻t0において、制御回路40から転送されるリセット信号VRESがHレベルとなり、シフトレジスタ回路23の出力VSR(1)～VSR(20)がLレベルにリセットされる。続いて、リセット信号VRESがLレベルに戻った後の時刻t1から、周期的な16クロックのクロック信号VCLKが、制御回路40から転送される。クロック信号VCLKの1クロック目が入力される時刻t1から16クロック目が入力される時刻t2までの期間において、画素アレイ10に16行分の映像信号が画素11に供給される。

40

【0021】

クロック信号VCLKの時刻t1における1クロック目が入力されたとき、クロック信号VCLKの立ち上がりを包含するようスタートパルス信号VSTが、制御回路40から転送される。このとき、シフトレジスタ回路23は、クロック信号VCLKに同期して、開始指定回路21が指定する3行目の信号VSR(3)のみをHレベルとする。発光制御回路24は、信号VSR(3)に基づいて、画素11を書き込み状態にする書き込み信号を、走査信号VS(3)に出力する。これによって、シフトレジスタ回路23は、映像

50

信号を書き込むための選択を表示領域の開始行から開始する。その結果、3行目に配された画素11には、映像信号が各列の信号線13を介して信号出力回路30から供給される。

【0022】

続いて、クロック信号VCLKの時刻t1から2クロック目が入力されると、シフトレジスタ回路23は、クロック信号VCLKの立ち上がりに同期して、出力信号を信号VSR(3)から信号VSR(4)へとシフトする。発光制御回路24は、1クロック目と同様に、信号VSR(4)に基づいて走査信号VS(4)に出力し、4行目の画素11がそれぞれ選択され、映像信号が書き込まれる。また、このとき、3行目の走査信号VS(3)には画素11を発光状態にするための発光信号が出力され、3行目の画素11が書き込まれた映像信号に基づいた輝度で発光する。

10

【0023】

以降、3クロック目から16クロック目まで同様の動作を繰り返す。つまり、シフトレジスタ回路23は、1つの画像を表示するための1つのフレーム期間（時刻t0～時刻t2）において、映像信号を書き込むための選択を開始行から開始し、開始行から終了行までの行を順に選択し、それぞれ映像信号を書き込む。

【0024】

16CLK目が入力され、走査信号VS(18)によって18行目の画素11が選択され映像信号の書き込みがすむと、時刻t2で次のフレーム期間へと移る。2フレーム目へ移ると、走査回路20は、時刻t0から時刻t2までの動作を繰り返す。また、発光制御回路24は、それぞれ映像信号が書き込まれた行ごとに画素11を発光状態にするための発光信号を走査信号VS(3)～VS(18)を介して出力する。発光信号は、次のフレーム期間において、それぞれの行が映像信号を書き込むために選択されるまで、出力され続ける。

20

【0025】

また、発光制御回路24は、表示領域外にあたる画素11に対して、走査信号VS(1)、(2)、(19)、(20)を介して画素11を非発光状態にする非発光信号を出力する。つまり、発光制御回路24は、複数の画素11のうち開始行と終了行との間に配されない画素のそれぞれが非発光状態となるように制御する。このように、発光制御回路24は、複数の画素11のそれぞれの発光または非発光を制御する。また、画素11は、発光制御回路24によって発光または非発光の状態を制御される自発光の発光素子を備える。画素11は、発光素子として、例えば、有機EL（エレクトロルミネセンス）素子を備えていてもよい。

30

【0026】

本実施形態において、1つの画像を表示するための1フレーム期間において、走査回路20は、画像を表示する表示領域の行のみを選択し、映像信号を書き込む。このため、特許文献1、2のように画素アレイ10のすべての行を順に選択しながら、信号出力回路30から映像信号を出力するタイミングを調整する場合と比較して、映像信号を書き込む時間を短くすることが可能となる。つまり、本実施形態において、シフトレジスタ回路23の1フレーム期間（時刻t0～時刻t2）は、映像信号の入力期間（時刻t1～時刻t2）と同等となる。

40

【0027】

図5は、図2(b)に示す画像シフト-2行の場合、つまり表示領域が、画素アレイ10のうち1行目～16行目である場合のタイミング図を示す。図4のタイミング図とは、映像信号を書き込みために選択される行および発光信号が出力される行が異なる。クロック信号VCLKの1クロック目が入力されると、信号VSR(1)はHレベルとなり、走査信号VS(1)を介して、画素アレイ10のうち1行目が開始行として選択され、1行目の画素11に映像信号が書き込まれる。以降、順次走査され、16クロック目が入力されると、信号VSR(16)はHレベルとなり、画素アレイ10のうち16行目に配された画素11に映像信号が書き込まれる。また、発光制御回路24は、表示領域外にあたる

50

走査信号 V S (1 7) ~ (2 0) に非発光信号を出力する。

【 0 0 2 8 】

図 6 は、図 2 (c) に示す画像シフト + 2 行の場合、つまり表示領域が、画素アレイ 1 0 のうち 5 行目 ~ 2 0 行目である場合のタイミング図を示す。図 4 、 5 のタイミング図とは、映像信号を書き込みために選択される行および発光信号が出力される行が異なる。クロック信号 V C L K の 1 クロック目が入力されると、信号 V S R (5) は H レベルとなり、走査信号 V S (5) を介して、画素アレイ 1 0 のうち 5 行目が開始行として選択され、5 行目の画素 1 1 に映像信号が書き込まれる。以降、順次走査され、1 6 クロック目が入力されると、信号 V S R (2 0) は H レベルとなり、画素アレイ 1 0 のうち 2 0 行目に配された画素 1 1 に映像信号が書き込まれる。また、発光制御回路 2 4 は、表示領域外にあたる走査信号 V S (1) ~ (4) に非発光信号を出力する。

10

【 0 0 2 9 】

上述した構成によって、画素を表示する位置のシフト量を何れに設定にしても、走査回路 2 0 のシフトレジスタ回路 2 3 は、映像信号の入力期間のみ順に走査するだけで画像を表示することができる。そのため、シフトレジスタ回路 2 3 の 1 フレーム期間（時刻 t 0 ~ 時刻 t 2 ）は映像信号を書き込む期間（時刻 t 1 ~ 時刻 t 2 ）と同等にすることが可能となる。これによって、画像を表示する位置をシフトさせることによって焼き付きを抑制し、かつ、1 つのフレーム期間を短縮し、高速動作可能な表示装置 1 を実現することができる。

20

【 0 0 3 0 】

焼き付きを抑制するための画像を表示する表示領域のシフトは、適当なタイミングで行えばよい。例えば、制御回路 4 0 からの制御によって、開始指定回路 2 1 は、画像の表示を開始してからの時間の経過に応じて、開始行の位置をシフトさせることによって、画像を表示する表示領域をシフトさせてもよい。この場合、制御回路 4 0 は、内部にタイマーを備えていてもよいし、制御回路 4 0 とは別に、表示装置 1 内にタイマーが配されていてもよい。また、例えば、開始指定回路 2 1 は、表示される画像の切替えや画像の表示の開始または終了に応じて、開始行の位置をシフトさせることによって、画像を表示する表示領域をシフトさせてもよい。さらに、例えば、開始指定回路 2 1 は、表示装置 1 の電源のオンまたはオフに応じて、開始行の位置をシフトさせることによって、画像を表示する表示領域をシフトさせてもよい。制御回路 4 0 は、これらのうち 1 つを用いて、画像の位置をシフトさせてもよいし、複数を組み合わせて画像の位置をシフトさせてもよい。例えば、タイマーを動作させながら、所定の時間に達する前に画像が切り替わった場合、制御回路 4 0 は、開始指定回路 2 1 に開始行の位置をシフトさせてもよい。

30

【 0 0 3 1 】

次いで、図 7 を用いて、シフトレジスタ回路 2 3 の詳細について説明する。図 7 は、表示装置 1 の走査回路 2 0 が備えるシフトレジスタ回路 2 3 の構成例を示す回路図である。

【 0 0 3 2 】

本実施形態において、シフトレジスタ回路 2 3 は、画素アレイ 1 0 のそれぞれの行に対応して配された複数のシフトレジスタ単位回路 2 3 1 (単位回路) を含む。シフトレジスタ単位回路 2 3 1 は、D フリップフロップ 2 3 3 とマルチプレクサ 2 3 2 とを含む。それぞれのシフトレジスタ単位回路 2 3 1 に配された D フリップフロップ 2 3 3 には、クロック入力端子にクロック信号 V C L K 、リセット入力端子にリセット信号 V R E S がそれぞれ制御回路 4 0 から入力される。n 行目のシフトレジスタ単位回路 2 3 1 の D フリップフロップ 2 3 3 の信号出力端子は、n 行目の 2 0 行目の側に隣接する行 (n + 1 行) のシフトレジスタ単位回路 2 3 1 のマルチプレクサ 2 3 2 の信号入力端子に接続され、信号 V S R (n) を出力する。また、n 行目のシフトレジスタ単位回路 2 3 1 のマルチプレクサ 2 3 2 の信号出力端子は、同じ n 行目のシフトレジスタ単位回路 2 3 1 の D フリップフロップ 2 3 3 の信号入力端子に接続される。また、n 行目のマルチプレクサ 2 3 2 の入力には、スタート信号 V S T と n 行目の 1 行目の側に隣接する行 (n - 1 行) の信号 V S R (n - 1) が接続される。但し、画素アレイ 1 0 の 1 行目のマルチプレクサ 2 3 2 には、スタ

40

50

ート信号 V S T と L レベル信号が入力される。

【 0 0 3 3 】

マルチプレクサ 232 は制御端子を備える。マルチプレクサ 232 は、この制御端子が H レベルであればスタート信号 V S T を選択し、L レベルであれば他方を選択する。本実施形態において、開始行となる 1 行目～5 行目のマルチプレクサ 232 の制御端子には、開始指定回路 21 から開始行を指定するための選択信号 V S E L (1) ～ V S E L (5) が入力される。一方、本実施形態において、開始行にならない 6 行目～20 行目のマルチプレクサ 232 の制御端子には、L レベルが入力される。したがって、6 行目以降の D フリップフロップ 233 の入力には、常に V S R (n - 1) が接続される。

【 0 0 3 4 】

ここで、開始指定回路 21 は、画像を表示する表示領域の開始行にあたる行の選択信号 V S E L (n) のみを H レベルとする。換言すると、開始指定回路 21 は、複数のシフトレジスタ単位回路 231 のうち 1 つのシフトレジスタ単位回路 231 のマルチプレクサ 232 に開始行を指定するための信号（選択信号 V S E L (n) に供給される H レベルの信号）を送信する。例えば、3 行目が開始行である場合、選択信号 V S E L (3) を H レベル、選択信号 V S E L (1) 、 V S E L (2) 、 V S E L (4) 、 V S E L (5) を L レベルとする。次いで、クロック信号 V C L K 、スタート信号 V S T 、リセット信号 V R E S が入力されると、シフトレジスタ回路 23 は、表示領域の開始行から映像信号を書き込むための行の選択を開始することができる。つまり、シフトレジスタ回路 23 は、複数のシフトレジスタ単位回路 231 のうち開始行を指定するための信号を受信したシフトレジスタ単位回路 231 に接続された行を開始行とする。

【 0 0 3 5 】

本実施形態において、開始指定回路 21 は、開始行となる 1 行目～5 行目に接続されたシフトレジスタ単位回路 231 に開始行を指定するための信号を送信するが、これに限られないことはない。画素アレイ 10 や表示する画像の構成に応じて、適宜、接続を決定すればよい。画像を表示する表示領域をシフトさせるために、開始指定回路 21 は、複数のシフトレジスタ単位回路 231 のうち少なくとも 2 つのシフトレジスタ単位回路 231 に開始行を指定するための信号を送信可能に構成されればよい。また、少なくとも 2 つのシフトレジスタ単位回路 231 は、画素アレイ 10 のうち 1 行目の側の端部に配された連続する少なくとも 2 つの行に接続されうる。画像の表示を行う際、開始指定回路 21 が、少なくとも 2 つのシフトレジスタ単位回路 231 のうち 1 つのシフトレジスタ単位回路 231 に開始行を指定するための信号を送信することによって、画像を表示する位置をシフトさせることが可能となる。

【 0 0 3 6 】

次に、図 8 を用いて、発光制御回路 24 の詳細について説明する。図 8 は、表示装置 1 の走査回路 20 が備える発光制御回路 24 の構成例を示す回路図である。

【 0 0 3 7 】

発光制御回路 24 は、本実施形態において画像を表示する表示領域の開始行となる 0 行目～5 行目に接続された開始行側の制御回路 241 と、終了行となる 16 行目～20 行目に接続された終了行側の制御回路 242 と、を含む。制御回路 241 は、上述のシフトレジスタ単位回路 231 のうち開始指定回路 21 から開始行を指定するための信号が送信されるシフトレジスタ単位回路 231 に接続された行に接続される。また、発光制御回路 24 は、画素アレイ 10 のそれぞれの行に接続された選択回路 243 を含む。

【 0 0 3 8 】

選択回路 243 は、2 つの制御端子および 1 つの出力端子を備える。2 つの制御端子のうち第 1 制御端子には、各行に対応する信号 V S R (1) ～ V S R (20) が入力される。2 つの制御端子のうち第 2 制御端子には、行によって異なる信号が入力される。本実施形態において表示領域の開始行となる 0 行目～5 行目に接続される選択回路 243 の第 2 制御端子には、制御回路 241 の出力信号が入力される。また、本実施形態において表示領域の終了行となる 16 行目～20 行目に接続される選択回路 243 の第 2 制御端子には

10

20

30

40

50

、制御回路 242 の出力信号が入力される。制御回路 241 および制御回路 242 に接続された行の間に配された、表示領域の開始行にも終了行にもならない 6 行目～15 行目に接続される選択回路 243 の第 2 制御端子には、H レベルが入力される。また、選択回路 243 の出力端子からは、走査信号 VS(n) が outputされる。

【0039】

選択回路 243 は、第 2 制御端子に L レベルが入力されると、走査信号 VS(n) として非発光信号を出力する。一方、第 2 制御端子に H レベルが入力されると、第 1 制御端子が H レベルのとき書き込み信号を出力し、第 1 制御端子が L レベルのとき発光信号を出力する。

【0040】

ここで、制御回路 241 と制御回路 242 とは、それぞれ開始指定回路 21 と終了指定回路 22 とに制御される。開始指定回路 21 は、選択信号 VSEL(0)～(5) を出力し、開始行にあたる選択信号 VSEL(n) を H レベルとする。終了指定回路 22 も同様に、選択信号 VSEL(16)～(20) を出力し、終了行にあたる選択信号 VSEL(n) を H レベルとする。制御回路 241 は、開始行に H レベルが入力されると、開始行より後段の行に H レベルを出力する。たとえば、開始行が 3 行目であるとき、1～2 行目に L レベル、3～5 行目に H レベルを出力する。また、制御回路 242 は、終了行に H レベルが入力されると、終了行より前段の行に H レベルを出力する。たとえば、終了行が 18 行目であるとき、16～18 行目に H レベル、19～20 行目に L レベルを出力する。

【0041】

この結果、選択回路 243 のうち、表示領域内に配された第 2 制御端子に H レベルが入力され、表示領域外に配された第 2 制御端子に L レベルが入力される。このため、表示領域となる行に配された画素 11 は、信号 VSR(n) に基づいて順次書き込み制御および発光制御することができる。また、表示領域外の画素 11 は非発光制御することができる。

【0042】

つまり、制御回路 241 は、開始指定回路 21 から開始行を指定するための信号を受信可能に構成され、制御回路 241 に接続された行のうち開始行よりも 1 行目の側に配された行を非発光状態になるように制御する。また、制御回路 241 は、制御回路 241 に接続された行のうち開始行と開始行よりも 20 行目の側に配された行とを発光状態になるように制御する。一方、制御回路 242 は、終了指定回路 22 から終了行を指定するための信号を受信可能に構成され、制御回路 242 に接続された行のうち終了行よりも 20 行目の側に配された行を非発光状態になるように制御する。また、制御回路 242 は、制御回路 242 に接続された行のうち終了行と終了行よりも 1 行目の側に配された行とを発光状態になるように制御する。

【0043】

上述した制御回路 241、242 を実現する回路例として、図 8 に示す OR ゲートを用いた回路構成が考えられる。制御回路 241 では、n 行目の OR ゲート入力に、n-1 行目の OR ゲート出力と n 行目の選択信号 VSEL(n) を入力している。但し、1 行目の OR ゲートには、L レベル入力と選択信号 VSEL(1) を入力している。また、制御回路 242 では、n 行目の OR ゲート入力に、n+1 行目の OR ゲート出力と n 行目の選択信号 VSEL(n) を入力している。但し、20 行目の OR ゲートには、L レベル入力と選択信号 VSEL(1) を入力している。ここで記載した回路は一例であり、同機能を実現する回路であれば、どのような回路を用いてもよい。

【0044】

また、本実施形態において、制御回路 241 は、開始行となる 1 行目～5 行目に接続されるが、これに限られることはない。画素アレイ 10 や表示する画像の構成に応じて、適宜、接続を決定すればよい。画像を表示する表示領域をシフトさせるために、制御回路 241 は、画素アレイ 10 のうち 1 行目の側の端部に配された連続する少なくとも 2 つの行に接続されればよい。また、制御回路 242 は、画素アレイ 10 のうち 20 行目の側の端

10

20

30

40

50

部に配された連続する少なくとも 2 つの行に接続されればよい。このとき、制御回路 241 が接続される行は、開始指定回路 21 から開始行を指定するための信号を受信するシフトレジスタ単位回路 231 に接続された行に接続されうる。

【 0045 】

以上、本発明に係る実施形態を示したが、本発明はこれらの実施形態に限定されないことはいうまでもなく、本発明の要旨を逸脱しない範囲で、上述した実施形態は適宜変更、組み合わせが可能である。

【 0046 】

以上のような表示装置 1 は、種々の電子機器に組み込まれうる。そのような電子機器としては、例えば、カメラ、コンピュータ、携帯端末、車載表示装置などを挙げることができる。電子機器は、例えば、表示装置 1 と、表示装置 1 の駆動を制御する制御部とを含みうる。

10

【 0047 】

ここでは、上述の表示装置 1 をデジタルカメラの表示部に適用した実施形態について図 9 を用いて説明する。レンズ部 901 は被写体の光学像を撮像素子 905 に結像させる撮像光学系であり、フォーカスレンズや変倍レンズ、絞りなどを有している。レンズ部 901 におけるフォーカスレンズ位置、変倍レンズ位置、絞りの開口径などの駆動はレンズ駆動装置 902 を通じて制御部 909 によって制御される。

20

【 0048 】

メカニカルシャッタ 903 はレンズ部 901 と撮像素子 905 との間に配置され、駆動はシャッタ駆動装置 904 を通じて制御部 909 によって制御される。撮像素子 905 は複数の画素によってレンズ部 901 で結像された光学像を画像信号に変換する。信号処理部 906 は撮像素子 905 から出力される画像信号に A/D 変換、デモザイク処理、ホワイトバランス調整処理、符号化処理などを行う。

20

【 0049 】

タイミング発生部 907 は撮像素子 905 および信号処理部 906 に、各種タイミング信号を出力する。制御部 909 は、例えばメモリ (ROM、RAM) とマイクロプロセッサ (CPU) を有し、ROM に記憶されたプログラムを RAM にロードして CPU が実行して各部を制御することによって、デジタルカメラの各種機能を実現する。制御部 909 が実現する機能には、自動焦点検出 (AF) や自動露出制御 (AE) が含まれる。

30

【 0050 】

メモリ部 908 は制御部 909 や信号処理部 906 が画像データを一時的に記憶したり、作業領域として用いたりする。媒体 I/F 部 910 は例えば着脱可能なメモリカードである記録媒体 911 を読み書きするためのインターフェースである。表示部 912 は、撮影した画像やデジタルカメラの各種情報を表示する。表示部 912 には、上述の表示装置 1 が適用できる。表示部 912 としてデジタルカメラに搭載された表示装置 1 は、制御部 909 によって駆動され、画像や各種情報を表示する。操作部 913 は電源スイッチ、リーズボタン、メニューボタンなど、ユーザがデジタルカメラに指示や設定を行うためのユーザインターフェースである。

40

【 0051 】

次いで、撮影時のデジタルカメラの動作について説明する。電源がオンされると、撮影スタンバイ状態となる。制御部 909 は、表示部 912 (表示装置 1) に画像や各種情報を表示させるための表示処理を開始する。このとき、例えば、デジタルカメラの各種設定を行うための画面は、同じ文字やパターンなどが同じ位置に長い時間にわたって表示されやすい。このため、これらの文字やパターンなどが焼き付いてしまう場合がある。そこで、上述のように画像が表示される位置をシフトさせることによって、焼き付きを抑制できる。また、例えば、電子ビューファインダなどにおいて、撮像素子 905 で得た画像のほかに、撮影条件や電池の残量などの情報を表示する場合がある。これらの情報は、文字やパターンなどが同じ位置に長い時間にわたって表示されやすい。このため、例えば、撮像素子 905 で得た画像は画素アレイ 10 の所定の領域に常に表示し、撮影条件などの情報

50

の表示を、上述のようにシフトさせてもよい。

【0052】

撮影スタンバイ状態において撮影準備指示（例えば操作部913のレリーズボタンの半押し）が入力されると、制御部909は焦点検出処理を開始する。そして、制御部909は得られたデフォーカス量と方向とから、レンズ部901のフォーカスレンズの移動量および移動方向を求め、レンズ駆動装置902を通じてフォーカスレンズを駆動し、撮像光学系の焦点を調節する。駆動後、必要に応じてコントラスト評価値に基づく焦点検出をさらに行ってフォーカスレンズ位置を微調整してもよい。

【0053】

その後、撮影開始指示（例えばレリーズボタンの全押し）が入力されると、制御部909は記録用の撮影動作を実行し、得られた画像データを信号処理部906で処理し、メモリ部908に記憶する。そして、制御部909はメモリ部908に記憶した画像データを、媒体制御I/F部910を通じて記録媒体911に記録する。また、このとき制御部909は、撮影した画像を表示するように、表示部912（表示装置1）を駆動してもよい。また、制御部909は、図示しない外部I/F部から画像データをコンピュータなどの外部装置に出力してもよい。

10

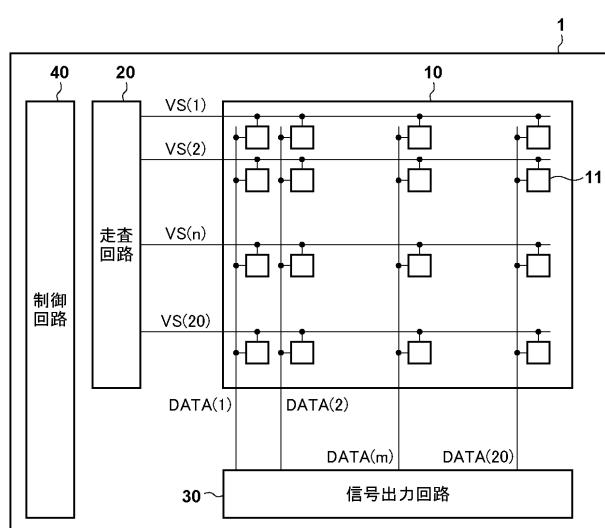
【符号の説明】

【0054】

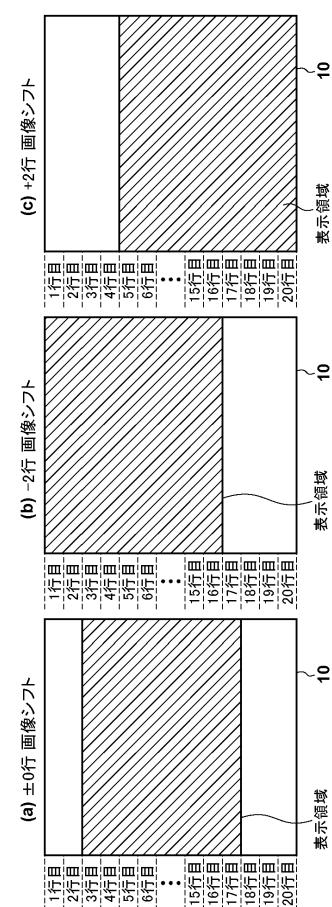
1：表示装置、10：画素アレイ、11：画素、20：走査回路、21：開始指定回路、22：終了指定回路、23：シフトレジスタ回路、30：信号出力回路

20

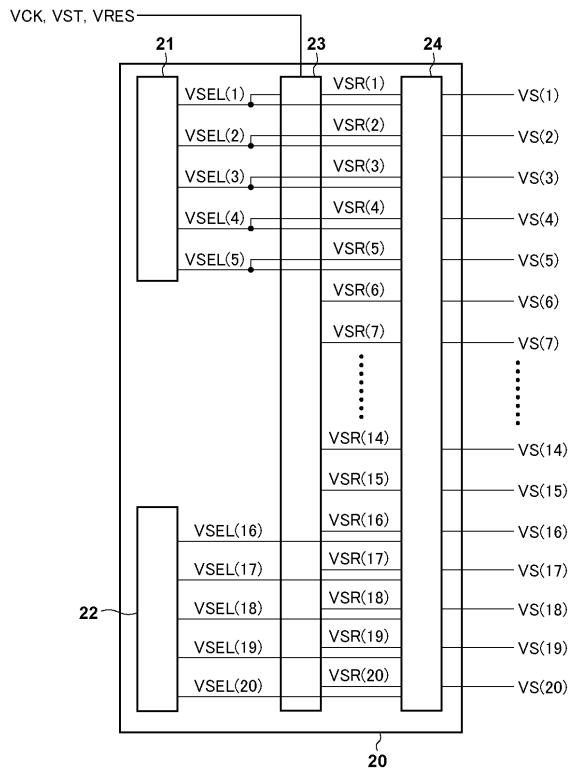
【図1】



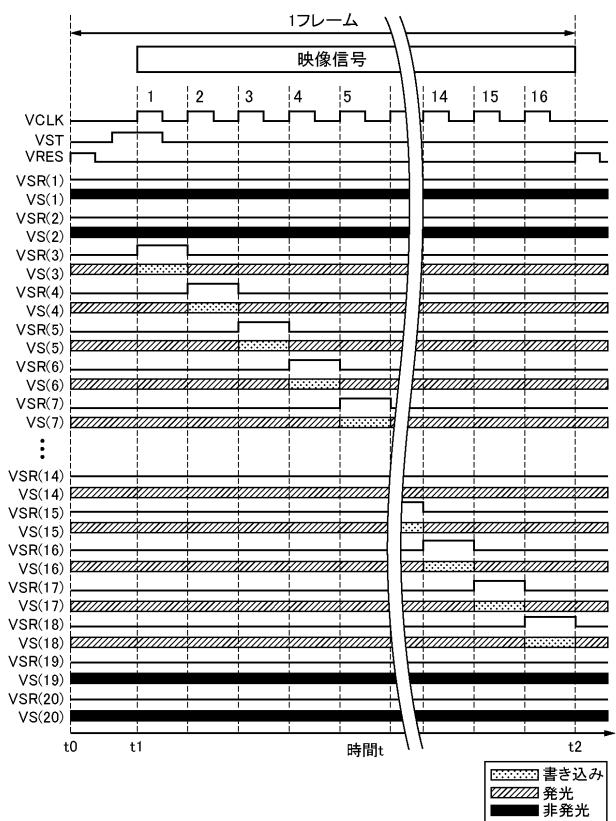
【図2】



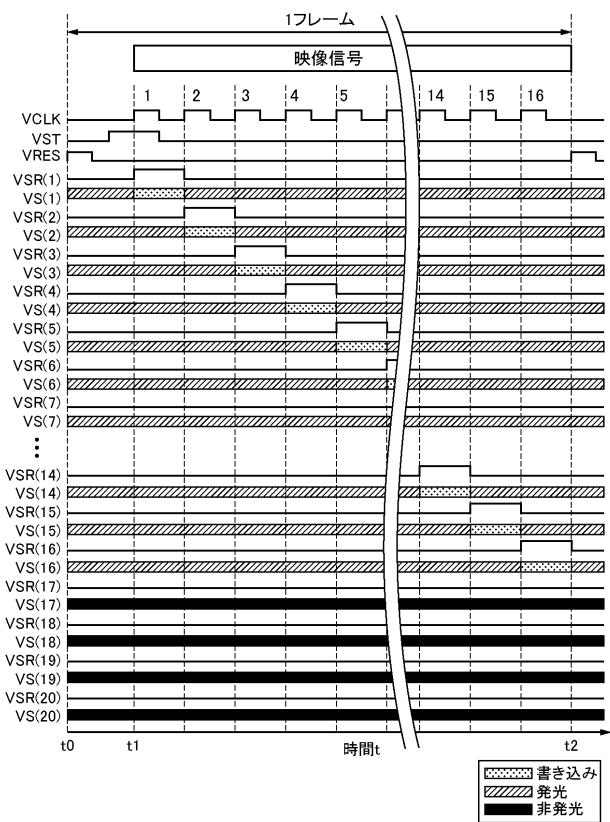
【図3】



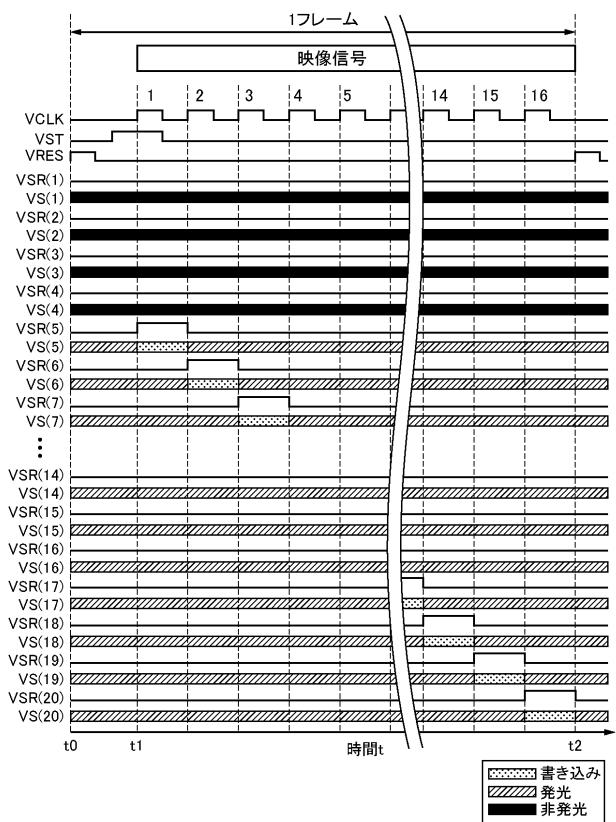
【図4】



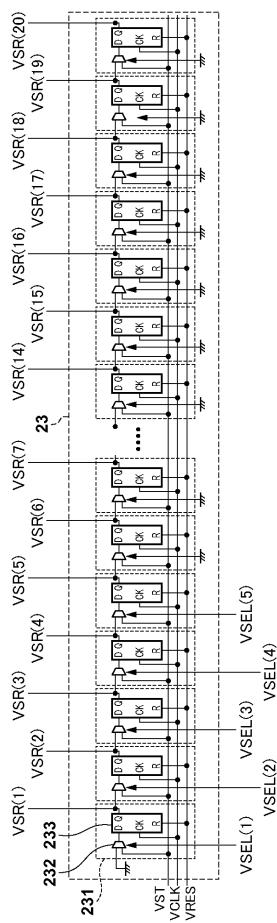
【図5】



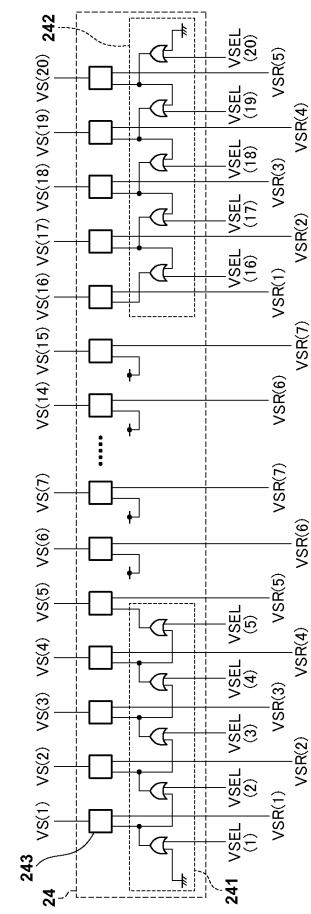
【図6】



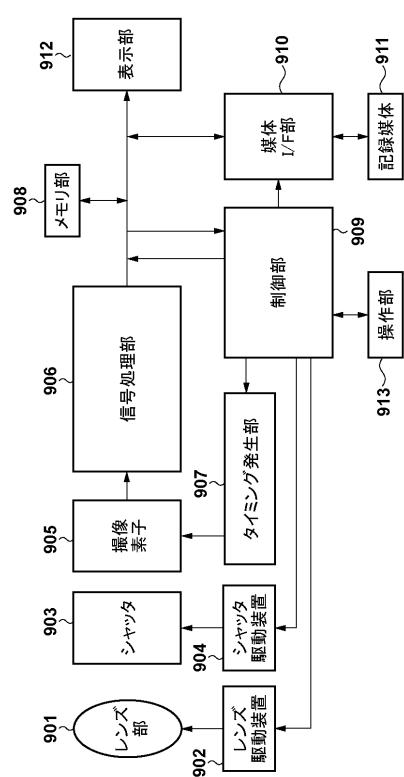
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G	3/20 6 2 2 G
	G 0 9 G	3/3225
	G 0 9 G	3/20 6 6 0 D

(72)発明者 武藤 隆
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大田 康晴
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

F ターム(参考) 5C080 AA06 BB05 DD29 EE22 EE26 FF11 JJ01 JJ02 JJ03 JJ04
KK02 KK07 KK20 KK43
5C380 AA01 AB06 AC08 AC09 AC10 AC12 AC13 BD14 CB08 CB12
CB37 CF07 CF10 CF33 CF52