(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3579138号
(P3579138)
(45)発行日　平成16年10月20日(2004.10.20)　(24)登録日　平成16年7月23日(2004.7.23)

(51)Int.Cl.[7]　F I
H03M　1/10　H03M　1/10　A

請求項の数 2　(全 13 頁)

(21)出願番号　特願平7-206226
(22)出願日　平成7年8月11日(1995.8.11)
(65)公開番号　特開平9-55659
(43)公開日　平成9年2月25日(1997.2.25)
審査請求日　平成14年7月25日(2002.7.25)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(73)特許権者　000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町２丁目１８４４番２
(74)代理人　100068755
弁理士　恩田　博宣
(72)発明者　澤田　勝
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内

最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】
【請求項１】
アナログ信号をデジタル信号に変換して出力するＡ／Ｄ変換器と、
前記アナログ信号の入力を停止するスイッチ回路と、
前記アナログ信号の入力が停止されたとき、前記Ａ／Ｄ変換器の出力信号に基づいて、前記Ａ／Ｄ変換器に入力されるオフセット電圧を縮小するデジタル信号を演算するオフセット電圧キャンセル回路と、
前記デジタル信号をアナログ信号に変換して、前記オフセット電圧をキャンセルするアナログ電圧を出力するＤ／Ａ変換部と
を備え、
　前記オフセット電圧キャンセル回路は、
　前記Ａ／Ｄ変換器の出力信号に基づいて、オフセット電圧の有無及び大小を検出するコンパレータと、
　前記コンパレータの出力信号に基づいて、複数の制御信号を出力する制御回路と、
　前記制御信号に基づいて、前記Ｄ／Ａ変換部のアナログ出力電圧の単位変化量を選択してデジタル信号で出力するＬＳＢ選択回路と、
　前記制御信号に基づいて、前記ＬＳＢ選択回路の出力信号と出力レジスタの出力信号との加減算を行って、該出力レジスタに出力する加減算回路と、
　前記加減算回路の出力信号を前記Ｄ／Ａ変換部に出力する出力レジスタと
を備えることを特徴とする半導体集積回路。

【請求項２】
前記ＬＳＢ選択回路は、
　前記制御信号に基づいて、前記Ａ／Ｄ変換器の１ＬＳＢに相当する前記Ｄ／Ａ変換部の２進コード値を出力する粗動モードと、前記Ａ／Ｄ変換器の１／４ＬＳＢに相当する前記Ｄ／Ａ変換部の２進コード値を出力する微動モードとのいずれかを選択して出力することを特徴とする請求項１記載の半導体集積回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、磁気ディスク等の記録媒体に書き込まれているデータを読みだす際に用いられる半導体集積回路に関するものである。
【０００２】
磁気ディスクのハードディスクから読み取りヘッドを介して読みだされるデータは、アナログ信号として読みだされる。この読み出しデータは、Ａ／Ｄ変換器でデジタル信号に変換され、そのデジタル信号に種々のデジタル処理が施されて、記録データが再生される。近年、このような記録データの再生動作を高速化するために、記録媒体への記録密度の向上及びデジタル信号処理速度の向上が図られている。従って、記録データ再生装置内で使用されるＡ／Ｄ変換器の精度を向上させることが必要となっている。
【０００３】
【従来の技術】
記録データ再生装置では、磁気ディスク等の記録媒体から読み取りヘッドを介して読みだされたアナログデータが増幅器で増幅され、その増幅器の出力信号がアナログイコライザフィルタを介してＡ／Ｄ変換器に出力される。
【０００４】
Ａ／Ｄ変換器では、入力されたアナログ信号をデジタル信号に変換して次段のデジタル処理回路に出力する。デジタル処理回路では、入力されたデジタル信号に対し、復号処理等のデジタル処理を行って、記録データを再生する。
【０００５】
上記のようなＡ／Ｄ変換器では、アナログイコライザフィルタを介して入力される入力信号にオフセット電圧が生じることがある。このオフセット電圧は、周囲温度の上昇や電源電圧の変動、あるいは磁気ディスクやＡ／Ｄ変換器の前段の各回路の経年変化等により生じる。
【０００６】
Ａ／Ｄ変換器の入力信号にオフセット電圧が生じると、精度のよいＡ／Ｄ変換が不可能となる。そこでＡ／Ｄ変換器の入力端子には、オフセット電圧をキャンセルするキャンセル回路が接続されている。
【０００７】
前記キャンセル回路は、例えば抵抗等の外付け部品の調整によりオフセット電圧をキャンセルする回路、あるいはＡ／Ｄ変換器の出力信号を外部のＭＰＵに出力し、そのＡ／Ｄ変換器の出力信号に基づいて、ＭＰＵで演算されたデジタル制御信号をＤ／Ａ変換器でアナログ値に変換し、そのアナログ値でオフセット電圧をキャンセルさせるような帰還回路等で構成される。
【０００８】
【発明が解決しようとする課題】
ところが、外付け部品によるキャンセル回路では、オフセット電圧の変動に随時対応することはできないため、Ａ／Ｄ変換の精度を十分に向上させることはできない。
【０００９】
また、Ａ／Ｄ変換器の出力信号に基づいて、外部のＭＰＵにより、Ｄ／Ａ変換器に出力するデジタル制御信号を演算するキャンセル回路では、近年のデータ読み出し速度の向上にともなって、Ａ／Ｄ変換器の出力信号が高速化されると、ＭＰＵでの前記デジタル制御信

号の演算量が増大するため、そのＭＰＵの負担が増大し、他の処理動作が遅滞するという問題点がある。

【００１０】

この発明の目的は、Ａ／Ｄ変換器に入力されるオフセット電圧を外部の演算手段を使用することなく、自動的に解消して、Ａ／Ｄ変換の精度を向上させ得る半導体集積回路を提供することにある。

【００１１】

【課題を解決するための手段】

アナログ信号をデジタル信号に変換して出力するＡ／Ｄ変換器と、前記アナログ信号の入力を停止するスイッチ回路と、前記アナログ信号の入力が停止されたとき、前記Ａ／Ｄ変換器の出力信号に基づいて、前記Ａ／Ｄ変換器に入力されるオフセット電圧を縮小するデジタル信号を演算するオフセット電圧キャンセル回路と、前記オフセット電圧キャンセル回路のデジタル出力信号をアナログ信号に変換して、前記オフセット電圧をキャンセルするアナログ電圧を出力するＤ／Ａ変換部とを備え、前記オフセット電圧キャンセル回路は、前記Ａ／Ｄ変換器の出力信号に基づいて、オフセット電圧の有無及び大小を検出するコンパレータと、前記コンパレータの出力信号に基づいて、複数の制御信号を出力する制御回路と、前記制御信号に基づいて、前記Ｄ／Ａ変換部のアナログ出力電圧の単位変化量を選択してデジタル信号で出力するＬＳＢ選択回路と、前記制御信号に基づいて、前記ＬＳＢ選択回路の出力信号と出力レジスタの出力信号との加減算を行って、該出力レジスタに出力する加減算回路と、前記加減算回路の出力信号を前記Ｄ／Ａ変換部に出力する出力レジスタとを備える。

【００１２】

（作用）

Ａ／Ｄ変換器へのアナログ信号の入力が停止されると、Ａ／Ｄ変換器の出力信号に基づいて、前記Ａ／Ｄ変換器に入力されるオフセット電圧を縮小するデジタル信号がオフセット電圧キャンセル回路により演算される。そのオフセット電圧キャンセル回路の出力信号がＤ／Ａ変換部でアナログ電圧に変換され、このアナログ電圧により前記オフセット電圧が解消される。

【００１３】

【発明の実施の形態】

図２は、磁気ディスクに書き込まれたデータを読みだす記録データ再生装置の概要を示す。

【００１４】

磁気ディスク駆動装置内に設けられる読み取りヘッド１は、磁気ディスクに書き込まれているデータを読みだして増幅器２に出力する。前記増幅器２は、読み取りヘッド１から読みだされたアナログデータを増幅して、リードチャネルＩＣ３内の利得制御増幅器４に出力する。

【００１５】

前記利得制御増幅器４は、外部から入力される利得補正信号ｇｃに基づいて利得が制御され、前記増幅器２から入力される信号に基づいて、所定レベルの出力信号をアナログイコライザフィルタ５に出力する。

【００１６】

前記アナログイコライザフィルタ５は、利得制御増幅器４の出力信号の周波数特性を所定レベルに揃えて、Ａ／Ｄ変換部６に出力する。

前記Ａ／Ｄ変換部６は、アナログイコライザフィルタ５から出力されるアナログ信号をデジタル信号に変換して、デジタルフィルタ７に出力する。

【００１７】

前記デジタルフィルタ７は、Ａ／Ｄ変換部６から出力されるデジタル信号から不要なデジタル成分を除去し、最尤復号回路８に出力する。そして、最尤復号回路８は、最尤復号法に基づく復号動作を行い、復号された読み出しデータをシリアル－パラレル変換器１０に

出力する。
【００１８】
前記シリアル－パラレル変換器１０は、最尤復号回路８から出力されるシリアルデータをパラレルデータに変換して、リードチャネルＩＣ３の外部へ出力する。
【００１９】
前記デジタルフィルタ７の出力信号は、ＰＬＬシンセサイザ回路９に信号され、ＰＬＬシンセサイザ回路９はデジタルフィルタ７の出力信号に基づいてＡ／Ｄ変換部６のサンプリング周波数を生成して出力する。
【００２０】
前記利得制御増幅器４の出力信号は、サーボ制御部１１に入力される。そのサーボ制御部１１は、入力信号に基づいて、読み取りヘッドが磁気ディスク上のいずれのセクタを読み取っているかを認識して、読み取りヘッド駆動装置（図示しない）に制御信号ＣＬを出力する。
【００２１】
また、サーボ制御部１１は、図４に示すように、各セクタにおいて、読み取りヘッド１がサーボ領域に書き込まれている第１データとデータ領域に書き込まれている第２データとのいずれを読み取っているかを認識して、例えばサーボ領域を読み取っているときにＨレベルとなる制御信号ＸＳＧを前記Ａ／Ｄ変換部６に出力する。
【００２２】
前記Ａ／Ｄ変換部６の具体的構成を図３に示す。前記アナログイコライザフィルタ５からこのＡ／Ｄ変換部６に入力されるアナログ入力信号Ａｉｎは、スイッチ回路１２及びカップリング容量１３を介して増幅器１４に入力される。
【００２３】
前記スイッチ回路１２には、後記制御信号ＯＦＳが入力され、例えばその制御信号ＯＦＳがＨレベルとなると、同スイッチ回路１２がオンされて、アナログ入力信号Ａｉｎがカップリング容量１３に出力される。
【００２４】
前記増幅器１４の入力端子は、抵抗Ｒ１，Ｒ２を介してグランドＧＮＤに接続される。前記増幅器１４はカップリング容量１３を介して入力されるアナログ入力信号Ａｉｎを増幅して、Ａ／Ｄ変換器１５に出力する。
【００２５】
前記Ａ／Ｄ変換器１５は、入力されたアナログ信号を６ビットの２進補数信号ＯＡＤ０～ＯＡＤ５に変換して、前記デジタルフィルタ７に出力する。
すなわち、前記Ａ／Ｄ変換器１５に入力されるアナログ信号が中心電圧に一致すれば、同Ａ／Ｄ変換器１５の出力信号ＯＡＤ０～ＯＡＤ４は「００００００」となり、中心電圧より１ＬＳＢ分高くなれば、「０００００１」となる。
【００２６】
また、中心電圧より１ＬＳＢ分低くなれば、「１１１１１」となり、２ＬＳＢ分低くなれば、「１１１１０」となる。最上位のデジタル信号ＯＡＤ５は、Ａ／Ｄ変換器１５の入力電圧が、中心電圧より高いか低いかを示すものであり、中心電圧より高ければ「０」、低ければ「１」となる。
【００２７】
前記デジタル信号ＯＡＤ０～ＯＡＤ５は、オフセット電圧キャンセル回路１６にも入力される。そのオフセット電圧キャンセル回路１６は、デジタル信号ＯＡＤ０～ＯＡＤ５に基づいて、前記Ａ／Ｄ変換器１５のオフセット電圧をキャンセルするような８ビットのデジタル信号をＤ／Ａ変換器１７に出力する。
【００２８】
前記Ｄ／Ａ変換器１７は、入力されたデジタル信号をアナログ電圧に変換し、抵抗Ｒ３を介して前記抵抗Ｒ１，Ｒ２間に出力する。従って、Ｄ／Ａ変換器１７から出力されるアナログ電圧の変化に基づいて、増幅器１４の入力電圧が変化し、Ａ／Ｄ変換器１５の入力電

圧が調整されるようになっている。
【００２９】
前記オフセット電圧キャンセル回路１６の具体的構成を図５に示す。前記Ａ／Ｄ変換器１５から出力される２進補数信号ＯＡＤ０～ＯＡＤ５は、コンパレータ１８に入力される。最上位のデジタル信号ＯＡＤ５は制御回路１９にも入力される。そして、制御回路１９はデジタル信号ＯＡＤ５が「０」であれば、入力電圧が中心電圧より高いと判定し、「１」であれば、入力電圧が中心電圧より低いと判定する。
【００３０】
前記コンパレータ１８の具体的構成を図６に示す。前記デジタル信号ＯＡＤ１～ＯＡＤ４は、ＮＯＲ回路２５ａと、ＮＡＮＤ回路２６ａに入力される。前記デジタル信号ＯＡＤ０，ＯＡＤ５は、ＮＡＮＤ回路２６ｂに入力され、デジタル信号ＯＡＤ０はインバータ回路を介してＮＡＮＤ回路２６ｃに入力される。
【００３１】
前記ＮＯＲ回路２５ａの出力信号は前記ＮＡＮＤ回路２６ｃと、ＡＮＤ回路２６ｄに入力される。前記ＮＡＮＤ回路２６ｂの出力信号は、前記ＡＮＤ回路２６ｄと、ＮＯＲ回路２５ｂに入力される。
【００３２】
前記ＮＡＮＤ回路２６ａの出力信号は、前記ＮＯＲ回路２５ｂに入力され、動ＮＯＲ回路２５ｂの出力信号は、ＮＯＲ回路２５ｃに入力される。また、前記ＡＮＤ回路２６ｄの出力信号は、前記ＮＯＲ回路２５ｃに入力される。
【００３３】
そして、前記ＮＡＮＤ回路から出力信号ＣＭ０が出力され、前記ＮＯＲ回路２５ｃから出力信号ＣＭ１が出力される。
このように構成されたコンパレータでは、デジタル信号ＯＡＤ０～ＯＡＤ４がすべて「０」であれば、出力信号ＣＭ０，ＣＭ１はともに「０」となる。また、デジタル信号ＯＡＤ０が「１」で、ＯＡＤ１～ＯＡＤ４が「０」となると、出力信号ＣＭ０は「１」、ＣＭ１は「０」となる。また、デジタル信号ＯＡＤ１～ＯＡＤ４の少なくともいずれかが「１」となると、出力信号ＣＭ０，ＣＭ１はともに「１」となる。
【００３４】
前記出力信号ＣＭ０，ＣＭ１は、前記制御回路１９に入力される。制御回路１９は、出力信号ＣＭ０，ＣＭ１がともに「０」となれば、Ａ／Ｄ変換器１５のアナログ入力電圧が中心電圧と一致したと判定して、制御信号ＬＢＤをＬレベルとする。
【００３５】
また、コンパレータの出力信号ＣＭ０が「１」、ＣＭ１が「０」となると、制御回路１９は、Ａ／Ｄ変換器１５のアナログ入力電圧と中心電圧とのずれが、同Ａ／Ｄ変換器１５の２ＬＳＢ以下の小さな値であると判定して、Ｌレベルの出力信号ＬＢＣを出力する。
【００３６】
また、コンパレータの出力信号ＣＭ０，ＣＭ１がともに「１」となると、制御回路１９は、Ａ／Ｄ変換器１５のアナログ入力電圧と中心電圧とのずれが同Ａ／Ｄ変換器１５の２ＬＳＢ以上の大きな値であると判定して、Ｈレベルの出力信号ＬＢＣを出力する。
【００３７】
前記制御回路１９に入力される制御信号ＯＦＴは外部から入力され、その制御信号ＯＦＴに基づいて、同制御回路１９から出力されるオフセットクロック信号ＯＦＣＬＫの周期が設定される。
【００３８】
補正量設定用レジスタ２１は、前記Ａ／Ｄ変換器１５のデジタル出力信号ＯＡＤ０～ＯＡＤ４の１ＬＳＢの変化に対応する前記Ｄ／Ａ変換器１７の８ビットの２進コード値を設定するためのレジスタである。
【００３９】
そして、外部ＭＰＵからシリアルインターフェース２０を介して書き込み制御信号ＷＲＩ

ＴＥと、アドレス信号ＡＤＲが入力されると、そのアドレス信号ＡＤＲで選択されたアドレスに、外部から入力されるデータがデータバスＤＢＵＳを介して書き込まれる。なお、補正量設定用レジスタ２１の格納データは、外部から入力されるリセット信号ＸＲＥＳＥＴにより、リセットされる。

【００４０】

前記補正量設定用レジスタ２１の８ビットの格納データＩ０　～Ｉ７　は、ＬＳＢ選択回路２２に出力される。そのＬＳＢ選択回路２２には、前記制御回路１９から制御信号ＬＢＣ，ＬＢＤが入力され、その制御信号ＬＢＣに基づいて、入力データＩ０　～Ｉ７　をそのまま出力する粗動モードか、同入力データＩ０　～Ｉ７　を下位側へ２ビットシフトして出力する微動モードか、あるいは入力データＩ０　～Ｉ７　をすべて「０」とするかを選択する。

【００４１】

そのＬＳＢ選択回路２２の具体的構成を図７に示す。入力データＩ７　，Ｉ６　はそれぞれＡＮＤ回路２７に入力され、入力データＩ５　～Ｉ０　はそれぞれセレクタ２８の入力端子Ａに入力される。

【００４２】

また、入力データＩ７　～Ｉ２　はそれぞれ２ビットずつ下位の入力データＩ５　～Ｉ０　が入力されるセレクタ２８の入力端子Ｂに入力される。

前記ＡＮＤ回路２７及び前記各セレクタ２８の入力端子ＳＬには、前記制御回路１９から出力される制御信号ＬＢＣが入力される。前記セレクタは、入力端子ＳＬに入力される制御信号ＬＢＣがＨレベルとなると、入力端子Ａに入力された信号を出力し、同制御信号ＬＢＣがＬレベルとなると、入力端子Ｂに入力された信号を出力する。

【００４３】

前記ＡＮＤ回路２７及びセレクタ２８の出力信号は、それぞれＡＮＤ回路２９に出力される。また、前記ＡＮＤ回路２９には、前記制御回路１９から出力される制御信号ＬＢＤがそれぞれ入力される。そして、各ＡＮＤ回路２９から８ビットの出力信号ＯＴ７　～ＯＴ０　が出力される。

【００４４】

このように構成されたＬＳＢ選択回路２２は、制御信号ＬＢＣ，ＬＢＤがＨレベルとなると、入力データＩ７　～Ｉ０　はそのまま８ビットの出力信号ＯＴ７　～ＯＴ０　として出力される。

【００４５】

また、制御信号ＬＢＤがＨレベルに維持された状態で、制御信号ＬＢＣがＬレベルとなると、入力データＩ７　～Ｉ２　がそれぞれ２ビットずつ下位へシフトされて、出力信号ＯＴ５　～ＯＴ０　として出力され、出力信号ＯＴ７　～ＯＴ６　は「０」となる。

【００４６】

従って、出力信号ＯＴ７　～ＯＴ０　は入力データＩ７　～Ｉ０　の１／４のデジタル値となり、Ａ／Ｄ変換器１５の１／４ＬＳＢに相当する前記Ｄ／Ａ変換器１７の２進コード値となる。

【００４７】

また、制御信号ＬＢＤがＬレベルとなると、出力信号ＯＴ０　～ＯＴ７　はすべて「０」となる。

前記ＬＳＢ選択回路２２の出力信号ＯＴ０　～ＯＴ７　は、加減算回路２３に入力される。また、前記加減算回路２３には、後記出力レジスタ２４の８ビットの出力信号ＯＦＣ０～ＯＦＣ７と、前記制御回路１９から出力される制御信号ＰＭＤが入力される。その制御信号ＰＭＤは、前記Ａ／Ｄ変換器の最上位ビットの出力信号ＯＡＤ５が「０」のときＬレベルとなり、「１」のときＨレベルとなる。

【００４８】

そして、加減算回路２３は制御信号ＰＭＤに基づいて、入力信号ＯＦＣ０～ＯＦＣ７と、入力信号ＯＴ０　～ＯＴ７　との加算、若しくは減算を行う。

前記加減算回路２３の具体的構成を図８に示す。前記入力信号ＯＦＣ０～ＯＦＣ７は、それぞれ加算器３０に入力され、前記入力信号ＯＴ０　～ＯＴ７　はそれぞれＥＯＲ回路３１の一方の入力端子に入力される。

【００４９】

前記ＥＯＲ回路３１の他方の入力端子には、前記制御信号ＰＭＤが入力される。そして、各ＥＯＲ回路３１の出力信号が前記加算器３０にそれぞれ入力され、加算器３０から出力信号Ｓ０～Ｓ７が出力される。

【００５０】

このように構成された加減算回路３３では、制御信号ＰＭＤがＨレベルとなると、各ＥＯＲ回路３１から入力信号ＯＴ０　～ＯＴ７　と同相の信号が出力される。すると、各加算器３０は入力信号ＯＦＣ０～ＯＦＣ７に、入力信号ＯＴ０　～ＯＴ７　を加算して、出力信号Ｓ０～Ｓ７として出力する。

【００５１】

一方、制御信号ＰＭＤがＬレベルとなると、各ＥＯＲ回路３１から入力信号ＯＴ０　～ＯＴ７　を反転させた信号が出力される。すると、各加算器３０の加算動作は、実質的に入力信号ＯＦＣ０～ＯＦＣ７から同ＯＴ０　～ＯＴ７　を減算する動作となり、その減算結果を出力信号Ｓ０～Ｓ７として出力する。

【００５２】

前記加減算回路３３の出力信号Ｓ０～Ｓ７は、出力レジスタ２４に入力される。前記出力レジスタ２４には、前記制御回路１９からオフセットクロック信号ＯＦＣＬＫが入力され、出力レジスタ２４はそのオフセットクロック信号ＯＦＣＬＫの立ち上がり毎に、格納データを加減算回路３３の出力信号Ｓ０～Ｓ７に更新して、出力信号ＯＦＣ０～ＯＦＣ７として前記Ｄ／Ａ変換器１７に出力する。

【００５３】

また、出力レジスタ２４には外部ＭＰＵからシリアルインターフェース２０を介して入力される信号に基づいてデータの書き込み、あるいは格納データの読み出しが行われる。

【００５４】

すなわち、外部ＭＰＵから書き込み信号ＷＲＩＴＥとアドレス信号ＡＤＲが入力されると、選択されたアドレスに書き込みデータがデータバスＤＢＵＳを介して書き込まれる。また、外部ＭＰＵから読み出し信号ＲＥＡＤとアドレス信号ＡＤＲが入力されると、選択されたアドレスの格納データがデータバスＤＢＵＳを介して読みだされる。

【００５５】

前記制御回路１９には、前記サーボ制御部１１から制御信号ＸＳＧが入力される。そして、制御回路１９はその制御信号ＸＳＧに基づいて制御信号ＯＦＳを前記スイッチ回路１２に出力する。

【００５６】

前記制御回路１９に入力される制御信号ＡＴＣＮは外部から入力される。制御回路１９は、その制御信号ＡＴＣＮの入力に基づいて、前記制御信号ＸＳＧに依らず、制御信号ＯＦＳを出力して、このオフセットキャンセル回路１６の動作を開始させる。

【００５７】

外部から前記制御回路１９に入力される制御信号ＷＮＳは、前記ＬＳＢ選択回路２２に出力する制御信号ＬＢＣ，ＬＢＤを外部から制御して、ＬＳＢ選択回路２２の出力信号ＯＴ０　～ＯＴ７　を粗動モードとするか、微動モードとするかを選択する信号として入力される。

【００５８】

外部から前記制御回路１９に入力される制御信号ＳＴＢは、この制御回路１９を起動させる信号として入力される。

外部から前記制御回路１９に入力される基準クロック信号ＲＥＦＣＬＫは、前記オフセットクロック信号ＯＦＣＬＫを生成するための基準信号として入力される。

【００５９】

次に、上記のように構成された記録データ再生装置において、Ａ／Ｄ変換部６内でのオフセット電圧キャンセル動作を説明する。
読み取りヘッド１がサーボ領域の読み出し動作を開始すると、サーボ制御部１１から制御信号ＸＳＧがＡ／Ｄ変換部６に入力される。その制御信号ＸＳＧがオフセット電圧キャンセル回路１６内の制御回路１９に入力されると、制御回路１９からスイッチ回路１２に制御信号ＯＦＳが入力されて、同スイッチ回路１２がオフされる。

【００６０】

オフセット電圧キャンセル回路１６は、この状態でＡ／Ｄ変換器１５の入力電圧を中心電圧とするように動作する。
このとき、Ａ／Ｄ変換器１５の入力電圧が中心電圧より２ＬＳＢ分以上高くオフセットした状態であると、Ａ／Ｄ変換器１５から出力される最上位のデジタル信号ＯＡＤ５が「０」で、デジタル信号ＯＡＤ１～ＯＡＤ４の少なくとも一つが「１」となり、コンパレータ１８の出力信号ＣＭ０，ＣＭ１はともに「１」となる。

【００６１】

すると、制御回路１９から出力される制御信号ＬＢＣ，ＬＢＤはともにＨレベルとなり、制御信号ＰＭＤはＬレベルとなる。Ｈレベルの制御信号ＬＢＣ，ＬＢＤに基づいて、ＬＳＢ選択回路２２は入力信号Ｉ０　～Ｉ７　を出力信号ＯＴ０　～ＯＴ７　として出力し、その出力信号ＯＴ０　～ＯＴ７　は粗動モードとなる。

【００６２】

また、Ｌレベルの制御信号ＰＭＤにより、加減算回路２３は減算モードとなり、出力レジスタ２４の出力信号ＯＦＣ０～ＯＦＣ７から粗動モードの入力信号ＯＴ０　～ＯＴ７　を減算して、出力信号Ｓ０　～Ｓ７　として出力レジスタ２４に出力する。

【００６３】

出力レジスタ２４は、オフセットクロック信号ＯＦＣＬＫの立ち上がり毎に、加減算回路２３の出力信号Ｓ０　～Ｓ７　を格納して、出力信号ＯＦＣ０～ＯＦＣ７としてＤ／Ａ変換器１７に出力する。

【００６４】

そして、Ｄ／Ａ変換器１７は減算された入力信号Ｓ０　～Ｓ７　をアナログ電圧に変換するため、その出力電圧が低下する。すると、抵抗Ｒ１～Ｒ３に基づいて設定される増幅器１４の入力電圧が低下し、Ａ／Ｄ変換器１５のアナログ入力電圧はそのオフセット値が小さくなり、中心電圧に近づく。

【００６５】

Ａ／Ｄ変換器１５のアナログ入力電圧のオフセット値が小さくなって、Ａ／Ｄ変換器１５のデジタル出力信号ＯＡＤ５～ＯＡＤ０において、ＯＡＤ０だけが「１」となると、コンパレータ１８の出力信号ＣＭ０は「１」、ＣＭ１は「０」となる。

【００６６】

すると、制御信号ＬＢＣはＬレベルとなって、ＬＳＢ選択回路２２は入力信号Ｉ０　～Ｉ７　を２ビットずつ下位へシフトして出力信号ＯＴ０　～ＯＴ７　を出力し、その出力信号ＯＴ０　～ＯＴ７　は微動モードとなる。

【００６７】

また、制御信号ＰＭＤはＬレベルに維持され、加減算回路２３は減算モードに維持され、出力レジスタ２４の出力信号ＯＦＣ０～ＯＦＣ７から微動モードの入力信号ＯＴ０　～ＯＴ７　を減算して、出力信号Ｓ０　～Ｓ７　として出力レジスタ２４に出力する。

【００６８】

そして、上記と同様にして、出力レジスタ２４は、オフセットクロック信号ＯＦＣＬＫの立ち上がり毎に、加減算回路２３の出力信号Ｓ０　～Ｓ７　を格納して出力し、Ｄ／Ａ変換器１７は微動モードにより小幅で減算された出力信号ＯＦＣ０～ＯＦＣ７をアナログ電圧に変換するため、その出力電圧が小幅で低下する。すると、増幅器１４の入力電圧が小幅で低下して、Ａ／Ｄ変換器１５のアナログ入力電圧は中心電圧にさらに近づく。

【００６９】

上記のような動作により、Ａ／Ｄ変換器１５のアナログ入力電圧が中心電圧となると、Ａ／Ｄ変換器１５のデジタル出力信号ＯＡＤ０～ＯＡＤ５はすべて「０」となる。

【００７０】

すると、コンパレータ１８の出力信号ＣＭ０，ＣＭ１が「０」となり、制御信号ＬＢＤが「０」となる。そして、ＬＳＢ選択回路２２の出力信号ＯＴ０　～ＯＴ７　はすべて「０」となるため、加減算回路２３の出力信号Ｓ０　～Ｓ７　及び出力レジスタ２４の出力信号ＯＦＣ０～ＯＦＣ７は一定となる。

【００７１】

従って、Ｄ／Ａ変換器１７の出力電圧は一定となり、Ａ／Ｄ変換器１５のアナログ入力電圧は中心電圧に維持される。

また、Ａ／Ｄ変換器１５の入力電圧が中心電圧より低くオフセットした状態では、デジタル出力信号ＯＡＤ５が「１」となり、制御信号ＰＭＤがＨレベルとなる。

【００７２】

すると、加減算回路２３が加算モードとなること以外は、上記と同様に動作して、Ａ／Ｄ変換器１５のアナログ入力電圧のオフセットが解消される。

この状態で、読み取りヘッド１によるサーボ領域の読み出しが終了し、データ領域の読み出しが開始されると、サーボ制御部１１からの制御信号ＸＳＧの出力が停止され、制御信号ＯＦＳの出力が停止されるとともに、制御信号ＬＢＤがＬレベルとなる。

【００７３】

すると、ＬＳＢ選択回路２２の出力信号ＯＴ０　～ＯＴ７　はすべて「０」に維持され、上記と同様にＤ／Ａ変換器１７の出力電圧は一定に維持される。

そして、スイッチ回路１２が導通状態となって、データ領域から読みだされたアナログ入力信号Ａｉｎがスイッチ回路１２を介して入力され、Ａ／Ｄ変換器１５ではオフセット電圧が解消された状態でＡ／Ｄ変換動作が行われる。

【００７４】

データ領域の読み出し動作が終了して、再びサーボ領域の読み出し動作が開始されると、上記のようなオフセット電圧のキャンセル動作が再開される。

以上のようにこのＡ／Ｄ変換部６では、読み取りヘッド１によるサーボ領域の読み出し動作が開始されると、スイッチ回路１２がオフされて、アナログ入力信号Ａｉｎの入力が停止され、増幅器１４、Ａ／Ｄ変換器１５、オフセット電圧キャンセル回路１６、Ｄ／Ａ変換器１７及び抵抗Ｒ１～Ｒ３とで閉ループが構成される。

【００７５】

そして、オフセット電圧キャンセル回路１６の動作によりＡ／Ｄ変換器１５のオフセット電圧を自動的にキャンセルすることができる。

オフセット電圧キャンセル回路１６は、サーボ領域の読み出し動作にともなって入力される制御信号ＸＳＧに基づいて起動され、コンパレータ１８でオフセット値の大小が検出される。

【００７６】

そして、ＬＳＢ選択回路２２により粗動モードか微動モードかが選択され、粗動モードの場合には、オフセットクロック信号ＯＦＣＬＫの立ち上がり毎に行われるオフセット電圧のキャンセル動作は、Ａ／Ｄ変換器１５の１ＬＳＢ分ずつ行われ、微動モードでは、Ａ／Ｄ変換器１５の１／４ＬＳＢ分ずつ行われる。

【００７７】

このような動作により、Ａ／Ｄ変換器１５のオフセット電圧が大きい場合には、そのオフセット電圧を速やかに縮小することができるとともに、オフセット電圧が縮小されると、さらにオフセット電圧が「０」に近づくように細かく調整することができる。

【００７８】

従って、オフセット電圧のキャンセル動作を高速に、かつ精度よく行うことができる。この結果、Ａ／Ｄ変換器１５の変換精度を向上させることができる。

また、出力レジスタ２４の出力信号ＯＦＣ０～ＯＦＣ７の更新周期を設定するオフセット

クロック信号ＯＦＣＬＫは、外部から入力される制御信号ＯＦＴに基づいて、任意に設定可能である。

【００７９】

そして、その更新周期を適宜に選択することにより、加減算回路２３の出力信号Ｓ０　～Ｓ７　の出力信号の変化にともなう出力レジスタ２４の出力信号ＯＦＣ０～ＯＦＣ７の無用な変動を防止して、Ｄ／Ａ変換器１７の出力電圧を安定化させることができる。

【００８０】

【発明の効果】

以上詳述したように、この発明は、Ａ／Ｄ変換器に入力されるオフセット電圧を外部の演算手段を使用することなく、自動的に解消して、Ａ／Ｄ変換の精度を向上させ得る半導体集積回路を提供することができる。

【図面の簡単な説明】

【図１】本発明の原理説明図である。

【図２】記録データ再生装置を示すブロック図である。

【図３】Ａ／Ｄ変換部を示す回路図である。

【図４】サーボ領域の読み取り動作を示す概念図である。

【図５】オフセットキャンセル回路を示すブロック図である。

【図６】コンパレータを示す回路図である。

【図７】ＬＳＢ選択回路を示す回路図である。

【図８】加減算回路を示す回路図である。

【符号の説明】

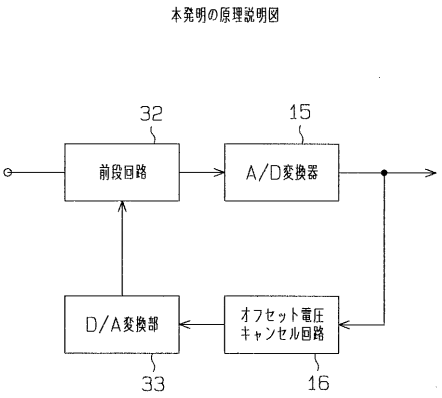
１５　　Ａ／Ｄ変換器

１６　　オフセット電圧キャンセル回路

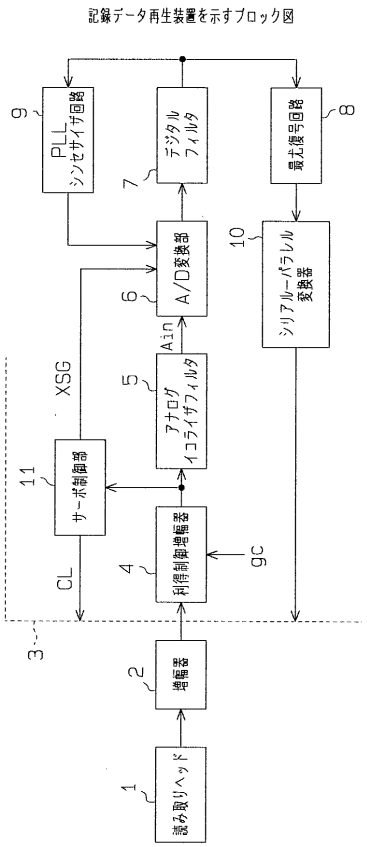
３２　　前段回路

３３　　Ｄ／Ａ変換部

【図１】

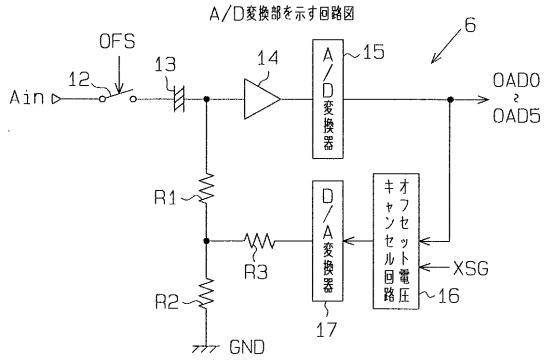


【図２】



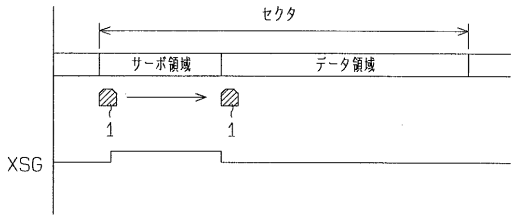
【図３】

A/D変換部を示す回路図



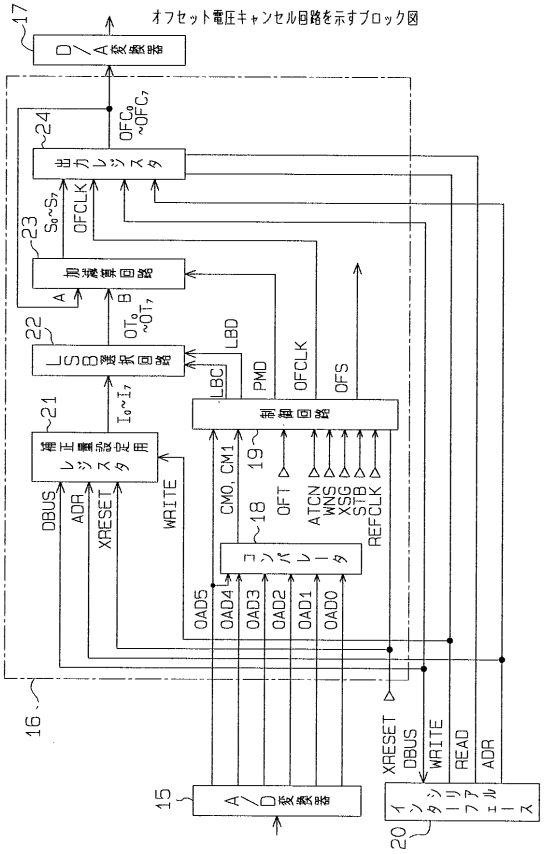
【図４】

サーボ領域の読み取り動作を示す概念図



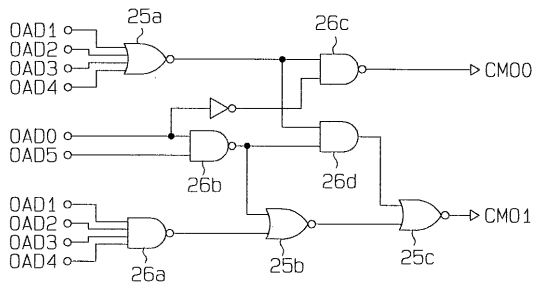
【図５】

オフセット電圧キャンセル回路を示すブロック図



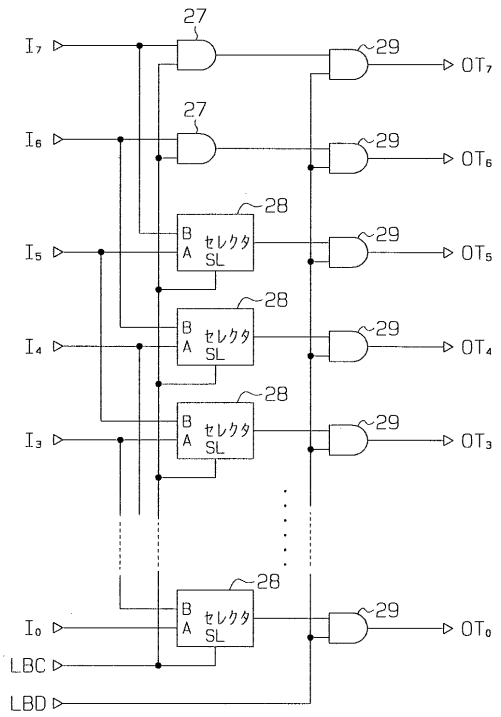
【図６】

コンパレータを示す回路図

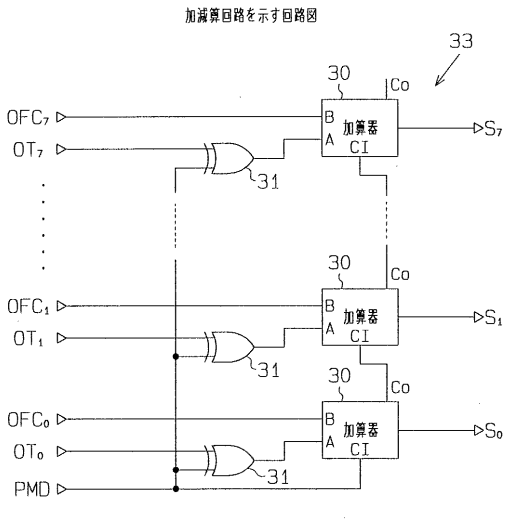


【図７】

LSB選択回路を示す回路図



【図８】


加減算回路を示す回路図
33
30
Co
B
A
加算器
CI
OFC7
OT7
S7
31
OFC1
OT1
S1
OFC0
OT0
S0
PMD

フロントページの続き

(72)発明者　村上　裕子
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内

審査官　柳下　勝幸

(56)参考文献　実開昭６３－１２０４２３（ＪＰ，Ｕ）
特開平０２－１６４１２９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H03M1/00～H03M1/88