

Vynález se týká zapojení řídicích obvodů pro zobrazovací jednotky, kterými se generují synchronizační signály, analogové zobrazovací jednotky a adresace paměti zobrazovacích a řídicích znaků s generátorem grafických symbolů, využívajících řádkového způsobu zobrazení pro zobrazení různých typů informačních polí.

Zobrazovací jednotky pro zobrazení abecedních číselných a grafických symbolů určených pro zařízení malé výpočetní techniky se skládají z několika základních částí. Analogové, která obsahuje obrazovku s vychylovacími prvky a obrazovým zesilovačem, vyrovnávací paměť zobrazované informace s generátorem grafických symbolů. Dále řadiče, které generují synchronizační signály pro analogovou část, řídicí signály pro vyrovnávací paměť zobrazované informace s generátorem grafických symbolů a signály nutné pro obsluhu zobrazovací jednotky ve vztahu k ostatním zařízením. Řadič zobrazovací jednotky se většinou řeší jako sekvenční logický řetěz.

V podstatě takových zapojení se v oblasti výpočetní a záznamové techniky běžně používá. Bylo však zjištěno, že v běžné praxi vykazují některé podstatnější nedostatky. Zejména v případě, kdy pro zobrazovací jednotku s větším počtem znaků na řádku a množstvím různých druhů zobrazení, jako například podložená pole, oddělené znaky, inverzní, blikající apod., umístěná na jednom řádku a snímku, je zapotřebí, aby řadič byl řešen jako sekvenční logický řetěz doplněný složitou vazební kombinací sítí.

Složitost řadiče mimo to klade přísné požadavky na stabilitu některých prvků, zejména z časového a tepelného hlediska, což vyžaduje přísnější kusový výběr a zahořování ve výrobě. Složitost dále vyžaduje pracnější diagnostiku a v některých případech je diagnostika dokonce zcela znemožněna. Proto tyto skutečnosti nepříznivě ovlivňují pracnost výrobku, přičemž opravy a servis jsou rovněž pracnější, což v obou případech představuje zvýšení ekonomických nákladů.

Uvedené nevýhody v podstatě odstraňuje zapojení řídicích obvodů pro zobrazovací jednotky podle tohoto vynálezu, jehož podstata spočívá v tom, že první výstup řídicího generátoru je připojen na druhý vstup paměti mezníků řádků, druhý výstup řídicího generátoru na druhý vstup paměti řádkového synchronizačního signálu, třetí výstup řídicího generátoru na druhý vstup paměti řádkového zatemňovacího signálu, čtvrtý výstup řídicího generátoru na druhý vstup paměti adresy v bloku, pátý výstup řídicího generátoru na druhý vstup paměti adresy bloku, šestý výstup řídicího generátoru na druhý vstup paměti snímkového synchronizačního signálu, sedmý výstup řídicího generátoru na druhý vstup paměti mezníků snímků, osmý výstup řídicího generátoru na druhý vstup paměti snímkového zatemňovacího signálu, devátý výstup řídicího generátoru na první vstup programovatelného čítače znaků, výstup programovatelného čítače znaků je spojen jednak s prvním vstupem programovatelného dekodéru mezníků řádků, jednak s prvním vstupem adresního přepínače a s prvním vstupem programovatelného dekodéru mezníků snímků, přičemž ke druhému vstupu programovatelného čítače znaků je připojen výstup paměti mezníků řádků, první výstup programovatelného dekodéru mezníků řádků je připojen na první vstup paměti mezníků řádků, druhý výstup programovatelného dekodéru mezníků řádků na první vstup paměti řádkového synchronizačního signálu a výstup paměti řádkového synchronizačního signálu na řádkový synchronizační vstup analogové zobrazovací jednotky, zatímco třetí výstup programovatelného dekodéru mezníků řádků je připojen na první vstup paměti řádkového zatemňovacího signálu, jehož výstup je připojen na řádkový zatemňovací vstup analogové zobrazovací jednotky, čtvrtý výstup programovatelného dekodéru mezníků řádků na třetí vstup adresního přepínače a pátý výstup programovatelného dekodéru mezníků řádků na první vstup programovatelného čítače řádků, kdežto ke druhému vstupu programovatelného čítače řádků je připojen výstup paměti mezníků snímků, první výstup programovatelného čítače řádků je připojen jednak na druhý vstup adresního přepínače, jednak na druhý vstup programovatelného dekodéru mezníků snímků, druhý výstup programového čítače řádků je spojen se vstupem řídicí adresy generátoru znaků a řídicích funkcí, výstup adresního přepínače je spojen s prvním vstupem paměti adresy v bloku a výstup paměti adresy v bloku je připojen na vstup adresy paměti zobrazovaných a řídicích znaků, zatímco první výstup programovatelného

dekodéru mezníků snímků je připojen na první vstup paměti snímkového zatemňovacího signálu, jehož výstup je připojen na snímkový zatemňovací vstup analogové zobrazovací jednotky, druhý výstup programovatelného dekodéru mezníků snímků je připojen na první vstup paměti adresy bloku, jehož výstup je spojen se vstupem adresy bloku paměti zobrazovaných a řídících znaků, přičemž třetí výstup programovatelného dekodéru mezníků snímků je připojen na první vstup paměti snímkového synchronizačního signálu, kdežto jeho výstup je spojen se snímkovým synchronizačním vstupem analogové zobrazovací jednotky a čtvrtý výstup programovatelného dekodéru mezníků snímků je připojen na první vstup paměti mezníků snímků.

Výhodou zapojení je, že pro řídící elektroniku zobrazovacích jednotek, kde se využívá řádkového způsobu zobrazení různých typů informačních polí, je možno použít konstrukci řídící elektroniky s jednoduchým typem kombinační logické sítě s řídícími čítači. K tomu také přispívá sloučení generátoru synchronizačních signálů pro analogovou zobrazovací jednotku s generátorem adresních signálů pro paměť zobrazovaných a řídících znaků. Kromě nižších ekonomických nákladů na výrobu se tímto jednodušším provedením poskytuje snadnější oživování zařízení a jednodušší servis.

Zapojení řídících obvodů pro zobrazovací jednotky je vyobrazeno na přiloženém výkrese v blokovém schématu.

První výstup 01 řídícího generátoru RG je připojen na druhý vstup 2 paměti mezníků řádků PMŘ, druhý výstup 02 řídícího generátoru RG na druhý vstup 2 paměti řádkového synchronizačního signálu PRSS, třetí výstup 03 řídícího generátoru RG na druhý vstup 2 paměti řádkového zatemňovacího signálu PRZS, čtvrtý výstup 04 řídícího generátoru RG na druhý vstup 2 paměti adresy v bloku PAVB, pátý výstup 05 řídícího generátoru RG na druhý vstup 2 paměti adresy bloku PAB, šestý výstup 06 řídícího generátoru RG na druhý vstup 2 paměti snímkového synchronizačního signálu PSSS, sedmý výstup 07 řídícího generátoru RG na druhý vstup 2 paměti mezníků snímků PMS, osmý výstup 08 řídícího generátoru RG na druhý vstup 2 paměti snímkového zatemňovacího signálu PSZS a devátý výstup 09 řídícího generátoru RG na první vstup 1 programovatelného čítače znaků PČZ je spojen jednak se vstupem 1 programovatelného dekodéru mezníků řádků PDMŘ, jednak s pevním vstupem 1 adresního přepínače AP a s prvním vstupem 1 programovatelného dekodéru mezníků snímků PDMS. Ke druhému vstupu 2 programovatelného čítače znaků PČZ je připojen výstup 01 paměti mezníků řádků PMŘ. První výstup 01 programovatelného dekodéru mezníků řádků PDMŘ je připojen na první vstup 1 paměti mezníků PMŘ, druhý výstup 02 programovatelného dekodéru mezníků řádků PDMŘ na první vstup 1 paměti řádkového synchronizačního signálu PRSS a výstup 01 paměti řádkového synchronizačního signálu PRSS na řádkový synchronizační vstup neznázorněné analogové zobrazovací jednotky.

Třetí výstup 03 programovatelného dekodéru mezníků řádků PDMŘ na první vstup 1 paměti řádkového zatemňovacího signálu PRZS, čtvrtý výstup 04 programovatelného dekodéru mezníků řádků PDMŘ na třetí vstup 3 adresního přepínače AP a pátý výstup 05 programovatelného dekodéru mezníků řádků PDMŘ na první vstup 1 programovatelného čítače řádků PČŘ. Výstup 01 paměti řádkového zatemňovacího signálu PRZS je připojen na řádkový zatemňovací vstup neznázorněné analogové zobrazovací jednotky.

Ke druhému vstupu 2 programovatelného čítače řádků PČŘ je připojen výstup 01 paměti mezníků snímků PMS, kdežto jeho první výstup 01 je připojen jednak na druhý vstup 2 adresního přepínače AP, jednak na druhý vstup 2 programovatelného dekodéru mezníků PDMS. Druhý výstup 02 programovatelného čítače řádků PČŘ je spojen se vstupem řídící adresy neznázorněného generátoru znaků a řídících funkcí.

Výstup 01 adresního přepínače AP je spojen s prvním vstupem 1 paměti adresy v bloku PAVB a výstup 01 paměti adresy v bloku PAVB je připojen na vstup adresy neznázorněné paměti zobrazovaných a řídících znaků. První výstup 01 programovatelného dekodéru mezníků snímků PDMS je připojen na první vstup 1 paměti snímkového zatemňovacího signálu PSZS a jeho výstup 01 na snímkový zatemňovací vstup neznázorněné analogové zobrazovací jednotky.

Druhý výstup 02 programovatelného dekodéru mezníků snímku PDMS je připojen na první vstup 1 paměti adresy bloku PAB, přičemž výstup 01 paměti adresy bloku PAB je spojen se vstupem adresy bloku neznázorněné paměti zobrazovaných a řídících znaků. Třetí výstup 03 programovatelného dekodéru mezníků snímku PDMS na první vstup 1 paměti snímkového synchronizačního signálu PSSS, přičemž výstup 01 paměti snímkového synchronizačního signálu PSSS je spojen se vstupem snímkového synchronizačního vstupu neznázorněné analogové zobrazovací jednotky. Čtvrtý výstup 04 programovatelného dekodéru mezníků snímku PDMS je připojen na první vstup 1 paměti mezníků snímků PMS.

Impulsy, přivedenými z devátého výstupu 09 řídícího generátoru RG na první vstup 1 programovatelného čítače znaků PČZ, se čítají znaky na řádku zobrazovací jednotky. Výstupním signálem přivedeným z výstupu 01 programovatelného čítače znaků na vstup 1 programovatelného dekodéru mezníků řádků PDMŘ se na jeho výstupech 01 až 05 vytváří výstupní signály. A to na výstupu 01 signál mezníků řádku SMŘ, který se přes paměť mezníků řádků PMŘ přivádí do programovatelného čítače znaků PČZ a slouží k jeho uvádění do výchozího stavu.

Na výstupu 02 řádkový synchronizační signál RSS, který se přes paměť řádkového synchronizačního signálu PRSS přivádí na řádkový synchronizační vstup analogové zobrazovací jednotky. Na výstupu 03 řádkový zatemňovací signál RZS, který se přes paměť řádkového zatemňovacího signálu PRZS přivádí na řádkový zatemňovací vstup zobrazovací jednotky. Na výstupu 04 signál adresního přepínače SAP pro řízení adresního přepínače AP, který je přiveden na jeho třetí vstup 3. Na výstupu 05 signál čítání řádků SČŘ pro programovatelný čítač řádků PČŘ, přivedený na jeho první vstup 1, kterým se čítají řádky a znakové řádky.

Signál adresy atributu znakového řádku SZŘ se přivádí z prvního výstupu 01 programovatelného čítače řádků PČŘ na druhý vstup 2 adresního přepínače AP. Atribut znakového řádku vždy předchází zobrazovanému řádku. Obdobně se na první vstup 1 adresního přepínače AP přivádí z výstupu 01 programovatelného čítače znaků PČZ signál adresy SA právě zobrazovaných a řídících znaků. Adresní přepínač AP podle potřeby pak připojuje signál adresy atributu znakového řádku SZŘ nebo signál adresy SA právě zobrazovaného znaku přiváděného z jeho výstupu 01 a přes paměť v adrese bloku PAVB na vstup adresy paměti zobrazovaných a řídících znaků.

Přitom signál generátoru znaků a řídících funkcí SGZŘD z druhého výstupu 02 programovatelného čítače řádků PČŘ se přivádí na vstup řídící adresy generátoru znaků a řídících funkcí, který se jím řídí. Dále je signál adresy SA právě zobrazovaných znaků přiveden z výstupu 01 programovatelného čítače znaků PČZ na první vstup 1 programovatelného dekodéru mezníků snímku PDMS a signál adresy atributu znakového řádku SZŘ z prvního výstupu 01 programovatelného čítače řádků PČŘ na druhý vstup 2 programovatelného dekodéru mezníků PDMS.

V programovatelném dekodéru mezníků snímku PDMS se tyto signály zpracovávají a na jeho výstupech 01 až 04 se vytváří výstupní signály. A to na výstupu 01 snímkový zatemňovací signál SZS, který se přes paměť snímkového zatemňovacího signálu PSZS přivádí na snímkový zatemňovací vstup analogové zobrazovací jednotky. Na výstupu 02 signál adresy SADR, který se přes paměť adresy bloku PAB přivádí na vstup adresy bloku paměti zobrazovaných a řídících znaků. Na výstupu 03 snímkový synchronizační signál SSS, který se přes paměť snímkového synchronizačního signálu PSSS přivádí na snímkový synchronizační vstup analogové zobrazovací jednotky.

Na výstupu 04 signál mezníků snímku SMS, který se přes paměť mezníků snímku PMS přivádí do programovatelného čítače řádků PČŘ a slouží k jeho uvádění do výchozího stavu. Bloky paměti mezníků řádků PMŘ, paměti řádkového synchronizačního signálu PRSS, paměti řádkového zatemňovacího signálu PRZS, paměti adresy v bloku PAVB, paměti adresy bloku PAB, paměti snímkového synchronizačního signálu PSSS, paměti mezníků snímků PMS a paměti snímkového zatemňovacího signálu PSZS jsou řízeny výstupními signály 01 až 08 řídícího generátoru RG jednotlivě přiváděnými na jejich druhé vstupy 2.

Tyto bloky slouží jako vyrovnávací paměti výstupních signálů. Vynálezu lze využít ve výpočetní technice ke zobrazení dat ve zobrazovacích jednotkách.

P R E D M Ě T V Y N Á L E Z U

Zapojení řídicích obvodů pro zobrazovací jednotky obsahující řídicí generátor, vyznačené tím, že první výstup (01) řídicího generátoru (RG) je připojen na druhý vstup (2) paměti mezníků řádků (PMŘ), druhý výstup (02) řídicího generátoru (RG) na druhý vstup (2) paměti řádkového synchronizačního signálu (PRSS), třetí výstup (03) řídicího generátoru (RG) na druhý vstup (2) paměti řádkového zatemňovacího signálu (PRZS), čtvrtý výstup (04) řídicího generátoru (RG) na druhý vstup (2) paměti adresy v bloku (PAVB), pátý výstup (05) řídicího generátoru (RG) na druhý vstup (2) paměti adresy bloku (PAB), šestý výstup (06) řídicího generátoru (RG) na druhý vstup (2) paměti snímkového synchronizačního signálu (PSSS), sedmý výstup (07) řídicího generátoru (RG) na druhý vstup (2) paměti mezníků snímků (PMS), osmý výstup (08) řídicího generátoru (RG) na druhý vstup (2) paměti snímkového zatemňovacího signálu (PSZS), devátý výstup (09) řídicího generátoru (GR) na první vstup (1) programovatelného čítače znaků (PČZ), výstup (01) programovatelného čítače znaků (PČZ) je spojen jednak s prvním vstupem (1) programovatelného dekodéru mezníků řádků (PDMŘ), jednak s prvním vstupem (1) adresního přepínače (AP) a s prvním vstupem (1) programovatelného dekodéru mezníků snímků (PDMS), přičemž ke druhému vstupu (2) programovatelného čítače znaků (PČZ) je připojen výstup (01) paměti mezníků řádků (PMŘ), první výstup (01) programovatelného dekodéru mezníků řádků (PDMŘ) je připojen na první vstup (1) paměti mezníků řádků (PMŘ), druhý výstup (02) programovatelného dekodéru mezníků řádků (PDMŘ) na první vstup (1) paměti řádkového synchronizačního signálu (PRSS) a výstup (01) paměti řádkového synchronizačního signálu (PRSS) na řádkový synchronizační vstup analogové zobrazovací jednotky, zatímco třetí výstup (03) programovatelného dekodéru mezníků řádků (PDMŘ) je připojen na první vstup (1) paměti řádkového zatemňovacího signálu (PRZS), jehož výstup (01) je připojen na řádkový zatemňovací vstup analogové zobrazovací jednotky, čtvrtý výstup (04) programovatelného dekodéru mezníků řádků (PDMŘ) na třetí vstup (3) adresního přepínače (AP) a pátý výstup (05) programovatelného dekodéru mezníků řádků (PDMŘ) na první vstup (1) programovatelného čítače řádků (PČŘ), kdežto ke druhému vstupu (2) programovatelného čítače řádků (PČŘ) je připojen výstup (01) paměti mezníků snímků (PMS), první výstup (01) programovatelného čítače řádků (PČŘ) je připojen jednak na druhý vstup (2) adresního přepínače (AP), jednak na druhý vstup (2) programovatelného dekodéru mezníků snímků (PDMS), druhý výstup (02) programového čítače řádků (PČŘ) je spojen se vstupem řídicí adresy generátoru znaků a řídicích funkcí, výstup (01) adresního přepínače (AP) je spojen s prvním vstupem (1) paměti adresy v bloku (PAVB) a výstup (01) paměti adresy v bloku (PAVB) je připojen na vstup adresy paměti zobrazovaných a řídicích znaků, zatímco první výstup (01) programovatelného dekodéru mezníků snímků (PDMS) je připojen na první vstup (1) paměti snímkového zatemňovacího signálu (PSZS), jehož výstup (01) je připojen na snímkový zatemňovací vstup analogové zobrazovací jednotky, druhý výstup (02) programovatelného dekodéru mezníků snímků (PDMS) je připojen na první vstup (1) paměti adresy bloku (PAB), jehož výstup (01) je spojen se vstupem adresy bloku paměti zobrazovaných a řídicích znaků, přičemž třetí výstup (03) programovatelného dekodéru mezníků snímků (PDMS) je připojen na první vstup (1) paměti snímkového synchronizačního signálu (PSSS), kdežto jeho výstup (01) je spojen se snímkovým synchronizačním vstupem analogové zobrazovací jednotky a čtvrtý výstup (04) programovatelného dekodéru mezníků snímků (PDMS) je připojen na první vstup (1) paměti mezníků snímků (PMS).

