(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2021-57534
(P2021-57534A)
(43)公開日　令和3年4月8日(2021.4.8)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 25/07	(2006.01)	H01L	25/04	C	5E322
H01L 25/18	(2006.01)	H01L	23/34	D	5F136
H01L 23/34	(2006.01)	H01L	23/46	Z	5H730
H01L 23/473	(2006.01)	H02M	7/48	Z	5H770
H02M 7/48	(2007.01)	H02M	3/155	Z	

審査請求 未請求　請求項の数 9　ＯＬ　（全 16 頁）　最終頁に続く

(21)出願番号　特願2019-181661 (P2019-181661)
(22)出願日　令和1年10月1日 (2019.10.1)

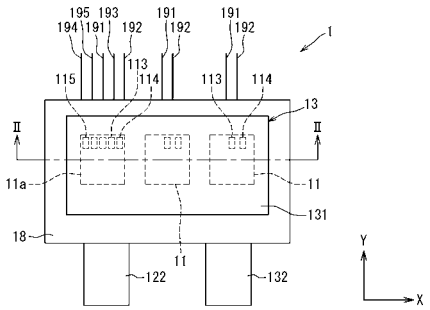
(71)出願人　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100106149
弁理士　矢作　和行
(74)代理人　100121991
弁理士　野々部　泰平
(74)代理人　100145595
弁理士　久保　貴則
(72)発明者　木村　光徳
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　塩見　和敏
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】体格の大型化を抑制できる半導体装置を提供すること。
【解決手段】半導体装置１は、複数の半導体スイッチング素子１１，１１ａを備えている。複数の半導体スイッチング素子は、一部の半導体スイッチのみが、物理情報を検出するための物理情報検出部が設けられた第２スイッチング素子１１ａである。複数の半導体スイッチング素子における第２スイッチング素子１１ａとは異なる第１スイッチング素子１１は、電極として、ソース電極、ドレイン電極、ゲート電極１１３、ケルビンソース電極１１４を有している。第２スイッチング素子１１ａは、電極として、ソース電極、ドレイン電極、ゲート電極１１３、ケルビンソース電極１１４に加えて検出用電極１１５を有している。
【選択図】図１

図1



【特許請求の範囲】
【請求項１】
並列接続された複数の半導体スイッチング素子（１１，１１ａ）を備えた半導体装置であって、
複数の前記半導体スイッチング素子は、一部の前記半導体スイッチング素子のみが、物理情報を検出するための物理情報検出部が設けられた検出部付素子（１１ａ）であり、
前記検出部付素子は、電極として、主電極（１１１，１１２，１１２ａ）と、制御用電極（１１３，１１４）と、検出用電極（１１５，１１５ａ～１１５ｃ）と、を有し、
複数の前記半導体スイッチング素子における前記検出部付素子とは異なる他半導体スイッチング素子（１１）は、電極として、前記主電極と前記制御用電極とを有している半導体装置。
【請求項２】
前記他半導体スイッチング素子は、前記検出部付素子よりも体格が小さく、活性化領域の大きさが同等である請求項１に記載の半導体装置。
【請求項３】
前記物理情報は、温度である請求項１または２に記載の半導体装置。
【請求項４】
前記物理情報は、電流値である請求項１または２に記載の半導体装置。
【請求項５】
冷媒が流れる冷却器に取り付けられるものであって、
複数の半導体スイッチング素子は、前記冷媒の流れ方向に沿って配置されており、
前記検出部付素子は、前記他半導体スイッチング素子よりも、前記冷媒の流れ方向の下流側に配置されている請求項１～４のいずれか１項に記載の半導体装置。
【請求項６】
複数の前記半導体スイッチング素子を一括して封止している封止部（１８）をさらに備えている請求項１～５のいずれか１項に記載の半導体装置。
【請求項７】
前記主電極は、前記半導体スイッチング素子の一面に形成された第１主電極（１１１）と、前記一面の反対面に形成された第２主電極（１１２，１１２ａ）と、を含み、
前記第１主電極に電気的に接続された第１端子部材（１２）と、
前記第２主電極に電気的に接続された第２端子部材（１３）と、
前記制御用電極に電気的に接続された制御用端子（１９１，１９２）と、
前記検出用電極に電気的に接続された検出用端子（１９３～１９５）と、をさらに備え、
前記封止部は、前記第１端子部材、前記第２端子部材、前記制御用端子、前記検出用端子のそれぞれの端部が露出した状態で、前記第１端子部材、前記第２端子部材、前記制御用端子、前記検出用端子を覆っている請求項６に記載の半導体装置。
【請求項８】
複数の前記半導体スイッチング素子は、インバータ回路に設けられている請求項１～７のいずれか１項に記載の半導体装置。
【請求項９】
複数の前記半導体スイッチング素子は、コンバータ回路に設けられている請求項１～８のいずれか１項に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、半導体装置に関する。
【背景技術】
【０００２】
従来、特許文献１に開示された半導体モジュールがある。この半導体モジュールは、一

対の金属板と、二個のトランジスタチップを備えている。トランジスタチップは、一対の金属板に挟まれつつ、樹脂パッケージに封止されている。

【０００３】

二個のトランジスタチップは、一対の金属板によって並列に接続されている。半導体モジュールは、樹脂パッケージの上面から三個のパワー端子が延びており、下面から信号端子が延びている。信号端子は、トランジスタチップのゲートに導通しているゲート端子、トランジスタチップに流れる電流を検知するセンスエミッタに導通しているセンスエミッタ端子、トランジスタチップのそれぞれに備えられている温度センサと導通しているセンサ端子などである。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２０１８－６７６５７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、半導体モジュールは、二個のトランジスタチップを１モジュールとしており、各トランジスタチップが温度センサを備えている。このため、半導体モジュールは、信号端子が増加して、体格が大型化してしまうという問題がある。

【０００６】

本開示は、上記問題点に鑑みなされたものであり、体格の大型化を抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００７】

上記目的を達成するために本開示は、

並列接続された複数の半導体スイッチング素子（１１，１１ａ）を備えた半導体装置であって、

複数の半導体スイッチング素子は、一部の半導体スイッチング素子のみが、物理情報を検出するための物理情報検出部が設けられた検出部付素子（１１ａ）であり、

検出部付素子は、電極として、主電極（１１１，１１２，１１２ａ）と、制御用電極（１１３，１１４）と、検出用電極（１１５，１１５ａ～１１５ｃ）と、を有し、

複数の半導体スイッチング素子における検出部付素子とは異なる他半導体スイッチング素子（１１）は、電極として、主電極と制御用電極とを有している。

【０００８】

このように、本開示は、並列接続された複数の半導体スイッチング素子の一部のみが検出部付素子である。そして、検出部付素子は、主電極と制御用電極に加えて検出用電極を有している。一方、他半導体スイッチング素子は、主電極と制御用電極を有している。このため、本開示は、全ての半導体スイッチング素子に物理情報検出部が設けられた構成よりも、電極の数を少なくすることができ、体格が大型化することを抑制できる。

【０００９】

なお、特許請求の範囲、及びこの項に記載した括弧内の符号は、一つの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、本開示の技術的範囲を限定するものではない。

【図面の簡単な説明】

【００１０】

【図１】第１実施形態における半導体装置の概略構成を示す平面図である。

【図２】図１のII‐II線に沿う断面図である。

【図３】第１実施形態における半導体装置を備えたインバータ回路の概略構成を示す回路図である。

【図４】第２実施形態における半導体装置を備えたコンバータ回路の概略構成を示す回路

図である。
【図５】第３実施形態における第２半導体素子の概略構成を示す平面図である。
【図６】第３実施形態における第１半導体素子の概略構成を示す平面図である。
【図７】第４実施形態における半導体装置が取り付けられた冷却器の概略構成を示す平面図である。
【図８】図７のVIII－VIII線に沿う断面図である。
【図９】図７のIX－IX線に沿う断面図である。
【図１０】図７のX－X線に沿う断面図である。
【図１１】第５実施形態における半導体装置を備えた回路の概略構成を示す回路図である。
【図１２】第６実施形態における半導体装置を備えた回路の概略構成を示す回路図である。
【図１３】第７実施形態における半導体装置を備えた電力変換装置の概略構成を示す回路図である。
【発明を実施するための形態】
【００１１】
以下において、図面を参照しながら、本開示を実施するための複数の形態を説明する。各形態において、先行する形態で説明した事項に対応する部分には同一の参照符号を付して重複する説明を省略する場合がある。各形態において、構成の一部のみを説明している場合は、構成の他の部分については先行して説明した他の形態を参照し適用することができる。なお、以下においては、互いに直交する３方向をＸ方向、Ｙ方向、Ｚ方向と示す。
【００１２】
（第１実施形態）
図１、図２、図３を用いて、本実施形態の半導体装置１に関して説明する。
【００１３】
図１、図２に示すように、半導体装置１は、並列接続された複数の半導体スイッチング素子として、三つのスイッチング素子１１，１１ａを備えている。詳述すると、半導体装置１は、二つの第１スイッチング素子１１と、一つの第２スイッチング素子１１ａとを備えている。二つの第１スイッチング素子１１は、同様の構成を有しているため、同じ符号を付与している。一つの第２スイッチング素子１１ａは、第１スイッチング素子１１と異なる構成を有しているため、異なる符号を付与している。
【００１４】
また、本実施形態では、一例として、端子部材１２，１３、ターミナル１４、はんだ１５～１７、封止部１８、端子１９１～１９５などを備えた半導体装置１を採用している。三つのスイッチング素子１１，１１ａは、封止部１８によって一つのパッケージとされている。よって、半導体装置１は、半導体パッケージとも言える。
【００１５】
図３に示すように、三つのスイッチング素子１１，１１ａ（半導体装置１）は、インバータ回路２０に設けられている。インバータ回路２０は、三相インバータであり、バッテリから供給される直流電力を交流電力に変換する。インバータ回路２０は、モータジェネレータ４０のＵ相、Ｖ相、Ｗ相の各相と電気的に接続されている。インバータ回路２０は、六個の半導体装置１を備えている。つまり、インバータ回路２０は、三相分の上アーム素子としての三個の半導体装置１と、三相分の下アーム素子としての三個の半導体装置１とを備えている。なお、インバータ回路２０は、平滑コンデンサなどを備えていてもよい。また、インバータ回路２０と制御ＥＣＵ３０とを備えた装置は、電力変換システムとも言える。
【００１６】
また、図３に示すように、半導体装置１は、制御ＥＣＵ３０と電気的に接続されている。半導体装置１は、後程説明する物理情報を制御ＥＣＵ３０に出力する。ＥＣＵは、Electronic Control Unitの略称である。

【００１７】
第１スイッチング素子１１は、他半導体スイッチング素子に相当する。本実施形態では、一例として、第１スイッチング素子１１としてＭＯＳＦＥＴを採用している。また、第１スイッチング素子１１は、Ｓｉを主成分とするＭＯＳＦＥＴやＳｉＣを主成分とするＭＯＳＦＥＴを採用することができる。さらに、第１スイッチング素子１１は、他のワイドバンドギャップ半導体を主成分とするＭＯＳＦＥＴであっても採用できる。
【００１８】
しかしながら、本開示は、これに限定されず、ＩＧＢＴやＲＣ－ＩＧＢＴなどであっても第１スイッチング素子１１に採用することができる。なお、ＭＯＳＦＥＴは、metal-oxide-semiconductor field-effect transistorの略称である。ＩＧＢＴは、Insulated Gate Bipolar Transistorの略称である。ＲＣは、Reverse Conductingの略称である。
【００１９】
図２に示すように、第１スイッチング素子１１は、一面に形成された第１主電極としてのドレイン電極１１１と、一面の反対面に形成された第２主電極としてのソース電極１１２とを備えている。ドレイン電極１１１とソース電極１１２は、主電極に相当する。
【００２０】
図１に示すように、第１スイッチング素子１１は、制御用電極としてのゲート電極１１３とケルビンソース電極１１４とを備えている。ゲート電極１１３とケルビンソース電極１１４は、ソース電極１１２とともに、反対面に形成されている。
【００２１】
このように、第１スイッチング素子１１は、主電極１１１，１１２と制御用電極１１３，１１４とを備えている。しかしながら、第１スイッチング素子１１は、後程説明する第２スイッチング素子１１ａに設けられている検出用電極１１５を備えていない。よって、第１スイッチング素子１１は、検出用電極１１５を備えていない点が、第２スイッチング素子１１ａと異なる。
【００２２】
第２スイッチング素子１１ａは、検出部付素子に相当する。本実施形態では、第２スイッチング素子１１ａとして、第１スイッチング素子１１と同様のＭＯＳＦＥＴを採用している。よって、第２スイッチング素子１１ａは、第１スイッチング素子１１と同様、ドレイン電極１１１と、ソース電極１１２と、ゲート電極１１３と、ケルビンソース電極１１４とを備えている。なお、第２スイッチング素子１１ａとしてのＭＯＳＦＥＴは、第１スイッチング素子１１と同様、Ｓｉ、ＳｉＣ、他のワイドバンドギャップ半導体などを主成分とするものを採用できる。
【００２３】
しかしながら、本開示は、これに限定されず、ＩＧＢＴやＲＣ－ＩＧＢＴなどであっても第２スイッチング素子１１ａに採用することができる。また、半導体装置１は、ＳｉＣを主成分として構成されたＭＯＳＦＥＴである第１スイッチング素子１１と、Ｓｉを主成分として構成されたＩＧＢＴを備えていてもよい。つまり、半導体装置１は、第１スイッチング素子１１と第２スイッチング素子１１ａとで異なる種類の半導体素子を採用することができる。
【００２４】
さらに、第２スイッチング素子１１ａは、物理情報を検出するための物理情報検出部が設けられている。物理情報としては、例えば温度や電流値などを採用できる。よって、物理情報検出部は、感温ダイオードやセンスソースパターンなどを採用できる。また、第２スイッチング素子１１ａは、温度検出機能や電流検出機能を有しているとも言える。
【００２５】
これに伴って、図１に示すように、第２スイッチング素子１１ａは、検出用電極１１５を備えている。つまり、第２スイッチング素子１１ａは、第１スイッチング素子１１が備えていない検出用電極１１５を備えている。本実施形態では、一例として、三つの検出用電極１１５が設けられた例を採用する。検出用電極１１５は、物理情報検出部と電気的に

接続されている。制御ＥＣＵ３０は、検出用電極１１５を介して、物理情報を示す電気信号を取得する。電気信号は、感温ダイオードによって出力される温度信号や、センスソースパターンによって出力される電流信号である。

【００２６】

なお、制御ＥＣＵ３０は、温度信号や電流信号に基づいて、スイッチング素子１１，１１ａの駆動を制御してもよい。例えば、制御ＥＣＵ３０は、温度信号が温度閾値に達していない場合や、電流信号が電流閾値に達していない場合に限って、スイッチング素子１１，１１ａを駆動可能な状態とする。そして、制御ＥＣＵ３０は、温度信号が温度閾値に達した場合、指令電流の抑制やスイッチング素子１１，１１ａの駆動停止し、電流信号が電流閾値に達した場合、スイッチング素子１１，１１ａを駆動停止する。

【００２７】

これによって、制御ＥＣＵ３０は、半導体装置１が高温状態になることや高温状態が継続することを抑制して、半導体装置１を保護することができる。また、制御ＥＣＵ３０は、各スイッチング素子１１，１１ａの短絡状態が継続することを抑制して、半導体装置１を保護することができる（短絡保護）。

【００２８】

このように、半導体装置１は、三つのスイッチング素子１１，１１ａを備えている。そして、三つのスイッチング素子１１，１１ａは、第２スイッチング素子１１ａにのみ、物理量検出部が設けられている。よって、三つのスイッチング素子１１，１１ａは、第２スイッチング素子１１ａにのみ、検出用電極１１５が設けられている。

【００２９】

図１、図２に示すように、三つのスイッチング素子１１，１１ａは、ドレイン電極１１１とソース電極１１２とがＸＹ平面に沿うように配置されている。また、三つのスイッチング素子１１，１１ａは、Ｘ方向に並んで配置されている。本実施形態では、一例として、第２スイッチング素子１１ａが端に配置される例を採用している。しかしながら、本開示は、これに限定されず、第２スイッチング素子１１ａが二つの第１スイッチング素子１１に挟まれる位置に配置されてもよい。

【００３０】

第１端子部材１２は、第１対向部１２１と第１端子部１２２とを備えている。第１端子部材１２は、アルミニウムや銅などの金属によって形成されている。第１端子部材１２は、図２に示すように、三つのスイッチング素子１１，１１ａに共通に設けられている。第１端子部材１２は、第１はんだ１５を介して、各スイッチング素子１１，１１ａのドレイン電極１１１と電気的に接続されている。

【００３１】

第１端子部材１２は、第１対向部１２１と第１端子部１２２とを備えている。第１対向部１２１と第１端子部１２２は、一体物として構成されている。第１対向部１２１は、各スイッチング素子１１，１１ａと対向する部位であり、第１はんだ１５を介して、ドレイン電極１１１と電気的に接続されている。また、第１対向部１２１は、スイッチング素子１１，１１ａとの対向面の反対側が、後程説明する封止部１８から露出している。なお、封止部１８から露出している部位は、第１対向部１２１の露出部とも言える。

【００３２】

第１対向部１２１は、各スイッチング素子１１，１１ａと第１はんだ１５を介して接続されることで、各スイッチング素子１１，１１ａと熱的に接続されている。よって、第１対向部１２１は、各スイッチング素子１１，１１ａが動作することで発せられる熱が伝達される。そして、第１対向部１２１は、伝達された熱を露出部から放熱することができる。このため、第１対向部１２１は、各スイッチング素子１１，１１ａを冷却する機能を有している。

【００３３】

第１端子部１２２は、第１対向部１２１の一部から突出した部位である。第１端子部１２２は、各スイッチング素子１１，１１ａと、半導体装置１の外部に設けられた電子部品

とを電気的に接続するためのものである。第１端子部１２２は、例えば、バスバなどと電気的に接続される。

【００３４】

このように、第１端子部材１２は、放熱部材としての機能と、電気的な接続部材としての機能とを有している。なお、第１対向部１２１と第１端子部１２２は、別体に構成されていてもよい。この場合、第１対向部１２１と第１端子部１２２は、溶接や、はんだなどの導電性の接続部材を介して接続される。

【００３５】

図２に示すように、第２端子部材１３は、第２対向部１３１と第２端子部１３２とを備えている。第２端子部材１３は、第１端子部材１２と同様の材料で構成され、第１端子部材１２と同様の形状を有している。

【００３６】

第２端子部材１３は、図２に示すように、三つのスイッチング素子１１，１１ａに共通に設けられている。第２端子部材１３は、各スイッチング素子１１，１１ａのソース電極１１２と電気的に接続されている。

【００３７】

詳述すると、各スイッチング素子１１，１１ａのソース電極１１２は、第２はんだ１６を介してターミナル１４と電気的に接続されている。ターミナル１４は、第２端子部材１３と同様の材料で構成され、例えば直方体形状のブロック体である。ターミナル１４は、各スイッチング素子１１，１１ａのそれぞれに対応して個別に設けられている。ターミナル１４は、ワイヤが第２端子部材に接触することを防ぐために設けられている。

【００３８】

そして、各ターミナル１４は、第３はんだ１７を介して、第２対向部１３１と電気的に接続されている。このように、第２対向部１３１は、ターミナル１４を介して、間接的に各スイッチング素子１１，１１ａのソース電極１１２と電気的に接続されている。

【００３９】

半導体装置１は、一部の端子である制御用端子として、ゲート端子１９１とケルビンソース端子１９２とを備えている。また、半導体装置１は、一部の端子である検出用端子として、センスソース端子１９３とアノード端子１９４とカソード端子１９５とを備えている。端子１９１～１９５は、各スイッチング素子１１，１１ａと制御ＥＣＵ３０とを電気的に接続するためのものである。

【００４０】

端子１９１～１９５は、第１端子部材１２や第２端子部材１３と同様の材料で構成されている。端子１９１～１９５は、対応するスイッチング素子１１，１１ａとワイヤなどを介して電気的に接続されている。

【００４１】

ゲート端子１９１とケルビンソース端子１９２は、各スイッチング素子１１，１１ａのそれぞれに対応して設けられている。ゲート端子１９１は、各スイッチング素子１１，１１ａのゲート電極１１３と電気的に接続されている。ケルビンソース端子１９２は、各スイッチング素子１１，１１ａのケルビンソース電極１１４と電気的に接続されている。

【００４２】

センスソース端子１９３とアノード端子１９４とカソード端子１９５は、第２スイッチング素子１１ａにのみ対応して設けられている。センスソース端子１９３は、センスソースパターンに接続された検出用電極１１５と電気的に接続されている。アノード端子１９４は、感温ダイオードのアノード電極に接続された検出用電極１１５と電気的に接続されている。カソード端子１９５は、感温ダイオードのカソード電極に接続された検出用電極１１５と電気的に接続されている。

【００４３】

封止部１８は、例えばエポキシ系樹脂などの、電気絶縁性の樹脂によって構成されている。封止部１８は、スイッチング素子１１，１１ａを一括して封止している。つまり、ス

イッチング素子１１，１１ａは、封止部１８に接しつつ、封止部１８によって覆われている。封止部１８は、端子部材１２，１３、端子１９１～１９５のそれぞれの端部が露出した状態で、端子部材１２，１３、端子１９１～１９５を覆っている。また、封止部１８は、第１端子部材１２と第２端子部材１３の露出部が露出した状態で、第１端子部材１２と第２端子部材１３を覆っている。さらに、封止部１８は、各はんだ１５～１７で接続している箇所や、ワイヤが接続されている箇所を覆っている。

【００４４】

このように、半導体装置１は、並列接続された複数のスイッチング素子１１，１１ａの一部である第２スイッチング素子１１ａのみが検出部付素子である。そして、第２スイッチング素子１１ａは、主電極１１１，１１２と制御用電極１９１，１９２に加えて検出用電極１１５を有している。一方、第１スイッチング素子１１は、主電極１１１，１１２と制御用電極１９１，１９２を有している。また、第１スイッチング素子１１は、検出用電極１１５を有していない。このため、半導体装置１は、全てのスイッチング素子１１，１１ａに物理情報検出部が設けられた構成よりも、電極の数を少なくすることができ、体格が大型化することを抑制できる。

【００４５】

半導体装置１は、全てのスイッチング素子１１，１１ａに物理情報検出部が設けられた構成よりも、端子の数を減らすことができるため、コストアップを抑制でき、構成を簡略化することもできる。

【００４６】

なお、半導体装置１におけるスイッチング素子１１，１１ａの個数は、上記に限定されない。半導体装置１は、少なくとも一つの第２スイッチング素子１１ａと、少なくとも一つの第１スイッチング素子１１を備えていれば、上記効果を奏することができる。

【００４７】

以上、本開示の好ましい実施形態について説明した。しかしながら、本開示は、上記実施形態に何ら制限されることはなく、本開示の趣旨を逸脱しない範囲において、種々の変形が可能である。以下に、本開示のその他の形態として、第２実施形態～第７実施形態に関して説明する。上記実施形態及び第２実施形態～第７実施形態は、それぞれ単独で実施することも可能であるが、適宜組み合わせて実施することも可能である。本開示は、実施形態において示された組み合わせに限定されることなく、種々の組み合わせによって実施可能である。

【００４８】

（第２実施形態）

図４に示すように、半導体装置１の構成は、上記実施形態と同様であり、三つのスイッチング素子１１，１１ａを備えている。半導体装置１は、コンバータ回路２０ａに設けられている。コンバータ回路２０ａは、上アーム素子としての半導体装置１と、下アーム素子としての半導体装置１とを備えている。また、各半導体装置１は、制御ＥＣＵ３０ａと電気的に接続されている。制御ＥＣＵ３０ａは、制御ＥＣＵ３０と同様である。また、コンバータ回路２０ａと制御ＥＣＵ３０ａとを備えた装置は、電力変換システムとも言える。

【００４９】

このように、半導体装置１は、コンバータ回路２０ａにも適用することができる。また、半導体装置１は、上記実施形態と同様の効果を奏することができる。

【００５０】

（第３実施形態）

図５、図６に示すように、本実施形態の半導体装置は、第１スイッチング素子１１と第２スイッチング素子１１ａの構成が上記実施形態と異なる。なお、図５では、検出用電極に関して、第１実施形態よりも詳しく図示している。よって、第１実施形態では、第２スイッチング素子１１ａとして図５に図示した構成を採用できる。

【００５１】

図５に示すように、第２スイッチング素子１１ａは、第１実施形態と同様、ソース電極１１２ａとゲート電極１１３とケルビンソース電極１１４とを備えている。また、第２スイッチング素子１１ａは、検出用電極として、アノード電極１１５ａとカソード電極１１５ｂとセンスソース電極１１５ｃとを備えている。

【００５２】

ソース電極１１２ａは、活性化領域の対向領域に設けられている。よって、活性化領域の面積は、ソース電極１１２ａの面積と同等とみなすことができる。第２スイッチング素子１１ａは、活性化領域の周囲に第２ガードリング１１６ａが設けられている。第２スイッチング素子１１ａは、Ｙ方向の長さがｙ１でＸ方向の長さがｘ１であるものとする。よって、第２スイッチング素子１１ａの面積は、ｙ１とｘ１の積で表される。

【００５３】

図６に示すように、第１スイッチング素子１１は、第１実施形態と同様、ソース電極１１２とゲート電極１１３とケルビンソース電極１１４とを備えている。ソース電極１１２は、活性化領域の対向領域に設けられている。よって、活性化領域の面積は、ソース電極１１２の面積と同等とみなすことができる。第１スイッチング素子１１は、活性化領域の周囲に第２ガードリング１１６が設けられている。第１スイッチング素子１１は、Ｙ方向の長さがｙ２でＸ方向の長さがｘ２であるものとする。よって、第１スイッチング素子１１の面積は、ｙ２とｘ２の積で表される。また、第１スイッチング素子１１は、第２スイッチング素子１１ａと同等の厚みを有している。

【００５４】

なお、本実施形態での面積は、ＸＹ平面における面積である。また、厚みは、Ｚ方向の長さである。

【００５５】

両スイッチング素子１１，１１ａの各辺の長さの関係は、ｙ２＜ｙ１、ｘ２＜ｘ１となっている。よって、第１スイッチング素子１１は、第２スイッチング素子１１ａよりも体格が小さい。また、第１スイッチング素子１１は、活性化領域の大きさ（面積）が第２スイッチング素子１１ａと同等である。

【００５６】

つまり、第１スイッチング素子１１は、物理情報検出部と、物理情報検出部に接続された電極を有していないため、第２スイッチング素子１１ａよりも体格を小さくすることができる。しかしながら、第１スイッチング素子１１は、第２スイッチング素子１１ａと同等の活性化領域の大きさを有したものを採用できる。なお、第１スイッチング素子１１は、第２スイッチング素子１１ａよりも体格が小さければよい。よって、両スイッチング素子１１，１１ａの各辺の長さの関係は、上記に限定されない。

【００５７】

本実施形態の半導体装置は、半導体装置１と同様の効果を奏することができる。さらに、本実施形態の半導体装置は、全てのスイッチング素子が第２スイッチング素子１１ａで構成された半導体装置よりも、体格を小さくすることができる。なお、本実施形態の半導体装置は、第１実施形態や第２実施形態と組み合わせて実施することもできる。つまり、本実施形態の半導体装置は、インバータ回路２０やコンバータ回路２０ａに適用されていてもよい。さらに、本実施形態の半導体装置は、その他の実施形態と組み合わせて実施することもできる。

【００５８】

（第４実施形態）

図７～図１０を用いて、第４実施形態の半導体装置に関して説明する。本実施形態の半導体装置は、半導体装置１と同様の構成を有しており、半導体装置１と同様の効果を奏することができる。よって、本実施形態では、第１実施形態と同じ符号を採用する。

【００５９】

図７に示すように、半導体装置１は、冷媒が流れる冷却器５０に取り付けられている。冷却器５０は、連結管５２で連結された複数の対向部５１と、対向部５１に取り付けられ

た流入管５３と流出管５４とを備えている。冷却器５０は、例えばアルミニウムなどの熱伝導率が高い材料によって構成されている。

【００６０】

図８、図９に示すように、対向部５１は、冷媒が流れる空間を形成しており、空間内にフィン５１ａが配置され、且つ、空間内に冷媒を流すための水路５１ｂが設けられている。各対向部５１は、冷媒が流れる二つの連結管５２で連結されている。連結管５２は、各水路５１ｂに連結されている。また、一つの対向部５１は、連結管５２によって他の対向部５１と連結され、且つ、流入管５３と流出管５４が水路５１ｂに取り付けられている。なお、連結管５２は、流入管５３の延長線上に三つ設けられ、且つ、流出管５４の延長線上に三つ設けられている。

【００６１】

冷却器５０は、冷媒が流入管５３から対向部５１及び連結管５２を通って流出管５４から排出される。特に、対向部５１を流れる冷媒は、流入管５３側から流出管５４側へと流れる。つまり、対向部５１は、流入管５３及び流入管５３の延長線上に設けられた連結管５２から冷媒が流れ込む。そして、対向部５１を流れた冷媒は、流出管５４の延長線上に設けられている連結管５２及び流出管５４へと流れ出る。

【００６２】

このように、冷媒は、対向部５１内において、流入管５３の延長線上に設けられた連結管５２側から、流出管５４の延長線上に設けられている連結管５２側へと流れる。よって、対向部５１は、流入管５３の延長線上に設けられた連結管５２側が上流側であり、流出管５４の延長線上に設けられている連結管５２側が下流側となる。

【００６３】

図７、図８、図１０に示すように、対向部５１間には、二つの半導体装置１が配置される。つまり、二つの半導体装置１は、冷媒の流れ方向に沿って配置されている。なお、各半導体装置１は、対向部５１と接した状態で配置されている。また、各半導体装置１は、対向部５１との間に熱伝導率が高い放熱グリースなどの放熱部材が介在した状態で配置されてもよい。この場合、放熱部材は、半導体装置１と対向部５１の両方に接することになる。

【００６４】

さらに、各半導体装置１は、第２スイッチング素子１１ａが流れ方向に対して下流側に配置されている。つまり、第２スイッチング素子１１ａは、第１スイッチング素子１１よりも流れ方向に対して下流側に配置されている。このため、第２スイッチング素子１１ａは、第１スイッチング素子１１よりも温度が高くなりやすい。よって、各半導体装置１は、温度が高くなりやすい第２スイッチング素子１１ａの温度信号を出力することができる。

【００６５】

各半導体装置１から出力される温度信号は、制御ＥＣＵ３０に入力される。制御ＥＣＵ３０は、温度信号に基づいて、各半導体装置１の温度状態を把握している。そして、制御ＥＣＵ３０は、温度信号が閾値に達すると、スイッチング素子１１，１１ａの動作を停止する。制御ＥＣＵ３０は、最も温度が高くなりやすい第２スイッチング素子１１ａの温度に基づいて、各半導体装置１の温度状態を把握することができる。このため、制御ＥＣＵ３０は、半導体装置１を高温状態から保護しやすくなる。

【００６６】

なお、本実施形態では、六つの半導体装置１が冷却器５０に取り付けられている例を採用している。しかしながら、本開示は、これに限定されず、例えば、一つの半導体装置１のみが冷却器５０に取り付けられていてもよいし、二つの半導体装置１が冷却器５０に取り付けられていてもよい。また、本開示は、八つの半導体装置１が冷却器５０に取り付けられていてもよい。

【００６７】

本実施形態は、第１実施形態、第２実施形態、第３実施形態と組み合わせて実施するこ

ともできる。つまり、半導体装置１は、インバータ回路２０やコンバータ回路２０ａに適用されていてもよく、第１スイッチング素子１１と第２スイッチング素子１１ａの構成が異なってもよい。さらに、本実施形態は、その他の実施形態と組み合わせて実施することもできる。

【００６８】

（第５実施形態）

図１１を用いて、本実施形態の半導体装置１ａ，１ｂに関して説明する。第１半導体装置１ａと第２半導体装置１ｂは、半導体装置１と同様の構成を有している。第１半導体装置１ａと第２半導体装置１ｂは、インダクタンスを考慮して、第２スイッチング素子１１ａが配置されている。第２スイッチング素子１１ａは、物理情報検出部として少なくともセンスソースパターンを有している。

【００６９】

図１１に示すように、上アーム素子としての第１半導体装置１ａは、ドレイン側の配線とソース側の配線における寄生インダクタンスをＬ１，Ｌ２，Ｌ５，Ｌ６，Ｌ９，Ｌ１０とする。一方、下アーム素子としての第２半導体装置１ｂは、ドレイン側の配線とソース側の配線における寄生インダクタンスをＬ３，Ｌ４，Ｌ７，Ｌ８，Ｌ１１，Ｌ１２とする。これらの寄生インダクタンスの関係は、Ｌ１＋Ｌ２＋Ｌ３＋Ｌ４＜Ｌ５＋Ｌ６＋Ｌ７＋Ｌ８、かつ、Ｌ１＋Ｌ２＋Ｌ３＋Ｌ４＜Ｌ９＋Ｌ１０＋Ｌ１１＋Ｌ１２である。

【００７０】

第１半導体装置１ａは、第１半導体装置１ａにおける最も電流が流れやすい箇所に第２スイッチング素子１１ａが配置されている。同様に、第２半導体装置１ｂは、第２半導体装置１ｂにおける最も電流が流れやすい箇所に第２スイッチング素子１１ａが配置されている。

【００７１】

半導体装置１ａ，１ｂは、半導体装置１と同様の効果を奏することができる。また、半導体装置１ａ，１ｂは、最も電流が流れやすい箇所に第２スイッチング素子１１ａが配置されているため、短絡状態を迅速に制御ＥＣＵ３０に通知することができる。よって、半導体装置１ａ，１ｂは、確実に短絡保護ができる。なお、本実施形態は、第１～第４実施形態と組み合わせて実施することもできる。

【００７２】

（第６実施形態）

図１２を用いて、本実施形態の半導体装置１ｃに関して説明する。半導体装置１ｃは、三つの半導体パッケージ１ｃ１，１ｃ２，１ｃ３を備えている点が上記実施形態と異なる。半導体装置１ｃは、第１半導体装置１ａと第２半導体装置１ｂと同様、インダクタンスを考慮して、第２スイッチング素子１１ａが配置されている。各半導体パッケージ１ｃ１，１ｃ２，１ｃ３のスイッチング素子１１，１１ａは、上記実施形態と同様のものを採用できる。特に、第２スイッチング素子１１ａは、物理情報検出部として少なくともセンスソースパターンを有している。

【００７３】

第１半導体パッケージ１ｃ１は、二つの第２スイッチング素子１１ａが直列接続されている。つまり、第１半導体パッケージ１ｃ１は、上アーム素子としての第２スイッチング素子１１ａと、下アーム素子としての第２スイッチング素子１１ａとが直列接続されている。また、第１半導体パッケージ１ｃ１は、二つの第２スイッチング素子１１ａに加えて、端子部材、制御用端子、検出用端子、ターミナル、封止部などを備えている。さらに、第１半導体パッケージ１ｃ１は、二つの第２スイッチング素子１１ａを電気的に接続する接続部材を備えている。

【００７４】

第１半導体パッケージ１ｃ１は、二つの第２スイッチング素子１１ａ、端子部材、制御用端子、検出用端子、ターミナル、接続部材が封止部によって封止されている。第１半導体パッケージ１ｃ１は、半導体装置１と同様、端子部材の一部、制御用端子の一部、検出

用端子の一部が封止部から露出されている。このように、第１半導体パッケージ１ｃ１は、２ｉｎ１パッケージ構造をなしている。

【００７５】

第２半導体パッケージ１ｃ２は、二つの第１スイッチング素子１１が直列に接続されている点が第１半導体パッケージ１ｃ１と異なる。つまり、第２半導体パッケージ１ｃ２は、上アーム素子としての第１スイッチング素子１１と、下アーム素子としての第１スイッチング素子１１とが直列接続されている。その他の構成は、第１半導体パッケージ１ｃ１と同様である。また、第３半導体パッケージ１ｃ３は、第２半導体パッケージ１ｃ２と同様の構成を有している。

【００７６】

そして、半導体装置１ｃは、各半導体パッケージ１ｃ１～１ｃ３の上アーム素子であるスイッチング素子１１，１１ａが並列接続されており、各半導体パッケージ１ｃ１～１ｃ３の下アーム素子であるスイッチング素子１１，１１ａが並列接続されている。

【００７７】

第１半導体パッケージ１ｃ１は、各第２スイッチング素子１１ａのドレイン側の配線とソース側の配線における寄生インダクタンスをＬ１，Ｌ２，Ｌ３，Ｌ４とする。第２半導体パッケージ１ｃ２は、各第１スイッチング素子１１のドレイン側の配線とソース側の配線における寄生インダクタンスをＬ５，Ｌ６，Ｌ７，Ｌ８とする。第３半導体パッケージ１ｃ３は、各第１スイッチング素子１１のドレイン側の配線とソース側の配線における寄生インダクタンスをＬ９，Ｌ１０，Ｌ１１，Ｌ１２とする。さらに、半導体装置１ｃは、上アーム素子側の配線における寄生インダクタンスをＬ１３，Ｌ１５，Ｌ１７とし、下アーム素子側の配線における寄生インダクタンスをＬ１４，Ｌ１６，Ｌ１８とする。

【００７８】

これらの寄生インダクタンスの関係は、Ｌ１＋Ｌ２＋Ｌ３＋Ｌ４＋Ｌ１３＋Ｌ１４＜Ｌ５＋Ｌ６＋Ｌ７＋Ｌ８＋Ｌ１５＋Ｌ１６、かつ、Ｌ１＋Ｌ２＋Ｌ３＋Ｌ４＋Ｌ１３＋Ｌ１４＜Ｌ９＋Ｌ１０＋Ｌ１１＋Ｌ１２＋Ｌ１７＋Ｌ１８である。また、各半導体パッケージ１ｃ１～１ｃ３は、同様の構成を有しているため、Ｌ１＋Ｌ２＋Ｌ３＋Ｌ４　Ｌ５＋Ｌ６＋Ｌ７＋Ｌ８　Ｌ９＋Ｌ１０＋Ｌ１１＋Ｌ１２である。

【００７９】

半導体装置１ｃは、半導体装置１ｃにおける最も電流が流れやすい箇所に第２スイッチング素子１１ａが配置されている。つまり、半導体装置１ｃは、第１半導体パッケージ１ｃ１に二つの第２スイッチング素子１１ａが配置されている。このため、半導体装置１ｃは、半導体装置１ａ，１ｂと同様の効果を奏することができる。なお、本実施形態は、第１～第４実施形態と組み合わせて実施することもできる。

【００８０】

（第７実施形態）

図１３に示すように、半導体装置１は、インバータ回路２０とコンバータ回路２０ａとを備えた電力変換装置に設けられている。半導体装置１の構成は、上記実施形態と同様であり、三つのスイッチング素子１１，１１ａを備えている。インバータ回路２０は、第１実施形態と同様である。一方、コンバータ回路２０ａは、第２実施形態と同様である。

【００８１】

このように、半導体装置１は、インバータ回路２０とコンバータ回路２０ａとを備えた電力変換装置にも適用することができる。また、半導体装置１は、上記実施形態と同様の効果を奏することができる。

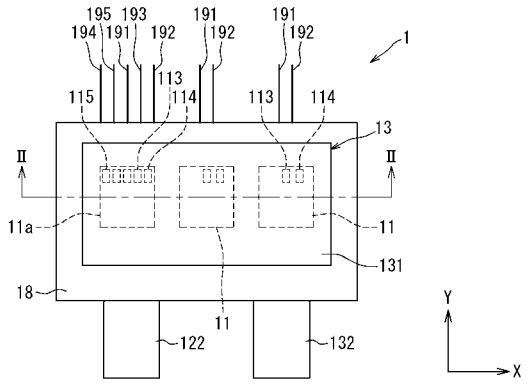
【符号の説明】

【００８２】

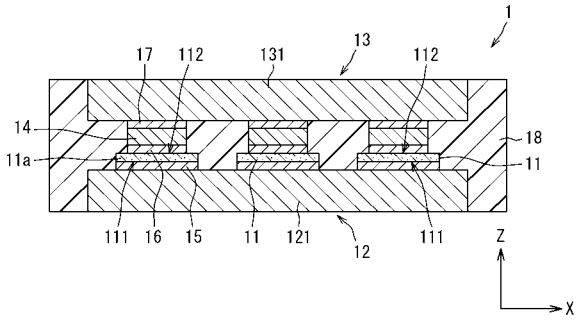
１…半導体装置、１１…第１スイッチング素子、１１ａ…第２スイッチング素子、１１１…ドレイン電極、１１２，１１２ａ…ソース電極、１１３…ゲート電極、１１４…ケルビンソース電極、１１５…検出用電極、１１５ａ…アノード電極、１１５ｂ…カソード電極、１１５ｃ…センスソース電極、１１６…第１ガードリング、１１６ａ…第２ガードリ

ング、１２…第１端子部材、１２１…第１対向部、１２２…第１端子部、１３…第２端子部材、１３１…第２対向部、１３２…第２端子部、１４…ターミナル、１５…第１はんだ、１６…第２はんだ、１７…第３はんだ、１８…封止部、１９１…ゲート端子、１９２…ケルビンソース端子、１９３…センスソース端子、１９４…アノード端子、１９５…カソード端子、２０…インバータ回路、２０ａ…コンバータ回路、３０，３０ａ…ＥＣＵ、４０…モータジェネレータ

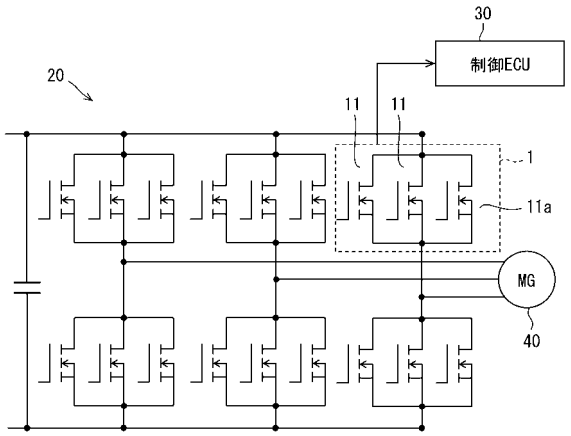
【図１】
図1



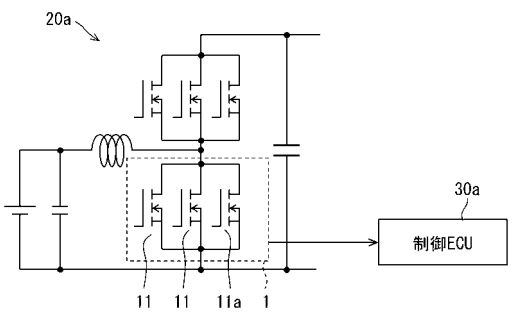
【図２】
図2



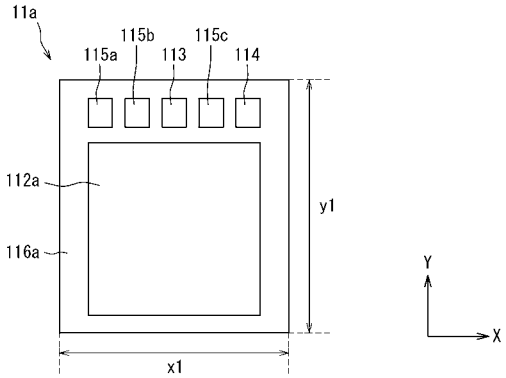
【図３】
図3



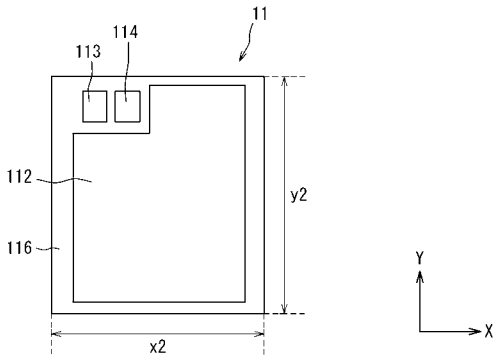
【図４】
図4



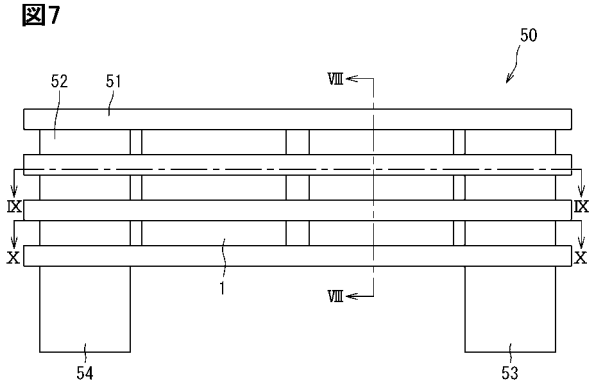
【図５】
図5



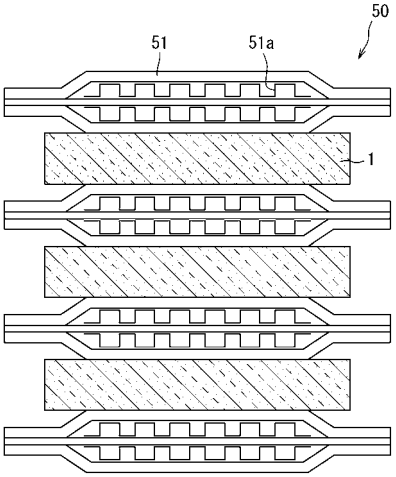
【図６】
図6



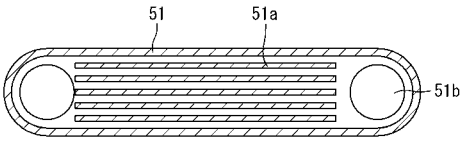
【図７】
図7



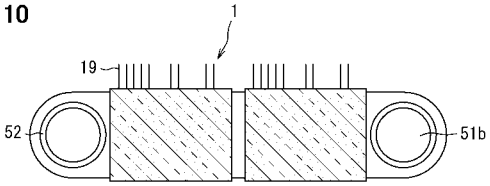
【図８】
図8



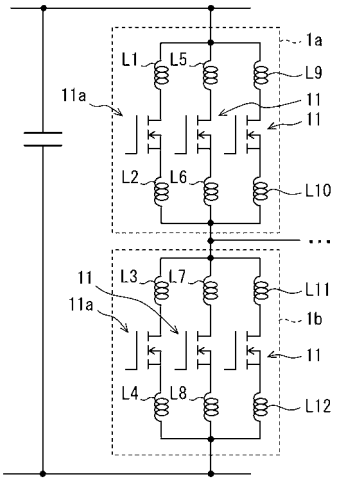
【図９】
図9



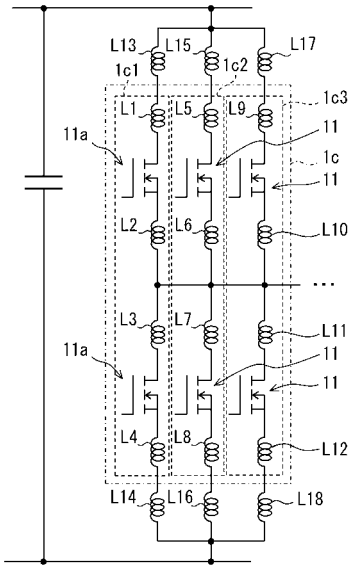
【図１０】
図10



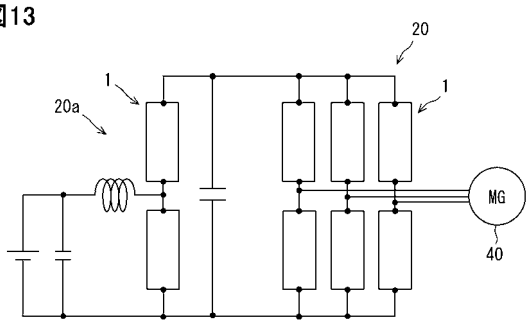
【図１１】
図11



【図１２】
図12



【図１３】
図13



フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
H02M	***3/155***	***(2006.01)***	H05K	7/20	T	
H05K	***7/20***	***(2006.01)***				

(72)発明者　松岡　哲矢
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

Ｆターム(参考) 5E322 AA01 AA05 AA11 AB11 DA00 FA01 FA04 FA05
5F136 CB06 DA27 HA01
5H730 AA16 AS04 BB14 DD04 DD13 DD17 FD31 FD61 XX04 XX15
XX19 XX26 XX35 XX38 XX43 ZZ07 ZZ13
5H770 AA22 BA01 CA01 CA06 DA03 DA41 HA02X HA06X JA10X JA11W
LA02X LA04X LA05X LB07 PA12 PA21 PA28 PA42 QA04 QA06
QA08 QA11 QA33