

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-155195

(P2012-155195A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl.

G10K 9/12 (2006.01)

F1

G10K 9/12 103

テーマコード(参考)

審査請求 未請求 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願2011-15275 (P2011-15275)  
 (22) 出願日 平成23年1月27日(2011.1.27)

(71) 出願人 00006895  
 矢崎総業株式会社  
 東京都港区三田1丁目4番28号  
 (74) 代理人 100060690  
 弁理士 瀧野 秀雄  
 (74) 代理人 100108017  
 弁理士 松村 貞男  
 (74) 代理人 100134832  
 弁理士 瀧野 文雄  
 (74) 代理人 100165308  
 弁理士 津田 俊明  
 (74) 代理人 100166110  
 弁理士 吉田 裕二

最終頁に続く

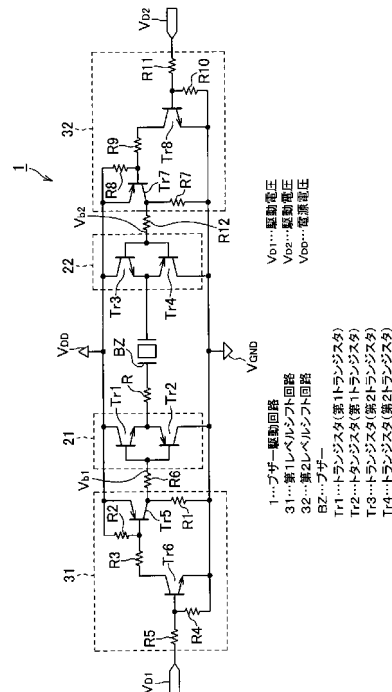
(54) 【発明の名称】 ブザー駆動回路

(57) 【要約】

【課題】ブザーの両端に印加されるブザー電圧を高くしてブザーの音圧を高くしつつ回路電流の低減を図ることにより、小型化できるブザー駆動回路を提供する。

【解決手段】互いに極性の異なる一対のトランジスタTr1及びTr2が、10V系の電源電圧V<sub>DD</sub>間に直列接続される。互いに極性の異なる一対のトランジスタTr3及びTr4が、電源電圧V<sub>DD</sub>間に直列接続されると共に一対のトランジスタTr1及びTr2に並列接続される。ブザーBZが、トランジスタTr1及びTr2の接続点と、トランジスタTr3及びTr4の接続点と、の間に接続される。第1レベルシフト回路31が、5V系の駆動電圧V<sub>D1</sub>を10V系の駆動電圧V<sub>b1</sub>にレベルアップしてトランジスタTr1及びTr2のベースに供給する。第2レベルシフト回路32が、5V系の駆動電圧V<sub>D2</sub>を10V系の駆動電圧V<sub>b2</sub>にレベルアップしてトランジスタTr3及びTr4のベースに供給する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

パルス状の駆動電圧を出力する出力手段と、前記駆動電圧の出力に応じて鳴動するブザーと、前記駆動電圧よりも高い電源電圧を供給する電圧源と、互いに極性が異なりかつ前記電源電圧間に直列接続された一対の第 1 トランジスタと、互いに極性が異なりかつ前記電源電圧間に直列接続されると共に前記一対の第 1 トランジスタに並列接続された一対の第 2 トランジスタと、を備え、前記ブザーが、前記一対の第 1 トランジスタ同士の接続点と前記一対の第 2 トランジスタ同士の接続点との間に接続され、前記一対の第 1 トランジスタの前記電源電圧プラス側及び前記一対の第 2 トランジスタの前記電源電圧マイナス側と、前記一対の第 1 トランジスタの前記電源電圧マイナス側及び前記一対の第 2 トランジスタの前記電源電圧プラス側と、のオンオフが互いに反転するように、前記一対の第 1 トランジスタ及び前記一対の第 2 トランジスタのベースに前記パルス状の駆動電圧が供給されたブザー駆動回路であって、

10

前記出力手段からの駆動電圧を前記電源電圧系の電圧にシフトアップして前記一対の第 1 トランジスタのうち少なくとも前記電源電圧プラス側のベースに出力する第 1 レベルシフト回路と、

前記出力手段からの駆動電圧を前記電源電圧系の電圧にシフトアップして前記一対の第 2 トランジスタのうち少なくとも前記電源電圧プラス側のベースに出力する第 2 レベルシフト回路と、

をさらに備えたことを特徴とするブザー駆動回路。

20

## 【請求項 2】

前記一対の第 1 トランジスタのうち前記電源電圧プラス側が、PNP 型トランジスタで構成され、前記一対の第 1 トランジスタのうち前記電源電圧マイナス側が、NPN 型トランジスタで構成され、

前記一対の第 2 トランジスタのうち前記電源電圧プラス側が、PNP 型トランジスタで構成され、前記一対の第 2 トランジスタのうち前記電源電圧マイナス側が、NPN 型トランジスタで構成されている

ことを特徴とする請求項 1 記載のブザー駆動回路。

## 【請求項 3】

前記出力手段が、互いに H レベル、L レベルが反転した一対の前記パルス状の駆動電圧を出力し、

30

前記第 1 レベルシフト回路が、前記一対の駆動電圧の一方をシフトアップすると共に当該一方の駆動電圧の H レベル、L レベルを反転させて前記一対の第 1 トランジスタのうち前記電源電圧プラス側のベースのみに出力し、

前記第 2 レベルシフト回路が、前記一対の駆動電圧の他方をシフトアップすると共に当該他方の駆動電圧の H レベル、L レベルを反転させて前記一対の第 2 トランジスタのうち前記電源電圧プラス側のベースのみに出力し、

前記一対の第 1 トランジスタのうち前記電源電圧マイナス側のベースには、前記一対の駆動電圧の他方が供給され、

前記一対の第 2 トランジスタのうち前記電源電圧のマイナス側のベースには、前記一対の駆動電圧の一方が供給されている

40

ことを特徴とする請求項 2 に記載のブザー駆動回路。

## 【請求項 4】

前記一対の第 1 トランジスタ間に設けられた第 1 抵抗と、

前記一対の第 2 トランジスタ間に設けられた第 2 抵抗と、

をさらに備えたことを特徴とする請求項 2 又は 3 に記載のブザー駆動回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ブザー駆動回路に係り、特に、ブザーを駆動するためのブザー駆動回路に関

50

するものである。

【背景技術】

【0002】

上述したブザー駆動回路として、例えば、図9に示されたものが提案されている。同図に示すように、ブザー駆動回路100は、ブザーBZと、ブザーBZを駆動するためのパルス状の駆動電圧 $V_D$ を出力するCPU101と、駆動信号 $V_D$ が入力されるバッファ102及びインバータ103と、を備えている。そして、上記ブザーBZは、これらバッファ102及びインバータ103の出力間に接続されている。

【0003】

上記ブザーBZは、その両端に印加されるパルス状のブザー電圧の振幅に応じた音圧のブザー音を出力する。上記CPU101は、5Vの電源電圧 $V_{CC}$ の供給を受けて動作するものであり、この5V以下のパルス状の駆動電圧 $V_D$ を出力する。上記バッファ102及びインバータ103は、CPU101と同様に5Vの電源電圧 $V_{DD}$ の供給を受けて動作する。

10

【0004】

以上の構成によれば、CPU101から出力される駆動電圧 $V_D$ がHレベル(5V)のとき、バッファ102からは電源電圧 $V_{DD}$ が出力されると共にインバータ103からはグランド電圧 $V_{GND}$ が出力される。これにより、ブザーBZのバッファ102側が電源電圧 $V_{DD}$ 、インバータ103側がグランド電圧 $V_{GND}$ となる。

【0005】

一方、CPU101から出力される駆動電圧 $V_D$ がLレベル(0V)のとき、バッファ102からはグランド電圧 $V_{GND}$ が出力されると共にインバータ103からは電源電圧 $V_{DD}$ が出力される。これにより、ブザーBZのバッファ102側がグランド電圧 $V_{GND}$ 、インバータ103側が電源電圧 $V_{DD}$ となる。従って、ブザーBZの両端に印加されるブザー電圧の振幅は、バッファ102及びインバータ103の電源電圧 $V_{DD} = 5V$ の2倍の10Vとなる。

20

【0006】

しかしながら、ブザー電圧の振幅が10Vだけでは、十分な音圧が確保できない。そこで、バッファ102及びインバータ103の電源電圧 $V_{DD}$ を2倍の10Vにすることにより、ブザー電圧の振幅も2倍の20Vとして、十分な音圧が得られるようにすることが考

30

【0007】

しかしながら、バッファ102及びインバータ103は、 $1/2 V_{DD}$  ( $V_{DD} = 10V$ の場合は5V)以上の電圧が入力されないと、その出力をグランド電圧 $V_{GND}$ から電源電圧 $V_{DD}$ 、電源電圧 $V_{DD}$ からグランド電圧 $V_{GND}$ に切り替えることができない。上述したようにCPU101から出力される駆動電圧 $V_D$ は最大で5Vであり、 $1/2 V_{DD}$ 以上の電圧とすることが難しい。このため、単にバッファ102及びインバータ103の電源電圧 $V_{DD}$ を倍の10Vにただけではバッファ102及びインバータ103の出力を切り替えることができず音を出すことができない。

【0008】

この問題を解決するために例えば図10に示されたブザー駆動回路104が考えられる。同図に示すように、ブザー駆動回路104は、ブザーBZと、10Vの電源電圧 $V_{DD}$ 間に互いに直列接続された抵抗 $R_{31}$ 及びトランジスタ $Tr_{31}$ と、電源電圧 $V_{DD}$ 間に互いに直列接続された抵抗 $R_{32}$ 及びトランジスタ $Tr_{32}$ と、を備えている。上記抵抗 $R_{31}$ 及びトランジスタ $Tr_{31}$ と、抵抗 $R_{32}$ 及びトランジスタ $Tr_{32}$ と、は互いに並列接続されている。そして、ブザーBZは、抵抗 $R_{31}$ 及びトランジスタ $Tr_{31}$ の接続点と、抵抗 $R_{32}$ 及びトランジスタ $Tr_{32}$ の接続点と、の間に接続されている。

40

【0009】

また、トランジスタ $Tr_{31}$ のベースには、図示しないCPUからの5Vのパルス状の駆動電圧 $V_{D1}$ が供給され、トランジスタ $Tr_{32}$ のベースには、図示しないCPUからの

50

5 V のパルス状の駆動電圧  $V_{D2}$  が供給されている。これら駆動電圧  $V_{D1}$  及び  $V_{D2}$  は、互いに H レベル、L レベルが反転したパルス状の駆動電圧である。

【0010】

以上の構成によれば、図示しない CPU から出力される駆動電圧  $V_{D1}$  が H レベル (5 V)、駆動電圧  $V_{D2}$  が L レベル (0 V) のとき、トランジスタ  $Tr31$  がオン、トランジスタ  $Tr32$  がオフとなる。これにより、ブザー BZ の抵抗  $R32$  側が、この抵抗  $R32$  を介して電源電圧  $V_{DD}$  に接続され、ブザー BZ の抵抗  $R31$  側がグランドに接続される。

【0011】

一方、図示しない CPU から出力される駆動電圧  $V_{D1}$  が L レベル (0 V)、駆動電圧  $V_{D2}$  が H レベル (5 V) のとき、トランジスタ  $Tr31$  がオフ、トランジスタ  $Tr32$  がオンとなる。これにより、ブザー BZ の抵抗  $R31$  側が、この抵抗  $R31$  を介して電源電圧  $V_{DD}$  に接続され、抵抗  $R32$  側がグランドに接続される。従って、5 V の駆動電圧  $V_{D1}$ 、 $V_{D2}$  でブザー BZ の両端に 10 V の電源電圧  $V_{DD}$  を印加することができる。

10

【0012】

しかしながら、上述したブザー駆動回路 104 によれば、例えばトランジスタ  $Tr31$  がオン、トランジスタ  $Tr32$  がオフしたときは、ブザー BZ 及び抵抗  $R32$  が直列接続され、この直列接続されたブザー BZ 及び抵抗  $R32$  に抵抗  $R31$  が並列接続されるため、抵抗  $R32$  を介してブザー BZ に流れる電流に加えて、抵抗  $R31$  にも電流が流れるため、回路電流が増えてしまう。一方、トランジスタ  $Tr31$  がオフ、トランジスタ  $Tr32$  がオンしたときは、ブザー BZ 及び抵抗  $R31$  が直列接続され、この直列接続されたブザー BZ 及び抵抗  $R31$  に抵抗  $R32$  が並列接続されるため、抵抗  $R31$  を介してブザー BZ に流れる電流に加えて、抵抗  $R32$  にも電流が流れるため、回路電流が増えてしまう。

20

【0013】

結果、電源電圧  $V_{DD}$  を発生する電源 (AC トランス) が大きくなり、ブザー駆動回路 104 を小型化できない、という問題があった。このため、上記電源をスイッチング電源にすれば、ブザー駆動回路 104 での電流増加はトランスの大型に直結しないが電源回路のコストが上がってしまう。

【発明の概要】

【発明が解決しようとする課題】

30

【0014】

そこで、本発明は、ブザーの両端に印加されるブザー電圧を高くしてブザーの音圧を高くしつつ回路電流の低減を図ることにより、小型化できるブザー駆動回路を提供することを課題とする。

【課題を解決するための手段】

【0015】

上述した課題を解決するための請求項 1 記載の発明は、パルス状の駆動電圧を出力する出力手段と、前記駆動電圧の出力に応じて鳴動するブザーと、前記駆動電圧よりも高い電源電圧を供給する電圧源と、互いに極性が異なりかつ前記電源電圧間に直列接続された一対の第 1 トランジスタと、互いに極性が異なりかつ前記電源電圧間に直列接続されると共に前記一対の第 1 トランジスタに並列接続された一対の第 2 トランジスタと、を備え、前記ブザーが、前記一対の第 1 トランジスタ同士の接続点と前記一対の第 2 トランジスタ同士の接続点との間に接続され、前記一対の第 1 トランジスタの前記電源電圧プラス側及び前記一対の第 2 トランジスタの前記電源電圧マイナス側と、前記一対の第 1 トランジスタの前記電源電圧マイナス側及び前記一対の第 2 トランジスタの前記電源電圧プラス側と、のオンオフが互いに反転するように、前記一対の第 1 トランジスタ及び前記一対の第 2 トランジスタのベースに前記パルス状の駆動電圧が供給されたブザー駆動回路であって、前記出力手段からの駆動電圧を前記電源電圧系の電圧にシフトアップして前記一対の第 1 トランジスタのうち少なくとも前記電源電圧プラス側のベースに出力する第 1 レベルシフト回路と、前記出力手段からの駆動電圧を前記電源電圧系の電圧にシフトアップして前記一

40

50

対の第2トランジスタのうち少なくとも前記電源電圧プラス側のベースに出力する第2レベルシフト回路と、をさらに備えたことを特徴とするブザー駆動回路に存する。

【0016】

請求項2記載の発明は、前記一对の第1トランジスタのうち前記電源電圧プラス側が、PNP型トランジスタで構成され、前記一对の第1トランジスタのうち前記電源電圧マイナス側が、NPN型トランジスタで構成され、前記一对の第2トランジスタのうち前記電源電圧プラス側が、PNP型トランジスタで構成され、前記一对の第2トランジスタのうち前記電源電圧マイナス側が、NPN型トランジスタで構成されていることを特徴とする請求項1記載のブザー駆動回路に存する。

【0017】

請求項3記載の発明は、前記出力手段が、互いにHレベル、Lレベルが反転した一对の前記パルス状の駆動電圧を出力し、前記第1レベルシフト回路が、前記一对の駆動電圧の一方をシフトアップすると共に当該一方の駆動電圧のHレベル、Lレベルを反転させて前記一对の第1トランジスタのうち前記電源電圧プラス側のベースのみに出力し、前記第2レベルシフト回路が、前記一对の駆動電圧の他方をシフトアップすると共に当該他方の駆動電圧のHレベル、Lレベルを反転させて前記一对の第2トランジスタのうち前記電源電圧プラス側のベースのみに出力し、前記一对の第1トランジスタのうち前記電源電圧マイナス側のベースには、前記一对の駆動電圧の他方が供給され、前記一对の第2トランジスタのうち前記電源電圧のマイナス側のベースには、前記一对の駆動電圧の一方が供給されていることを特徴とする請求項2に記載のブザー駆動回路に存する。

【0018】

請求項4記載の発明は、前記一对の第1トランジスタ間に設けられた第1抵抗と、前記一对の第2トランジスタ間に設けられた第2抵抗と、をさらに備えたことを特徴とする請求項2又は3に記載のブザー駆動回路に存する。

【発明の効果】

【0019】

以上説明したように請求項1記載の発明によれば、駆動電圧よりも高い電源電圧間に一对の第1トランジスタ及び一对の第2トランジスタを設け、第1トランジスタ同士の接続点と第2トランジスタ同士の接続点との間にブザーを接続することにより、電源電圧の2倍に近い振幅をブザーの両端に印加することができ、ブザーの音圧を高くすることができる。また、このとき従来のようにブザーの両端に抵抗R31及びR32を設ける必要がなくなり回路電流を少なくして、電圧源の小型化を図ることができる。さらに、一对の第1トランジスタ及び一对の第2トランジスタのうち電源電圧プラス側は、この電源電圧の1/2よりも小さい出力手段からの駆動電圧がベースに供給されてもオンオフすることができないが、第1レベルシフト回路及び第2レベルシフト回路により駆動電圧をシフトアップすることにより、これら第1トランジスタ及び第2トランジスタに1/2電源電圧よりも大きい電圧をベースに供給することができ、第1トランジスタ及び第2トランジスタのオンオフが制御できるようになる。

【0020】

請求項2記載の発明によれば、ブザーに印加されるブザー電圧の振幅を大きくすることができる。

【0021】

請求項3記載の発明によれば、一对の第1トランジスタのベース同士、一对の第2トランジスタのベース同士を共通接続しなくてもよいので、共通接続されたベースを通じて電流が流れることがなく、回路電流をさらに抑えることができる。

【0022】

請求項4記載の発明によれば、一对の第1トランジスタ同士が同時にオンしても第1抵抗により一对の第1トランジスタに流れる電流を抑えることができる。また、一对の第2トランジスタ同士が同時にオンしても第2抵抗により一对の第2トランジスタに流れる電流を抑えることができる。

10

20

30

40

50

## 【図面の簡単な説明】

【0023】

【図1】第1実施形態における本発明のブザー駆動回路を示す回路図である。

【図2】(A)～(H)は図1に示すブザー駆動回路を構成するCPUから出力される駆動電圧 $V_{D1}$ 及び $V_{D2}$ 、トランジスタ $Tr5$ ～ $Tr8$ のオンオフ状態、駆動電圧 $V_{b1}$ 及び $V_{b2}$ 、トランジスタ $Tr1$ ～ $Tr4$ のオンオフ状態を示すタイムチャートである。

【図3】図1に示すブザーの両端電圧を説明するための回路図である。

【図4】第2実施形態における本発明のブザー駆動回路を示す回路図である。

【図5】図4に示すブザーの両端電圧を説明するための回路図である。

【図6】第2実施形態の問題点を説明するための回路図である。

【図7】第3実施形態における本発明のブザー駆動回路を示す回路図である。

【図8】(A)～(H)は図7に示すブザー駆動回路を構成するCPUから出力される駆動電圧 $V_{D1}$ 及び $V_{D2}$ 、トランジスタ $Tr9$ 、 $Tr10$ のオンオフ状態、駆動電圧 $V_{b1}$ 及び $V_{b2}$ 、トランジスタ $Tr1$ ～ $Tr4$ のオンオフ状態を示すタイムチャートである。

【図9】従来のブザー駆動回路の一例を示す回路図である。

【図10】従来のブザー駆動回路の一例を示す回路図である。

## 【発明を実施するための形態】

【0024】

第1実施形態

以下、第1実施形態における本発明のブザー駆動回路を図1及び図2に基づいて説明する。図1は、第1実施形態における本発明のブザー駆動回路を示す回路図である。図2(A)～(H)は、図1に示すブザー駆動回路を構成するCPUから出力される駆動電圧 $V_{D1}$ 及び $V_{D2}$ 、トランジスタ $Tr5$ ～ $Tr8$ のオンオフ状態、駆動電圧 $V_{b1}$ 及び $V_{b2}$ 、トランジスタ $Tr1$ ～ $Tr4$ のオンオフ状態を示すタイムチャートである。

【0025】

上記ブザー駆動回路1は、パルス状の駆動電圧 $V_{D1}$ 、 $V_{D2}$ を出力する図示しない出力手段としてのCPUと、この駆動電圧 $V_{D1}$ 、 $V_{D2}$ の出力に応じて鳴動するブザーBZと、上記駆動電圧 $V_{D1}$ 、 $V_{D2}$ の2倍以上の電源電圧 $V_{DD}$ を供給する図示しない電圧源と、この電源電圧 $V_{DD}$ 間に互いに並列接続された第1ブッシュプル回路21及び第2ブッシュプル回路22と、第1レベルシフト回路31及び第2レベルシフト回路32と、抵抗Rと、を備えている。

【0026】

上記図示しないCPUは、5Vの電源電圧の供給を受けて動作するものであり、約5Vのパルス状の駆動電圧 $V_{D1}$ 、 $V_{D2}$ を出力する。上記駆動電圧 $V_{D1}$ 、 $V_{D2}$ は、図2(A)及び(B)に示すように、互いにHレベル、Lレベルが反転している。上記ブザーBZは、その両端に印加されたパルス状のブザー電圧の振幅に応じた音圧のブザー音を出力する。上記図示しない電圧源は、5Vの駆動電圧 $V_{D1}$ 、 $V_{D2}$ の2倍である10Vの電源電圧 $V_{DD}$ を出力する。

【0027】

上記第1ブッシュプル回路21は、互いに極性が異なりかつ電源電圧 $V_{DD}$ 間に直列接続された一対のNPN型のトランジスタ $Tr1$ 及びPNP型のトランジスタ $Tr2$ (第1トランジスタ)から構成されている。これらトランジスタ $Tr1$ 及びトランジスタ $Tr2$ は、その接続点を中心に対称配置されている。

【0028】

即ち、トランジスタ $Tr1$ 及びトランジスタ $Tr2$ のエミッタ同士が接続され、トランジスタ $Tr1$ のコレクタが電源電圧 $V_{DD}$ に接続され、トランジスタ $Tr2$ のコレクタがグランド電圧 $V_{GND}$ に接続されている。また、これらトランジスタ $Tr1$ 及び $Tr2$ のベースは互いに共通接続されて、後述する第1レベルシフト回路31から出力される駆動電圧 $V_{b1}$ が供給されている。

【0029】

10

20

30

40

50

上記第2プッシュプル回路22は、互いに極性が異なりかつ電源電圧 $V_{DD}$ 間に直列接続された一対のNPN型のトランジスタ $Tr_3$ 及びPNP型のトランジスタ $Tr_4$ (第2トランジスタ)から構成されている。これらトランジスタ $Tr_3$ 及びトランジスタ $Tr_4$ は、その接続点を中心に対称配置されている。

【0030】

即ち、トランジスタ $Tr_3$ 及びトランジスタ $Tr_4$ のエミッタ同士が接続され、トランジスタ $Tr_3$ のコレクタが電源電圧 $V_{DD}$ に接続され、トランジスタ $Tr_4$ のコレクタがグランド電圧 $V_{GND}$ に接続されている。また、これらトランジスタ $Tr_3$ 及び $Tr_4$ のベースは互いに共通接続されて、後述する第2レベルシフト回路32から出力される駆動電圧 $V_{b2}$ が供給されている。上記プザ- $BZ$ は、トランジスタ $Tr_1$ 及び $Tr_2$ の接続点と、トランジスタ $Tr_3$ 及び $Tr_4$ の接続点と、の間に接続されている。

10

【0031】

上記第1レベルシフト回路31は、5Vの駆動電圧 $V_{D1}$ を電源電圧 $V_{DD}$ 系のHレベルがほぼ10V、Lレベルが0Vの駆動電圧 $V_{b1}$ にシフトアップして一対のトランジスタ $Tr_1$ 及び $Tr_2$ のベースに供給する回路である。上記第1レベルシフト回路31は、トランジスタ $Tr_5$ 及び $Tr_6$ と、抵抗 $R_1 \sim R_5$ と、を備えている。

【0032】

上記トランジスタ $Tr_5$ は、そのエミッタが電源電圧 $V_{DD}$ に接続され、コレクタが抵抗 $R_1$ を介してグランド電圧 $V_{GND}$ に接続されている。そして、このトランジスタ $Tr_5$ のコレクタと抵抗 $R_1$ との接続点が、抵抗 $R_6$ を介してトランジスタ $Tr_1$ 及び $Tr_2$ のベースに接続されている。また、トランジスタ $Tr_5$ のベース-エミッタ間には上記抵抗 $R_2$ が接続されている。

20

【0033】

上記トランジスタ $Tr_6$ は、そのエミッタがグランド電圧 $V_{GND}$ に接続され、コレクタが抵抗 $R_3$ を介してトランジスタ $Tr_5$ のベースに接続されている。また、トランジスタ $Tr_6$ のベース-エミッタ間に抵抗 $R_4$ が接続されていて、トランジスタ $Tr_6$ のベースには抵抗 $R_5$ を介して駆動電圧 $V_{D1}$ が出力される。

【0034】

以上の構成によれば、図2(A)及び(C)に示すように、駆動電圧 $V_{D1}$ がH(5V)のときはトランジスタ $Tr_6$ のエミッタ-ベース間にバイアス電圧が印加されトランジスタ $Tr_6$ がオンする。このトランジスタ $Tr_6$ のオンにより抵抗 $R_2$ 及び $R_3$ の両端に電源電圧 $V_{DD}$ が供給されるため、抵抗 $R_2$ に発生する電圧降下分、トランジスタ $Tr_5$ のベースがエミッタよりも低くなりエミッタ-ベース間にバイアス電圧が印加されトランジスタ $Tr_5$ がオンする。このトランジスタ $Tr_5$ のオンによりほぼ電源電圧 $V_{DD}$ に等しい10Vの駆動電圧 $V_{b1}$ がトランジスタ $Tr_1$ 及び $Tr_2$ のベースに出力される。

30

【0035】

一方、駆動電圧 $V_{D1}$ がL(0V)のときはトランジスタ $Tr_6$ のエミッタ-ベース間電圧が0となりトランジスタ $Tr_6$ がオフする。このトランジスタ $Tr_6$ のオフにより抵抗 $R_2$ 及び $R_3$ の両端に供給された電源電圧 $V_{DD}$ が遮断されるため、トランジスタ $Tr_5$ のエミッタ-ベース電圧が0となりトランジスタ $Tr_5$ がオフする。

40

【0036】

このトランジスタ $Tr_5$ のオフによりグランド電圧 $V_{GND}$ に等しい0Vの駆動電圧 $V_{b1}$ がトランジスタ $Tr_1$ 及び $Tr_2$ のベースに出力される。よって、図2(A)及び(E)に示すように、トランジスタ $Tr_1$ 及び $Tr_2$ のベースには、駆動電圧 $V_{D1}$ と同位相であり、振幅が10Vのパルス状の駆動電圧 $V_{b1}$ が供給される。

【0037】

上記第2レベルシフト回路32は、5Vの駆動電圧 $V_{D2}$ を電源電圧 $V_{DD}$ 系のほぼ10Vの駆動電圧 $V_{b2}$ にシフトアップして一対のトランジスタ $Tr_3$ 及び $Tr_4$ のベースに供給する回路である。上記第2レベルシフト回路32は、トランジスタ $Tr_7$ 及び $Tr_8$ と、抵抗 $R_7 \sim R_{11}$ と、を備えている。

50

## 【 0 0 3 8 】

上記トランジスタ  $T r 7$  は、そのエミッタが電源電圧  $V_{DD}$  に接続され、コレクタが抵抗  $R 7$  を介してグランド電圧  $V_{GND}$  に接続されている。そして、このトランジスタ  $T r 7$  のコレクタと抵抗  $R 7$  との接続点が、抵抗  $R 1 2$  を介してトランジスタ  $T r 3$  及び  $T r 4$  のベースに接続されている。また、トランジスタ  $T r 7$  のベース - エミッタ間には上記抵抗  $R 8$  が接続されている。

## 【 0 0 3 9 】

上記トランジスタ  $T r 8$  は、そのエミッタがグランド電圧  $V_{GND}$  に接続され、コレクタが抵抗  $R 9$  を介してトランジスタ  $T r 7$  のベースに接続されている。また、トランジスタ  $T r 8$  のベース - エミッタ間に抵抗  $R 1 0$  が接続されていて、トランジスタ  $T r 8$  のベースには抵抗  $R 1 1$  を介して駆動電圧  $V_{D2}$  が出力される。

10

## 【 0 0 4 0 】

以上の構成によれば、図 2 ( B ) 及び ( D ) に示すように、駆動電圧  $V_{D2}$  が H ( 5 V ) のときはトランジスタ  $T r 8$  のエミッタ - ベース間にバイアス電圧が印加されトランジスタ  $T r 8$  がオンする。このトランジスタ  $T r 8$  のオンにより抵抗  $R 8$  及び  $R 9$  の両端に電源電圧  $V_{DD}$  が供給されるため、抵抗  $R 8$  に発生する電圧降下分、トランジスタ  $T r 7$  のベースがエミッタよりも低くなりエミッタ - ベース間にバイアス電圧が印加されトランジスタ  $T r 7$  がオンする。このトランジスタ  $T r 7$  のオンによりほぼ電源電圧  $V_{DD}$  に等しい 1 0 V の駆動電圧  $V_{b2}$  がトランジスタ  $T r 3$  及び  $T r 4$  のベースに出力される。

## 【 0 0 4 1 】

一方、駆動電圧  $V_{D2}$  が L ( 0 V ) のときはトランジスタ  $T r 8$  のエミッタ - ベース間電圧が 0 となりトランジスタ  $T r 8$  がオフする。このトランジスタ  $T r 8$  のオフにより抵抗  $R 8$  及び  $R 9$  の両端に供給された電源電圧  $V_{DD}$  が遮断されるため、トランジスタ  $T r 7$  のエミッタ - ベース電圧が 0 となりトランジスタ  $T r 7$  がオフする。

20

## 【 0 0 4 2 】

このトランジスタ  $T r 7$  のオフによりほぼグランド電圧  $V_{GND}$  に等しい 0 V の駆動電圧  $V_{b2}$  がトランジスタ  $T r 3$  及び  $T r 4$  のベースに出力される。よって、図 2 ( B ) 及び ( F ) に示すように、トランジスタ  $T r 3$  及び  $T r 4$  のベースには、駆動電圧  $V_{D2}$  と同位相であり、振幅が 1 0 V のパルス状の駆動電圧  $V_{b2}$  が供給される。また、上記抵抗  $R$  は、音色の歪みをなくすために、トランジスタ  $T r 1$  及び  $T r 2$  の接続点とブザー B Z との間に接続されている。

30

## 【 0 0 4 3 】

次に、上述した構成のブザー駆動回路 1 の動作について、図 2 のタイムチャートを参照して説明する。CPU から互いに H レベル、L レベルが反転した駆動電圧  $V_{D1}$ 、 $V_{D2}$  が出力されると、図 2 ( E ) に示すように、第 1 レベルシフト回路 3 1 が、5 V の駆動電圧  $V_{D1}$  を 1 0 V の駆動電圧  $V_{b1}$  にレベルアップして、トランジスタ  $T r 1$  及び  $T r 2$  のベースに供給する。また、図 2 ( F ) に示すように、第 2 レベルシフト回路 3 2 が、5 V の駆動電圧  $V_{D2}$  を 1 0 V の駆動電圧  $V_{b2}$  にレベルアップして、トランジスタ  $T r 3$  及び  $T r 4$  のベースに供給する。

## 【 0 0 4 4 】

図 2 ( G ) 及び ( H ) に示すように、駆動電圧  $V_{b1}$  が L ( 0 V )、駆動電圧  $V_{b2}$  が H ( 1 0 V ) のときは、トランジスタ  $T r 1$  及び  $T r 4$  がオフして、トランジスタ  $T r 2$  及び  $T r 3$  がオンして、ブザー B Z の第 1 プッシュプル回路 2 1 側にグランド電圧  $V_{GND}$  が接続され、第 2 プッシュプル回路 2 2 側に電源電圧  $V_{DD}$  が接続される。これに対して、駆動電圧  $V_{b1}$ 、 $V_{b2}$  が反転して、駆動電圧  $V_{b1}$  が H ( 1 0 V )、駆動電圧  $V_{b2}$  が L ( 0 V ) のときは、トランジスタ  $T r 1$  及び  $T r 4$  がオンして、トランジスタ  $T r 2$  及び  $T r 3$  がオフして、ブザー B Z の第 2 プッシュプル回路 2 1 側に電源電圧  $V_{DD}$  が接続され、第 1 プッシュプル回路 2 1 側にグランド電圧  $V_{GND}$  が接続される。即ち、トランジスタ  $T r 1$  及び  $T r 4$  のオンオフとトランジスタ  $T r 2$  及び  $T r 3$  のオンオフとが互いに反転され、ブザー B Z の一端及び他端が交互に電源電圧  $V_{DD}$  に接続されることにより、ブザー B Z に印加

40

50

されるブザー電圧  $V_{BZ}$  の振幅はほぼ電源電圧  $V_{DD}$  の 2 倍弱となる。

【0045】

次に、図3を参照してブザー電圧  $V_{BZ}$  について説明する。今、図3に示すように、トランジスタ  $Tr1$  及び  $Tr4$  がオン、トランジスタ  $Tr2$  及び  $Tr3$  がオフして、ブザー  $BZ$  の第1プッシュプル回路21側に電源電圧  $V_{DD}$  が接続され、第2プッシュプル回路22側にグランド電圧  $V_{GND}$  が接続された場合について考えて見る。NPN型のトランジスタ  $Tr1$  のベースコレクタ間は、ベースからコレクタに向かう方向が順方向となるダイオード  $D1$  に等価でき、ベースエミッタ間は、ベースからエミッタに向かう方向が順方向となるダイオード  $D2$  に等価できる。一方、PNP型のトランジスタ  $Tr4$  のエミッタコレクタ間は、エミッタからベースに向かう方向が順方向となるダイオード  $D3$  に等価でき、ベースコレクタ間は、コレクタからベースに向かう方向が順方向となるダイオード  $D4$  に等価できる。

10

【0046】

よって、ブザー  $BZ$  の一端にはトランジスタ  $Tr1$  のベースエミッタ間を介して  $10V$  が供給され、他端にはトランジスタ  $Tr4$  のベースエミッタ間を介して  $0V$  が供給されているため、ブザー電圧  $V_{BZ}$  は下記の式(1)で表す値となる。

$$V_{BZ} = 10V (V_{DD}) - 0.8V (\text{トランジスタ } Tr1 \text{ のベースエミッタ間電圧}) - 0.8 (\text{トランジスタ } Tr4 \text{ のベースエミッタ間電圧}) = 8.4V \dots (1)$$

結果、ブザー電圧  $V_{BZ}$  の振幅はその2倍の  $16.8V$  となる。

【0047】

上述したブザー駆動回路1によれば、駆動電圧  $V_{D1}$ 、 $V_{D2}$  よりも高い電源電圧  $V_{DD}$  間に一対のトランジスタ  $Tr1$ 、 $Tr2$  と、一対のトランジスタ  $Tr3$ 、 $Tr4$  とを並列に設け、トランジスタ  $Tr1$ 、 $Tr2$  同士の間とトランジスタ  $Tr3$ 、 $Tr4$  の接続点との間にブザー  $BZ$  を接続することにより、電源電圧  $V_{DD}$  の2倍に近い振幅をブザー  $BZ$  の両端に印加することができ、ブザー  $BZ$  の音圧を高くすることができる。また、このとき従来のようにブザー  $BZ$  の両端に抵抗  $R31$  及び  $R32$  を設ける必要がなくなり回路電流を少なくして、電圧源の小型化を図ることができる。さらに、トランジスタ  $Tr1$ 、 $Tr2$  の接続点、トランジスタ  $Tr3$ 、 $Tr4$  の接続点の電圧は、ほぼ  $1/2 V_{DD}$  となる。従って、トランジスタ  $Tr1$  及び  $Tr3$  は、この  $1/2 V_{DD}$  よりも低い  $5V$  の駆動電圧  $V_{D1}$ 、 $V_{D2}$  がベースに供給されてもオンオフすることができないが、第1レベルシフト回路21及び第2レベルシフト回路22を設けることにより、これらトランジスタ  $Tr1$  及び  $Tr3$  に  $1/2 V_{DD}$  よりも大きい駆動電圧  $V_{b1}$ 、 $V_{b2}$  をベースに供給することができ、トランジスタ  $Tr1$  及び  $Tr3$  のオンオフが制御できるようになる。

20

30

【0048】

## 第2実施形態

次に、第2実施形態における本発明のブザー駆動回路を図4に基づいて説明する。図4は、第2実施形態における本発明のブザー駆動回路を示す回路図である。第1実施形態と第2実施形態とで大きく異なる点は、トランジスタ  $Tr1 \sim Tr4$  の極性である。即ち、第1実施形態では、NPN型のトランジスタ  $Tr1$  及び  $Tr3$ 、PNP型のトランジスタ  $Tr2$  及び  $Tr4$  を用いていたが、第2実施形態ではプッシュプル回路を廃止してPNP型のトランジスタ  $Tr1$  及び  $Tr3$ 、NPN型のトランジスタ  $Tr2$  及び  $Tr4$  を用いている。なお、トランジスタ  $Tr1 \sim Tr4$  の極性を変えることにより、第2実施形態においては、駆動電圧  $V_{D1}$  がHレベル、駆動電圧  $V_{D2}$  がLレベルのときは、第1実施形態とは逆に、トランジスタ  $Tr1$  及び  $Tr4$  がオフ、トランジスタ  $Tr2$  及び  $Tr3$  がオンし、駆動電圧  $V_{D1}$  がLレベル、駆動電圧  $V_{D2}$  がHレベルのときは、トランジスタ  $Tr1$  及び  $Tr4$  がオン、トランジスタ  $Tr2$  及び  $Tr3$  がオフする。

40

【0049】

これにより、ブザー電圧  $V_{BZ}$  の振幅を第1実施形態よりも大きくすることができる。この効果について説明する。今、図5に示すように、トランジスタ  $Tr1$  及び  $Tr4$  がオン、トランジスタ  $Tr2$  及び  $Tr3$  がオフして、ブザー  $BZ$  のトランジスタ  $Tr1$  側に電源

50

電圧  $V_{DD}$  が接続され、トランジスタ  $T_r 4$  側にグランド電圧  $V_{GND}$  が接続された場合について考えて見る。PNP型のトランジスタ  $T_r 1$  のベースエミッタ間は、エミッタからベースに向かう方向が順方向となるダイオード  $D 5$  に等価でき、ベースコレクタ間は、コレクタからベースに向かう方向が順方向となるダイオード  $D 6$  に等価できる。一方、NPN型のトランジスタ  $T_r 4$  のベースコレクタ間は、ベースからコレクタに向かう方向が順方向となるダイオード  $D 7$  に等価でき、ベースエミッタ間は、ベースからエミッタに向かう方向が順方向となるダイオード  $D 8$  に等価できる。

#### 【0050】

よって、ブザー  $B Z$  の一端にはトランジスタ  $T_r 1$  のコレクタエミッタ間を介して  $10 V$  が供給され、他端にはトランジスタ  $T_r 4$  のコレクタエミッタ間を介して  $0 V$  が供給されているため、ブザー電圧  $V_{BZ}$  は下記の式 (2) で表す値となる。

$$V_{BZ} = 10 V (V_{DD}) - 0.1 V (\text{トランジスタ } T_r 1 \text{ のコレクタエミッタ間電圧 } V_{ce}) - 0.1 (\text{トランジスタ } T_r 4 \text{ のコレクタエミッタ間電圧 } V_{ce}) = 9.8 V \dots (2)$$

結果、ブザー電圧  $V_{BZ}$  の振幅はその2倍の  $19.6 V$  となり、第1実施形態よりも振幅を大きくして音圧を高くできる。

#### 【0051】

### 第3実施形態

次に、第3実施形態について説明する。ところで、上述した第2実施形態では、図6に示すように、トランジスタ  $T_r 1$  及び  $T_r 2$  のベース、トランジスタ  $T_r 3$  及び  $T_r 4$  のベースを共通接続すると、トランジスタ  $T_r 1$ 、 $T_r 3$  のベースエミッタ間に等価されるダイオード  $D 5$  と、トランジスタ  $T_r 2$ 、 $T_r 4$  のベースエミッタ間に等価されるダイオード  $D 8$  と、の順方向が電源電圧  $V_{DD}$  の印加方向と同一になってしまうため、図中点線で示すように、トランジスタ  $T_r 1 \sim T_r 4$  がオフのときに共通接続されたベースを介して電流が流れてしまう。

#### 【0052】

第3実施形態では、図7に示すように、第2実施形態と同様にPNP型のトランジスタ  $T_r 1$  及び  $T_r 2$ 、NPN型のトランジスタ  $T_r 3$  及び  $T_r 4$  を用いて、トランジスタ  $T_r 1$  及び  $T_r 2$  のベース同士、トランジスタ  $T_r 3$  及び  $T_r 4$  のベース同士を共通接続しない構成にしている。即ち、トランジスタ  $T_r 1$  のベースには後述する第1レベルシフト回路31から出力される駆動電圧  $V_{b1}$  が供給され、トランジスタ  $T_r 2$  のベースには駆動電圧  $V_{D2}$  が抵抗  $R 21$ 、 $R 20$ 、 $R 22$  を介して供給されている。また、トランジスタ  $T_r 3$  のベースには後述する第2レベルシフト回路32から出力される駆動電圧  $V_{b2}$  が供給され、トランジスタ  $T_r 4$  のベースには駆動電圧  $V_{D1}$  が抵抗  $R 17$ 、 $R 16$ 、 $R 23$  を介して供給されている。

#### 【0053】

また、第2実施形態と第3実施形態とで大きく異なる点は、第1レベルシフト回路31と第2レベルシフト回路32との構成である。上記第1レベルシフト回路31は、Hレベルが  $5 V$ 、Lレベルが  $0 V$  の駆動電圧  $V_{D1}$  をHレベルが  $10 V (V_{DD})$ 、Lレベルが電源電圧  $V_{DD}$  を抵抗  $R 14$  及び  $R 15$  で分圧した分圧値 (例えば  $5 V$ ) となる駆動電圧  $V_{b1}$  にシフトアップする。さらに、第1レベルシフト回路31は、駆動電圧  $V_{D1}$  のHレベル、Lレベルを反転させてトランジスタ  $T_r 1$  のベースに出力する。上記第1レベルシフト回路31は、NPN型のトランジスタ  $T_r 9$  と、抵抗  $R 14 \sim R 17$  と、を備えている。

#### 【0054】

上記トランジスタ  $T_r 9$  は、そのコレクタが抵抗  $R 14$  を介して電源電圧  $V_{DD}$  に接続され、エミッタが抵抗  $R 15$  を介してグランド電圧  $V_{GND}$  に接続されている。そして、このトランジスタ  $T_r 9$  のコレクタと抵抗  $R 14$  との接続点が、抵抗  $R 6$  を介してトランジスタ  $T_r 1$  のベースに接続されている。また、トランジスタ  $T_r 9$  のベース - エミッタ間には上記抵抗  $R 16$  が接続され、トランジスタ  $T_r 9$  のベースには抵抗  $R 17$  を介して駆動電圧  $V_{D1}$  が供給されている。

#### 【0055】

10

20

30

40

50

以上の構成によれば、図 8 ( A ) 及び ( C ) に示すように、駆動電圧  $V_{D1}$  が H ( 5 V ) のときはトランジスタ  $T r 9$  のエミッタ - ベース間にバイアス電圧が印加されトランジスタ  $T r 9$  がオンする。このトランジスタ  $T r 9$  のオンにより電源電圧  $V_{DD}$  を抵抗  $R 1 4$  及び  $R 1 5$  で分圧した値 ( 例えば 5 V ) となる駆動電圧  $V_{b1}$  がトランジスタ  $T r 1$  のベースに出力される。

【 0 0 5 6 】

一方、駆動電圧  $V_{D1}$  が L ( 0 V ) のときはトランジスタ  $T r 9$  のエミッタ - ベース間電圧が 0 となりトランジスタ  $T r 9$  がオフする。このトランジスタ  $T r 9$  のオフによりほぼ電源電圧  $V_{DD}$  に等しい 1 0 V の駆動電圧  $V_{b1}$  がトランジスタ  $T r 1$  のベースに出力される。よって、図 8 ( A ) 及び ( E ) に示すように、トランジスタ  $T r 1$  のベースには、駆動電圧  $V_{D1}$  の H レベル、L レベルを反転させた即ち、駆動電圧  $V_{D2}$  と同位相であり、L レベルが 5 V、H レベルが 1 0 V のパルス状の駆動電圧  $V_{b1}$  が供給される。

10

【 0 0 5 7 】

上記第 2 レベルシフト回路 3 2 は、H レベルが 5 V、L レベルが 0 V の駆動電圧  $V_{D2}$  を H レベルが 1 0 V (  $V_{DD}$  )、L レベルが電源電圧  $V_{DD}$  を抵抗  $R 1 8$  及び  $R 1 9$  で分圧した分圧値 ( 例えば 5 V ) となる駆動電圧  $V_{b2}$  にシフトアップする。さらに、第 2 レベルシフト回路 3 2 は、駆動電圧  $V_{D2}$  の H レベル、L レベルを反転させてトランジスタ  $T r 3$  のベースに出力する。上記第 1 レベルシフト回路 3 2 は、NPN 型のトランジスタ  $T r 1 0$  と、抵抗  $R 1 8 \sim R 2 1$  と、を備えている。

【 0 0 5 8 】

上記トランジスタ  $T r 1 0$  は、そのコレクタが抵抗  $R 1 8$  を介して電源電圧  $V_{DD}$  に接続され、エミッタが抵抗  $R 1 9$  を介してグランド電圧  $V_{GND}$  に接続されている。そして、このトランジスタ  $T r 1 0$  のコレクタと抵抗  $R 1 8$  との接続点が、抵抗  $R 1 2$  を介してトランジスタ  $T r 3$  のベースに接続されている。また、トランジスタ  $T r 1 0$  のベース - エミッタ間には上記抵抗  $R 2 0$  が接続され、トランジスタ  $T r 1 0$  のベースには抵抗  $R 2 1$  を介して駆動電圧  $V_{D2}$  が供給されている。

20

【 0 0 5 9 】

以上の構成によれば、図 8 ( B ) 及び ( D ) に示すように、駆動電圧  $V_{D2}$  が H ( 5 V ) のときはトランジスタ  $T r 1 0$  のエミッタ - ベース間にバイアス電圧が印加されトランジスタ  $T r 1 0$  がオンする。このトランジスタ  $T r 1 0$  のオンにより電源電圧  $V_{DD}$  を抵抗  $R 1 8$  及び  $R 1 9$  で分圧した値 ( 例えば 5 V ) となる駆動電圧  $V_{b2}$  がトランジスタ  $T r 3$  のベースに出力される。

30

【 0 0 6 0 】

一方、駆動電圧  $V_{D2}$  が L ( 0 V ) のときはトランジスタ  $T r 1 0$  のエミッタ - ベース間電圧が 0 となりトランジスタ  $T r 1 0$  がオフする。このトランジスタ  $T r 1 0$  のオフによりほぼ電源電圧  $V_{DD}$  に等しい 1 0 V の駆動電圧  $V_{b2}$  がトランジスタ  $T r 3$  のベースに出力される。よって、図 8 ( B ) 及び ( F ) に示すように、トランジスタ  $T r 3$  のベースには、駆動電圧  $V_{D2}$  の H レベル、L レベルを反転させた即ち、駆動電圧  $V_{D1}$  と同位相であり、L レベルが 5 V、H レベルが 1 0 V のパルス状の駆動電圧  $V_{b2}$  が供給される。

【 0 0 6 1 】

また、上記トランジスタ  $T r 1$  及び  $T r 2$  の間には第 1 抵抗としての抵抗  $R 2 4$  及び  $R 2 5$  が接続され、トランジスタ  $T r 3$  及び  $T r 4$  の間には第 2 抵抗としての抵抗  $R 2 6$  及び  $R 2 7$  が接続されている。これら抵抗  $R 2 4 \sim R 2 7$  は、音色の歪みをなくすために設けられている。

40

【 0 0 6 2 】

次に、上述した構成のブザー駆動回路 1 の動作について、図 8 のタイムチャートを参照して説明する。CPU から互いに H、L が反転した駆動電圧  $V_{D1}$ 、 $V_{D2}$  が出力されると、図 8 ( E ) に示すように、トランジスタ  $T r 1$  のベースには、第 1 レベルシフト回路 3 1 から出力される駆動電圧  $V_{b1}$  が供給される。また、図 8 ( B ) に示すように、トランジスタ  $T r 2$  のベースには、第 2 レベルシフト回路 3 2 から出力される駆動電圧  $V_{b2}$  が供給さ

50

れる。

【0063】

駆動電圧  $V_{b1}$  が L レベル ( 5 V )、駆動電圧  $V_{b2}$  が H レベル ( 10 V ) のときは、トランジスタ  $T r 1$  及び  $T r 4$  がオンして、トランジスタ  $T r 2$  及び  $T r 3$  がオフして、プザ- B Z のトランジスタ  $T r 1$  側に電源電圧  $V_{DD}$  が接続され、トランジスタ  $T r 4$  側にグラ-ND電圧  $V_{GND}$  が接続される。これに対して、駆動電圧  $V_{b1}$ 、 $V_{b2}$  が反転して、駆動電圧  $V_{b1}$  が H レベル ( 10 V )、駆動電圧  $V_{b2}$  が L レベル ( 5 V ) のときは、トランジスタ  $T r 2$  及び  $T r 3$  がオンして、トランジスタ  $T r 1$  及び  $T r 4$  がオフして、プザ- B Z のトランジスタ  $T r 3$  側に電源電圧  $V_{DD}$  が接続され、トランジスタ  $T r 2$  側にグラ-ND電圧  $V_{GND}$  が接続される。このようにプザ- B Z の一端及び他端が交互に電源電圧  $V_{DD}$  に接続されることにより、プザ- B Z に印加される電圧の振幅はほぼ電源電圧  $V_{DD}$  の 2 倍弱となる。

10

【0064】

上述した第 3 実施形態のプザ-駆動回路 1 によれば、一对のトランジスタ  $T r 1$ 、 $T r 2$  のベース同士、一对のトランジスタ  $T r 3$ 、 $T r 4$  のベース同士を共通接続しなくても良いので、共通接続されたベースを通じて電流が流れることなく、回路電流をさらに抑えることができる。

【0065】

上述した第 3 実施形態のプザ-駆動回路 1 によれば、抵抗  $R 2 4$  及び  $R 2 5$  を設けることにより、トランジスタ  $T r 1$ 、 $T r 2$  のターンオン、ターンオフのタイミングでトランジスタ  $T r 1$  及び  $T r 2$  同士が同時にオンしても抵抗  $R 2 6$  及び  $R 2 7$  によりトランジスタ  $T r 1$  及び  $T r 2$  に流れる電流を抑えることができる。また、抵抗  $R 2 4$  及び  $R 2 5$  を設けることにより、トランジスタ  $T r 3$ 、 $T r 4$  のターンオン、ターンオフのタイミングでトランジスタ  $T r 3$  及び  $T r 4$  同士が同時にオンしても抵抗  $R 2 6$  及び  $R 2 7$  によりトランジスタ  $T r 3$  及び  $T r 4$  に流れる電流を抑えることができる。

20

【0066】

なお、上述した第 1 ~ 第 3 実施形態によれば、第 1 トランジスタ及び第 2 トランジスタとしてはバイポーラ型を挙げて説明していたが、本発明はこれに限ったものではない。第 1 トランジスタ及び第 2 トランジスタとしては、電界効果トランジスタであってもよい。

【0067】

また、上述した第 1 ~ 第 3 実施形態に記載された第 1 及び第 2 レベルシフト回路 3 1、3 2 の構成としては、これに限ったものではない。第 1 及び第 2 レベルシフト回路 3 1、3 2 としては、他の公知の構成であってもよい。

30

【0068】

また、上述した第 1 ~ 第 3 実施形態によれば、一对のトランジスタ  $T r 1$  及び  $T r 2$  と、一对のトランジスタ  $T r 3$  及び  $T r 4$  と、が同じ構成であったが本発明はこれに限ったものではない。例えば、トランジスタ  $T r 1$  及びトランジスタ  $T r 4$  を NPN 型、トランジスタ  $T r 2$  及びトランジスタ  $T r 3$  を PNP 型にして、互いに異なる構成にしてもよい。

【0069】

また、第 1 ~ 第 3 実施形態によれば、図示しない出力手段としての CPU から一对の駆動電圧  $V_{D1}$ 、 $V_{D2}$  を出力していたが、本発明はこれに限ったものではない。例えば、CPU から駆動電圧  $V_{D1}$  のみを出力して、この駆動電圧  $V_{D1}$  をインバータなどで反転させて駆動電圧  $V_{D2}$  を得るようにしてもよい。

40

【0070】

また、前述した実施形態は本発明の代表的な形態を示したに過ぎず、本発明は、実施形態に限定されるものではない。即ち、本発明の骨子を逸脱しない範囲で種々変形して実施することができる。

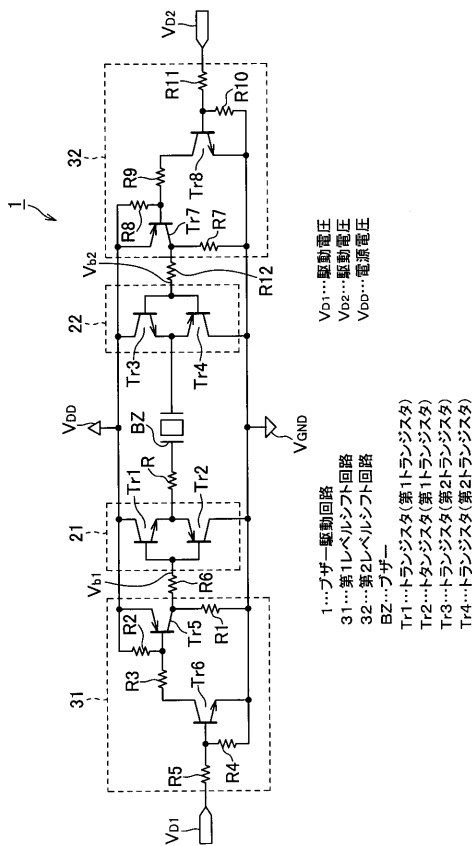
【符号の説明】

【0071】

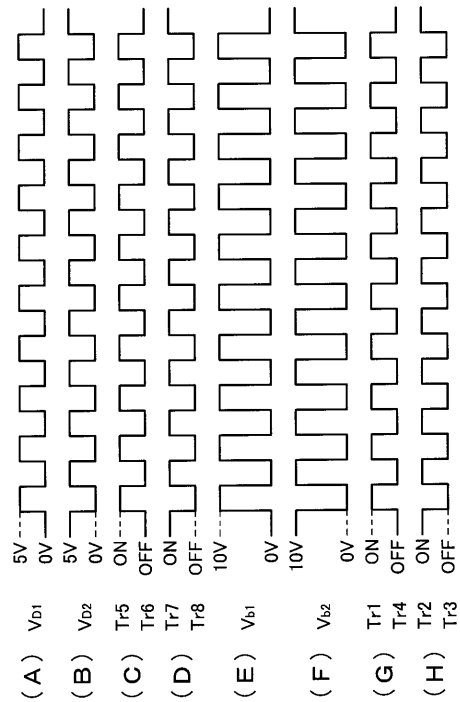
50

- 1      ブザー駆動回路
- 3 1    第1レベルシフト回路
- 3 2    第2レベルシフト回路
- B Z    ブザー
- R 2 4   第1抵抗
- R 2 5   第1抵抗
- R 2 6   第2抵抗
- R 2 7   第2抵抗
- Tr 1   トランジスタ(第1トランジスタ)
- Tr 2   トランジスタ(第1トランジスタ)
- Tr 3   トランジスタ(第2トランジスタ)
- Tr 4   トランジスタ(第2トランジスタ)
- V<sub>D1</sub>   駆動電圧
- V<sub>D2</sub>   駆動電圧
- V<sub>DD</sub>   電源電圧

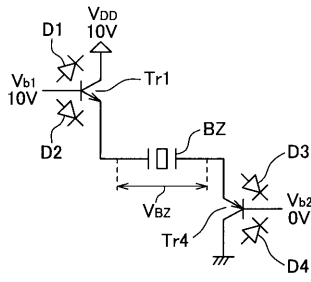
【 図 1 】



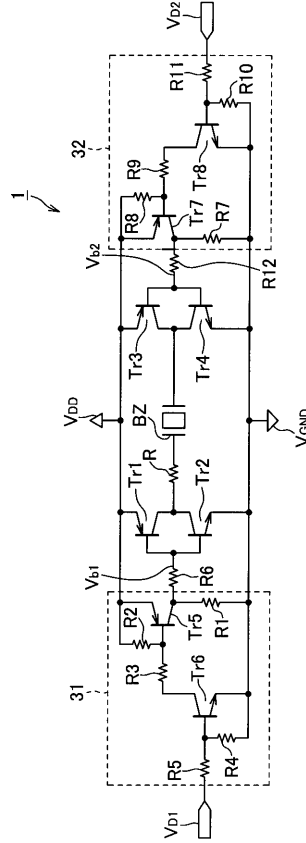
【 図 2 】



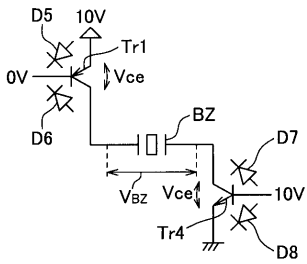
【 図 3 】



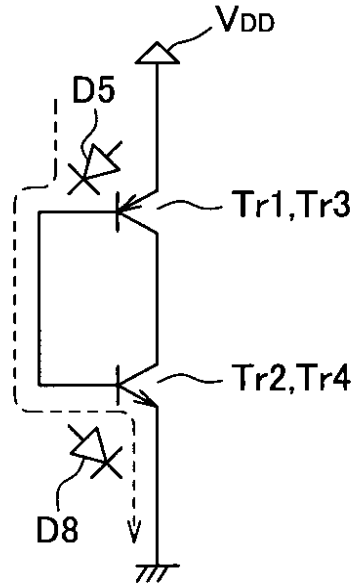
【 図 4 】



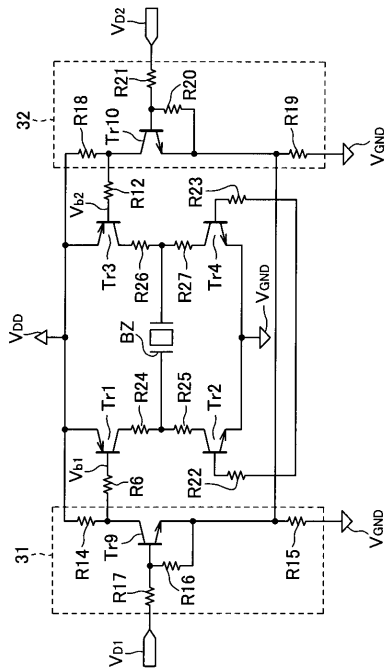
【 図 5 】



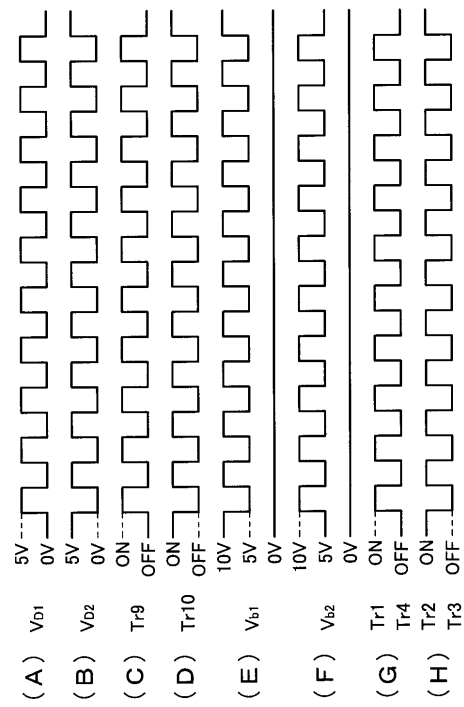
【 図 6 】



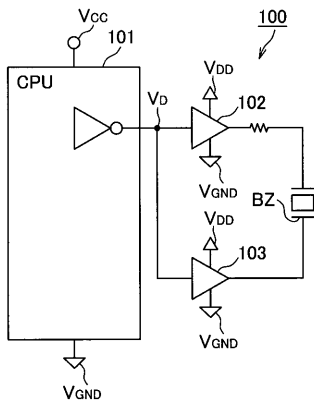
【 図 7 】



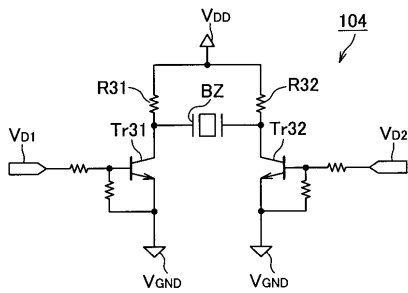
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

- (72)発明者 犬塚 和宏  
静岡県浜松市天竜区二俣町南鹿島 2 3 矢崎資源株式会社内
- (72)発明者 中島 唯宣  
静岡県浜松市天竜区二俣町南鹿島 2 3 矢崎資源株式会社内