

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 29/40

(45) 공고일자 1999년07월01일

(11) 등록번호 10-0200059

(24) 등록일자 1999년03월09일

(21) 출원번호	10-1991-0014120	(65) 공개번호	특1993-0005234
(22) 출원일자	1991년08월16일	(43) 공개일자	1993년03월23일
(30) 우선권주장	569,789 1990년08월17일 미국(US)		
(73) 특허권자	내셔널 세미컨덕터 코포레이션	클라크 3세 존 엠. 미합중국 캘리포니아주 95051-8090 산타 클라라 메일 스톱 3-579 세미콘 덕터 드라이브 2900	
(72) 발명자	밴처드 드롱		
(74) 대리인	미합중국 워싱턴 98374 푸알업 130 애비뉴 코트 이11724 목돈상, 목영동, 목선영		

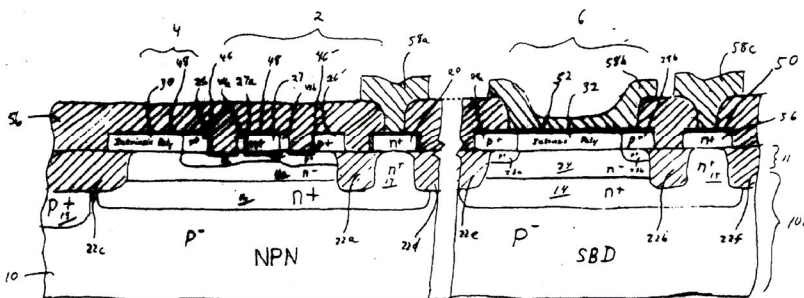
심사관 : 김관식

(54) 쇼트키 장벽 다이오드 및 쇼트키 장벽 다이오드 클램프형 트랜지스터와 이들을 제조하는 방법

요약

쇼트키 다이오드는 메탈 실리사이드층을 n 도전율 형태의 활성 영역으로부터 분리시키는 진성 폴리실리콘층을 구비하여 형성된다. 이러한 구조는, 선행 디바이스에 비하여 상기 진성 폴리실리콘층에 윈도우(window)를 개설하는 공정 단계에 대한 필요성을 없애며 쇼트키 다이오드를 형성하는데 필요한 표면적을 감소시킨다. 상기 쇼트키 다이오드는 집적회로를 형성하기 위한 전체 공정의 일부분으로서 형성될 수 있으며 쇼트키 장벽 다이오드 클램프형 트랜지스터를 형성하도록 바이폴라 트랜지스터의 컬렉터/베이스 접합 양단에 병렬로 위치될 수 있다.

대표도



명세서

[발명의 명칭]

쇼트키 장벽 다이오드 및 쇼트키 장벽 다이오드 클램프형 트랜지스터와 이들을 제조하는 방법

[도면의 간단한 설명]

제1도는 쇼트키 장벽 다이오드(SBD) 및 쇼트키 장벽 다이오드 클램프형 NPN 바이폴라 트랜지스터를 각각 도시한 집적회로에 대한 부분 단면도.

제2a도 내지 제2k도는 제1도 도시된 형태의 집적회로를 제조하는 공정단계에 대한 예시도.

제3도는 본 발명에 따라 형성된 쇼트키 다이오드에 대한 V_{fwd} 대 $F(V_{fwd})$ 의 노즈(Nordes) 플롯트.

제4도는 본 발명에 따라 형성된 쇼트키 다이오드에 대한 V_{fwd} 대 I_{fwd} 의 로그(logarithm) 플롯트.

[발명의 상세한 설명]

[발명의 분야]

본 발명은 반도체 디바이스 및 이를 제조하는 방법에 관한 것이다. 더 구체적으로는, 본 발명의 한 실시예에서는 단일 폴리실리콘층의 공정 단계를 사용하여 형성된 쇼트키 장벽 다이오드를 제공한다.

[선행기술의 설명]

쇼트키 장벽 다이오드(SBD) 또는 "쇼트키 다이오드"는 적은 양의 전압 강하 및 빠른 스위칭 능력을 지니

고 있다고 공지되어 있다. 쇼트키 장벽 다이오드는, 1974년 2월 5일자 Dobkin의 미합중국 특허 제3,790,817호에서 전반적으로 기술된 바와 같이 쇼트키 클램프형 트랜지스터를 형성하기 위하여 바이폴라 트랜지스터를 클램프시키는데 종종 사용된다. 폴리실리콘/금속 - 실리사이드의 공정단계를 사용하여 쇼트키 다이오드를 제조하는 종래의 방법은, 1990년 5월 13일자 Vora 등의 미합중국 특허 제4,908,679호에 기술된 바와 같이 상기 폴리실리콘을 도우핑하고 N - 형으로 도우핑된 폴리실리콘과 직접 금속을 접촉시키는 단계나, N - 도전을 형태의 에피택셜층과 직접 금속 또는 메탈 실리사이드를 접촉시키도록 폴리실리콘층내에 윈도우(window)를 개설하는 단계를 포함하였다. 그러한 선행방법은 상기와 같은 다이오드를 형성하는데 사용되는 많은 처리단계를 포함하는 것이 필요하였다. 예를 들면, 폴리실리콘층내에 윈도우를 개설하기 위하여는 마스크를 형성하여 에칭하는 단계가 이행되어야 한다. 더구나, 각각의 윈도우가 이 윈도우 영역에 부가하여 에지 또는 오버랩(over lap) 영역을 필요로하기 때문에 쇼트키 다이오드를 형성하는 선행방법은 집적회로 중에서 비교적 큰 표면적을 차지하였다.

또한, 폴리실리콘의 공정을 사용하여 형성된 선행의 쇼트키 다이오드에서는, 쇼트키 다이오드 접합이 증강된 확산에 의해 국부화된 영역을 야기시키는 영역에서 열화(劣化)되어서 종종 접합 스파이킹(spiking)의 결과를 초래한다는 것을 밝혀내었다.

따라서, 집적회로에서 비교적 작은 표면적을 차지하고, 보다 적은 공정 단계를 필요로하며, 폴리실리콘의 공정을 사용하여 집적회로내에 형성된 선행의 쇼트키 다이오드 디바이스에 비하여 용이하게 제조될 수 있는 쇼트키 다이오드를 제공할 필요성이 있다.

[발명의 요약]

개선된 쇼트키 다이오드 디바이스 및 이를 제조하는 단일 폴리실리콘 방법이 개시되어 있다. 본 발명은 선행의 쇼트키 다이오드 단점을 인지하고, 집적회로에서 비교적 작은 표면적을 사용하여 형성될 수 있으며 선행의 단일 폴리실리콘 공정에 의한 쇼트키 장벽 다이오드보다 적은 공정단계로 제조될 수 있는 쇼트키 다이오드를 제공한다. 그와같은 쇼트키 다이오드는 고성능 에미터 결합논리(ECL), 표준셀 설계품, 메모리 셀, 및 내장 메모리를 구비한 게이트 어레이 설계품등으로 사용될 수 있는 바이폴라 또는 BiCMOS 집적회로를 제조하는 동안 형성될 수 있다. 상기 쇼트키 다이오드는 쇼트키 클램프형 트랜지스터를 형성하도록 바이폴라 트랜지스터의 컬렉터 및 베이스와 효과적으로 병렬접속될 수 있다.

본 발명의 한 실시예에서는 기판에 활성 영역을 형성하는 단계, 상기 활성 영역의 상부표면에 인접하게 진성 폴리실리콘층을 형성하는 단계 및 상기 진성 폴리실리콘층의 상부표면에 인접하게 메탈 실리사이드(metal silicide) 층을 형성하는 단계를 포함한다. 상기 메탈 실리사이드는 쇼트키 다이오드의 애노드(anode)를 형성한다.

한 바람직한 실시예에서는, 상기 쇼트키 다이오드가 집적회로를 형성하기 위한 전체 공정의 일부분으로서 형성된다. 상기 전체 공정에 있어서, 기판에 활성 영역이 형성된 다음에 에피택셜 실리콘 성장, 산화물 분리 및 폴리실리콘 데포지션이 이행된다. 상기 폴리실리콘은 바이폴라 트랜지스터, 선택적으로는 MOS 트랜지스터, 웰 탭, 기판 탭 및 국부 상호 접속 부분을 형성하도록 주입되어 패턴된다. 상기 에피택셜층의 활성영역에 인접한 적어도 일부분의 폴리실리콘은 진성 폴리실리콘으로 유지된다. 산화물 스페이서(spacer)가 형성되고 선택적으로 베이스 접점으로 부터는 제거되며, 이 다음에는 고용점 또는 희귀금속 피복물이 모든 구조의 상부 및 측면에 데포지트된다. 상기 금속은 분리용 전계 산화물 및 스페이서를 제외한 모든 영역에 저 저항 실리사이드층을 형성하는 에피택셜 실리콘 및 하부에 놓인 폴리실리콘과 반응한다. 한 바람직한 실시예에서는, 쇼트키 다이오드의 애노드를 형성하는 메탈 실리사이드가 상기 폴리실리콘 베이스 접점의 상부 표면에 확장한다. 또한, 쇼트키 다이오드의 캐소드(cathod)를 형성하는 활성층은 상기 바이폴라 트랜지스터의 컬렉터로서 작용하므로, 상기 쇼트키 다이오드를 상기 바이폴라 트랜지스터의 베이스 및 컬렉터와 효과적으로 병렬접속시킨다.

상기 메탈 실리사이드 및 상기 활성층사이에 위치한 진성 폴리실리콘이 제거되지 않기 때문에, 본 발명에 따라 형성된 쇼트키 다이오드는 보다 적은 공정단계를 필요로하며 선행의 쇼트키 다이오드보다 작은 표면적을 차지한다. 상기 진성 폴리실리콘이 존재함으로 인해 상기 쇼트키 다이오드 접합이 열화되지 않거나 접합 스파이킹의 경향이 제거된다.

본 발명의 특징 및 잇점에 대한 보다 나은 이해는 나머지 명세서 부분 및 첨부된 도면을 참조하면 실현될 수 있다.

[본 발명의 바람직한 실시예에 대한 설명]

[전반적 설명]

제1도는 본 발명의 한 실시예에 따른 일부분의 집적회로를 단면도로 예시한 것이다. 그러한 디바이스는 쇼트키 다이오드(4)와 함께 형성된 바이폴라 트랜지스터(2)(이는 제1도에 도시된 실시예에서 NPN 트랜지스터임,) 및 쇼트키 장벽 다이오드(6)를 포함한다. 상기 디바이스는 단 결정체(10a) 및 에피택셜층(11)을 포함하는 것이 바람직한 기판(10)상에 제조된다. 제1도에 도시된 실시예에서는, 상기 기판(10)이 대략 1×10^{13} 내지 1×10^{15} 원자/cm²의 범위에 걸쳐 있는 도우펀트 농도를 지니는 P-기판이다.

상기 NPN 트랜지스터(2)는 두껍게 도우핑된 매몰층(16) 및 컬렉터 싱크(17)와 함께 제공되며, 이들 모두는 P-형 베이스(18) 하부에 있는 컬렉터(16a) 및 컬렉터 접점(20) 사이에 저 저항 접속 영역을 제공한다. 바람직한 실시예에 있어서, 상기 매몰층(16) 및 싱크(17)는 대략 1×10^{18} 내지 1×10^{20} 의 범위에 걸쳐있는 농도로 도우핑된다. 상기 베이스 영역(18) 및 상기 매몰층(16) 사이에 형성된 컬렉터(16a)는 보다 얇게 도우핑된 n-형이다. 에미터 영역(27a)은 에미터 접점(27)으로부터 하부에 놓인 에피택셜층(11)내로 확산된다. 본 기술에 통상의 지식을 지닌 자는 상기 에미터 접점(27)을 때론 "에미터"로서 언급한다는 점을 이해하여야 한다.

상기 쇼트키 장벽 다이오드(6)는 두껍게 도우핑된 활성영역(14) 및 SBD싱크(15)와 함께 제공되어 있으

며, 이들 모두는 SBD 캐소드(24) 및 SBD 캐소드 접점(36) 사이에 저 저항 접촉 영역을 제공한다. 바람직한 실시예에서는, 상기 활성 영역(14) 및 캐소드 싱크(15)는 상기 NPN 트랜지스터(2)의 매몰층 및 컬렉터 싱크(16, 17)와 유사하게 도우핑된다. 상기 캐소드 싱크(24)는 상기 매몰층(14) 및 싱크(15)보다도 얇게 도우핑된 N-형 도전을 영역이다. 가드링(guard ring)(28a, 28b)은 상기 쇼트키 다이오드의 캐소드부분의 에지를 따라 위치한 산화물로부터 초래될 수 있는 디바이스의 도통에 의한 트랩(trap) 충전 영향을 감소시키거나 제거하도록 제공된다. 상기 가드링(28a, 28b)은 도우핑된 폴리실리콘 영역(28a, 29b)으로부터 하부에 놓인 에피택셜 영역(11)내로 확산된다.

p+채널 정지 영역(19)은 얇게 도우핑된 기판의 표면 반전을 방지하도록 상기 NPN 트랜지스터 및 인접한 디바이스사이에 제공된다. 상기 트랜지스터 싱크(17) 및 상기 베이스(18) 사이, 상기 SBD 싱크(15) 및 상기 SBD 캐소드(24) 사이, 상기 NPN 트랜지스터(2) 및 인접한 구조사이, 그리고 상기 쇼트키 다이오드(6) 및 인접한 구조사이에는 디바이스 분리를 위해 산화물 분리 영역(22a, 22b, 22c, 22d, 22e, 22f)이 각각 제공된다. 상기 구조를 위에서 볼 때, 이들의 산화물 분리 영역은 활성 디바이스 영역주변에 환형 띠(annular band)를 형성하도록 상호간에 연결되어 있다.

상기 디바이스의 표면을 따라서는 p+베이스 접점(26, 26'), 에미터 접점(27), n+컬렉터 접점(20), SBD 캐소드 접점(36), 확산 소오스 영역(29a, 29b), 및 진성 폴리실리콘 영역(30, 32)을 형성하는 다결정 실리콘(폴리실리콘) 영역이 있다.

상기 p+바이폴라 트랜지스터 베이스 접점(26, 26') 상에는 고용범 메탈 실리사이드 접점(46, 46')이 형성되어 있다. 상기 실리사이드 접점은 상기 베이스 접점의 상부면 및 상기 베이스 접점의 측벽을 감싸고, 아울러 상기 베이스 접점의 측벽으로부터 에미터 접점(27)의 측벽 산화물(44a, 44b)에 이르기까지의 베이스 영역을 감싼다. 한 베이스 접점(26)에 대한 실리사이드 접점은 진성 폴리실리콘(30)의 상부 표면상에 확장되어 있다. 상기 측벽 스페이서 산화물 영역(44a, 44b) 사이에 존재하는 에미터(27)의 상부 표면을 따라 분리 실리사이드 접점(48)이 제공되어 있다. 제1도에 도시된 고용점 금속접점은 상기 베이스 접점의 저항율을 감소시키므로 상기 디바이스의 속도를 증가시킨다. 상기 진성 폴리실리콘 영역(30) 상에 확장되어 있는 실리사이드(47)의 일부분은 쇼트키 장벽 다이오드의 애노드로서 작용한다.

실리사이드 접점(50)은 SBD 캐소드 접점(36)의 상부표면상에 제공되어 있다. 상기 SBD의 진성 폴리실리콘(32) 및 확산 소오스 영역(29a, 29b)의 상부 표면상에 실리사이드층(52)이 제공되어 있다. 상기 메탈 실리사이드층(52)은 상기 쇼트키 장벽 다이오드(6)의 애노드로서 작용한다.

또한, 상기구조는 상호접속 목적으로 사용되는 금속층(58a, 58b, 58c)으로부터 하부에 놓인 구조를 분리시키기 위하여 두꺼운 (0.7 내지 1.5마이크론) 산화물층(56)을 포함한다. 또한, 제1도에 도시되지 않은 일면에서 금속의 상호접속은 상기 트랜지스터(2)의 베이스 접점(26, 26') 중 적어도 하나의 베이스 접점 및 에미터 접점(27)용으로 제공되는 것이 바람직하다.

BiCMOS 디바이스를 제조하는 순서

제2a도 내지 제2n도는 제1도에 도시된 집적회로를 제조하는 공정단계를 예시한 것이다. 이를 세분화하여 기술하면, 제2a도는 맨 처음 제조단계의 단면도를 예시한 것이다. 이러한 단계에 이르기 위하여는, 단결정체(10a)는 비소 또는 안티몬등으로 매몰층(16, 14)을 동시에 형성하도록 마스크되었다. 상기 영역(14, 16)을 형성하기 위해 사용되는 주입 에너지는 영역(14, 16)의 도우펀트 농도가 대략 1×10^{18} 내지 1×10^{20} 사이의 범위에 존재할 정도로 대략 50 내지 100KeV사이의 범위에 있는 것이 바람직하다.

상기 n+영역(14, 16)을 형성한 다음에는, p+채널 정지 영역(19)을 형성하기 위하여 상기 디바이스가 마스크된다. 상기 영역(19)을 형성하는데 사용되는 주입 에너지는 상기 p+매몰층의 도우펀트 농도가 대략 1×10^{17} 내지 1×10^{18} 사이의 범위에 있을 정도로 대략 100 내지 180KeV 사이의 범위에 존재하는 것이 바람직하다.

그리고 나서, 상기 채널 정지 마스크를 제거하고 상기 단결정체(10a)의 표면 전체에, 대략 1 내지 1.2마이크론, 바람직하게 대략 1.1마이크론의 두께를 지니는 진성 n-형 에피택셜층(11)이 성장되게 한다. 그 다음에는 상기 디바이스상에 포토레지스트 마스크를 형성하여 산화물 영역(22a, 22b, 22c, 22d, 22e, 22f)이 한정되게 한다. 상기 산화물 영역은 변형된 "측벽 마스크 분리(sidewall masked isolation 이하 "SWAMI"라 한다.)" 공정을 사용하여 형성된다. 상기 SWAMI 공정은 예컨대 Chin 등의 IEEE Transactions on Electron Devices, vol. ED-29 No. April 1982, PP. 536 - 540에 기술되어 있다. 어떤 실시예에서는, 상기 공정이 참고 사항으로 합체되는 계류중인 출원 제502,943호(대리인 서류 제8332 - 237호)에 기술된 바와 같이 변형된다.

그후, 상기 디바이스 표면상에 대략 250Å의 두께를 지닌 성장된 차폐 산화물층을 형성하고 마스크를 형성하여 싱크 영역(15, 17)만이 노출되게 한다. 도우펀트로서 인을 사용할 경우 대략 100 내지 180KeV 사이의 주입에너지를 사용하여 싱크영역을 주입하는 것이 바람직하다. 그 결과로 생성된 싱크영역(15, 17)의 도우펀트 농도는 대략 1×10^{18} 내지 1×10^{20} 사이의 범위에 존재한다. 그리고 나서, 상기 싱크영역 및 n-웰은 종래방식인 질소 분위기에서의 열순환 방법에 따라 가열함으로써 어닐(anneal) 처리되고 드라이브인(drive-in) 된다.

제2b도는 다음의 공정단계 순서를 예시한 것이다. 상기 디바이스 표면 전반에 걸쳐 대략 3500Å의 두께를 지닌 진성 폴리실리콘층(64)이 데포지트되고 상기 폴리실리콘층(64)의 열산화처리에 의하여 캡(cap) 산화물층(66)이 형성된다. 그 다음에는, 포토레지스트(65)를 사용하여 상기 디바이스를 마스크하여 적어도 바이폴라 트랜지스터의 베이스 영역이 노출되게 한다. 그후, 베이스 주입(67)이 이행된 다음에 어닐 단계가 이행된다. 바람직한 실시예에서는, 상기 베이스 주입(67)은 대략 30 내지 100KeV 사이의 에너지를 사용한다. 어닐 단계 이전에는, 폴리 실리콘이 대략 1×10^{17} 내지 1×10^{19} 사이의 정미(正味)도우펀트 농도를 지니며 이러한 도우펀트 일부가 어닐 처리되는 동안 베이스 영역(제2c도)으로 확산된다. 바

람직한 실시예에서는, 상기 구조를 900 - 1000℃로 20 내지 60분동안 가열함으로써 상기 어닐처리를 이행하여 대략 1×10^{17} 내지 1×10^{19} 사이의 범위에 있는 도우펀트 농도, 바람직하게는 대략 1×10^{18} 의 도우펀트 농도를 지니며 대략 1000 내지 4000 사이의 두께를 지니는 p-베이스 영역이 생성된다.

그후, 마스크(도시되지 않음)를 형성하여 결국에는 베이스 접점(26, 26') 및 SBD가드링 확산 소오스(29a, 29b)가 될 영역(70a, 70b, 70c, 70d)(제2c도)이 노출되게 한다. 상기 영역(70a, 70b, 70c, 70d)은 붕소를 사용할 경우 대략 1×10^{17} 내지 1×10^{20} 사이의 범위에 있는 도우펀트 농도. 바람직하게는 대략 1×10^{19} 의 도우펀트 농도로 도우핑된 p+이다. 상기 p+ 마스크를 제거하고 또 다른 마스크(도시되지 않음)를 상기 디바이스 표면상에 형성하여 결국에는 바이폴라 에미터 접점(27), 바이폴라 콜렉터 접점(20), 및 SBD캐소드 접점(36)으로서 사용되는 영역(68a, 68b, 68c)이 노출되게 한다. 상기 영역(68)은 비소를 사용할 경우 대략 100KeV의 주입에너지 및 대략 1×10^{18} 내지 1×10^{20} 사이의 범위에 걸쳐있는 도우펀트 농도, 바람직하게는 대략 1×10^{19} 내지 1×10^{20} 사이의 범위에 걸쳐있는 도우펀트 농도를 사용하여 도우핑된 n+이다. 이러한 절차동안, 영역(69a, 69b)이 마스크된 상태로 되어, 지성 폴리실리콘 영역(30, 32)을 형성하도록 그 하부에 놓인 폴리실리콘영역이 진성상태로 된다.

제2d도에서는, 이후의 주입이 에미터를 통과하는 것을 방지하기 위하여 대략 1000 내지 1500 Å 사이의 두께를 지닌 질화물층(69)이 데포지트된다. 그 다음에는, 850 내지 950℃ 온도로 대략 10 내지 20 분 동안 어닐처리가 이행된다.

그러한, 연후에, 상기 질화물 표면상에 마스크 (도시되지않음)를 형성하여 바이폴라 트랜지스터의 베이스, 에미터 및 콜렉터 접점. 그리고 진성 폴리실리콘 영역, 가드링 소오스 영역, 및 쇼트키 다이오드의 캐소드 접점이 한정되게 된다.

제e도에는 염소나 브롬 화학작용에 따른 건식 에칭이 이행되는 다음의 구조가 도시되어 있다. 제2f도에 예시된 바와같이 상기 바이폴라 트랜지스터의 표면 전반에 걸쳐서 BF_2 나 B+와 같은 도우펀트를 사용하여 P-형으로 얇게 도우핑되게 하는 주입(71)이 이행되고 상기 바이폴라 트랜지스터의 외인성 베이스 영역만이 마스크에 의해 노출된다. 상기 바이폴라 트랜지스터의 외인성 베이스내에는 보다 두껍게 도우핑된 p-영역(74)이 형성된다. 그러한 영역(74)에서 생성된 정미 도우펀트 농도는 대략 1×10^{17} 내지 1×10^{20} 사이의 범위에 있으며 바람직하게는 대략 1×10^{19} 이다. 또한, 그 주입에너지는 대략 10 내지 50KeV 사이의 범위에 있는것이 바람직하다. B+가 도우펀트로서 사용되는 경우, 보다 낮은 주입에너지의 범위가 사용된다.

캡 산화처리는 질화물을 벗겨내는 동안 두껍게 도우핑된 실리콘 영역을 보호하기 위하여 이행된다. 그 다음에는 상기 디바이스의 표면으로 부터 질화물을 벗겨내고 저온 산화물 (low temperature oxide; 이하 "LTO"라 한다)이 데포지트되게 한다. 그러한 연후에는, 본 기술에 통상의 지식을 지닌자에게 공지된 수단을 사용하여 상기 산화물을 다시 에칭하면 제2g도에 도시된 바와같이 에미터 접점(27), 베이스 접점(26, 26'), 콜렉터 접점(20), 확산 소오스 영역(20a, 29b) 및 SBD 캐소드 접점(36)의 노출된 측면상에 스페이서 산화물(76a-76k)이 남게된다. 다음에는, 적어도

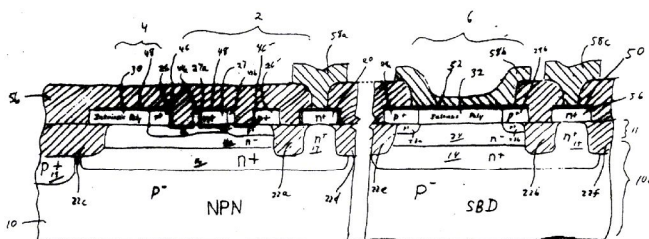
(57) 청구의 범위

청구항 1

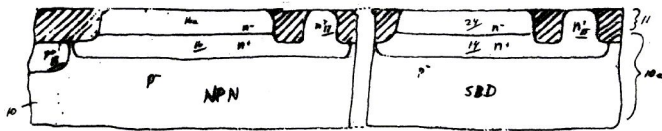
상부 표면을 지니는 n-형으로 도우핑된 실리콘층, 상기 n-형으로 도우핑된 실리콘층의 상부 표면에 인접하며 상부 표면을 지니는 진성 폴리실리콘층, 상기 진성 폴리실리콘층의 상부표면에 인접한 메탈 실리콘사이드(metalsilicide)층, 상기 n형으로 도우핑된 실리콘층에 전기 접속부분을 제공하는 제1접촉수단을 포함하는 쇼트키 장벽 다이오드.

도면

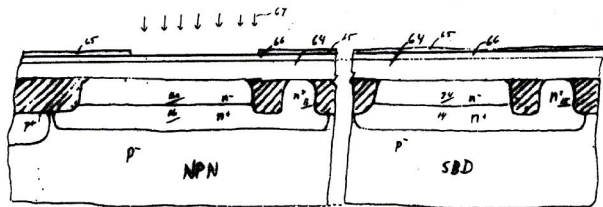
도면1



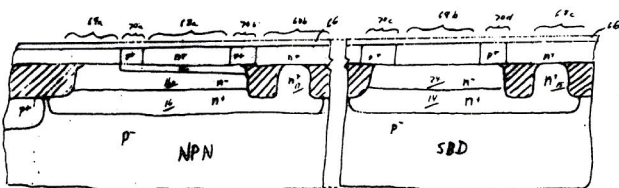
도면2a



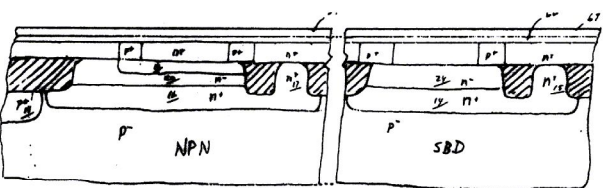
도면2b



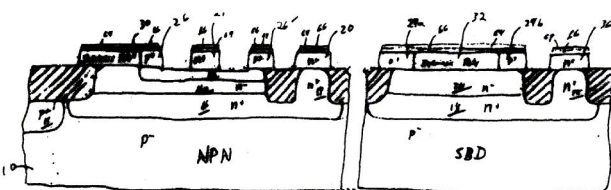
도면2c



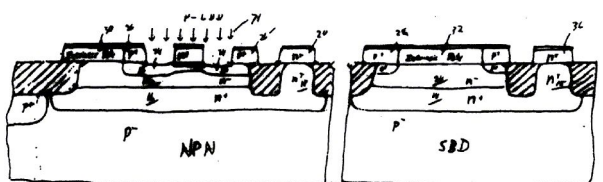
도면2d



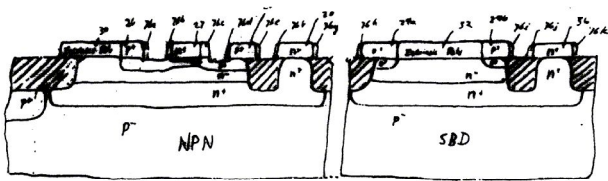
도면2e



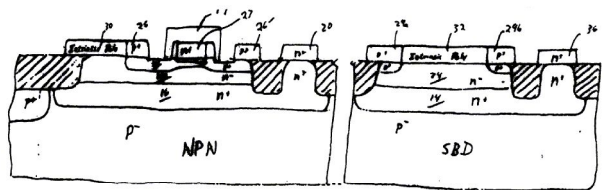
도면2f



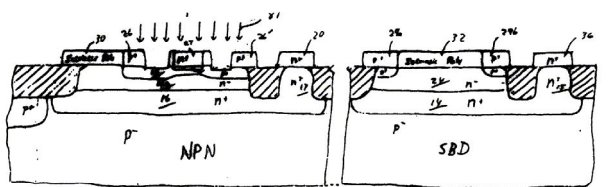
도면2g



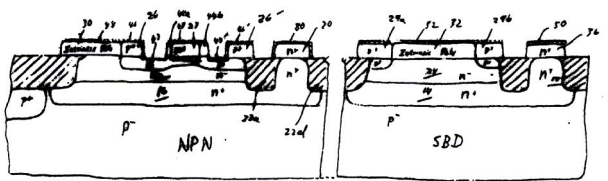
도면2h



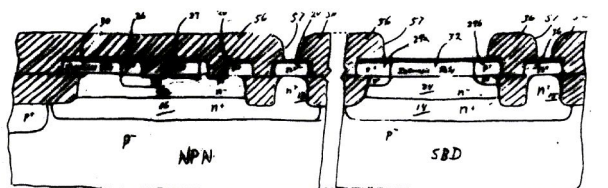
도면2i



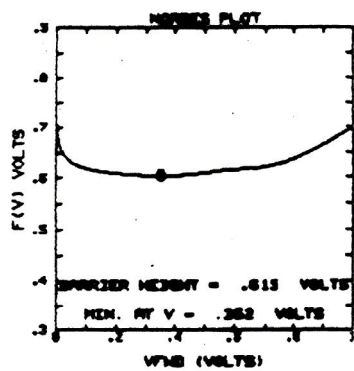
도면2j



도면2k



도면3



도면4

