



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

253751

(11) (B1)

(51) Int. Cl.⁴

G 06 G 7/10

(22) Přihlášeno 24 09 83

(21) PV 6948-83

(40) Zveřejněno 18 06 84

(45) Vydáno 15 06 88

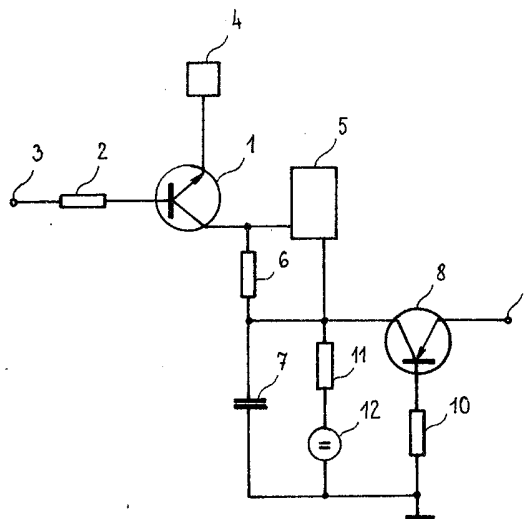
(75)

Autor vynálezu

VIŠINKA JAN ing., BRNO

(54) Obvod zálohování napájení paměti s libovolným výběrem a ochrany dat

Řešení se týká obvodu zálohování napájení paměti s libovolným výběrem a ochrany dat. Podstata řešení spočívá v zapojení tranzistoru mezi vstup napájení obvodu a napájecí vstup paměti s libovolným výběrem a zapojení odporu mezi zdroj záložního napětí a napájecí vstup paměti s libovolným výběrem. Řešení je možno s výhodou využít při konstrukci mikropočítačových systémů pro přímé řízení technologických procesů, textilních strojů, ochran a podobných zařízení.



Vynález se týká obvodu zálohování napájení paměti s libovolným výběrem a ochrany dat.

Obvody zálohování napájení paměti s libovolným výběrem a ochrany dat podle současného stavu techniky jsou konstruovány tak, že záložní napětí a systémové napětí je odděleno polovodičovou diodou, zapojenou v propustném směru od systémového napětí k napětí záložnímu a napájecí vstup paměti s libovolným výběrem CMOS je od záložního napětí oddělen jinou polovodičovou diodou, zapojenou v propustném směru od zdroje záložního napětí k napájecímu vstupu paměti.

Nevýhodou tohoto zapojení je, že úbytek napětí na polovodičové diodě činí přibližně 0,7 V, takže napájecí napětí na napájecím vstupu paměti se dostává mimo výrobcem paměti povolenou toleranci, která je v rozmezí od 4,75 V do 5,25 V. Tím se ztrácí záruka výrobce, že paměť bude pracovat bezchybně. Podobný úbytek napětí na druhé diodě má za následek vyšší zatížení zdroje záložního napětí a jeho dřívější vybití.

Uvedené nevýhody do značné míry odstraňuje zapojení obvodu zálohování napájení paměti s libovolným výběrem a ochrany dat podle vynálezu, jehož podstatou je, že je tvořen prvním tranzistorem, který je spojen svou bází přes první rezistor se vstupem nulování, svým emitorem s výstupem adresového dekódéru a svým kolektorem se vstupem výběru paměti s libovolným výběrem CMOS a s prvním vývodem druhého rezistoru, který je svým druhým vývodem spojen přes kondenzátor se zemí a přímo se vstupem napájení paměti s libovolným výběrem CMOS a s kolektorem druhého tranzistoru, který je spojen svým emitorem se vstupem napájecího napětí a svou bází přes třetí rezistor se zemí, přičemž kolektor druhého tranzistoru je přes čtvrtý rezistor spojen s kladným pólem zdroje záložního napětí, jehož záporný pól je uzemněn.

Výhody zapojení podle vynálezu spočívají v tom, že úbytek napětí na tranzistoru, který je zapojen mezi systémové napětí a záložní napětí činí přibližně 0,1 V, takže napětí, přicházející na napájecí vstup paměti zůstává ve výrobcem paměti požadované toleranci. Rovněž na odporu, zapojeném mezi zdrojem záložního napětí a napájecím vstupem paměti, vzniká v důsledku velmi malého odběru proudu ze zdroje záložního napětí jen nepatrný úbytek napětí.

Vynález bude dále blíže popsán podle přiloženého výkresu, na kterém je znázorněno schéma zapojení obvodu zálohování napájení paměti s libovolným výběrem CMOS a ochrany dat podle vynálezu.

Obvod zálohování napájení paměti s libovolným výběrem CMOS a ochrany dat je tvořen prvním tranzistorem 1, který je spojen svou bází přes první rezistor 2 se vstupem 3 nulování, svým emitorem s výstupem adresového dekódéru 4 a svým kolektorem se vstupem výběru paměti 5 s libovolným výběrem CMOS a s prvním vývodem druhého rezistoru 6. Druhý vývod druhého rezistoru 6 je spojen přes kondenzátor 7 se zemí a přímo se vstupem napájení paměti 5 s libovolným výběrem CMOS a s kolektorem druhého tranzistoru 8, který je spojen svým emitorem se vstupem 9 napájecího napětí a svou bází přes třetí rezistor 10 se zemí. Kolektor druhého tranzistoru 8 je přes čtvrtý rezistor 11 spojen s kladným pólem zdroje 12 záložního napětí, například akumulátoru, jehož záporný pól je uzemněn.

V činnosti při výpadku napájecího napětí poklesne napětí na vstupu 3 nulování a na vstupu 9 napájecího napětí na nulu. V důsledku toho se stanou první tranzistor 1 i druhý tranzistor 8 nevodivými a odpojí paměť 5 s libovolným výběrem CMOS od adresového dekódéru 4, vstupu 3 nulování a vstupu 9 napájecího napětí.

Paměť 5 s libovolným výběrem CMOS je tak přes čtvrtý rezistor 11 napájena ze zdroje 12 záložního napětí. Při příchodu napájecího napětí na vstup 3 nulování a vstup 9 napájení je paměť 5 s libovolným výběrem CMOS napájena přes druhý tranzistor 8 ze vstupu 9 napájecího napětí.

Obvod zálohování napájení paměti s libovolným výběrem a ochrany dat podle vynálezu je

s výhodou možno využít v mikropočítačových systémech pro přímé řízení technologických procesů, textilních strojů, ochranná podobných zařízení.

P Ř E D M Ě T V Y N Á L E Z U

Obvod zálohování napájení pamětí s libovolným výběrem a ochrany dat, vyznačující se tím, že je tvořen prvním tranzistorem (1), který je spojen svou bází přes první rezistor (2) se vstupem (3) nulování, svým emitorem s výstupem adresového dekóderu (4) a svým kolektorem se vstupem výběru paměti (5) s libovolným výběrem a s prvním vývodem druhého rezistoru (6), který je svým druhým vývodem spojen přes kondenzátor (7) se zemí a přímo se vstupem napájení paměti (5) s libovolným výběrem a s kolektorem druhého tranzistoru (8), který je spojen svým emitorem se vstupem (9) napájecího napětí a svou bází přes třetí rezistor (10) se zemí, přičemž kolektor druhého tranzistoru (8) je přes čtvrtý rezistor (11) spojen s kladným pólem zdroje (12) záložního napětí, jehož záporný pól je uzemněn.

1 výkres

253751

