(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 104064473 B
(45)授权公告日 2017.04.12

(21)申请号 201410329040.0

(22)申请日 2009.12.23

(65)同一申请的已公布的文献号
申请公布号 CN 104064473 A

(43)申请公布日 2014.09.24

(30)优先权数据
2008-327998 2008.12.24 JP

(62)分案原申请数据
200910262579.8 2009.12.23

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 小山润 坂田淳一郎 丸山哲纪
井本裕己 浅野裕治 肥塚纯一

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 侯颖媖

(51)Int.Cl.
H01L 21/336(2006.01)
H01L 21/77(2006.01)
H01L 21/3105(2006.01)

(56)对比文件
US 2006108636 A1,2006.05.25,
US 2006170067 A1,2006.08.03,
JP 2007115808 A,2007.05.10,
US 2007187760 A1,2007.08.16,
WO 2008133345 A1,2008.11.06,
CN 101325202 A,2008.12.17,
US 2008291350 A1,2008.11.27,

审查员 杨凯

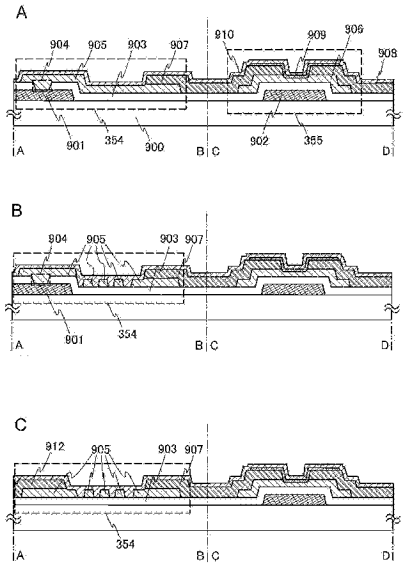
权利要求书3页 说明书34页 附图23页

(54)发明名称

制造半导体装置的方法

(57)摘要

本发明涉及制造半导体装置的方法，其中提供一种利用使用被电特性控制的氧化物半导体层而制造的电阻元件及薄膜晶体管的驱动电路、以及利用该驱动电路的半导体装置。在用作电阻元件(354)的氧化物半导体层(905)上直接接触地设置利用使用含有硅烷(SiH4)以及氨(NH3)等的氢化合物的气体的等离子体CVD法而形成的氮化硅层(910)，并且在用作薄膜晶体管(355)的氧化物半导体层(906)上隔着用作阻挡层的氧化硅层(909)地设置氮化硅层(910)。因此，对氧化物半导体层(905)引入比氧化物半导体层(906)更高浓度的氢。其结果，用作电阻元件(354)的氧化物半导体层(905)的电阻值低于用作薄膜晶体管(355)的氧化物半导体层(906)的电阻值。



CN 104064473 B

1.一种用于制造半导体装置的方法,包括以下步骤:

通过使用包括铟、镓、锌和氧的靶材的溅射方法来形成氧化物半导体膜;

蚀刻所述氧化物半导体膜以形成第一氧化物半导体膜和第二氧化物半导体膜;

在所述第一氧化物半导体膜和所述第二氧化物半导体膜之上形成包括氧化硅的第一绝缘膜;

蚀刻所述第一绝缘膜;

在所述第一绝缘膜上形成包括氮化硅的第二绝缘膜;

在形成所述第二绝缘膜的步骤之后执行热处理,

其中,所述第一绝缘膜包括重叠于所述第二氧化物半导体膜的区域,

其中,所述第一氧化物半导体膜包括不重叠于所述第一绝缘膜的区域,且

其中,所述第二绝缘膜与所述第一氧化物半导体膜相接触。

2.一种用于制造半导体装置的方法,包括以下步骤:

通过使用包括铟、镓、锌和氧的靶材的溅射方法来形成氧化物半导体膜;

蚀刻所述氧化物半导体膜以形成第一氧化物半导体膜和第二氧化物半导体膜;

在所述第一氧化物半导体膜和所述第二氧化物半导体膜之上形成包括氮化硅的绝缘膜;

在形成所述绝缘膜的步骤之后执行热处理,

其中,所述绝缘膜包括与所述第一氧化物半导体膜相接触的区域,且

其中,所述绝缘膜不与所述第二氧化物半导体膜接触。

3.一种用于制造半导体装置的方法,包括以下步骤:

通过使用包括铟、镓、锌和氧的靶材的溅射方法来形成氧化物半导体膜;

在所述氧化物半导体膜的第一区域上形成包括氧化硅的第一绝缘膜;

在所述第一绝缘膜上形成包括氮化硅的第二绝缘膜,使得所述第二绝缘膜重叠于所述氧化物半导体膜的第二区域;

其中,所述第二区域的电阻低于所述第一区域的电阻。

4.一种用于制造半导体装置的方法,包括以下步骤:

通过使用包括铟、镓、锌和氧的靶材的溅射方法来形成氧化物半导体膜;

在所述氧化物半导体膜的第一区域上形成包括氧化硅的第一绝缘膜;

在所述第一绝缘膜上形成包括氮化硅的第二绝缘膜,使得所述第二绝缘膜重叠于所述氧化物半导体膜的第二区域,

其中,所述第二区域的氢浓度高于所述第一区域的氢浓度。

5.一种用于制造半导体装置的方法,所述半导体装置包括晶体管和连接于该晶体管的无源元件,所述方法包括以下步骤:

在基板上形成氧化物半导体层;

蚀刻所述氧化物半导体层的部分以形成用于所述晶体管的第一层和用于所述无源元件的第二层;

在所述第一层和所述第二层上形成与该第一层和该第二层相接触的氧化物绝缘层;

蚀刻所述氧化物绝缘层的部分以暴露所述第二层的至少一部分;以及

在所述氧化物绝缘层上形成与该氧化物绝缘层相接触的氮化物绝缘层,

其中，所述氮化物绝缘层接触所述第二层的暴露部分，使得包含在所述氮化物绝缘层中的氢被引入所述暴露部分且该暴露部分的电阻被降低。

6.一种用于制造半导体装置的方法，所述半导体装置包括晶体管和连接于该晶体管的无源元件，所述方法包括以下步骤：

在基板上形成氧化物半导体层，该氧化物半导体层包括用于所述晶体管的第一区域和用于所述无源元件的第二区域；

在所述第一区域和所述第二区域上形成与该第一区域和该第二区域相接触的氧化物绝缘层；

蚀刻所述氧化物绝缘层的部分以暴露所述第二区域的至少一部分；以及

在所述氧化物绝缘层上形成与该氧化物绝缘层相接触的氮化物绝缘层，

其中，所述氮化物绝缘层接触所述第二区域的暴露部分，使得包含在所述氮化物绝缘层中的氢被引入所述暴露部分且该暴露部分的电阻被降低。

7.一种用于制造半导体装置的方法，所述半导体装置包括晶体管和连接于该晶体管的无源元件，所述方法包括以下步骤：

在基板上形成栅电极；

在所述栅电极上形成栅绝缘膜；

在所述栅绝缘膜上形成氧化物半导体层；

蚀刻所述氧化物半导体层的部分以形成用于所述晶体管的第一层和用于所述无源元件的第二层，其中所述第一层重叠于所述栅电极；

形成源电极和连接于所述第一层的漏电极；

在所述第一层、所述源电极和所述漏电极以及所述第二层上形成与该第一层、该源电极和漏电极以及该第二层相接触的氧化物绝缘层；

蚀刻所述氧化物绝缘层的部分以暴露所述第二层的至少一部分；

在所述氧化物绝缘层上形成与该氧化物绝缘层相接触的氮化物绝缘层；以及

形成连接于所述半导体装置的像素电极，

其中，所述氮化物绝缘层接触所述第二层的暴露部分，使得包含在所述氮化物绝缘层中的氢被引入所述暴露部分且该暴露部分的电阻被降低。

8.一种用于制造半导体装置的方法，所述半导体装置包括晶体管和连接于该晶体管的无源元件，所述方法包括以下步骤：

在基板上形成栅电极；

在所述栅电极上形成栅绝缘膜；

在所述栅绝缘膜上形成包括第一区域和第二区域的氧化物半导体层，所述第一区域用于所述晶体管，所述第二区域用于所述无源元件，其中所述第一区域重叠于所述栅电极；

形成源电极和连接于所述第一区域的漏电极；

在所述第一区域、所述源电极和所述漏电极以及所述第二区域上形成与该第一区域、该源电极和漏电极以及该第二区域相接触的氧化物绝缘层；

蚀刻所述氧化物绝缘层的部分以暴露所述第二区域的至少一部分；

在所述氧化物绝缘层上形成与该氧化物绝缘层相接触的氮化物绝缘层；以及

形成连接于所述半导体装置的像素电极，

其中，所述氮化物绝缘层接触所述第二区域的暴露部分，使得包含在所述氮化物绝缘层中的氢被引入所述暴露部分且该暴露部分的电阻被降低。

9.如权利要求5、6、7和8中任一权利要求所述的方法，其特征在于，所述氮化物绝缘层是通过等离子体CVD法形成的氮化硅层。

10.如权利要求5、6、7和8中任一权利要求所述的方法，其特征在于，所述无源元件是电阻元件。

11.如权利要求5、6、7和8中任一权利要求所述的方法，其特征在于，所述氧化物半导体层包括铟和锌。

12.如权利要求5、6、7和8中任一权利要求所述的方法，其特征在于，所述半导体装置是显示装置。

制造半导体装置的方法

[0001] 本申请是申请日为“2009年12月23日”、申请号为“200910262579.8”、题为“逻辑电路及半导体装置”的分案申请。

技术领域

[0002] 本发明涉及一种由使用呈现半导体特性的金属氧化物形成的元件构成的驱动电路、以及利用该驱动电路的半导体装置。其中，半导体装置指的是能够通过利用半导体特性而动作的所有装置，因此显示装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0003] 金属氧化物的种类繁多且用途广。氧化铟作为较普遍的材料被用于液晶显示器等中所需要的透明电极材料。

[0004] 在金属氧化物中存在呈现半导体特性的金属氧化物。呈现半导体特性的金属氧化物是化合物半导体的一种。化合物半导体是指2种以上的原子可以结合而形成的半导体。通常，金属氧化物为绝缘体。但是，也存在根据金属氧化物的构成元素的组合而为半导体的情况。

[0005] 例如，已知在金属氧化物中，氧化钨、氧化锡、氧化铟、氧化锌等呈现半导体特性。并且，将由这种金属氧化物构成的透明半导体层用作沟道形成区的薄膜晶体管已被公开(专利文献1至4、非专利文献1)。

[0006] 但是，已知金属氧化物不仅有一元氧化物而且还有多元氧化物。例如，属于同系物(homologous series)的$InGaO_3(ZnO)_m$(m:自然数)为公知的材料(非专利文献2至4)。

[0007] 并且，已经确认可以将上述那样的In-Ga-Zn类氧化物用于薄膜晶体管的沟道形成区(专利文献5、非专利文献5以及6)。

[0008] 专利文献1:日本专利公开昭60-198861号公报

[0009] 专利文献2:日本专利公开平8-264794号公报

[0010] 专利文献3:日本PCT国际申请翻译平11-505377号公报

[0011] 专利文献4:日本专利公开2000-150900号公报

[0012] 专利文献5:日本专利申请公开2004-103957号公报

[0013] 非专利文献1:M.W.Prins,K.O.Grosse-Holz,G.Muller,J.F.M.Cillessen,J.B.Giesbers,R.P.Weening,and R.M.Wolf、「A ferroelectric transparent thin-film transistor」、Appl.Phys.Lett.、17June1996、Vol.68p.3650-3652

[0014] 非专利文献2:M.Nakamura,N.Kimizuka,and T.Mohri、「The Phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at1350℃」、J.Solid State Chem.、1991、Vol.93,p.298-315

[0015] 非专利文献3:N.Kimizuka,M.Isobe,and M.Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds,$In_2O_3(ZnO)_m$(m=3,4,and5),$InGaO_3(ZnO)_3$,and $Ga_2O_3(ZnO)_m$(m=7,8,9,and16)in the In_2O_3-$ZnGa_2O_4$-ZnO System」、J.Solid State

Chem.、1995、Vol.116,p.170-178

[0016] 非专利文献4:中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、$InFeO_3(ZnO)_m$(m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol.28、No.5、p.317-327

[0017] 非专利文献5:K.Nomura,H.Ohta,K.Ueda,T.Kamiya,M.Hirano,and H.Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol.300、p.1269-1272

[0018] 非专利文献6:K.Nomura,H.Ohta,A.Takagi,T.Kamiya,M.Hirano,and H.Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol.432p.488-492

发明内容

[0019] 正在研讨将利用呈现半导体特性的金属氧化物(以下,也称为氧化物半导体)的薄膜晶体管应用于有源矩阵型显示装置(液晶显示器、电致发光显示器或电子纸等)。有源矩阵型显示装置包括被配置为矩阵状的数十万至数百万的像素以及向像素输入脉冲信号的驱动电路。

[0020] 在有源矩阵型显示装置中,薄膜晶体管被设置在各个像素中,并用作根据从驱动电路输入的脉冲信号进行导通、截止的切换的开关元件,从而实现图像的显示。另外,薄膜晶体管还用作构成驱动电路的元件。

[0021] 用来驱动像素部的驱动电路包括如薄膜晶体管、电容元件、电阻元件等元件。

[0022] 本发明的一个方式的目的之一在于提供一种由使用氧化物半导体制造的有源元件及无源元件构成的驱动电路以及具有该驱动电路的半导体装置。

[0023] 本发明的一个方式包括增强型薄膜晶体管以及电阻元件。薄膜晶体管以及电阻元件使用氧化物半导体层形成。并且,将用于薄膜晶体管的氧化物半导体层的氢浓度设定为低于用于电阻元件的氧化物半导体层的氢浓度。由此,用于电阻元件的氧化物半导体层的电阻值低于用于薄膜晶体管的氧化物半导体层的电阻值。

[0024] 本发明的一个方式包括使用氧化物半导体层形成的薄膜晶体管以及电阻元件,并且在用于电阻元件的氧化物半导体层上直接接触地设置通过使用含有硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法而形成的氮化硅层,并且在用于薄膜晶体管的氧化物半导体层上隔着用作阻挡层的氧化硅层地设置所述氮化硅层。因此,对用于电阻元件的氧化物半导体层中引入比用于薄膜晶体管的氧化物半导体层更高浓度的氢。其结果,用于电阻元件的氧化物半导体层的电阻值低于用于薄膜晶体管的氧化物半导体层的电阻值。

[0025] 即,本发明的一个方式为驱动电路,该驱动电路包括:将第一氧化物半导体层用作电阻成分的电阻元件;将氢浓度比第一氧化物半导体层的氢浓度低的第二氧化物半导体层用作沟道形成区的薄膜晶体管;设置在第二氧化物半导体层上的氧化硅层;以及设置在第一氧化物半导体层以及所述氧化硅层上的氮化硅层。

[0026] 再者,本发明的一个方式采用如下结构:在用作电阻元件的电阻成分以及薄膜晶体管的沟道形成区的氧化物半导体层与作为导电体的布线之间设置被低电阻化了的氧化

物半导体层。

[0027] 即，本发明的一个方式为驱动电路，该驱动电路在上述结构中包括：接触于电阻元件的一方的端子或另一方的端子以及所述第一氧化物半导体层的第三氧化物半导体层；接触于薄膜晶体管的第一端子以及第二氧化物半导体层的第四氧化物半导体层；以及接触于薄膜晶体管的第二端子以及第二氧化物半导体层的第五氧化物半导体层，其中第三氧化物半导体层至第五氧化物半导体层的电阻值比第二氧化物半导体层的电阻值低。

[0028] 另外，本发明的一个方式包括使用含有高浓度的氮的氧化物半导体层形成的电阻元件以及薄膜晶体管。另外，在薄膜晶体管上设置用作阻挡层的氧化硅层。在该阶段中，在包含成为氢原子的供给源的物质的气氛下进行200℃至600℃的热处理，典型的是250℃至500℃的热处理。由于氧化物半导体层中的氮可以在防止构成氧化物半导体层的原子在膜中被填充得过密，并且可以促进氢向膜中的扩散、固溶(solid dissolution)，所以通过该热处理，对用于电阻元件的含有高浓度的氮的氧化物半导体层中引入比用于薄膜晶体管的氧化物半导体层更高浓度的氢。其结果，用于电阻元件的含有高浓度的氮的氧化物半导体层的电阻值低于用于薄膜晶体管的含有高浓度的氮的氧化物半导体层的电阻值。

[0029] 即，本发明的一个方式为驱动电路，该驱动电路包括：将含有高浓度的氮的第一氧化物半导体层用于电阻成分的电阻元件；以及将比第一氧化物半导体层氢浓度低并含有高浓度的氮的第二氧化物半导体层用于沟道形成区的薄膜晶体管。

[0030] 另外，含有高浓度的氮的氧化物半导体层是指氮(N)与氧(O)的比率(N/O)为0.05以上且0.8以下的范围，优选为0.1以上0.5以下的氧化物半导体层。

[0031] 再者，本发明的一个方式采用如下结构：在用于电阻元件的含有高浓度的氮的氧化物半导体层上直接接触地设置通过使用含有硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法而形成的氮化硅层。

[0032] 即，本发明的一个方式为驱动电路，该驱动电路在上述结构中包括：设置在第二氧化物半导体层上的氧化硅层；以及设置在第一氧化物半导体层以及氧化硅层上的氮化硅层。

[0033] 另外，在本文件(说明书、权利要求书或附图等)中，“膜”是指形成在整个基板表面上的物体，虽然其根据之后进行的光刻工序等被加工为所希望的形状，但这里指的是加工前的状态。并且，“层”是指从“膜”通过光刻工序等加工形成为所希望的形状的物体，或者以形成在整个基板表面为目的的物体。

[0034] 另外，在本文件(说明书、权利要求书或附图等)中，A与B连接，除了指A与B直接连接的情况外，也指电连接的情况。这里，A与B电连接是指当A与B之间存在具有某种电作用的对象物时，通过该对象物，A与B大致成为同一节点的情况。

[0035] 具体是指，当考虑到电路动作时A与B可以被认为是同一节点的情况，例如，通过晶体管之类的开关元件A与B连接，而通过该开关元件的导通A与B大致成为同电位的情况；通过电阻元件A与B连接，该电阻元件的两端所产生的电位差为不影响包括A和B的电路的动作的程度的情况；等等。

[0036] 另外，由于薄膜晶体管的源极端子及漏极端子根据薄膜晶体管的结构或动作条件等而改变，所以很难特定哪个端子为源极端子或漏极端子。藉此，在本文件(说明书、权利要求书或附图等)中，将源极端子及漏极端子的一方记为第一端子，而将源极端子及漏极端子

的另一方记为第二端子来进行区分。

[0037] 根据本发明的一个方式，可以使用作电阻元件的电阻成分的氧化物半导体层的氢浓度高于用作薄膜晶体管的沟道形成区的氧化物半导体层的氢浓度。因此，可以选择性地降低氧化物半导体层的电阻值。由此，不需要另行进行薄膜晶体管的制造工序以及电阻元件的制造工序，从而可以提供制造步骤得到缩减的驱动电路以及具有该驱动电路的半导体装置。

附图说明

[0038] 图1是示出半导体装置的一个结构例的图；

[0039] 图2是示出驱动电路的一个结构例的框图；

[0040] 图3A和3B是示出驱动电路的一个结构例的电路图；

[0041] 图4是示出驱动电路的时序图的一个例子的图；

[0042] 图5A至5C是示出驱动电路的一个结构例的电路图；

[0043] 图6A至6C是示出驱动电路的一个结构例的电路图；

[0044] 图7是示出驱动电路的一个结构例的框图；

[0045] 图8是示出驱动电路的一个结构例的布局图；

[0046] 图9是示出驱动电路的一个结构例的布局图；

[0047] 图10是示出驱动电路的一个结构例的布局图；

[0048] 图11A至11C是示出驱动电路的一个结构例的图；

[0049] 图12A和12B是示出驱动电路的一个结构例的图；

[0050] 图13A和13B是示出驱动电路的一个结构例的图；

[0051] 图14A和14B是示出驱动电路的一个结构例的图；

[0052] 图15A至15C是示出驱动电路的制造工序的一个例子的图；

[0053] 图16A至16C是示出驱动电路的制造工序的一个例子的图；

[0054] 图17是示出驱动电路的一个结构例的图；

[0055] 图18A至18C是示出驱动电路的制造工序的一个例子的图；

[0056] 图19A和19B是示出驱动电路的制造工序的一个例子的图；

[0057] 图20A和20B是示出驱动电路的一个结构例的电路图并且图20C是示出驱动电路的时序图的一个例子的图；

[0058] 图21是示出半导体装置的一个结构例的图；

[0059] 图22A和22B是示出保护电路的一个结构例的电路图；

[0060] 图23是示出半导体装置的像素的一个结构例的电路图；

[0061] 图24A至24C是示出半导体装置的一个结构例的图；

[0062] 图25A和25B是示出半导体装置的一个结构例的图；

[0063] 图26是示出半导体装置的一个结构例的图；

[0064] 图27A至27C是示出半导体装置的一个例子的图；

[0065] 图28A和28B是示出半导体装置的一个例子的图。

[0066] 附图标记说明

[0067] 100 基板

[0068]	101	源极线驱动电路
[0069]	102A	栅极线驱动电路
[0070]	102B	栅极线驱动电路
[0071]	103	像素部
[0072]	104A	FPC
[0073]	104B	FPC
[0074]	201	时钟信号用电平转移器
[0075]	202	起始脉冲用电平转移器
[0076]	203	脉冲输出电路
[0077]	204	NAND回路
[0078]	205	缓冲器
[0079]	206	取样开关
[0080]	251	移位寄存器
[0081]	300	脉冲输出电路
[0082]	301	开关
[0083]	302	倒相电路
[0084]	303	倒相电路
[0085]	304	开关
[0086]	305	倒相电路
[0087]	331	脉冲输出电路
[0088]	332	脉冲输出电路
[0089]	350	脉冲输出电路
[0090]	351	薄膜晶体管
[0091]	352	电阻元件
[0092]	353	薄膜晶体管
[0093]	354	电阻元件
[0094]	355	薄膜晶体管
[0095]	356	薄膜晶体管
[0096]	357	电阻元件
[0097]	358	薄膜晶体管
[0098]	359	布线
[0099]	360	布线
[0100]	500	基板
[0101]	501	源极线驱动电路
[0102]	502A	栅极线驱动电路
[0103]	502B	栅极线驱动电路
[0104]	503	像素部
[0105]	504A	FPC
[0106]	504B	FPC

[0107]	550	保护电路
[0108]	551	保护电路
[0109]	560	薄膜晶体管
[0110]	561	薄膜晶体管
[0111]	562	薄膜晶体管
[0112]	563	薄膜晶体管
[0113]	564	薄膜晶体管
[0114]	565	薄膜晶体管
[0115]	566	薄膜晶体管
[0116]	567	薄膜晶体管
[0117]	568	电阻元件
[0118]	569	布线
[0119]	570	电阻元件
[0120]	571	电阻元件
[0121]	572	薄膜晶体管
[0122]	573	布线
[0123]	580	基板
[0124]	581	薄膜晶体管
[0125]	585	绝缘层
[0126]	587	电极层
[0127]	588	电极层
[0128]	589	球形粒子
[0129]	590a	黑色区
[0130]	590b	白色区
[0131]	594	空洞
[0132]	595	填料
[0133]	596	基板
[0134]	601	电阻元件
[0135]	602	薄膜晶体管
[0136]	603	电阻元件
[0137]	604	薄膜晶体管
[0138]	605	电阻元件
[0139]	606	薄膜晶体管
[0140]	607	电阻元件
[0141]	608	薄膜晶体管
[0142]	701	电阻元件
[0143]	702	薄膜晶体管
[0144]	703	薄膜晶体管
[0145]	730	电容元件

[0146] 731 薄膜晶体管

[0147] 721 薄膜晶体管

[0148] 751 时钟信号用电平转移器

[0149] 752 起始脉冲用电平转移器

[0150] 753 脉冲输出电路

[0151] 754 NAND回路

[0152] 755 缓冲器

[0153] 781 移位寄存器

[0154] 801 电源线

[0155] 802 电源线

[0156] 803 控制信号线

[0157] 804 控制信号线

[0158] 805 控制信号线

[0159] 806 氧化物半导体层

[0160] 807 布线层

[0161] 808 布线层

[0162] 809 接触孔

[0163] 900 基板

[0164] 901 第一布线

[0165] 902 栅极端子

[0166] 903 绝缘层

[0167] 904 接触孔

[0168] 905 氧化物半导体层

[0169] 906 氧化物半导体层

[0170] 907 布线

[0171] 908 布线

[0172] 909 氧化硅层

[0173] 910 氮化硅层

[0174] 911a 缓冲层

[0175] 911b 缓冲层

[0176] 911c 缓冲层

[0177] 911d 缓冲层

[0178] 911e 缓冲层

[0179] 912 布线

[0180] 950 氧化物半導体膜

[0181] 951 氧化物半導体膜

[0182] 960 氧化物半导体层

[0183] 961 氧化物半导体层

[0184] 962 氧化物半导体层

[0185]	963	氧化物半导体层
[0186]	964	氧化物半导体层
[0187]	965	氧化物半导体层
[0188]	966	氧化物半导体层
[0189]	967	氧化物半导体层
[0190]	968	氧化物半导体层
[0191]	1001	沟道保护层
[0192]	1010a	缓冲层
[0193]	1010b	缓冲层
[0194]	1400	脉冲输出电路
[0195]	1401	倒相电路
[0196]	1402	开关
[0197]	1403	电容元件
[0198]	1411	薄膜晶体管
[0199]	1412	电阻元件
[0200]	1413	薄膜晶体管
[0201]	1414	电容元件
[0202]	1415	布线
[0203]	1416	布线
[0204]	2001	氧化物半导体层
[0205]	2002	氧化物半导体层
[0206]	4501	基板
[0207]	4502	像素部
[0208]	4503a	源极线驱动电路
[0209]	4503b	源极线驱动电路
[0210]	4504a	栅极线驱动电路
[0211]	4504b	栅极线驱动电路
[0212]	4505	密封材料
[0213]	4506	基板
[0214]	4507	填料
[0215]	4509	薄膜晶体管
[0216]	4510	薄膜晶体管
[0217]	4511	发光元件
[0218]	4512	电场发光层
[0219]	4513	电极层
[0220]	4515	连接端子电极
[0221]	4516	端子电极
[0222]	4517	电极层
[0223]	4518a	FPC

[0224]	4518b	FPC
[0225]	4519	各向异性导电膜
[0226]	4520	分隔壁
[0227]	6400	像素
[0228]	6401	薄膜晶体管
[0229]	6402	薄膜晶体管
[0230]	6403	发光元件
[0231]	6405	源极线
[0232]	6406	栅极线
[0233]	6407	电源线
[0234]	6408	共同电极
[0235]	7001	薄膜晶体管
[0236]	7002	发光元件
[0237]	7003	阴极
[0238]	7004	发光层
[0239]	7005	阳极
[0240]	7011	薄膜晶体管
[0241]	7012	发光元件
[0242]	7013	阴极
[0243]	7014	发光层
[0244]	7015	阳极
[0245]	7016	屏蔽层
[0246]	7017	导电层
[0247]	7021	薄膜晶体管
[0248]	7022	发光元件
[0249]	7023	阴极
[0250]	7024	发光层
[0251]	7025	阳极
[0252]	7027	导电层
[0253]	9630	框体
[0254]	9631	显示部
[0255]	9632	扬声器
[0256]	9633	操作键
[0257]	9634	连接端子
[0258]	9635	记录媒体读取部
[0259]	9640	框体
[0260]	9641	显示部
[0261]	9642	扬声器
[0262]	9643	操作键

[0263] 9644 连接端子

[0264] 9645 快门按钮

[0265] 9646 图像接收部

[0266] 9650 框体

[0267] 9651 显示部

[0268] 9652 扬声器

[0269] 9653 操作键

[0270] 9654 连接端子

[0271] 9660 框体

[0272] 9661 显示部

[0273] 9662 扬声器

[0274] 9663 操作键

[0275] 9664 连接端子

[0276] 9665 点击设备

[0277] 9666 外部连接端口

[0278] 9670 框体

[0279] 9671 显示部

[0280] 9672 扬声器

[0281] 9673 操作键

[0282] 麦克风

具体实施方式

[0283] 以下使用附图对所公开的发明的实施方式进行例示。但是，所公开的发明不限于以下的实施方式，所属技术领域的普通技术人员可以很容易地理解一个事实，就是其方式及详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此，所公开的发明不应该被解释为仅限于本实施方式所记载的内容。在下面所例示的实施方式中，有时在不同附图中使用相同的附图标记来表示相同的部分。

[0284] 实施方式1

[0285] 在本实施方式中，使用图1至图16对具有使用氧化物半导体制造的驱动电路的显示装置的一个例子进行说明。具体地，作为用于驱动显示装置的像素部的驱动电路的源极线驱动电路以及栅极线驱动电路的一个例子，对具有组合增强型薄膜晶体管和电阻元件而形成的反相器(以下，称为ERMOS电路)的驱动电路进行说明。另外，在本实施方式中，对将n沟道型薄膜晶体管用作构成单极性驱动电路的薄膜晶体管的例子进行说明。

[0286] 另外，显示装置是指具有发光元件或液晶元件等的显示元件的装置。显示装置也可以包括驱动多个像素的周边驱动电路。另外，驱动多个像素的周边驱动电路与多个像素形成在同一基板上。另外，显示装置也可以包括柔性印刷基板(Flexible Printed Circuit:FPC)。再者，显示装置还可以包括通过柔性印刷基板(FPC)等连接并安装有IC芯片、电阻元件、电容元件、电感器、晶体管等的印刷线路板(PWB)。再者，显示装置还可以包括偏振片或相位差板等的光学片、照明装置、框体、声音输入输出装置、光传感器等。

[0287] 在图1中示出显示装置的整体图。在基板100上，一体形成有源极线驱动电路101、第一栅极线驱动电路102A、第二栅极线驱动电路102B以及像素部103。在像素部103中，由虚线框110包围的部分为一个像素。在图1所示的例子中，虽然示出第一栅极线驱动电路102A、第二栅极线驱动电路102B作为栅极线驱动电路，也可以仅使用其中一个。另外，在显示装置的像素中，利用薄膜晶体管进行显示元件的控制。对源极线驱动电路101、第一栅极线驱动电路102A、第二栅极线驱动电路102B进行驱动的信号(时钟信号、起始脉冲信号等)通过柔性印刷基板(Flexible Printed Circuit:FPC)104A、104B从外部输入。

[0288] 用来驱动像素部的源极线驱动电路、栅极线驱动电路具有由薄膜晶体管、电容元件、电阻元件等构成的倒相电路。当使用单极性薄膜晶体管形成倒相电路时，有组合增强型薄膜晶体管及耗尽型薄膜晶体管而形成的电路(以下，称为EDMOS电路)、由增强型薄膜晶体管和增强型薄膜晶体管而形成的电路(以下，称为EEMOS电路)以及ERMOS电路。另外，当n沟道型薄膜晶体管的阈值电压为正时将其定义为增强型薄膜晶体管，而当n沟道型薄膜晶体管的阈值电压为负时将其定义为耗尽型晶体管，并且在本说明书中始终使用该定义。

[0289] 当将阈值电压为正的增强型薄膜晶体管用于设置在像素部的薄膜晶体管时，可以使根据对栅极端子与源极端子之间施加的电压而流过的电流小于耗尽型晶体管，从而谋求实现低耗电量化。另外，优选使用与像素部相同的增强型薄膜晶体管作为用来驱动像素部的驱动电路所使用的薄膜晶体管。通过使用增强型薄膜晶体管作为倒相电路的薄膜晶体管，制造像素部以及驱动电路时的晶体管的种类为一种，所以可以减少制造工序。另外，由于增强型晶体管使用氧化物半导体并且具有当栅极电压为-20V至20V时导通截止比为10^9以上的电特性，所以源极端子及漏极端子间的漏电流少，从而实现低耗电量驱动。

[0290] 另外，在本文件(说明书、权利要求书或附图等)中使用的氧化物半导体形成表示为$InMO_3(ZnO)_m$(m>0)的薄膜，并利用该薄膜制造半导体元件。另外，M表示选自镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)及钴(Co)中的一种金属元素或多种金属元素。例如，除了有包含镓(Ga)作为M的情况以外，还有包含镓(Ga)和镍(Ni)、或镓(Ga)和铁(Fe)等包含镓(Ga)以外的上述金属元素的情况。另外，在上述氧化物半导体中，除了包含作为M的金属元素之外，有时还包含作为杂质元素的铁(Fe)、镍(Ni)、以及其他过渡金属元素或该过渡金属的氧化物。此外，上述氧化物半导体所含有的钠(Na)为$5\times10^{18}atoms/cm^3$以下，优选为$1\times10^{18}atoms/cm^3$以下。在本文件(说明书、权利要求书或附图等)中，也将该薄膜称为In-Ga-Zn-O类非单晶膜。

[0291] 表1示出利用感应耦合等离子体质量分析法(Inductively Coupled Plasma Mass Spectrometry:ICP-MS分析法)的典型测量例子。在使用摩尔数之比为$In_2O_3:Ga_2O_3:ZnO=1:1:1$的靶材(In:Ga:Zn=1:1:0.5)，并且压力为0.4Pa，直流(DC)电源为500W，氩气体流量为10sccm，氧为5sccm的条件1下得到的氧化物半导体膜是$InGa_{0.94}Zn_{0.40}O_{3.31}$。另外，在上述条件的基础上仅将成膜气氛条件改变为氩气体流量为40sccm，氧为0sccm的条件2下得到的氧化物半导体膜是$InGa_{0.95}Zn_{0.41}O_{3.33}$。

[0292] [表1]

[0293]

流量比率	组成 (原子%)				组成式
Ar/O_2	In	Ga	Zn	O	
10/5	17.7	16.7	7	58.6	$InGa_{0.94}Zn_{0.40}O_{3.31}$
40/0	17.6	16.7	7.2	58.6	$InGa_{0.95}Zn_{0.41}O_{3.33}$

[0294] 此外，表2示出将测量方法变为卢瑟福背散射光谱分析法(Rutherford Backscattering Spectrometry:RBS分析法)进行定量化而得到的结果。

[0295] [表2]

[0296]

流量比率	组成(原子%)					组成式
Ar/O_2	In	Ga	Zn	O	Ar	
10/5	16	14.7	7.2	61.7	0.4	$InGa_{0.92}Zn_{0.45}O_{3.86}$
40/0	17	15.8	7.5	59.4	0.3	$InGa_{0.93}Zn_{0.44}O_{3.49}$

[0297] 利用RBS分析测量条件1的样品。其结果是，氧化物半导体膜为$InGa_{0.92}Zn_{0.45}O_{3.86}$。此外，利用RBS分析测量条件2的样品。其结果是，氧化物半导体膜为$InGa_{0.93}Zn_{0.44}O_{3.49}$。

[0298] In-Ga-Zn-O类非单晶膜的结晶结构即使在利用溅射法进行成膜后，以200℃至500℃，典型的是300℃至400℃进行10分至100分的加热处理，在XRD(X射线衍射)的分析中也观察到非晶结构。此外，可以制造具有如下电特性的薄膜晶体管：当栅极电压为-20V至20V时，导通截止比是10^9以上且迁移率是10以上。具有这种电特性的使用氧化物半导体层制造的薄膜晶体管具有比使用非晶硅制造的薄膜晶体管更高的迁移率，并且可以使由移位寄存器构成的驱动电路高速驱动。

[0299] 接下来，示出使用ERMOS电路的栅极线驱动电路以及源极线驱动电路的电路图的一个例子并对其进行说明。

[0300] 首先，对使用ERMOS电路作为倒相电路的源极线驱动电路的结构进行说明。

[0301] 图2是示出图1所示的显示装置中的源极线驱动电路101的结构的图。源极线驱动电路包括时钟信号用电平转移器201、起始脉冲用电平转移器202以及构成移位寄存器251的脉冲输出电路203、NAND电路204、缓冲器205以及取样开关206，并且从外部输入的信号为第一时钟信号(CLK1)、第二时钟信号(CLK2)、起始脉冲(SP)以及模拟图像信号(Video)。其中，第一时钟信号(CLK1)、第二时钟信号(CLK2)以及起始脉冲(SP)作为低电压振幅的信号从外部输入之后，通过电平转移器201或202进行振幅转换而作为高电压振幅的信号被输入到驱动电路。

[0302] 另外，以下说明在本实施方式的显示装置中的源极线驱动电路中，通过由移位寄存器中的一级的脉冲输出电路输出的取样脉冲驱动取样开关206，来同时对十二列的源极信号线的模拟图像信号进行取样。另外，还可以输入用来切换扫描方向的扫描方向切换信号等。此外，虽然在本实施方式中示出使用第一时钟信号(CLK1)、第二时钟信号(CLK2)的两

相时钟信号进行驱动的例子，但是也可以采用通过两相之外的时钟信号的输入来进行驱动电路的驱动的结构。

[0303] 在图3A和3B中示出移位寄存器251所具有的多个脉冲输出电路203的结构。脉冲输出电路300由与输入起始脉冲SP的端子连接的第一开关301、将通过第一开关301输入的信号反相并将其输出的第一倒相电路302、将从第一倒相电路302输出的信号反相并将其输出的第二倒相电路303及第三倒相电路305、以及与输入从第二倒相电路303输出的信号的端子连接的第二开关304构成。

[0304] 在图3A所示的电路图中，由虚线表示的框为输出一级取样脉冲的脉冲输出电路350，并且图3A的移位寄存器由N级(N为自然数)脉冲输出电路构成。从N级脉冲输出电路由各自的第三倒相电路305的输出端子输出输出信号out1至outN。另外，在上面说明的第一级的下一级的脉冲输出电路中，在第一开关301与第二开关304之间，输入第一时钟信号和输入第二时钟信号的布线切换地连接。以下，在第三级以后，输入第一时钟信号和输入第二时钟信号的布线在第一开关301和第二开关304之间交替地切换而连接。

[0305] 图3B对脉冲输出电路的电路结构进行详细表示。脉冲输出电路主体包括薄膜晶体管351、353、355、356、358以及电阻元件352、354、357。另外，奇数级的脉冲输出电路331以及偶数级的脉冲输出电路332与用来提供第一时钟信号(CLK1)的布线359以及用来提供第二时钟信号(CLK2)的布线360连接。下面，以第一级脉冲输出电路331为例，对半导体元件的具体连接关系进行说明。

[0306] 薄膜晶体管351的第一端子与输入起始脉冲SP的端子连接，并且栅极端子与布线359连接。

[0307] 电阻元件352的一方的端子与被提供高电源电位VDD的布线(也称为高电源电位线)连接。

[0308] 薄膜晶体管353的第一端子与电阻元件352的另一方的端子连接，且栅极端子与薄膜晶体管351的第二端子连接，并且第二端子与被提供低电源电位VSS的布线(也称为低电源电压线)连接。

[0309] 电阻元件354的一方的端子与高电源电位线连接。

[0310] 薄膜晶体管355的第一端子与电阻元件354的另一方的端子连接，且栅极端子与电阻元件352的另一方的端子以及薄膜晶体管353的第一端子连接，并且第二端子与低电源电压线连接。

[0311] 薄膜晶体管356的第一端子与电阻元件354的另一方的端子以及薄膜晶体管355的第一端子连接，且栅极端子与布线360连接，并且第二端子与薄膜晶体管351的第二端子以及薄膜晶体管353的栅极端子连接。

[0312] 电阻元件357的一方的端子与高电源电位线连接，并且另一方的端子与第二级的脉冲输出电路332中的薄膜晶体管351的第一端子连接。

[0313] 薄膜晶体管358的第一端子与电阻元件357的另一方的端子以及第二级的脉冲输出电路332中的薄膜晶体管351的第一端子连接，且栅极端子与电阻元件352的另一方的端子、薄膜晶体管353的第一端子以及薄膜晶体管355的栅极端子连接，并且第二端子与低电源电位线连接。

[0314] 第二级脉冲输出电路与第一级脉冲输出电路除了在布线359和布线360的连接上

相反这一点之外，其结构相同。第三级以后的奇数级脉冲输出电路331以及偶数级脉冲输出电路332也以此为基准依次连接。

[0315] 在图3B中，薄膜晶体管351相当于图3A所示的第一开关301。电阻元件352以及薄膜晶体管353相当于图3A所示的第一倒相电路302，并且第一倒相电路302为ERMOS电路。电阻元件354以及薄膜晶体管355相当于图3A所示的第二倒相电路303，并且第二倒相电路303为ERMOS电路。薄膜晶体管356相当于图3A所示的第二开关304。电阻元件357以及薄膜晶体管358相当于图3A所示的第三倒相电路305，并且第三倒相电路305为ERMOS电路。

[0316] 另外，薄膜晶体管351、356与薄膜晶体管353、355、358同样地优选由增强型晶体管构成。通过使用增强型晶体管作为开关，可以降低晶体管的截止电流，所以可以在谋求实现低耗电量化的同时减少制造工序。

[0317] 这里，参照图4所示的时序图对图3A和3B所示的电路的电路动作进行说明。另外，在图4中，为了方便说明，作为图3B所示的电路中的节点，在第一级的脉冲输出电路中，将薄膜晶体管351的第二端子示为节点A(在图3B以及图4中示为A)，将电阻元件352的另一方的端子示为节点B(在图3B以及图4中示为B)，将电阻元件354的另一方的端子示为节点C(在图3B以及图4中示为C)，并将电阻元件357的另一方的端子示为节点out1(在图3B以及图4中示为out1)。

[0318] 另外，作为图3B所示的电路中的节点，在第二级脉冲输出电路中，将薄膜晶体管351的第二端子示为节点D(在图3B以及图4中示为D)，将电阻元件352的另一方的端子示为节点E(在图3B以及图4中示为E)，将电阻元件354的另一方的端子示为节点F(在图3B以及图4中示为F)，并将电阻元件357的另一方的端子示为节点out2(在图3B以及图4中示为out2)。另外，作为图3B所示的电路中的节点，在第三级脉冲输出电路中，将薄膜晶体管351的第二端子示为节点G(在图3B以及图4中示为G)。

[0319] 在图4中说明在期间T1中，当起始脉冲SP为H电平，第一时钟信号(CLK1)为H电平，并且第二时钟信号(CLK2)为L电平时的动作。

[0320] 由于第一时钟信号(CLK1)变为H电平，所以第一级的脉冲输出电路的薄膜晶体管351变为导通状态。

[0321] 并且，起始脉冲的电压电平的H电平使节点A的电压电平上升至H电平。

[0322] 并且，由于节点A的电压电平上升至H电平，所以第一级脉冲输出电路的薄膜晶体管353变为导通状态。

[0323] 并且，低电源电位的电压电平的L电平使节点B的电压电平下降到L电平。

[0324] 并且，由于节点B的电压电平下降到L电平，第一级脉冲输出电路的薄膜晶体管355以及薄膜晶体管358变为截止状态。

[0325] 并且，由于第一级脉冲输出电路的薄膜晶体管355变为截止状态，所以高电源电位的电压电平的H电平使节点C的电压电平上升至H电平。另外，由于第一级脉冲输出电路的薄膜晶体管358变为截止状态，所以高电源电位的电压电平的H电平使节点out1的电压电平上升至H电平。

[0326] 另外，由于第二时钟信号(CLK2)为L电平，所以第一级脉冲输出电路的薄膜晶体管356以及第二脉冲输出电路的薄膜晶体管351成为截止状态。

[0327] 接着，在图4中说明在期间T2中，当起始脉冲SP为L电平，第一时钟信号(CLK1)为L

电平，并且第二时钟信号(CLK2)为H电平时的动作。

[0328] 由于第一时钟信号(CLK1)变为L电平，所以第一级的脉冲输出电路的薄膜晶体管351变为截止状态。另一方面，由于第二时钟信号(CLK2)为H电平，所以第一级的脉冲输出电路的薄膜晶体管356变为导通状态。由此，因在期间T1中为H电平的节点C的电压电平，而节点A的电压电平保持H电平。

[0329] 并且，第一级脉冲输出电路的各节点保持与期间T1相同的电平。

[0330] 另一方面，由于第二时钟信号(CLK2)变为H电平，所以第二级的脉冲输出电路的薄膜晶体管351变为导通状态。

[0331] 并且，节点out1的电压电平的H电平使节点D的电压电平上升至H电平。

[0332] 并且，由于节点D的电压电平上升至H电平，所以第二级脉冲输出电路的薄膜晶体管353变为导通状态。

[0333] 并且，低电源电位的电压电平的L电平使节点E的电压电平下降到L电平。

[0334] 并且，由于节点E的电压电平下降到L电平，所以第二级脉冲输出电路的薄膜晶体管355以及第二级脉冲输出电路的薄膜晶体管358变为截止状态。

[0335] 并且，由于第二级脉冲输出电路的薄膜晶体管355变为截止状态，所以高电源电位的电压电平的H电平使节点F的电压电平上升至H电平。另外，由于第二级脉冲输出电路的薄膜晶体管358变为截止状态，所以高电源电位的电压电平的H电平使节点out2的电压电平上升至H电平。

[0336] 另外，由于第一时钟信号(CLK1)为L电平，所以第二级脉冲输出电路的薄膜晶体管356以及第三级脉冲输出电路的薄膜晶体管351成为截止状态。

[0337] 接着，在图4中说明在期间T3中，当起始脉冲SP为L电平，第一时钟信号(CLK1)为H电平，并且第二时钟信号(CLK2)为L电平时的动作。

[0338] 由于第一时钟信号(CLK1)变为H电平，所以第一级的脉冲输出电路的薄膜晶体管351变为导通状态。另一方面，由于第二时钟信号(CLK2)为L电平，所以第一级脉冲输出电路的薄膜晶体管356变为截止状态。由此，节点A的电压电平下降到L电平。

[0339] 并且，由于节点A的电压电平下降到L电平，所以第一级脉冲输出电路的薄膜晶体管353变为截止状态。

[0340] 并且，高电源电位的电压电平的H电平使节点B的电压电平上升至H电平。

[0341] 并且，由于节点B的电压电平上升至H电平，第一级脉冲输出电路的薄膜晶体管355以及第一级脉冲输出电路的薄膜晶体管358变为导通状态。

[0342] 并且，由于第一级脉冲输出电路的薄膜晶体管355变为导通状态，所以低电源电位的电压电平的L电平使节点C的电压电平下降到L电平，并且由于第一级脉冲输出电路的薄膜晶体管358变为导通状态，所以低电压电位的电源电平的L电平使节点out1的电压电平下降到L电平。

[0343] 另外，由于第二时钟信号(CLK2)为L电平，所以第一级的脉冲输出电路的薄膜晶体管356变为截止状态。

[0344] 另外，与期间T2中的第一级脉冲输出电路同样，由于第二时钟信号(CLK2)变为L电平，所以第二级脉冲输出电路的薄膜晶体管351变为截止状态。另一方面，由于第一时钟信号(CLK1)为H电平，所以第二级脉冲输出电路的薄膜晶体管356变为导通状态。由此，因在期

间T2中为H电平的节点F的电压电平，而节点D的电压电平保持H电平。

[0345] 并且，第二级脉冲输出电路的各节点保持与期间T2相同的电平。

[0346] 另一方面，由于第一时钟信号(CLK1)变为H电平，所以第三级的脉冲输出电路的薄膜晶体管351变为导通状态。

[0347] 并且，节点out2的电压电平的H电平使节点G的电压电平上升至H电平。

[0348] 并且，由于节点G的电压电平上升至H电平，所以第三级脉冲输出电路的薄膜晶体管353变为导通状态。

[0349] 下面，通过依次控制晶体管的导通、截止，可以作为移位寄存器而驱动。

[0350] 另外，在使用图3A和图3B说明的脉冲输出电路中，示出了在节点A与节点C之间设置有薄膜晶体管356(第二开关304)的结构。这是因为考虑到由于电阻元件354而节点C的电压电平从高电压电位VDD进行电压降的缘故。通过利用薄膜晶体管356(第二开关304)切断节点A与节点C的连接地进行驱动，可以提高根据节点A的电位的薄膜晶体管353的驱动能力，所以是优选的。另外，即使不设置薄膜晶体管356(第二开关304)，本实施方式的电路也可以进行驱动。

[0351] 另外，在源极线驱动电路的结构中，通过得到从各脉冲输出电路输出的信号的非逻辑积，来生成用来驱动各源极线的信号。因此，优选在源极线驱动电路中设置比源极线的数量多的脉冲输出电路以生成用来输出到源极线的信号。

[0352] 图5A示出图2所示的时钟信号用电平转移器201的结构例。另外，由于图5A中的第一时钟信号(CLK1)用电平转移器以及第二时钟信号(CLK2)用电平转移器的结构相同，所以仅示出第一时钟信号(CLK1)用电平转移器。在图5A中，第一时钟信号(CLK1)由ERMOS电路振幅转换(级1)，之后设置缓冲级(buffer级)(级2、级3)。

[0353] 接着，对图5A所示的电路的动作进行说明。另外，这里所使用的电源电位是VSS、VDD0、VDD这三种电位，并设定为VSS＜VDD0＜VDD。通过在源极线驱动电路输入部对第一时钟信号(CLK1)的振幅进行电平转换，可以谋求实现低耗电量化以及杂波的减少。

[0354] 从信号输入部(CLK in1)输入具有L电平/H电平＝VSS/VDD0的振幅的第一输入时钟信号(CLK1)。

[0355] 当第一输入时钟信号为H电平时，薄膜晶体管602变为导通状态。这里，将薄膜晶体管602的正向电阻设计为充分地低于电阻元件601的电阻值。所以，节点α变为L电平。

[0356] 当节点α为L电平时，薄膜晶体管604变为截止状态。这里，将薄膜晶体管604的反相电阻设计为充分地高于电阻元件603的电阻值。所以，节点β变为H电平并且H电平成为与VDD同等程度。通过上述方式完成振幅转换。

[0357] 在使用图5A说明的电平转移器中考虑到对振幅转换后的脉冲的负荷，而在电平转移电路(级1)之后设置缓冲级(级2、级3)。由于在级2、级3中进行同样的动作，最终脉冲被输出到信号输出部。

[0358] 另外，虽然在图5A中示出第一时钟信号(CLK1)用电平转移器，但是起始脉冲(SP)用电平转移器的构成与其相同。

[0359] 图5B示出时钟信号的振幅转换的情况。输入信号的振幅为L电平/H电平＝VSS/VDD0，并且输出信号的振幅为L电平/H电平＝VSS/VDD。

[0360] 图5C示出起始脉冲(SP)的振幅转换的情况。输入信号的振幅与时钟信号同样，L电

平/H电平＝VSS/VDDO，并且输出信号的振幅为L电平/H电平＝VSS/VDD。

[0361] 图6A示出图2所示的2输入型的NAND电路204。NAND电路204的结构与ERMOS电路相似。具体来说其不同点仅在于：ERMOS电路中的信号输入部为2输入，并且薄膜晶体管702、703串联配置。

[0362] 由于当对信号输入部(In1)及信号输入部(In2)都输入H电平时，薄膜晶体管702、703变为导通状态，而信号输出部(Out)显现L电平。

[0363] 另一方面，当对信号输入部(In1)及信号输入部(In2)的任一方或双方输入L电平时，信号输出部(Out)显现电位VDD的H电平。

[0364] 图6B示出图2所示的缓冲器205。缓冲器205由ERMOS电路(级1至4)构成。因为关于ERMOS电路的动作已在电平转移电路一项中进行了说明，所以这里引用上述说明。

[0365] 图6C示出图2所示的取样开关206。取样开关206由信号输入部(25)输入取样脉冲，并且同时控制并联配置的十二个薄膜晶体管731。对十二个薄膜晶体管731的输入电极(1)至(12)输入模拟图像信号，并将取样脉冲被输入时的图像信号的电位写入到源极信号线。

[0366] 图7是示出图1所示的显示装置中的栅极线驱动电路的电路结构的图。其包括时钟信号用电平转移器751、起始脉冲用电平转移器752以及构成移位寄存器781的脉冲输出电路753、NAND电路754以及缓冲器755。

[0367] 栅极线驱动电路被输入第一时钟信号(CLK1)、第二时钟信号(CLK2)以及起始脉冲(SP)。这些输入信号作为低电压振幅的信号从外部被输入之后，通过时钟信号用电平转移器751、起始脉冲用电平转移器752进行振幅转换而作为高电压振幅的信号被输入到驱动电路。

[0368] 另外，由于时钟信号用电平转移器751、起始脉冲用电平转移器752、脉冲输出电路753、NAND电路754以及缓冲器755的结构及动作与用于源极线驱动电路相同，所以这里引用上述的说明。

[0369] 接着，在图8至图10中示出图3B所示的脉冲输出电路的布局图的例子。另外，在图8至图10中示出形成有多个级的脉冲输出电路中的相当于第一级的脉冲输出电路。

[0370] 图8至图10中的脉冲输出电路由电源线801、电源线802、控制信号线803、控制信号线804、控制信号线805、薄膜晶体管351、353、355、356、358以及电阻元件352、354、357构成。

[0371] 在图8至图10中对氧化物半导体层806、第一布线层807、第二布线层808、接触孔809进行表示。另外，第一布线层807是包括薄膜晶体管的栅极端子的层，并且第二布线层808是包括薄膜晶体管的源极端子以及漏极端子(第一端子以及第二端子)的层。

[0372] 另外，在图8至图10中的各电路元件的连接关系与图3B相同。即，电源线801为被提供高电源电位VDD的布线(也称为高电源电位线)，电源线802为被提供低电源电位VSS的布线(也称为低电源电位线)，控制信号线803为被提供起始脉冲(SP)的布线，控制信号线804为被提供第一时钟信号的布线，并且控制信号线805为被提供第二时钟信号的布线。

[0373] 图8所示的ERMOS电路的电阻元件352、354、357使用长方形形状的氧化物半导体层。因此，图8所示的电阻元件352、354、357是电流路径宽且具有高电流驱动能力的电阻元件。图9、图10所示的ERMOS电路的电阻元件352、354、357使用蜿蜒形状(蛇行形状)的氧化物半导体层。通过利用蜿蜒形状，可以增大电阻元件352、354、357的电阻值。

[0374] 另外，在图8至图10的脉冲输出电路的布局图中，也可以将薄膜晶体管351、353、

355、356、358的沟道区的形状形成为U形。另外，虽然在图8中将各薄膜晶体管的尺寸表示为相同尺寸，但是也可以根据后续级的负荷的大小而适当地改变薄膜晶体管的尺寸。

[0375] 接着，参照图11A至11C对在图8至图10中说明的布局图中的由电阻元件354以及薄膜晶体管355构成的倒相电路的结构进行说明。另外，图11A至11C所示的电阻元件354以及薄膜晶体管355分别示出对应于图8至图10中的虚线A-B以及C-D的截面图。

[0376] 图11A是对应于图8中的虚线A-B以及C-D的截面图。在图11A中，电阻元件354将第一氧化物半导体层905用作电阻成分。另外，第一氧化物半导体层905的一端与包含在第一布线层807中的第一布线901通过设置在绝缘层903中的接触孔904连接，另一端与包含在第二布线层808中的第二布线907连接。

[0377] 在图11A中，薄膜晶体管355包括基板上的栅极端子902、用作栅极绝缘层的栅极端子902上的绝缘层903、成为沟道形成区的绝缘层903上的第二氧化物半导体层906、用作源极端子以及漏极端子(第一端子以及第二端子)的第二氧化物半导体层906上的第一布线907以及第三布线908。

[0378] 另外，第一布线901是电阻元件354的一方的端子。另外，第二布线907既是电阻元件354的另一方的端子，又是薄膜晶体管355的第一端子，并且还是连接两者的布线。同样地，第三布线908既是薄膜晶体管355的第二端子，又是被提供低电源电位VSS的布线(也称为低电压电位线)。换言之，连接布线以及低(高)电源电位线的一部分被用作各薄膜晶体管的第一端子或第二端子。

[0379] 另外，在图11A中，第一氧化物半导体层905以及第二氧化物半导体层906的厚度不同。具体而言，与第二布线907及第三布线908重叠的区域的第一氧化物半导体层905以及第二氧化物半导体层906的厚度比上述区域之外的第一氧化物半导体层905以及第二氧化物半导体层906的厚度厚。这是由于在形成第二布线907以及第三布线908的蚀刻中，第一氧化物半导体层905以及第二氧化物半导体层906的一部分也被蚀刻的缘故。

[0380] 图11B是对应于图9中的虚线A-B以及C-D的截面图。在图11B中，电阻元件354将形成为蜿蜒形状的第一氧化物半导体层905用作电阻成分。另外，第一氧化物半导体层905的一端与第一布线901通过设置在绝缘层903中的接触孔904连接，另一端与第二布线907连接。由于薄膜晶体管的结构与图11A中所说明的薄膜晶体管相同，所以引用上述说明。

[0381] 图11C是对应于图10中的虚线A-B以及C-D的截面图。在图11C中，电阻元件354将形成为蜿蜒形状的第一氧化物半导体层905用作电阻成分。另外，第一氧化物半导体层905的一端与第二布线层808所包含的第四布线912连接，另一端与第二布线层808所包含的第二布线907连接。由于薄膜晶体管的结构与图11A中所说明的薄膜晶体管相同，所以引用上述说明。由于图11C所示的电阻元件354在第一氧化物半导体层905上直接形成第四布线912，所以可以在第一氧化物半导体层与第四布线之间形成良好的接合。

[0382] 接下来，对图11A至11C所示的ERMOS电路的具体的材料结构进行说明。

[0383] 在图11A至11C中，可以使用硼硅酸钡玻璃或硼硅酸铝玻璃等玻璃基板等作为基板900。第一布线901以及栅极端子902可以使用铝(Al)或铜(Cu)等的低电阻导电材料形成。另外，也可以将铝(Al)与耐热性导电材料组合来形成。作为耐热性导电材料，可以使用选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、钪(Sc)中的元素、或以上述元素为成分的合金、组合上述元素的合金膜、或以上述元素为成分的氮化物。

[0384] 绝缘层903可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氧化钽膜等的绝缘膜形成。另外，也可以采用由这些绝缘膜构成的叠层结构。此外，氧氮化硅膜指的是如下膜：在组成方面上氧的含量比氮的含量多，并且在浓度范围上，在包含氧原子55％至65％、氮原子1％至20％、硅原子25％至35％、氢原子0.1％至10％的范围中，以总和成为原子100％的方式以任意浓度包含各元素。另外，氮氧化硅膜指的是如下膜：在组成方面上氮的含量比氧的含量多，并且在浓度范围上，在包含氧原子15％至30％、氮原子20％至35％、硅原子25％至35％、氢原子15％至25％的范围中，以总和成为原子100％的方式以任意浓度包含各元素。

[0385] 第一氧化物半导体层905以及第二氧化物半导体层906由表示为$InMO_3(ZnO)_m(m>0)$的薄膜形成。另外，M表示选自镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)或钴(Co)中的一种金属元素或多种金属元素。例如，除了有包含镓(Ga)作为M的情况以外，还有包含镓(Ga)和镍(Ni)、或镓(Ga)和铁(Fe)等包含镓(Ga)以外的上述金属元素的情况。另外，在上述氧化物半导体层中，除了包含作为M的金属元素之外，有时还包含作为杂质元素的铁(Fe)、镍(Ni)、以及其他过渡金属元素或该过渡金属的氧化物。此外，上述氧化物半导体层所含有的钠(Na)为$5\times10^{18}atoms/cm^3$以下，优选为$1\times10^{18}atoms/cm^3$以下。

[0386] 作为第二布线907以及第三布线908的材料，例如可以使用选自铝(Al)、铬(Cr)、钽(Ta)、钛(Ti)、钼(Mo)、钨(W)中的元素、以上述元素为成分的合金、或组合上述元素的合金膜等。此外，还可以采用由这些材料构成的叠层结构。

[0387] 氧化硅层909由利用溅射法形成的氧化硅膜形成。形成在整个基板表面上的氮化硅层910利用使用含有硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法而形成。因此，氮化硅层910含有高浓度的氢。

[0388] 另外，如图12A所示，也可以在第一氧化物半导体层905与第二布线907之间设置缓冲层911a，在第二氧化物半导体层906与第二布线907之间设置缓冲层911b，并且在第二氧化物半导体层906与第三布线908之间设置缓冲层911c。

[0389] 另外，上述缓冲层911a至911c以由与形成第一氧化物半导体层905以及第二氧化物半导体层906的成膜条件不同的成膜条件形成的In-Ga-Zn-O类非单晶膜为基础而形成，并且为低电阻的氧化物半导体层。另外，在以下的文章中为了方便起见，将之后形成第一氧化物半导体层905以及第二氧化物半导体层906的氧化物半导体膜称作第一氧化物半导体膜，并将之后形成缓冲层911a至911c的氧化物半导体膜称作第二氧化物半导体膜。

[0390] 例如，当利用溅射法进行氧化物半导体膜的成膜时，通过改变成膜所使用的溅射气体的氧浓度，可以使氧化物半导体膜的电阻值改变。具体而言，可以通过提高溅射气体的氧浓度来增大氧化物半导体膜的电阻值。作为利用溅射法的第一氧化物半导体膜以及第二氧化物半导体膜的一个成膜条件，将第一氧化物半导体膜的成膜所使用的溅射气体的氩气体流量设定为10sccm，将氧气体流量设定为5sccm，并将第二氧化物半导体膜的成膜所使用的溅射气体的氩气体流量设定为40sccm。另外，缓冲层911a至911c具有n型导电型并且活化能(ΔE)为0.1eV以下。另外，以In-Ga-Zn-O类非单晶膜为基础而形成的缓冲层911a至911c至少包含非晶成分。缓冲层911a至911c有时在非晶结构中包含晶粒(纳米晶体)。该缓冲层911a至911c中的晶粒(纳米晶体)的直径为1nm至10nm，典型的为2nm至4nm左右。

[0391] 通过设置比第一氧化物半导体层905以及第二氧化物半导体层906电阻低的缓冲

层911a至911c，可以在导电体的第二布线907与第一氧化物半导体层905、导电体的第二布线907以及第三布线908与第二氧化物半导体层906之间形成与肖特基接合相比更良好的接合，并且在热方面上也稳定动作。另外，在薄膜晶体管355中通过设置缓冲层911b、911c，即使在高漏极电压下也可以保持良好的迁移率。

[0392] 另外，还可以如图12B所示在第一氧化物半导体层905以及第二氧化物半导体层906的上下设置缓冲层911a、911b、911c、911d、911e。

[0393] 通过设置缓冲层911d，可以在导电体的第一布线901与第一氧化物半导体层905之间形成与肖特基接合相比更良好的接合，并且在热方面上也稳定动作。

[0394] 接着，使用图13A和13B示出与图11A至11C、图12A和12B所示的薄膜晶体管结构不同的薄膜晶体管而进行说明。另外，在图13A和13B中，示出对应于图8的A-B线以及C-D线的电阻元件以及薄膜晶体管的截面结构，并且与图11A、11B和11C相同之处使用相同的附图标记。

[0395] 在图13A中，在第二氧化物半导体层906上设置有氧化硅层的沟道保护层1001，并且在沟道保护层1001以及第二氧化物半导体层906上设置有第二布线907以及第三布线908。再者，在第二布线907、第三布线908以及沟道保护层1001上设置有氮化硅层910。另外，如图13B所示，分别在第一氧化物半导体层905与第二布线907之间设置缓冲层911a，在第二氧化物半导体层906与第二布线907之间设置缓冲层911b，并且在第二氧化物半导体层906与第三布线908之间设置缓冲层911c。

[0396] 虽然在图11A至11C、图12A和12B以及图13A和13B中对反交错型薄膜晶体管进行了说明，但是本实施方式的薄膜晶体管不局限于反交错型。作为一个例子，共面型薄膜晶体管也具有同样的作用。图14A和14B示出截面结构的一个例子并对其进行说明。另外，在图14A和14B中示出对应于图8的A-B线以及C-D线的电阻元件以及薄膜晶体管的截面结构，并且与图11A、11B和11C相同之处使用相同的附图标记。

[0397] 在图14A中，第一氧化物半导体层905的一端设置在第一布线901上，第一氧化物半导体层905的另一端以及第二氧化物半导体层906的一端设置在第二布线907上，第二氧化物半导体层906的另一端设置在第三布线908上。再者，在第二氧化物半导体层906上设置有氧化硅层909以及氮化硅层910的叠层，并且在第一氧化物半导体层905上仅设置有氮化硅层910。另外，如图14B所示，也可以在第二布线907及第三布线908与绝缘层903之间分别设置缓冲层1010a、1010b。

[0398] 在图11A至11C、图12A和12B、图13A和13B以及图14A和14B中，以与第一氧化物半导体层905直接接触的方式设置利用使用含有硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法而形成的氮化硅层910。

[0399] 具有上述结构的ERMOS电路包括将氮化硅层910直接接触的第一氧化物半导体层905用作电阻成分的电阻元件、以及将隔着氧化硅层909(沟道保护层1001)设置有氮化硅层910的第二氧化物半导体层906用作沟道形成区的薄膜晶体管。所以，第一氧化物半导体层905可以引入比第二氧化物半导体层906更高浓度的氢。其结果，可以使第一氧化物半导体层905的电阻值低于第二氧化物半导体层906的电阻值。

[0400] 接着，使用图15A至15C的截面图对ERMOS电路的制造工序进行说明。另外，这里示出图14B所示的ERMOS电路的制造工序。

[0401] 在基板900上形成第一导电膜。使用以溅射法、真空蒸镀法、脉冲激光淀积法、离子电镀法等为代表的薄膜淀积法进行第一导电膜的成膜。第一导电膜可以使用铝(Al)或铜(Cu)等的低电阻导电性材料来形成。另外，也可以将铝(Al)与耐热性导电性材料组合来形成。作为耐热性导电材料，可以使用选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、钪(Sc)中的元素、以上述元素为成分的合金、组合上述元素的合金膜、或以上述元素为成分的氮化物。接着，进行第一光刻工序，在第一导电膜上形成抗蚀剂。再者，将该抗蚀剂作为掩模，对第一导电膜进行选择性地蚀刻，以形成第一布线901以及栅极端子902。

[0402] 接着，形成覆盖第一布线901以及栅极端子902的绝缘膜。可以使用以溅射法、真空蒸镀法、脉冲激光淀积法、离子电镀法、等离子体CVD法等为代表的薄膜淀积法进行绝缘膜的成膜。可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氧化钽膜等的绝缘膜作为绝缘膜。另外，也可以采用这些绝缘膜的叠层结构。接着，进行第二光刻工序，在绝缘膜上形成抗蚀剂。并且，使用该抗蚀剂作为掩模，对绝缘膜进行选择性地蚀刻，以形成设置有到达第一布线的接触孔904的绝缘层903。图15A相当于至此为止的工序完成阶段的截面图。

[0403] 接下来，形成第二氧化物半导体膜。可以使用以溅射法、真空蒸镀法、脉冲激光淀积法、离子电镀法、等离子体CVD法等为代表的薄膜淀积法进行第二氧化物半导体膜的成膜。当使用溅射法进行成膜时，优选使用烧结In_2O_3、Ga_2O_3、ZnO而形成的靶材。溅射气体使用以氩为代表的稀有气体。作为利用溅射法的成膜条件之一，使用通过以$In_2O_3:Ga_2O_3:ZnO=1:1:1$的比例进行混合并烧结而形成的靶材，并将压力设定为0.4Pa，将直流(DC)电源设定为500W，将氩气体流量设定为40sccm。

[0404] 接下来，形成第二导电膜。可以使用以溅射法、真空蒸镀法、脉冲激光淀积法、离子电镀法为代表的薄膜淀积法进行第二导电膜的成膜。另外，作为第二导电膜的材料，例如可以使用选自铝(Al)、铬(Cr)、钽(Ta)、钛(Ti)、钼(Mo)、钨(W)中的元素、以上述元素为成分的合金、或组合上述元素的合金膜等。此外，还可以采用由这些材料构成的叠层结构。

[0405] 接着，进行第三光刻工序，在第二导电膜上形成抗蚀剂。并且，将该抗蚀剂作用掩模，对第二氧化物半导体膜以及第二导电膜进行选择性地蚀刻，以形成第二布线907、第三布线908以及缓冲层1010a、1010b。此时的蚀刻方法采用湿蚀刻或干蚀刻。例如，当使用铝(Al)膜或铝合金膜作为第二导电膜时，可以进行使用混合了磷酸、醋酸和硝酸的溶液的湿蚀刻。同样地，当使用钛(Ti)膜或钛合金膜作为第二导电膜时，可以进行使用过氧化氢氨水(过氧化氢:氨:水=5:2:2)的湿蚀刻。

[0406] 接下来，形成第一氧化物半导体膜。可以使用以溅射法、真空蒸镀法、脉冲激光蒸镀法、离子电镀法等为代表的薄膜淀积法进行第一氧化物半导体膜的成膜。第一氧化物半导体膜以溅射气体所含有的氧浓度高于第二氧化物半导体膜的条件进行成膜。作为利用溅射法的成膜条件之一，使用通过以$In_2O_3:Ga_2O_3:ZnO=1:1:1$的比例进行混合并烧结而形成的靶材，并将压力设定为0.4Pa，将直流(DC)电源设定为500W，将氩气体流量设定为10sccm，并将氧气体流量设定为5sccm。

[0407] 另外，在进行第一氧化物半导体膜的成膜之前，优选进行通过引入氩气体生成等离子体的反溅射处理来去除附着在绝缘层903、第一布线901、第二布线907以及第三布线908上的尘屑。并且，通过在对氩添加氧的气氛下进行反溅射处理，导电体的第一布线901、

第二布线907以及第三布线908的表面被氧化，而可以使其与第二氧化物半导体膜接触的界面附近高电阻化。由此，可以降低之后形成的薄膜晶体管的截止电流的值。另外，反溅射处理是指不向靶材一侧施加电压，而在氩气氛下对基板一侧使用RF电源施加电压在基板上生成等离子体来对表面进行改性的处理方法。

[0408] 接着，进行第四光刻工序，在第一氧化物半导体膜上形成抗蚀剂。并且，将该抗蚀剂用作掩模对第一氧化物半导体膜进行选择性地蚀刻，以形成第一氧化物半导体层905以及第二氧化物半导体层906。图15B相当于至此为止的工序完成阶段的截面图。

[0409] 接着，利用溅射法进行氧化硅膜的成膜。例如，可以以硅为靶材使用含有氩及氧的溅射气体进行氧化硅膜的成膜。另外，还可以以氧化硅为靶材，并将氩作为溅射气体进行氧化硅膜的成膜。接着，进行第五光刻工序，以在氧化硅膜上形成抗蚀剂。并且将该抗蚀剂作为掩模，对氧化硅膜进行选择性地蚀刻，以在第二氧化物半导体层906上形成氧化硅层909。

[0410] 接着，在整个基板表面上形成用作钝化膜的氮化硅层910。该氮化硅层910通过使用含有硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法形成，并含有高浓度的氢。

[0411] 接着，进行200℃至600℃，典型的是250℃至500℃的热处理。例如，在炉中在氮气氛下以350℃进行一个小时的热处理。图15C相当于至此为止的工序完成阶段的截面图。

[0412] 根据上述工序，可以使用氧化物半导体层制造电阻元件354以及薄膜晶体管355。

[0413] 另外，以上所述的工序顺序只是一个例子并没有特别的限制。在图16A至16C中示出与图15A至15C不同的制造工序的例子并对其进行说明。

[0414] 在基板900上形成第一导电膜。接着，进行第一光刻工序，以在第一导电膜上形成抗蚀剂。并且，以该抗蚀剂为掩模，对第一导电膜进行选择性地蚀刻，以形成第一布线901以及栅极端子902。

[0415] 接着，形成覆盖第一布线901以及栅极端子902的绝缘膜。接着，形成第二氧化物半导体膜。接下来，形成第二导电膜。接着，进行第二光刻工序，以在第二导电膜上形成抗蚀剂。并以该抗蚀剂为掩模，对第二导电膜以及第二氧化物半导体膜进行选择性地蚀刻，以形成第二布线907、第三布线908以及缓冲层1010a、1010b。图16A相当于至此为止的工序完成阶段的截面图。

[0416] 接着，进行第三光刻工序以在绝缘膜上形成抗蚀剂。并以该抗蚀剂为掩模对绝缘膜进行选择性地蚀刻，以形成设置有到达第一布线901的接触孔904的绝缘层903。

[0417] 接着，形成第一氧化物半导体膜。接着，进行第四光刻工序，以在第一氧化物半导体膜上形成抗蚀剂。并以该抗蚀剂为掩模，对第一氧化物半导体膜进行选择性地蚀刻，以形成第一氧化物半导体层905以及第二氧化物半导体层906。图16B相当于至此为止的工序完成阶段的截面图。

[0418] 接着，利用溅射法进行氧化硅膜的成膜。接着，进行第五光刻工序以在氧化硅膜上形成抗蚀剂。并以该抗蚀剂为掩模，对氧化硅膜进行选择性地蚀刻，以形成覆盖第二氧化物半导体层906的氧化硅层909。

[0419] 接着，利用使用包含硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法在整个基板表面上形成用作钝化膜的氮化硅层910。

[0420] 接着，在氮气氛下进行200℃至600℃的热处理。图16C相当于至此为止的工序完成

阶段的截面图。

[0421] 根据上述工序，可以制造使用氧化物半导体层形成的电阻元件354以及薄膜晶体管355。并且，在图16A至16C所说明的工序中，在形成接触孔904之后，可以形成第一氧化物半导体膜。由此，可以减少接触孔的底面暴露的工序数，从而第一布线901的材料选择的自由度变宽。

[0422] 在本实施方式中说明的电阻元件以及薄膜晶体管使用氧化物半导体层形成。因此，具有该电阻元件以及薄膜晶体管的驱动电路具有良好的动态特性。另外，在用作电阻元件的第一氧化物半导体层上直接接触地设置有利用使用包含硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法形成的氮化硅层，并且在用作薄膜晶体管的第二氧化物半导体层上隔着成为阻挡层的氧化硅层地设置氮化硅层。由此，对与含有高浓度的氢的氮化硅层直接接触的第一氧化物半导体层引入比第二氧化物半导体层更高浓度的氢。其结果，可以使第一氧化物半导体层的电阻值低于第二氧化物半导体层的电阻值。由此，不需要另行进行薄膜晶体管的制造工序以及电阻元件的制造工序，从而可以提供制造工序得到缩减的驱动电路。

[0423] 实施方式2

[0424] 在本实施方式中，使用图17对与实施方式1不同的电阻元件以及薄膜晶体管的一个例子进行说明。另外，图17示出对应于实施方式1所说明的图8的A-B线以及C-D线的电阻元件以及薄膜晶体管的截面结构。

[0425] 在基板900上设置第一布线901以及栅极端子902。并且，在第一布线901以及栅极端子902上设置绝缘层903。另外，由于基板900、第一布线901、栅极端子902以及绝缘层903可以使用在实施方式1中说明的材料，所以在本实施方式中引用实施方式1的说明。

[0426] 在绝缘层903上设置与第一布线901重叠的含有高浓度的氮的第一氧化物半导体层2001以及与栅极端子902重叠的含有高浓度的氮的第二氧化物半导体层2002。另外，第一布线901在形成在绝缘层903中的接触孔904中与含有高浓度的氮的第一氧化物半导体层2001接触。

[0427] 另外，含有高浓度的氮的第一氧化物半导体层2001以及含有高浓度的氮的第二氧化物半导体层2002是使用由与形成实施方式1所示的第一氧化物半导体膜以及第二氧化物半导体膜不同的条件形成的氧化物半导体膜形成的氮浓度高的氧化物半导体层。具体而言，它们是在氧化物半导体层中的氮(N)相对于氧(O)的比率(N/O)为0.05以上且0.8以下的范围，优选为0.1以上且0.5以下的范围的氧化物半导体层。

[0428] 例如，当利用溅射法进行含有高浓度的氮的氧化物半导体膜的成膜时，使用含有氮的溅射气体进行成膜即可。作为利用溅射法的成膜条件之一，使用In_2O_3:Ga_2O_3:ZnO＝1:1:1的靶材(In:Ga:Zn＝1:1:0.5)，并且将压力设定为0.4Pa，将直流(DC)电源设定为500W，并将氩气体流量设定为35sccm，将氮气体流量设定为5sccm。另外，当使用脉冲直流(DC)电源时，可以减少尘屑并使膜厚度均匀，所以是优选的。接着，利用光刻工序由含有高浓度的氮的氧化物半导体膜形成含有高浓度的氮的第一氧化物半导体层2001以及含有高浓度的氮的第二氧化物半导体层2002。

[0429] 接着，设置第二布线907以及第三布线908。第二布线907覆盖含有高浓度的氮的第一氧化物半导体层2001的一端以及含有高浓度的氮的第二氧化物半导体层2002的一端，第

三布线908覆盖含有高浓度的氮的第二氧化物半导体层2002的另一端。另外，由于第二布线907以及第三布线908可以使用实施方式1所说明的材料，所以本实施方式引用实施方式1的说明。

[0430] 接着，在含有高浓度的氮的第二氧化物半导体层2002上设置氧化硅层909。通过对利用溅射法而形成的氧化硅膜进行选择性地蚀刻来形成氧化硅层。该氧化硅层可以通过以下方法形成，即：以硅为靶材，并使用含有氩及氧的溅射气体；或者，以氧化硅为靶材，并使用氩作为溅射气体。

[0431] 在该阶段中，在包含成为氢原子的供给源的物质的气氛下进行200℃至600℃，典型的是250℃至500℃的热处理。作为该热处理条件之一，在350℃下进行一个小时的热处理。另外，作为包含成为氢原子的供给源的物质的气氛，可以使用氢与氩等的稀有气体的混合气氛等。

[0432] 氧化物半导体层中的氮具有的效果是：可以在防止构成氧化物半导体层的原子在膜中被填充得过密的并且促进氢向膜中的扩散、固溶(solid dissolution)。所以通过该热处理，对含有高浓度的氮的第一氧化物半导体层2001引入氢。其结果，含有高浓度的氮的第一氧化物半导体层2001的氢浓度高于含有高浓度的氮的第二氧化物半导体层2002的氢浓度。即，可以使含有高浓度的氮的第一氧化物半导体层2001的电阻值低于含有高浓度的氮的第二氧化物半导体层2002的电阻值。

[0433] 并且，在整个基板表面上形成利用使用包含硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法形成的氮化硅层910。该氮化硅层910是含有高浓度的氢的氮化硅。所以，可以进一步提高与该氮化硅层910直接接触的含有高浓度的氮的第一氧化物半导体层2001的氢浓度，并谋求实现低电阻化。

[0434] 根据上述方法，可以形成使用有低电阻化了的含有高浓度的氮的第一氧化物半导体层2001的电阻元件354、以及使用有维持有高电阻值的含有高浓度的氮的第二氧化物半导体层2002的薄膜晶体管355。

[0435] 另外，在本实施方式中，虽然示出对应于图8的A-B线的电阻元件的截面结构，但是也可以如图9以及图10所示地将含有高浓度的氮的第一氧化物半导体层形成为蜿蜒形状(蛇行形状)。另外，还可以如图10所示地在含有高浓度的氮的氧化物半导体层的两端上形成布线层。

[0436] 另外，在本实施方式中，虽然示出沟道蚀刻型的薄膜晶体管的截面结构，但也可以采用沟道停止型的薄膜晶体管。另外，在本实施方式中，虽然示出反交错型的薄膜晶体管，但也可以采用共面型的薄膜晶体管。

[0437] 本实施方式所说明的电阻元件以及薄膜晶体管使用含有高浓度的氮的氧化物半导体层形成。由此，具有该电阻元件以及薄膜晶体管的驱动电路具有良好的动态特性。另外，通过在包含成为氢原子的供给源的物质的气氛下进行200℃至600℃，典型的是250℃至500℃的热处理，对用作电阻元件的含有高浓度的氮的第一氧化物半导体层引入氢。由此，对含有高浓度的氮的第一氧化物半导体层引入比第二氧化物半导体层更高浓度的氢。其结果，可以使含有高浓度的氮的第一氧化物半导体层的电阻值低于含有高浓度的氮的第二氧化物半导体层的电阻值。由此，不需要另行进行薄膜晶体管的制造工序以及电阻元件的制造工序，从而可以提供制造工序得到缩减的驱动电路。

[0438] 实施方式3

[0439] 在本实施方式中，使用图18A至18C以及图19A和19B对使用实施方式1所说明的氧化物半导体层以及实施方式2所说明的含有高浓度的氮的氧化物半导体层而制造的电阻元件以及薄膜晶体管进行说明。另外，图18A至18C以及图19A和19B示出对应于图8的A-B线以及C-D线的电阻元件以及薄膜晶体管的截面结构。

[0440] 具体而言，在本实施方式中，使用图18A至18C以及图19A和19B对使用实施方式2所述的含有高浓度的氮的氧化物半导体层来替代实施方式1所述的缓冲层的结构进行说明。

[0441] 首先，在基板900上形成第一导电膜。可以使用以溅射法、真空蒸镀法、脉冲激光蒸镀法、离子电镀法等为代表的薄膜淀积法进行第一导电膜的成膜。接着，进行第一光刻工序，以在第一导电膜上形成抗蚀剂。并且，以该抗蚀剂为掩模，对第一导电膜进行选择性地蚀刻，以形成第一布线901以及栅极端子902。接着，形成覆盖第一布线901以及栅极端子902的绝缘膜。可以使用以溅射法、真空蒸镀法、脉冲激光淀积法、离子电镀法、等离子体CVD法等为代表的薄膜淀积法进行绝缘膜的成膜。接着，进行第二光刻工序，以在绝缘膜上形成抗蚀剂。并且，以该抗蚀剂为掩模，对绝缘膜进行选择性地蚀刻，以形成设置有接触孔904的绝缘层903。另外，由于第一布线901、栅极端子902以及绝缘层903可以使用实施方式1所说明的材料，所以在本实施方式中引用实施方式1的说明。图18A相当于至此为止的工序完成阶段的截面图。

[0442] 接着，形成氧化物半导体膜950。可以使用以溅射法、真空蒸镀法、脉冲激光淀积法、离子电镀法、等离子体CVD法等为代表的薄膜淀积法进行氧化物半导体膜950的成膜。当进行利用溅射法的成膜时，优选使用烧结In_2O_3、Ga_2O_3、ZnO而形成的靶材。作为利用溅射法的成膜条件之一，使用通过以$In_2O_3:Ga_2O_3:ZnO=1:1:1$的比例进行混合并烧结而形成的靶材，并将压力设定为0.4Pa，将直流(DC)电源设定为500W，将氩气体流量设定为10sccm，并将氧气体流量设定为5sccm。

[0443] 接着，形成含有高浓度的氮的氧化物半导体膜951。可以使用以溅射法、真空蒸镀法、脉冲激光蒸镀法、离子电镀法等为代表的薄膜淀积法进行含有高浓度的氮的氧化物半导体膜951的成膜。当进行利用溅射法的成膜时，优选使用烧结In_2O_3、Ga_2O_3、ZnO而形成的靶材。作为利用溅射法的含有高浓度的氮的氧化物半导体膜951的成膜条件之一，使用以$In_2O_3:Ga_2O_3:ZnO=1:1:1$的比例进行混合并通过烧结而形成的靶材，并将压力设定为0.4Pa，将直流(DC)电源设定为500W，将氩气体流量设定为35sccm，并将氮气体流量设定为5sccm。图18B相当于至此为止的工序完成阶段的截面图。

[0444] 接着，进行第三光刻工序，以在含有高浓度的氮的氧化物半导体膜951上形成抗蚀剂。并且，以该抗蚀剂为掩模对氧化物半导体膜950以及含有高浓度的氮的氧化物半导体膜951进行选择性地蚀刻，而形成第一氧化物半导体层960及含有高浓度的氮的第一氧化物半导体层961的叠层、以及第二氧化物半导体层962及含有高浓度的氮的第二氧化物半导体层963的叠层。图18C相当于至此为止的工序完成阶段的截面图。

[0445] 在该阶段中，在包含成为氢原子的供给源的物质的气氛中进行200℃至600℃，典型的是250℃至500℃的热处理。作为该热处理条件之一，在350℃下进行一个小时的热处理。另外，作为包含成为氢原子的供给源的物质的气氛，可以使用氢与氩等的稀有气体的混合气氛等。

[0446] 氧化物半导体层中的氮可以在防止构成氧化物半导体层的原子在膜中被填充得过密并且促进氢向膜中的扩散、固溶。所以通过该热处理，对含有高浓度的氮的第一氧化物半导体层961以及含有高浓度的氮的第二氧化物半导体层963引入氢。其结果，可以使含有高浓度的氮的第一氧化物半导体层961以及含有高浓度的氮的第二氧化物半导体层963的电阻值减小。

[0447] 接着，形成第二导电膜。可以使用以溅射法、真空蒸镀法、脉冲激光蒸镀法、离子电镀法等为代表的薄膜淀积法进行第二导电膜的成膜。接着，进行第四光刻工序，以在第二导电膜上形成抗蚀剂。并且，以该抗蚀剂为掩模，对第二导电膜进行选择性地蚀刻，以形成第二布线907以及第三布线908。另外，由于第二布线907、第三布线908可以使用实施方式1所说明的材料，所以在本实施方式中引用实施方式1的说明。另外，在该蚀刻工序中，不与第二布线907以及第三布线908重叠的区域的含有高浓度的氮的氧化物半导体层被蚀刻而被去除。另外，该区域的氧化物半导体层也被部分地蚀刻，而形成氧化物半导体层964、966以及含有高浓度的氮的氧化物半导体层965、967、968。图19A相当于至此为止的工序完成阶段的截面图。

[0448] 接着，利用溅射法进行氧化硅膜的成膜。例如，可以以硅为靶材使用含有氩及氧的溅射气体进行氧化硅膜的成膜。另外，还可以以氧化硅为靶材，并将氩作为溅射气体进行氧化硅膜的成膜。接着，通过第五光刻工序，以在氧化硅膜上形成抗蚀剂。并且，将该抗蚀剂作为掩模，对氧化硅膜进行选择性地蚀刻，以形成氧化硅层909。

[0449] 接着，形成用作钝化膜的氮化硅层910。利用使用包含硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法形成该氮化硅层910。根据上述工序，可以形成电阻元件354以及薄膜晶体管355。图19B相当于至此为止的工序完成阶段的截面图。

[0450] 本实施方式所示的电阻元件354以及薄膜晶体管355在氧化物半导体层与导电体的布线层之间形成引入有氢且被低电阻化的含有高浓度的氮的氧化物半导体层965、967、968。由此，氧化物半导体层与布线层的接合成为比肖特基接合更良好的接合，并且在热方面上也稳定动作。另外，在薄膜晶体管355中，通过形成含有高浓度的氮的氧化物半导体层967、968，即使在高漏极电压下也能保持良好的迁移率。

[0451] 另外，在上述制造工序中，虽然示出在氧化物半导体层的蚀刻工序之后进行对含有高浓度的氮的氧化物半导体层引入氢的热处理的例子，但是只要是在形成含有高浓度的氮的氧化物半导体膜之后至形成第二导电膜之前，就可以在任一工序中进行该热处理。例如，可以将该热处理作为形成含有高浓度的氮的氧化物半导体膜之后的下一工序。

[0452] 另外，在本实施方式中，虽然示出对应于图8的A-B线的电阻元件的截面结构，但是也可以如图9和图10所示地将氧化物半导体层形成为蜿蜒形状(蛇行形状)。另外，还可以如图10所示地在含有高浓度的氮的氧化物半导体层的两端上形成布线层。

[0453] 另外，在本实施方式中，虽然示出沟道蚀刻型的薄膜晶体管的截面结构，但也可以采用沟道停止型的薄膜晶体管。另外，在本实施方式中，虽然示出反交错型的薄膜晶体管，但也可以采用共面型的薄膜晶体管。

[0454] 本实施方式所说明的电阻元件以及薄膜晶体管使用氧化物半导体层以及含有高浓度的氮的氧化物半导体层形成。由此，具有该电阻元件以及薄膜晶体管的驱动电路具有良好的动态特性。另外，在用作电阻元件的第一氧化物半导体层上直接接触地设置有利用

使用包含硅烷(SiH_4)以及氨(NH_3)等的氢化合物的气体的等离子体CVD法形成的氮化硅层，并且在用作薄膜晶体管的第二氧化物半导体层上隔着成为阻挡层的氧化硅层地设置有氮化硅层。由此，对与含有高浓度的氢的氮化硅层直接接触的第一氧化物半导体层引入比第二氧化物半导体层更高浓度的氢。其结果，可以使第一氧化物半导体层的电阻值低于第二氧化物半导体层的电阻值。由此，不需要另行进行薄膜晶体管的制造工序以及电阻元件的制造工序，从而可以提供制造工序得到缩减的驱动电路。

[0455] 实施方式4

[0456] 在本实施方式中，使用图20A至20C对具有由动态电路构成的移位寄存器的驱动电路的结构例进行说明。

[0457] 图20A所示的脉冲输出电路1400由起始脉冲(SP)从输入端子输入的倒相电路1401、一方的端子与倒相电路1401的输出端子连接的开关1402、以及与开关1402的另一方的端子连接的电容元件1403构成。另外，奇数级的脉冲输出电路的开关1402根据第一时钟信号(CLK1)被控制为导通、截止。另外，偶数级的脉冲输出电路的开关1402根据第二时钟信号(CLK2)被控制为导通、截止。

[0458] 图20B对脉冲输出电路的电路结构进行详细地表示。脉冲输出电路1400包括薄膜晶体管1411、1413、电阻元件1412、电容元件1414。另外，奇数级的脉冲输出电路与用来供给第一时钟信号(CLK1)的布线1415连接，偶数级的脉冲输出电路与用来供给第二时钟信号(CLK2)的布线1416连接。在脉冲输出电路1400中，薄膜晶体管1411以及电阻元件1412相当于图20A所示的倒相电路1401，且为ERMOS电路。另外，薄膜晶体管1413相当于图20A所示的开关1402，电容元件1414相当于图20A所示的电容元件1403。另外，薄膜晶体管1413优选与薄膜晶体管1411同样地由增强型晶体管构成。通过使用增强型晶体管作为开关，可以降低晶体管的截止电流，所以可以谋求实现低耗电量化并缩减制造工序。

[0459] 这里，在图20C中示出图20A和20B所示的电路的电路动作的时序图。另外，在图20C中，为了便于说明，使用A至E的附图标记对图20B中的电路的节点进行说明。

[0460] 首先，对第一时钟信号(CLK1)为H电平且第二时钟信号(CLK2)为L电平的状态进行说明。

[0461] 根据起始脉冲(SP)而反相信号出现在节点A。由于第一时钟信号(CLK1)为H电平，所以节点B的信号与节点A相等。并且，节点B的信号被下一级的倒相电路反相，节点C出现节点B的信号反相了的信号。由于第二时钟信号(CLK2)为L电平且开关断开，所以节点C的信号不出现在节点D。

[0462] 接着，对第一时钟信号(CLK1)为L电平且第二时钟信号(CLK2)为H电平的状态进行说明。

[0463] 节点C的信号转移到节点D，节点D反映并出现节点C的信号。并且，节点D的信号被倒相电路反相，并且节点E出现节点D的信号反相了的信号。并且，通过使第一时钟信号(CLK1)以及第二时钟信号(CLK2)交替地成为H电平，可以作为移位寄存器而动作。

[0464] 另外，具有本实施方式所示的脉冲输出电路的移位寄存器可以用于源极线驱动电路以及栅极线驱动电路。另外，还可以采用从移位寄存器输出的信号通过逻辑电路等输出而得到所希望的信号的结构。

[0465] 本实施方式所说明的动态电路具有ERMOS电路。该ERMOS电路由实施方式1至3所述

的电阻元件以及薄膜晶体管构成。因此，该动态电路具有良好的动态特性。

[0466] 实施方式5

[0467] 在本实施方式中，使用图21及图22A和22B对设置有保护电路的显示装置的一个例子进行说明。

[0468] 图21示出显示装置的整体图。在基板500上一体形成有源极线驱动电路501、第一栅极线驱动电路502A、第二栅极线驱动电路502B以及像素部503。在像素部503中，以虚线框510围绕的部分为一个像素。在图21的例中，作为栅极线驱动电路示出第一栅极线驱动电路502A以及第二栅极线驱动电路502B，但是也可以仅有任一方。另外，在显示装置的像素中，根据薄膜晶体管进行显示元件的控制。对源极线驱动电路501、第一栅极线驱动电路502A以及第二栅极线驱动电路502B进行驱动的信号(时钟信号、起始脉冲等)通过柔性印刷电路(Flexible Print Circuit:FPC)504A、504B从外部输入。

[0469] 并且，在源极线驱动电路501及第一栅极线驱动电路502A与像素部之间分别设置有保护电路550、551。另外，保护电路550、551与从源极线驱动电路501以及第一栅极线驱动电路502A延伸至像素部503的布线连接。保护电路550、551即使在与信号或电源电压一起输入有杂波的情况下，也能够防止因杂波的后续级的电路的错误动作、或半导体元件的劣化或损坏。因此，可以提高可靠性及成品率。

[0470] 接着，参照图22A和22B对图21所示的保护电路550、551的具体的电路结构的例子进行说明。

[0471] 图22A所示的保护电路包括用作保护二极管的二极管连接的n型薄膜晶体管560至567、以及电阻元件568。另外，二极管连接的n型薄膜晶体管的栅极端子以及第一端子一侧为阳极，第二端子一侧为阴极。

[0472] 二极管连接的n型薄膜晶体管560的阳极与被供给低电源电位VSS的布线连接。二极管连接的n型薄膜晶体管561的阳极与二极管连接的n型薄膜晶体管560的阴极连接。另外，二极管连接的n型薄膜晶体管562的阳极与布线569连接。二极管连接的n型薄膜晶体管563的阳极与二极管连接的n型薄膜晶体管562的阴极连接，并且阴极与高电源电位VDD连接。二极管连接的n型薄膜晶体管564至二极管连接的n型薄膜晶体管567与二极管连接的n型薄膜晶体管560至二极管连接的n型薄膜晶体管563同样地连接。电阻元件568与输入输入电位Vin的端子以及输出输出电位Vout的端子串联连接。

[0473] 以下对图22A所示的保护电路的动作进行说明。

[0474] 当来自驱动电路的输入电位Vin非常高时，具体而言，当输入电位Vin为高电源电位VDD以及二极管连接的n型薄膜晶体管562、563的正向电压降之和以上时，二极管连接的n型薄膜晶体管562、563导通，而布线569的电位显示对应于高电压电位VDD及二极管连接的n型薄膜晶体管562、563的正向电压降之和的电位。

[0475] 另一方面，当来自驱动电路的输入电位Vin非常低时，具体而言，当输入电位Vin为低电源电位VSS与二极管连接的n型薄膜晶体管560、561的正向电压降之差以下时，二极管连接的n型薄膜晶体管560、561导通，布线569的电位显示对应于低电压电位VSS与二极管连接的n型薄膜晶体管560、561的正向电压降之差的电位。

[0476] 由此，保护电路的输出电位Vout可以维持在某一定的范围内。

[0477] 另外，在本实施方式中示出与二极管连接的n型薄膜晶体管560至二极管连接的n

型薄膜晶体管563同样地设置二极管连接的n型薄膜晶体管564至二极管连接的n型薄膜晶体管567的结构。通过设置二极管连接的n型薄膜晶体管564至二极管连接的n型薄膜晶体管567，可以增加当来自驱动电路的输入电位Vin非常高或低时的电流的路径。由此，可以进一步提高显示装置的可靠性。

[0478] 另外，电阻元件568可以缓和布线569的电位的急剧变化，从而防止像素部的半导体元件的劣化或损坏。

[0479] 图22B所示的保护电路包括电阻元件570、电阻元件571以及二极管连接的n型薄膜晶体管572。电阻元件570、电阻元件571以及二极管连接的n型薄膜晶体管572串联连接到布线573上。

[0480] 利用电阻元件570及电阻元件571可以缓和布线573的电位的急剧变化，从而防止像素部的半导体元件的劣化或损坏。另外，利用二极管连接的n型薄膜晶体管572，可以防止因电位的变化而引起的向布线573流过反方向偏压的电流。

[0481] 另外，当仅将电阻元件串联连接到布线上时，可以缓和布线的电位的急剧变化，从而防止像素部的半导体元件的劣化或损坏。另外，当仅将二极管连接的n型薄膜晶体管串联连接到布线时，可以防止因电位的变化而引起的向布线流过反方向偏压的电流。

[0482] 另外，本实施方式的保护电路不局限于图22A和22B所示的结构。只要是具有同样功能的电路结构，就可以适当地进行设计变更。

[0483] 在本实施方式中说明的保护电路具有实施方式1至3所述的电阻元件以及薄膜晶体管。因此，该保护电路具有良好的动态特性。

[0484] 实施方式6

[0485] 在本实施方式中，示出发光显示装置的例子作为具有实施方式1至3所示的电阻元件以及薄膜晶体管的半导体装置。在此，示出具有利用电致发光的发光元件的发光显示装置。利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别，一般而言，前者称为有机EL元件，而后者称为无机EL元件。

[0486] 在有机EL元件中，通过对发光元件施加电压，电子和空穴从一对电极分别注入到包含发光有机化合物的层，以产生电流。然后，由于这些载流子(电子和空穴)重新结合，发光有机化合物形成激发态，并且当该激发态恢复到基态时，得到发光。根据这种机理，该发光元件称为电流激励型发光元件。

[0487] 根据其元件的结构，将无机EL元件分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件包括在粘合剂中分散有发光材料的粒子的发光层，且其发光机理是利用施主能级和受主能级的施主-受主重新结合型发光。薄膜型无机EL元件具有利用电介质层夹住发光层并还利用电极夹住该发光层的结构，并且其发光机理是利用金属离子的内层电子跃迁的定域型发光。在此，使用有机EL元件作为发光元件而进行说明。

[0488] 下面对可以使用的像素的结构以及像素的动作进行说明。这里示出具有将氧化物半导体层用作沟道形成区的n沟道型薄膜晶体管的像素。

[0489] 图23是示出像素结构的一个例子的图。图23中的像素6400具有薄膜晶体管6401、6402以及发光元件6403。薄膜晶体管6401的栅极端子连接到栅极线6406，第一端子连接到源极线6405。薄膜晶体管6402的栅极端子连接到薄膜晶体管6401的第二端子，第一端子连接到电源线6407，第二端子连接到发光元件6403的第一电极(像素电极)。另外，电源线6407

设定有高电源电位VDD。

[0490] 发光元件6403的第二电极相当于共同电极6408。共同电极6408与形成在同一基板上的共同电位线电连接。另外，发光元件6403的第二电极(共同电极6408)设定有低电源电位VSS。例如，作为低电源电位VSS可以设定为GND、0V等。另外，将电源线6407所设定的高电源电位VDD与第二电极所设定的低电源电位VSS的电位差施加到发光元件6403上而使电流流过从而使发光元件6403发光，所以以高电源电位VDD与低电源电位VSS的电位差成为发光元件6403的正向阈值电压以上的方式分别设定各电位。

[0491] 接着，参照图24A至24C说明发光元件的结构。另外，在本实施方式中，虽然示出将图12A所示的薄膜晶体管用作发光显示装置的薄膜晶体管的例子，但是本实施方式所示的发光显示装置的薄膜晶体管也可以使用任何其他的实施方式1至3所示的薄膜晶体管。

[0492] 发光元件的阳极及阴极中之至少一方是透明以取出发光即可。而且，有如下结构的发光元件，即在基板上形成薄膜晶体管及发光元件，并从与基板相反的面取出发光的顶部发射、从基板一侧取出发光的底部发射、以及从基板一侧及与基板相反一侧的面取出发光的双面发射。图23所述的像素结构可以应用于任何发射结构的发光元件。

[0493] 参照图24A说明顶部发射结构的发光元件。

[0494] 在图24A中示出当薄膜晶体管7001是n型并且从发光元件7002发射的光穿过阳极7005一侧时的像素的截面图。在图24A中，发光元件7002的阴极7003和薄膜晶体管7001电连接，在阴极7003上按顺序层叠有发光层7004、阳极7005。作为阴极7003，只要是功函数小且反射光的导电层，就可以使用各种材料。例如，优选采用Ca、Al、CaF、MgAg、AlLi等。而且，发光层7004可以由单层或多层的叠层构成。在由多层构成时，在阴极7003上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。另外，不需要设置上述的所有层。使用透过光的具有透光性的导电材料形成阳极7005，也可以使用具有透光性的导电性氧化物，例如，包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0495] 使用阴极7003及阳极7005夹住发光层7004的区域相当于发光元件7002。在图24A所示的像素中，从发光元件7002发射的光如箭头所示那样发射到阳极7005一侧。

[0496] 接着，参照图24B说明底部发射结构的发光元件。图24B示出在薄膜晶体管7011是n型并且从发光元件7012发射的光发射到阴极7013一侧的情况下的像素的截面图。在图24B中，在与薄膜晶体管7011电连接的具有透光性的导电层7017上形成有发光元件7012的阴极7013，在阴极7013上按顺序层叠有发光层7014、阳极7015。另外，在阳极7015具有透光性的情况下，也可以覆盖阳极上地形成有用于反射光或进行遮光的屏蔽层7016。与图24A的情况同样地，阴极7013只要是功函数小的导电材料，就可以使用各种材料。但是，将其厚度设定为透过光的程度(优选为5nm至30nm左右)。例如，也可以将厚度为20nm的铝膜用作阴极7013。而且，与图24A同样地，发光层7014可以由单层或多层的叠层构成。阳极7015不需要透过光，但是可以与图24A同样地使用具有透光性的导电材料形成。并且，虽然屏蔽层7016例如可以使用反射光的金属等，但是不限于金属。例如，也可以使用添加有黑色颜料的树脂等。

[0497] 由阴极7013及阳极7015夹住发光层7014的区域相当于发光元件7012。在图24B所示的像素中，从发光元件7012发射的光如箭头所示那样发射到阴极7013一侧。

[0498] 接着，参照图24C说明双面发射结构的发光元件。在图24C中，在与薄膜晶体管7021电连接的具有透光性的导电层7027上形成有发光元件7022的阴极7023，而在阴极7023上按顺序层叠有发光层7024、阳极7025。与图24A的情况同样地，作为阴极7023，只要是功函数小的导电材料，就可以使用各种材料。但是，将其厚度设定为透过光的程度。例如，可以将厚度为20nm的Al膜用作阴极7023。而且，与图24A同样地，发光层7024可以由单层或多层的叠层构成。阳极7025可以与图24A同样地使用具有透过光的透光性的导电材料形成。

[0499] 阴极7023、发光层7024和阳极7025重叠的部分相当于发光元件7022。在图24C所示的像素中，从发光元件7022发射的光如箭头所示那样发射到阳极7025一侧和阴极7023一侧双方。

[0500] 此外，虽然这里说明了使用有机EL元件作为发光元件的情况，但是也可以使用无机EL元件作为发光元件。

[0501] 接着，参照图25A和25B说明相当于显示装置的一个方式的发光显示面板(也称为发光面板)的外观及截面。图25A是一种面板的俯视图，其中利用密封材料在第一基板与第二基板之间密封形成在第一基板上的薄膜晶体管及发光元件。图25B相当于沿着图25A的E-F的截面图。

[0502] 以围绕设置在第一基板4501上的像素部4502、源极线驱动电路4503a、4503b及栅极线驱动电路4504a、4504b的方式设置有密封材料4505。此外，在像素部4502、源极线驱动电路4503a、4503b及栅极线驱动电路4504a、4504b上设置有第二基板4506。因此，像素部4502、源极线驱动电路4503a、4503b以及栅极线驱动电路4504a、4504b与填料4507一起由第一基板4501、密封材料4505和第二基板4506密封。像这样，为了不暴露于外部空气，优选使用气密性高且漏气少的保护薄膜(贴合薄膜、紫外线固化树脂薄膜等)及覆盖材料进行封装(密封)。

[0503] 此外，设置在第一基板4501上的像素部4502与源极线驱动电路4503a、4503b及栅极线驱动电路4504a、4504b同样地包括使用氧化物半导体制造的薄膜晶体管。在图25B中，例示包括在像素部4502中的薄膜晶体管4510和包括在源极线驱动电路4503a中的薄膜晶体管4509。

[0504] 另外，虽然示出使用具有图12A所示的结构的薄膜晶体管用作薄膜晶体管4509、4510的例子，但是本实施方式所示的发光显示装置的薄膜晶体管也可以使用任何其他的实施方式1至3所示的薄膜晶体管。

[0505] 此外，附图标记4511相当于发光元件，发光元件4511所具有的作为像素电极的第一电极层4517与薄膜晶体管4510的源电极层或漏电极层电连接。另外，虽然发光元件4511的结构是第一电极层4517、电场发光层4512、第二电极层4513的叠层结构，但是不限于本实施方式所示的结构。可以根据从发光元件4511取出发光的方向等而适当地改变发光元件4511的结构。

[0506] 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成分隔壁4520。特别优选的是，使用感光材料，在第一电极层4517上形成开口部，并将其开口部的侧壁形成为具有连续的曲率而成的倾斜面。

[0507] 电场发光层4512既可以由单层构成，又可以由多层的叠层构成。

[0508] 也可以在第二电极层4513及分隔壁4520上形成保护膜，以防止氧、氢、水分、二氧

化碳等进入发光元件4511中。作为保护膜，可以形成氮化硅层、氮氧化硅层、DLC层等。

[0509] 另外，供给到源极线驱动电路4503a、4503b、栅极线驱动电路4504a、4504b、或像素部4502的各种信号及电位是从FPC4518a、4518b供给的。

[0510] 在本实施方式中，连接端子电极4515由与发光元件4511所具有的第一电极层4517相同的导电膜形成，并且端子电极4516由与薄膜晶体管4509、4510所具有的源电极层及漏电极层相同的导电膜形成。

[0511] 连接端子电极4515通过各向异性导电膜4519与FPC4518a所具有的端子电连接。

[0512] 位于从发光元件4511取出发光的方向上的第二基板4506需要具有透光性。在此情况下，使用如玻璃板、塑料板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

[0513] 此外，作为填料4507，除了氮或氩等的惰性气体之外，还可以使用紫外线固化树脂或热固化树脂。可以使用PVC(聚氯乙烯)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)、或EVA(乙烯乙酸乙烯酯)。在本实施方式中，作为填料4507使用氮。

[0514] 另外，若有需要，也可以在发光元件的发射面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板(λ/4片、λ/2片)、彩色滤光片等的光学薄膜。另外，也可以在偏振片或圆偏振片上设置抗反射膜。例如，可以进行抗眩光处理，该处理是利用表面的凹凸来扩散反射光并降低眩光的处理。

[0515] 源极线驱动电路4503a、4503b及栅极线驱动电路4504a、4504b也可以作为在另行准备的基板上形成的驱动电路安装。此外，也可以另行仅形成源极线驱动电路或其一部分、或者栅极线驱动电路或其一部分安装。本实施方式不限于图25A和25B的结构。

[0516] 本实施方式所示的发光显示装置具有实施方式1至3所示的电阻元件以及薄膜晶体管。所以，该发光显示装置具有良好的动态特性。

[0517] 实施方式7

[0518] 在本实施方式中，作为具有实施方式1至3所示的电阻元件以及薄膜膜晶体管的半导体装置，示出电子纸的例子。

[0519] 图26示出有源矩阵型电子纸。图26的电子纸采用旋转球显示方式。旋转球显示方式是指一种方法，其中将分别着色为白色和黑色的球形粒子用于显示元件，配置在电极层的第一电极层及第二电极层之间，并在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向，以进行显示。

[0520] 设置在第一基板580上的薄膜晶体管581是底栅结构的薄膜晶体管，并通过第一端子或第二端子与第一电极层587在形成在绝缘层585中的开口互相接触而电连接。在第一电极层587和第二电极层588之间设置有球形粒子589，该球形粒子589具有黑色区590a、白色区590b，且其周围包括充满了液体的空洞594，并且设置在第一基板580及第二基板596之间的该球形粒子589的周围填充有树脂等的填料595(参照图26)。在本实施方式中，第一电极层587相当于像素电极，第二电极层588相当于共同电极。

[0521] 此外，还可以使用电泳元件代替旋转球。使用直径为10μm至200μm左右的微囊，该微囊中封入有透明液体、带正电的白色微粒和带负电的黑色微粒。在设置在第一电极层和第二电极层之间的微囊中，当由第一电极层和第二电极层施加电场时，白色微粒和黑色微粒移动到相反方向，从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件，一般地称为电子纸。电泳显示元件具有比液晶显示元件高的反射率，因而不需要辅助

灯。此外，耗电量低，并且在昏暗的地方也能够辨别显示部。另外，即使不向显示部供应电源，也能够保持显示过一次的图像。从而，即使使具有显示功能的半导体装置（简单地称为显示装置，或称为具备显示装置的半导体装置）从电波发射源离开，也能够储存显示过的图像。

[0522] 本实施方式所示的电子纸具有实施方式1至3所示的电阻元件及薄膜晶体管。因此，电子纸具有良好的动态特性。

[0523] 实施方式8

[0524] 在本实施方式中，作为具有实施方式1至3所示的电阻元件及薄膜晶体管的半导体装置，对电子设备的例子进行说明。

[0525] 图27A是便携式游戏机，其可以包括框体9630、显示部9631、扬声器9632、操作键9633、连接端子9634、记录媒体读取部9635等。图27A所示的便携式游戏机有如下功能：读出储存在记录媒体中的程序或数据并将其显示在显示部上；通过与其他便携式游戏机进行无线通信而实现信息共享；等等。另外，图27A所示的便携式游戏机可以具有各种功能，而不限于这些功能。

[0526] 图27B是数码相机，其可以包括框体9640、显示部9641、扬声器9642、操作键9643、连接端子9644、快门按钮9645、图像接收部9646等。图27B所示的具有电视图像接收功能的数码相机可以具有如下功能：拍摄静止图像；拍摄动态图像；对所拍摄的图像进行自动或手动校正；由天线接收各种信息；对所拍摄的图像或由天线接收到的信息进行储存；将所拍摄的图像或由天线接收到的信息显示在显示部上；等等。另外，图27B所示的具有电视图像接收功能的数码相机可以具有各种功能，而不限于这些功能。

[0527] 图27C是电视图像接收机，其可以包括框体9650、显示部9651、扬声器9652、操作键9653、连接端子9654等。图27C所示的电视图像接收机可以具有如下功能：对电视电波进行处理而将其转换为图像信号；对图像信号进行处理并将其转换为适于显示的信号；对图像信号的帧频率进行转换；等等。另外，图27C所示的电视图像接收机可以具有各种功能，而不限于这些功能。

[0528] 图28A是计算机，其可以包括框体9660、显示部9661、扬声器9662、操作键9663、连接端子9664、点击设备9665、外部连接端口9666等。图28A所示的计算机可以具有如下功能：将各种信息（静止图像、动态图像、文字图像等）显示在显示部上；利用各种软件（程序）控制处理；无线通信或有线通信等的通信功能；利用通信功能而连接到各种计算机网络的功能；根据通信功能进行各种数据的发送或接收；等等。另外，图28A所示的计算机可以具有各种功能，而不限于这些功能。

[0529] 图28B是手机，其可以包括框体9670、显示部9671、扬声器9672、操作键9673、麦克风9674等。图28B所示的手机可以具有如下功能：显示各种信息（静止图像、动态图像、文字图像等）；将日历、日期或时刻等显示在显示部上；对显示在显示部上的信息进行操作或编辑；利用各种软件（程序）控制处理；等等。另外，图28B所示的手机可以具有各种功能，而不限于这些功能。

[0530] 本实施方式所示的电子设备具有实施方式1至3所示的电阻元件以及薄膜晶体管。因此，电子设备具有良好的动态特性。

[0531] 本说明书根据2008年12月24日在日本专利局受理的日本专利申请编号2008-

327998而制作，所述申请内容包括在本说明书中。

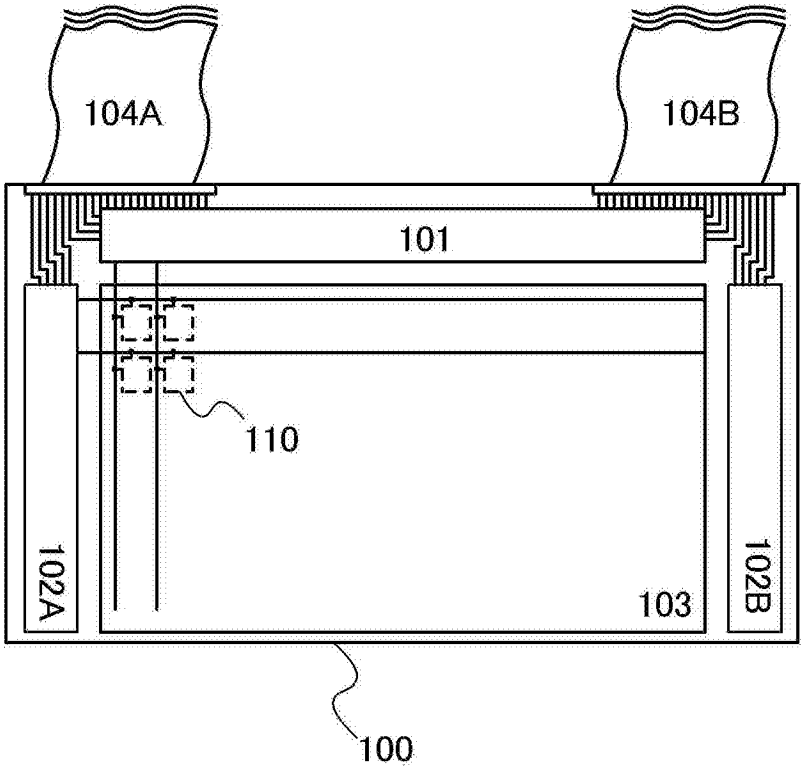


图1

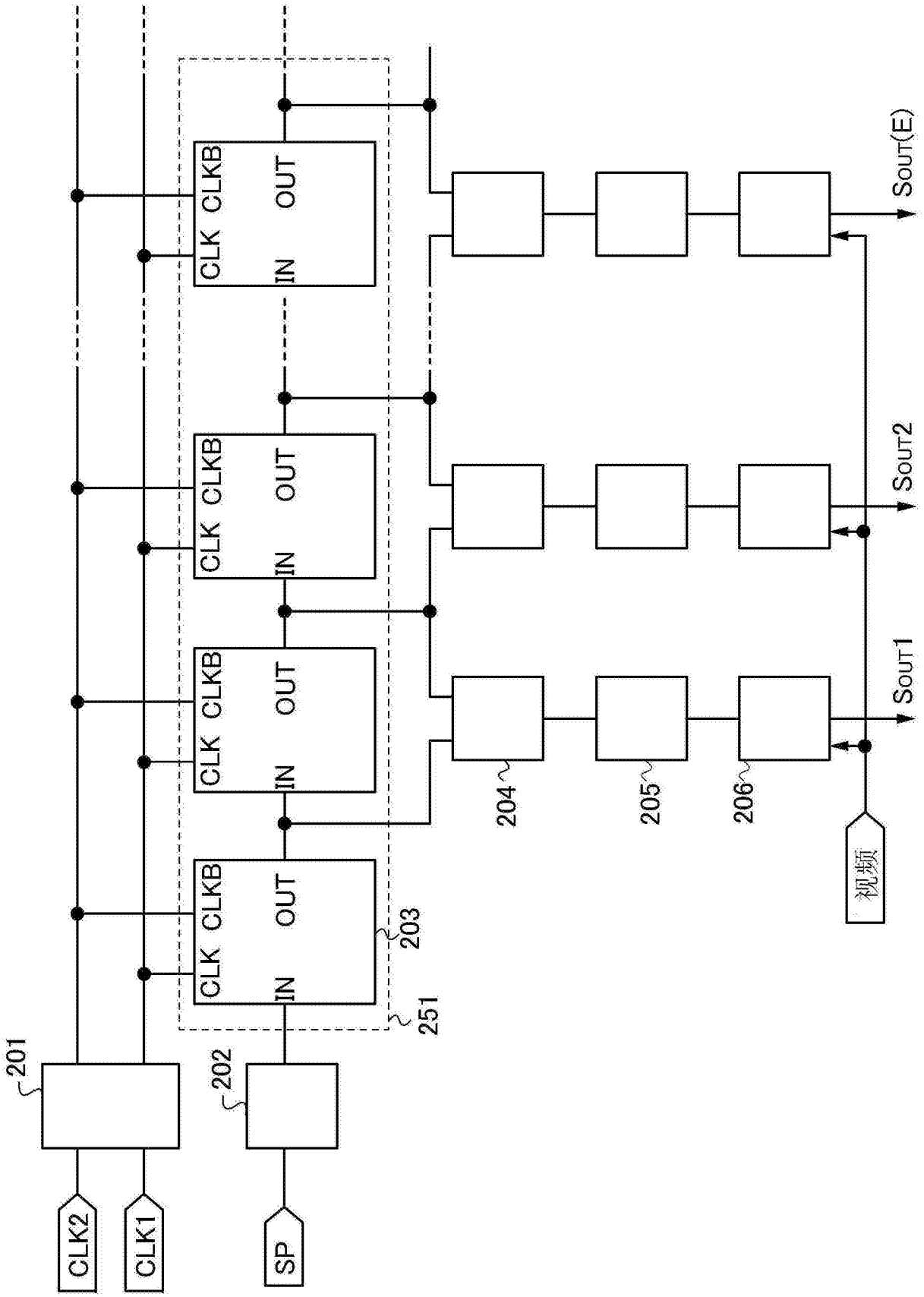

CLK2
CLK1
SP
201
202
CLK
CLKB
IN
OUT
203
251
204
205
206
视频
SOUT(E)
SOUT2
SOUT1

图2

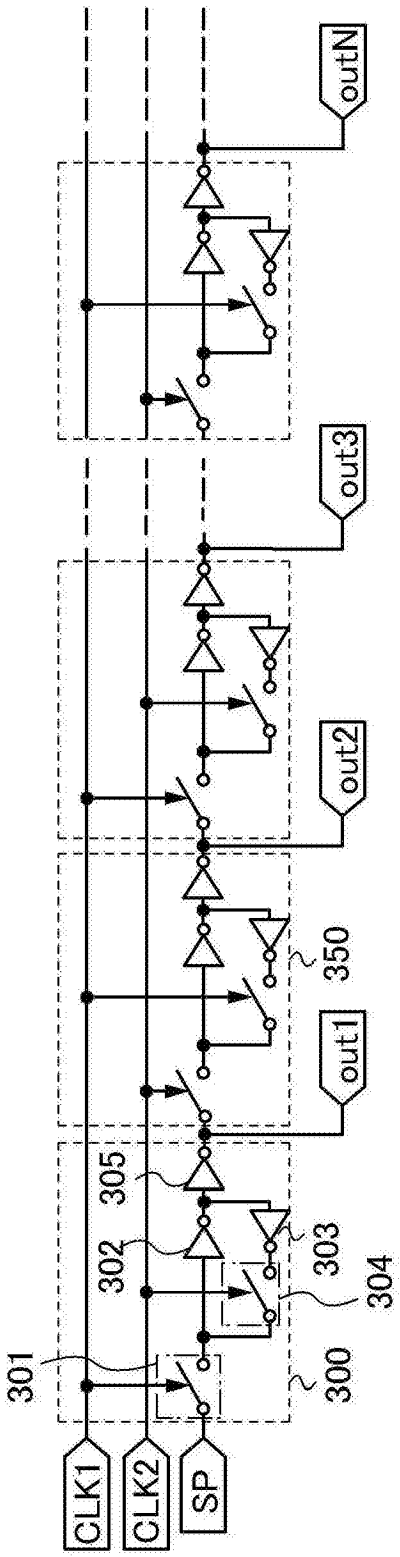

outN
out3
out2
out1
350
305
302
303
304
301
300
CLK1
CLK2
SP

图3A

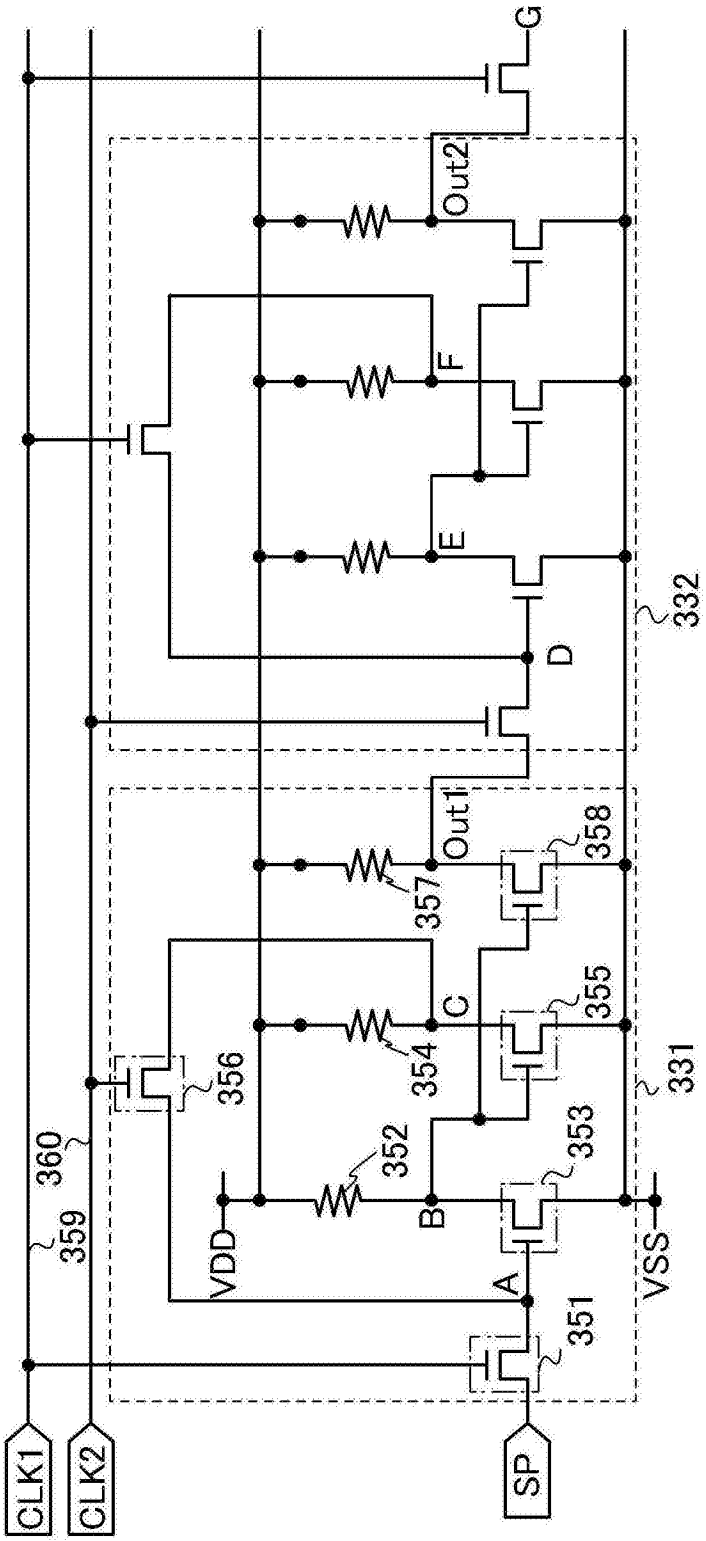

G
Out2
F
E
D
332
Out1
358
357
C
355
354
356
331
360
352
353
359
B
VDD
A
351
VSS
CLK1
CLK2
SP

图3B

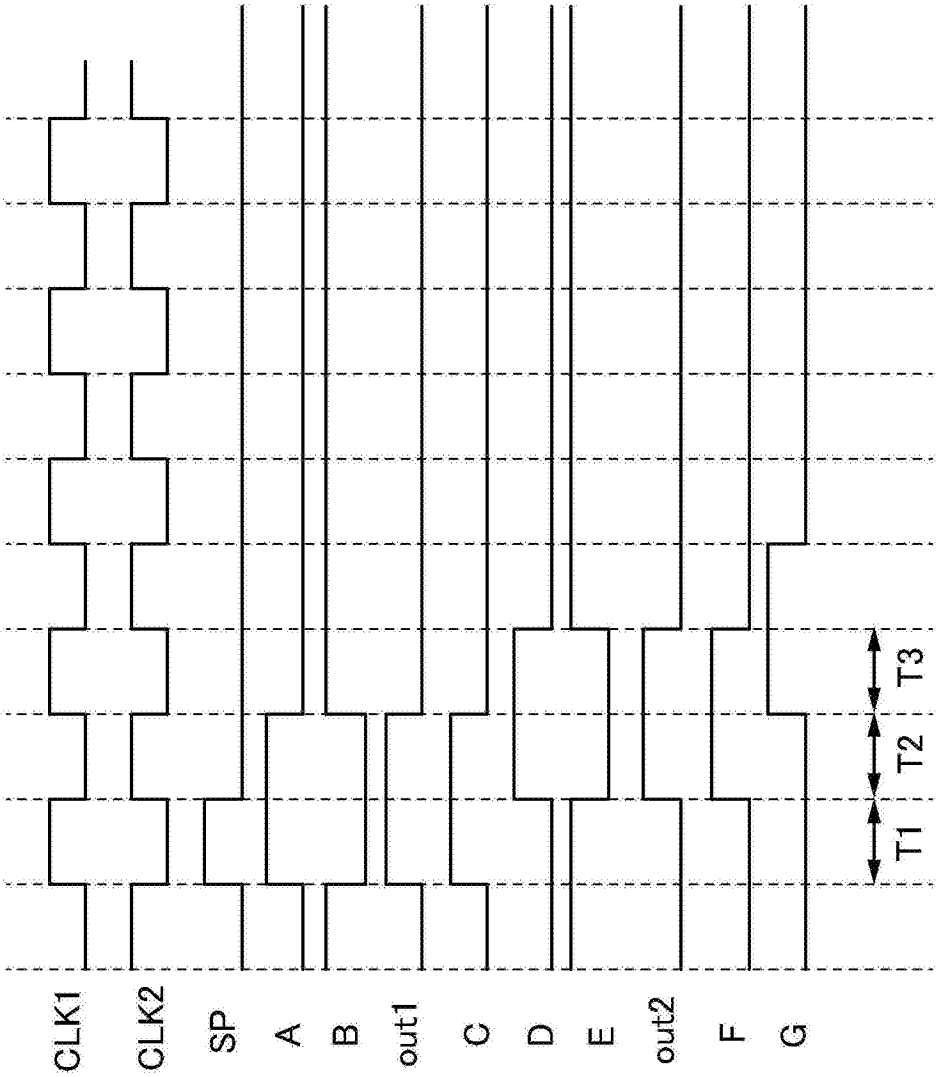

CLK1
CLK2
SP
A
B
out1
C
D
E
out2
F
G
T1
T2
T3

图4

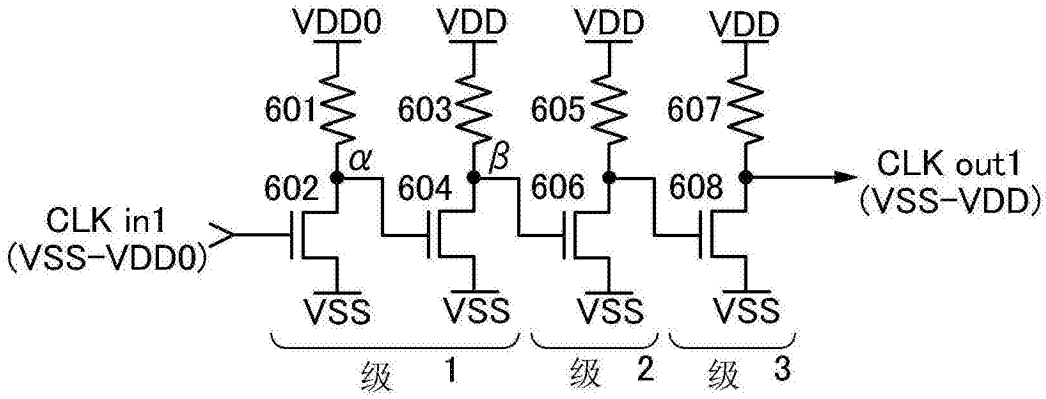

VDD0
VDD
VDD
VDD
601
603
605
607
α
β
602
604
606
608
CLK in1
(VSS-VDD0)
CLK out1
(VSS-VDD)
VSS
VSS
VSS
VSS
级 1
级 2
级 3

图5A

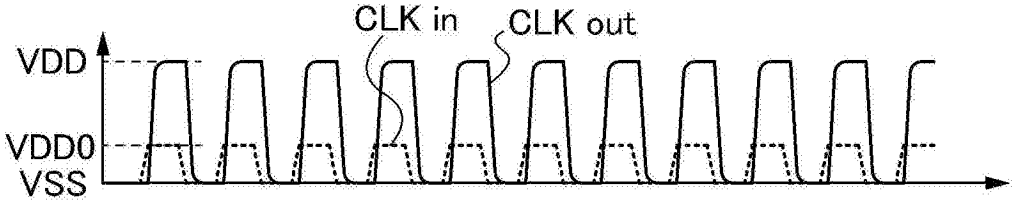


图5B

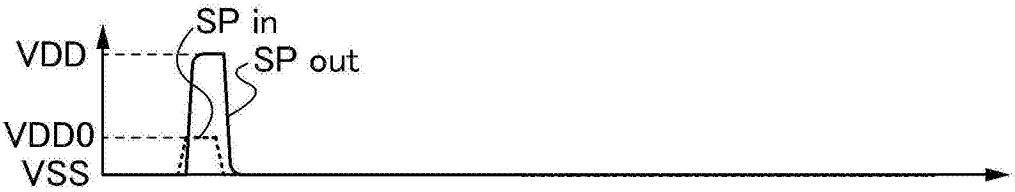


图5C

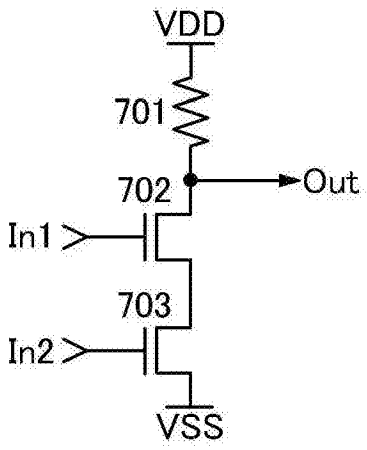


图6A

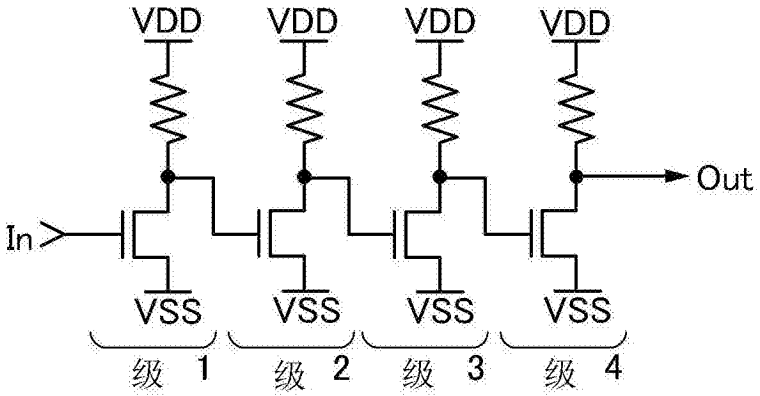


图6B

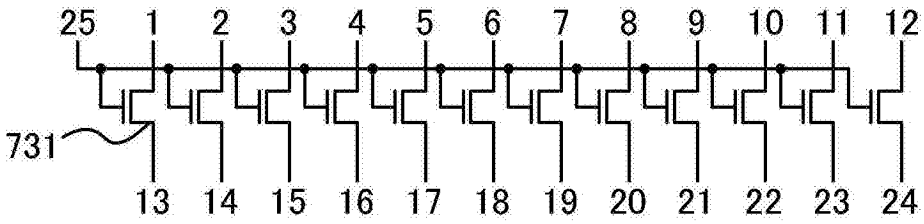


图6C

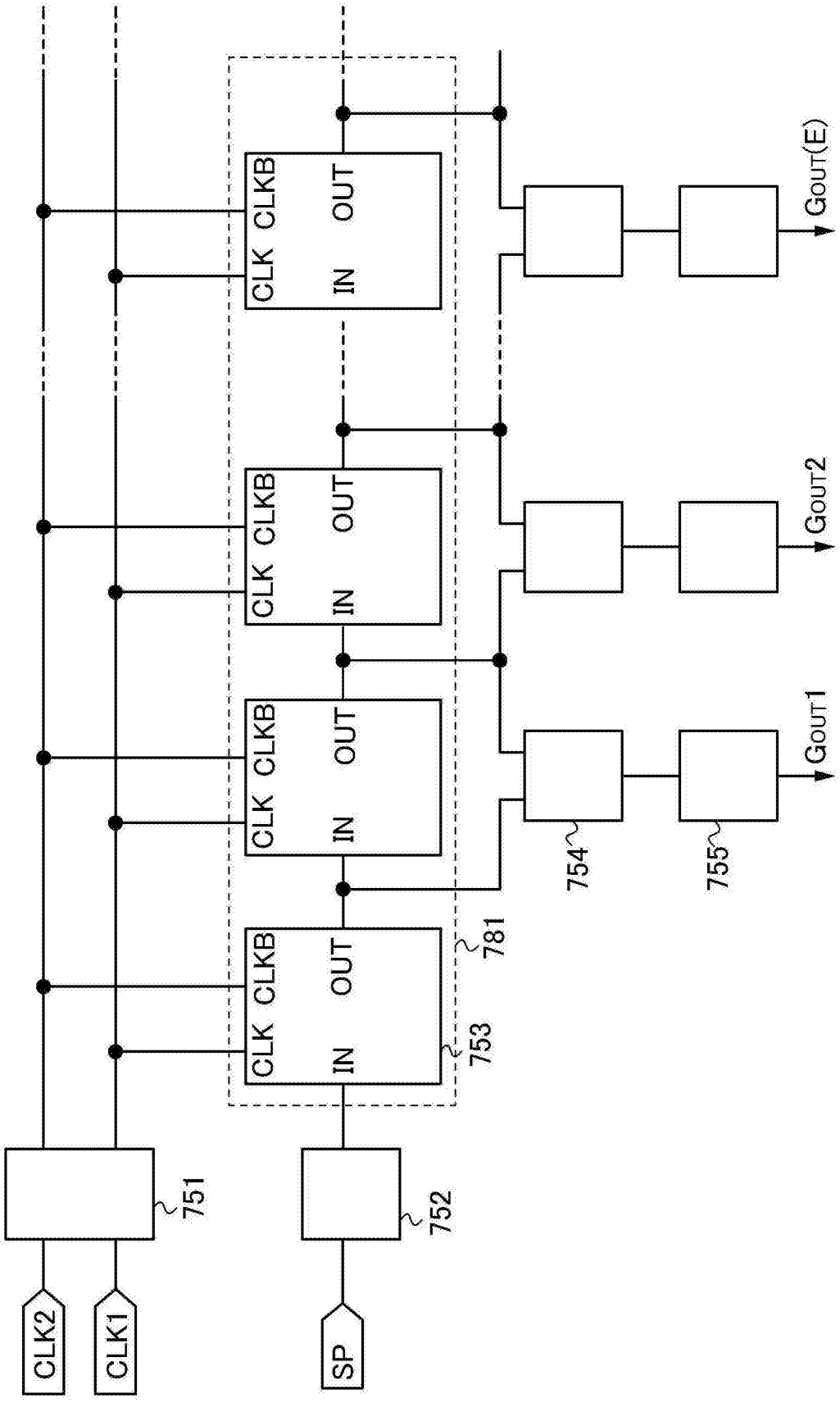

CLK
CLKB
IN
OUT
GOUT(E)
GOUT2
GOUT1
754
755
781
753
751
752
CLK2
CLK1
SP

图7

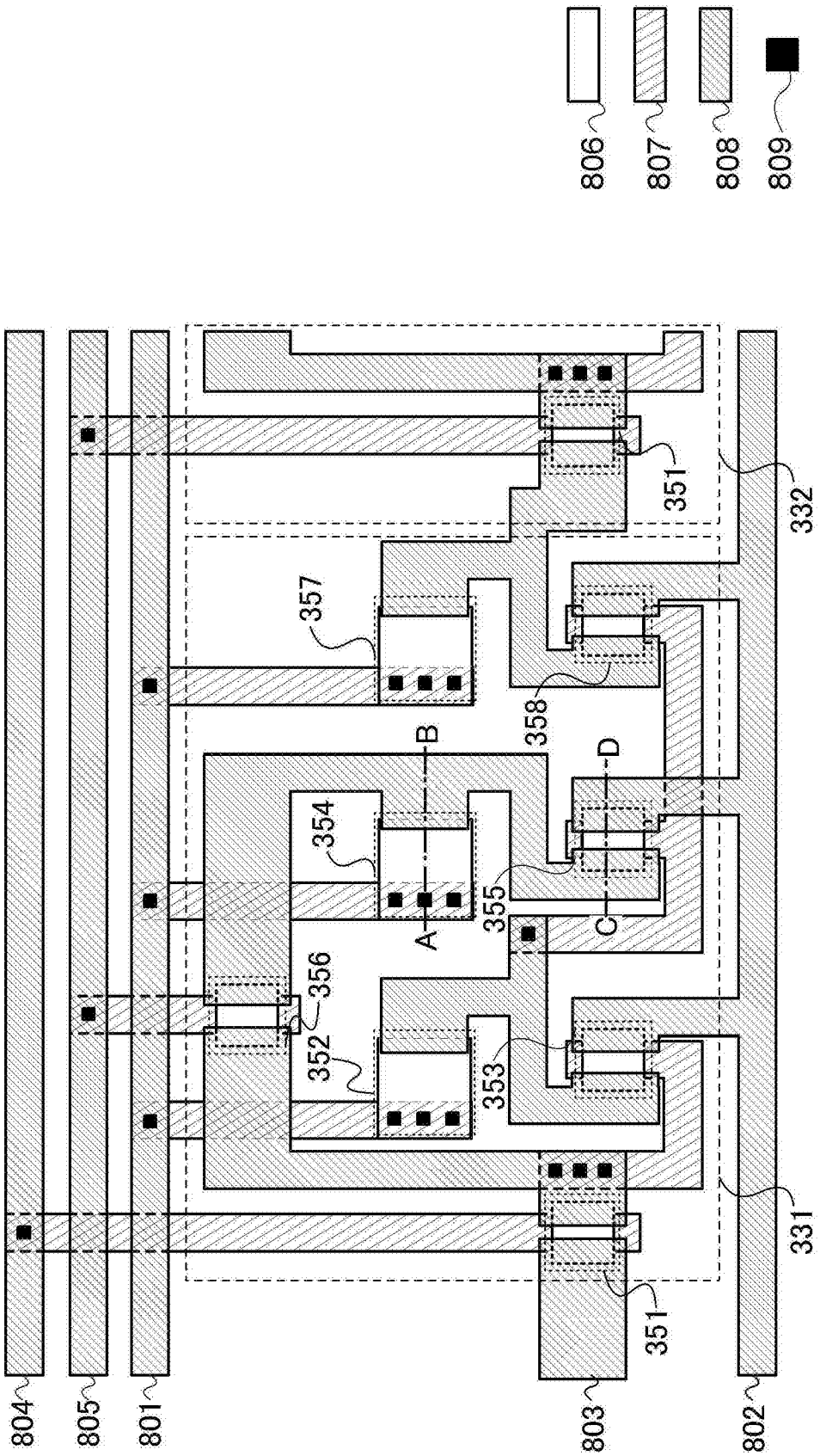

806
807
808
809
804
805
801
803
802
331
332
351
357
358
354
355
356
352
353
A
B
C
D

图8

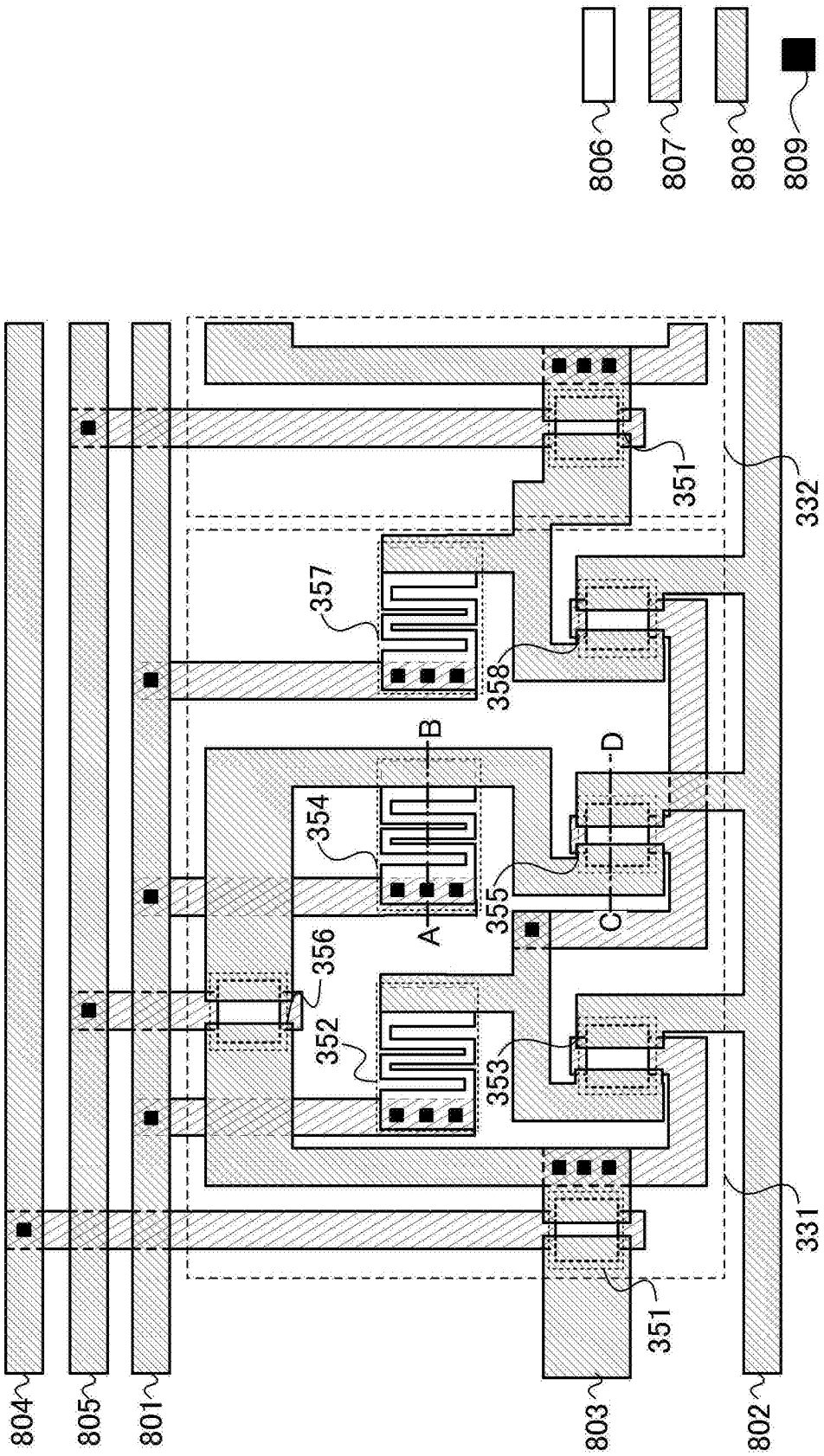

806
807
808
809
804
805
801
803
802
331
332
351
352
353
354
355
356
357
358
A
B
C
D

图9

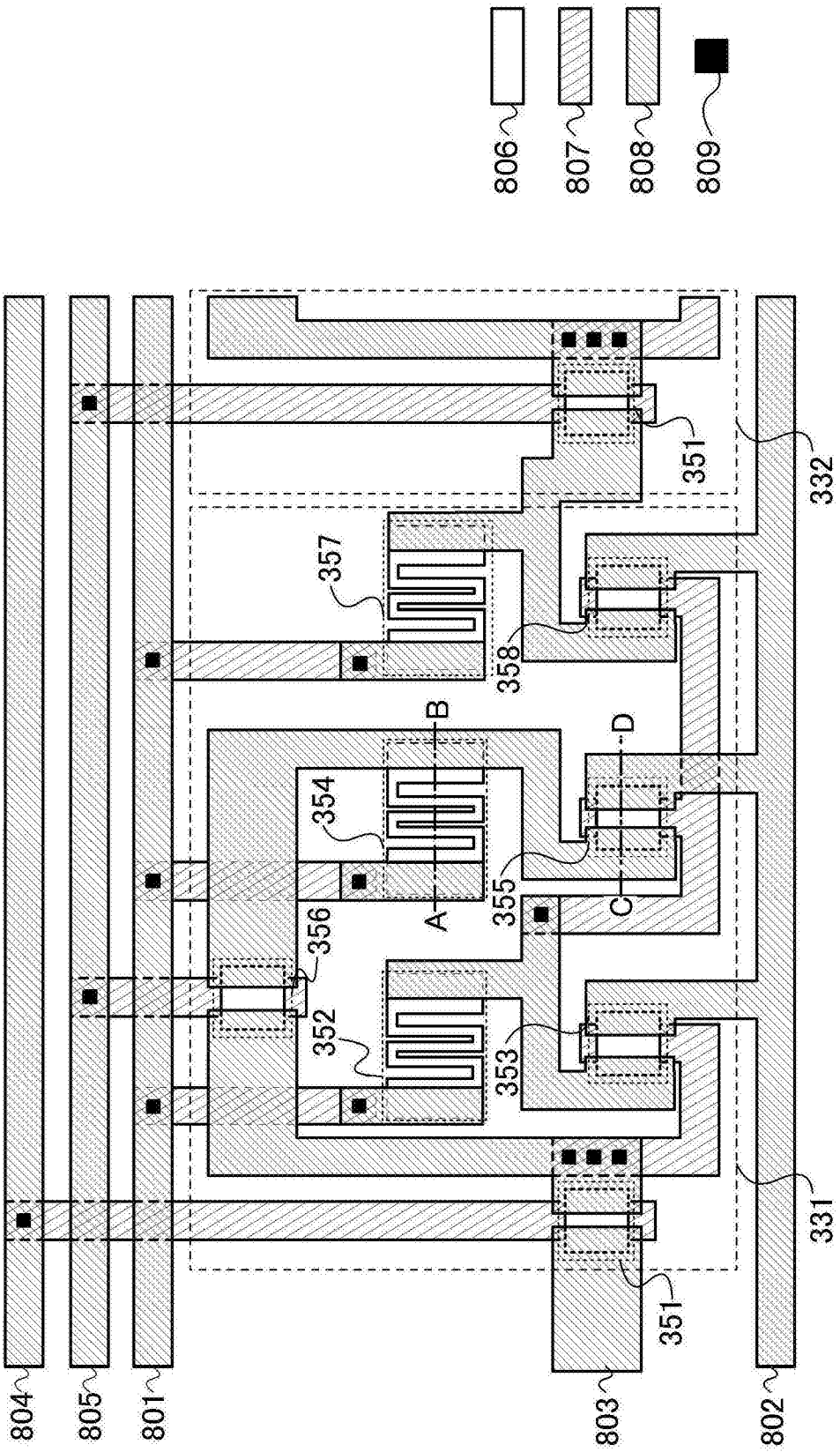

806
807
808
809
804
805
801
803
802
351
332
357
358
B
D
354
355
A
C
356
352
353
331
351

图10

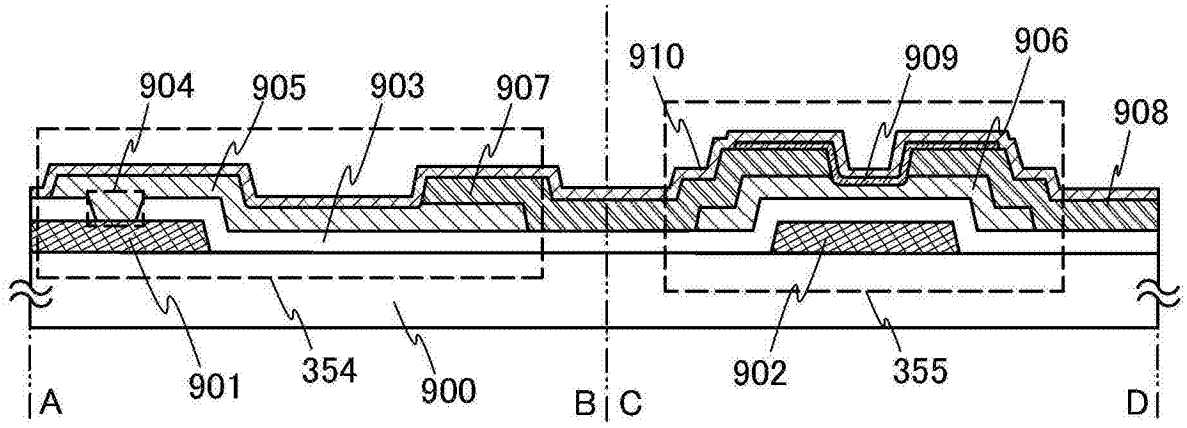


图11A

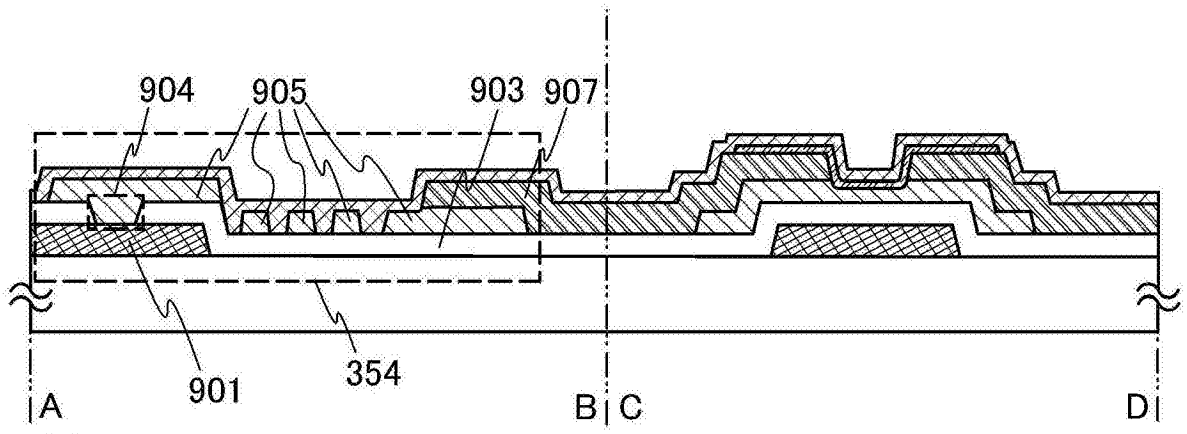


图11B

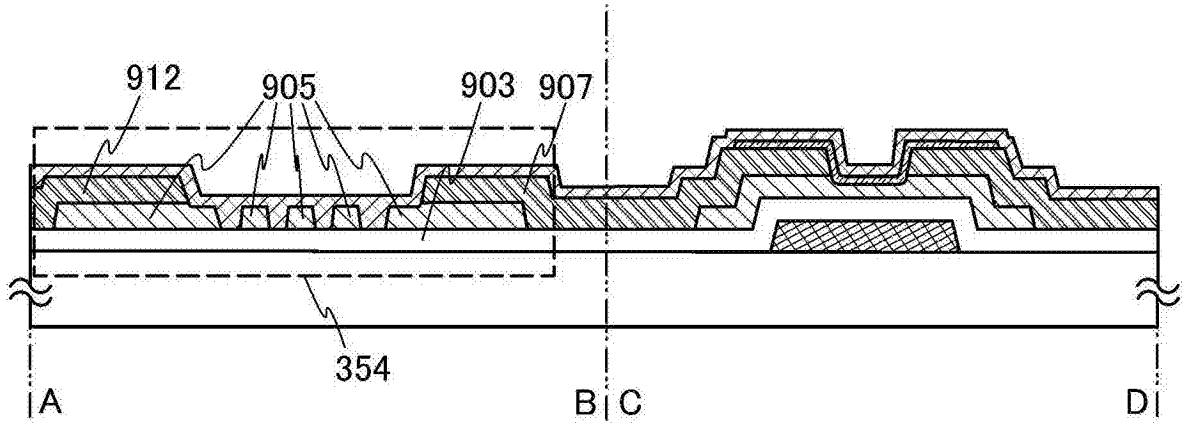


图11C

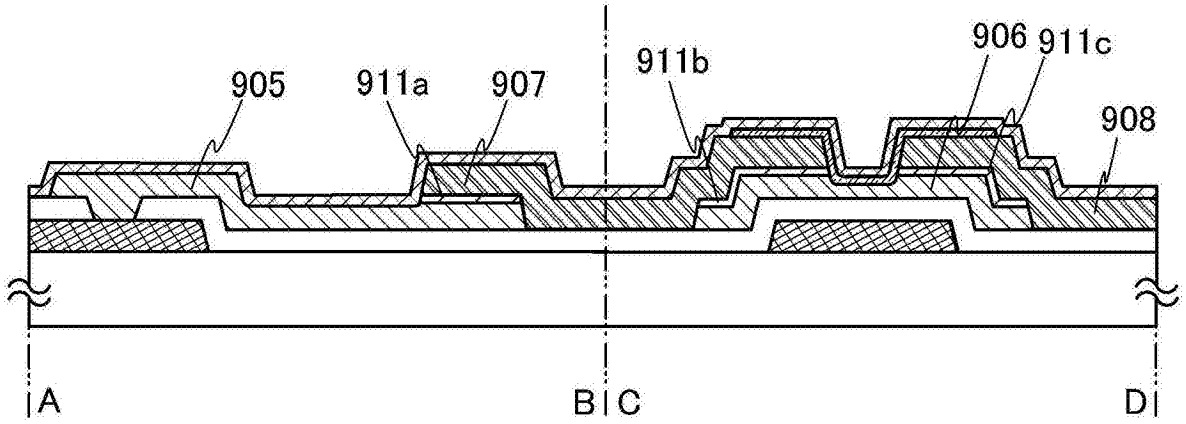


图12A

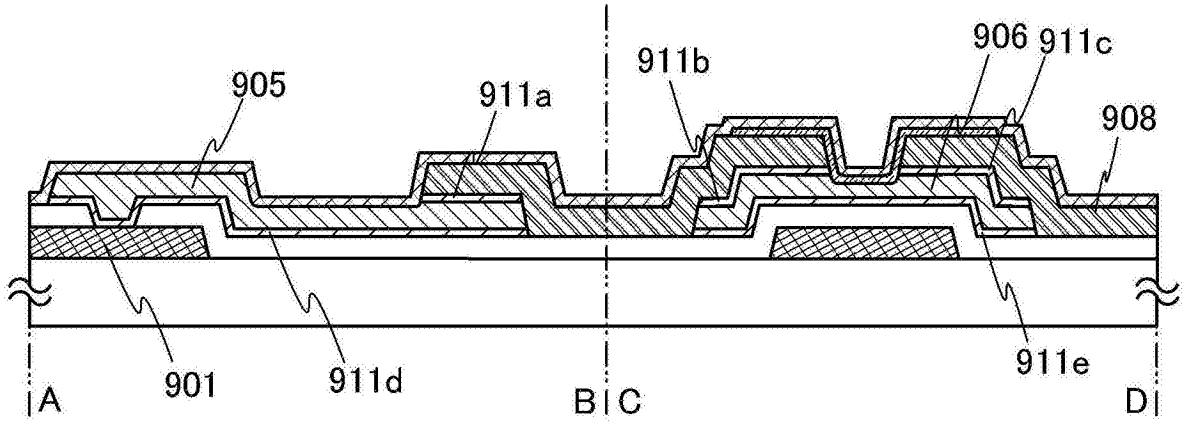


图12B

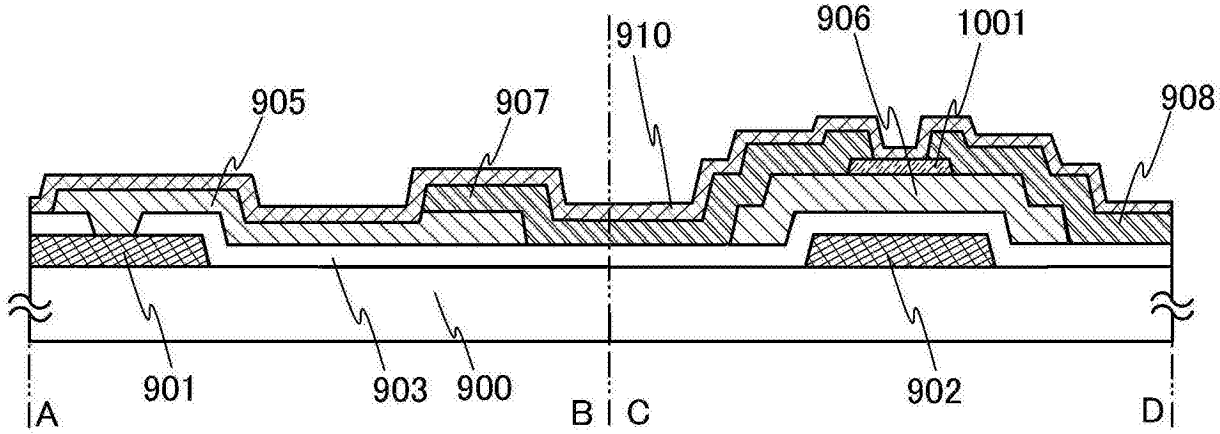


图13A

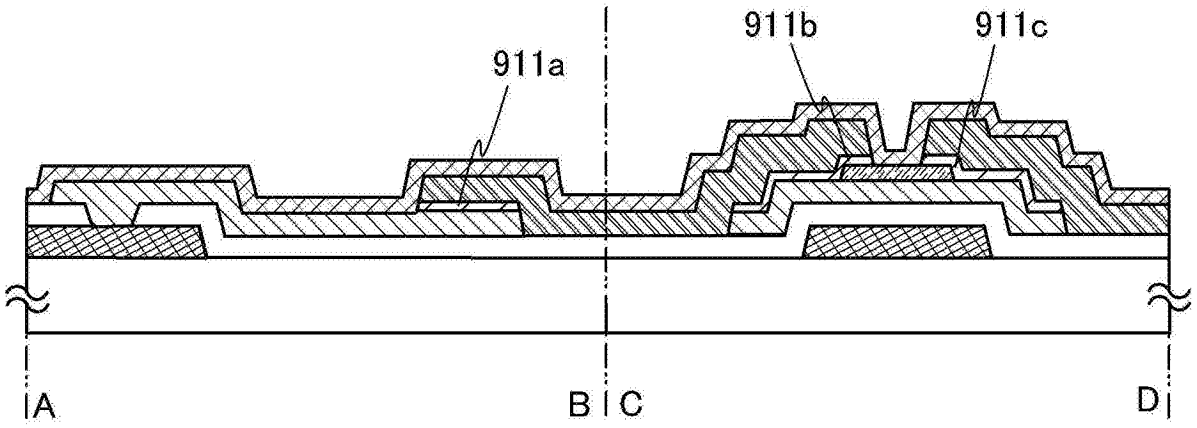


图13B

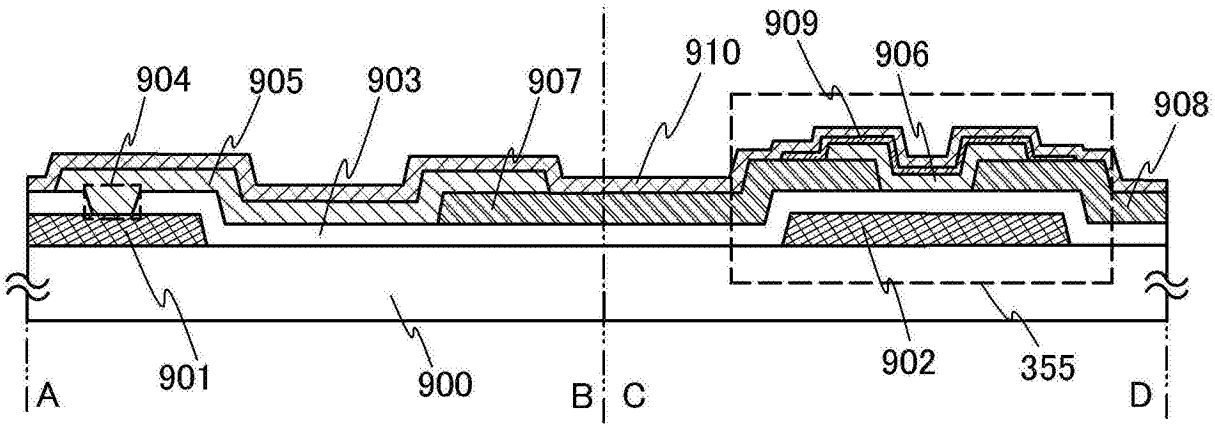


图14A

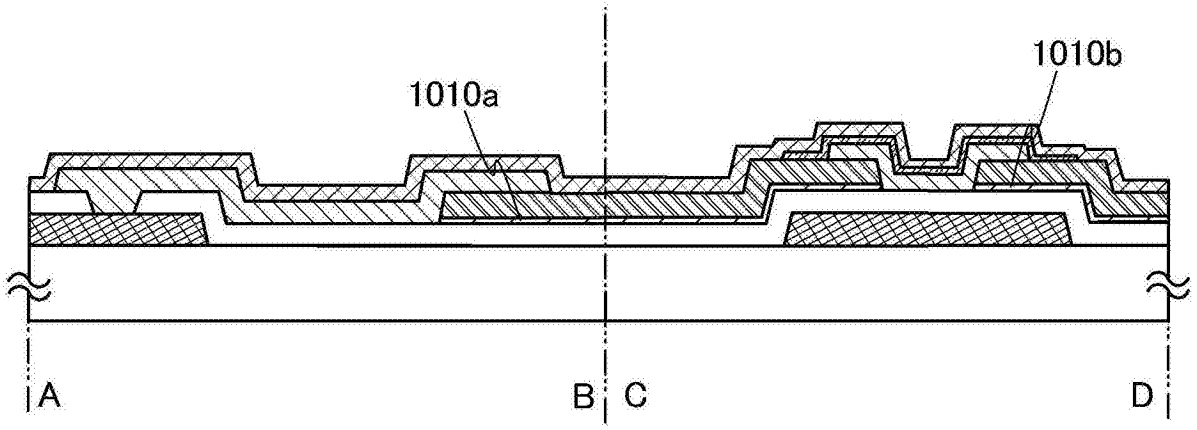


图14B

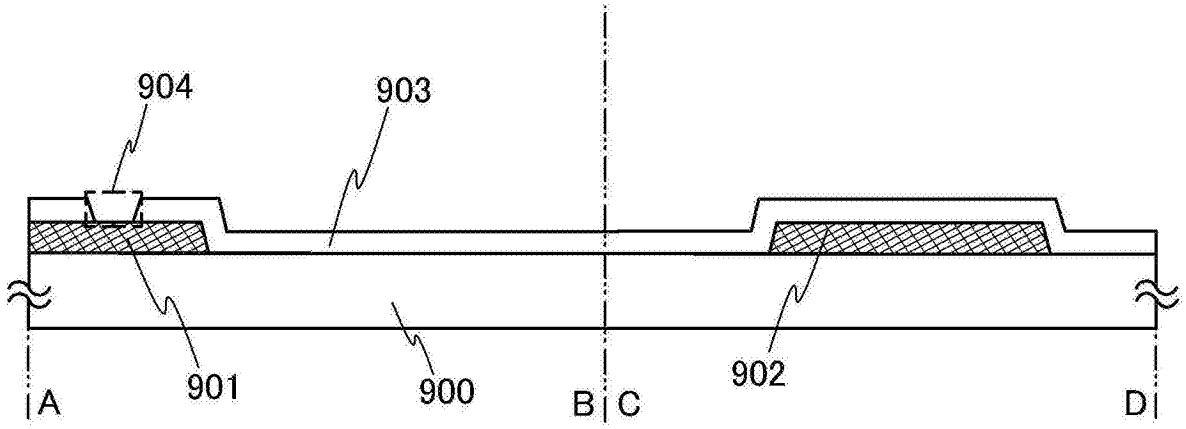


图15A

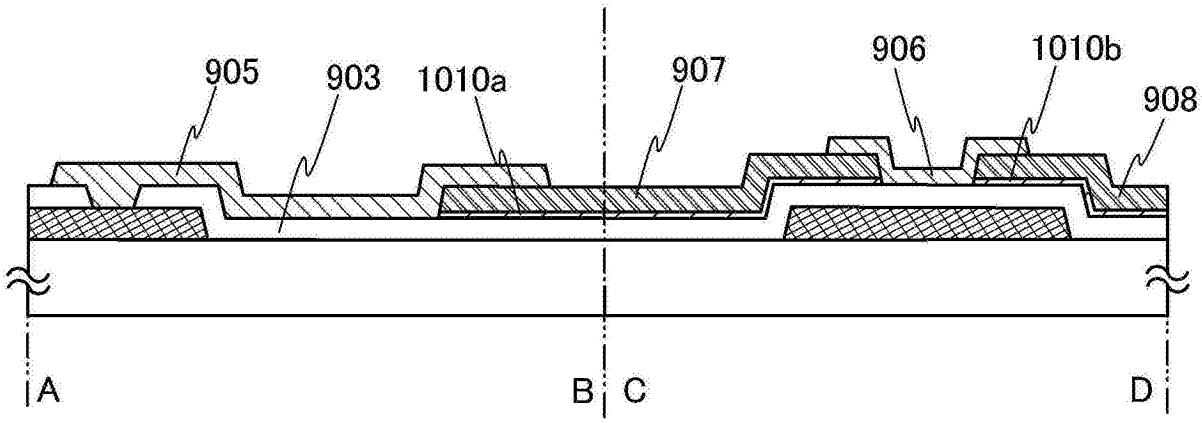


图15B

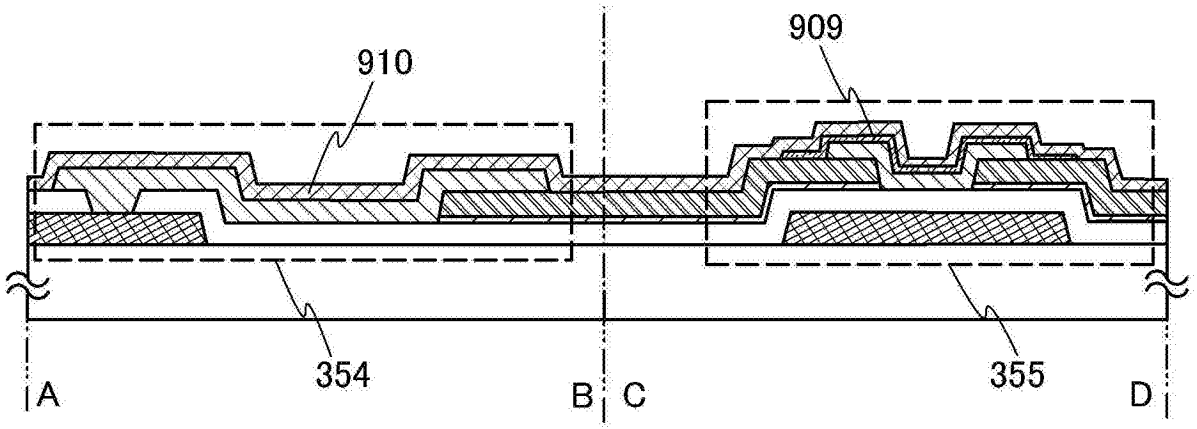


图15C

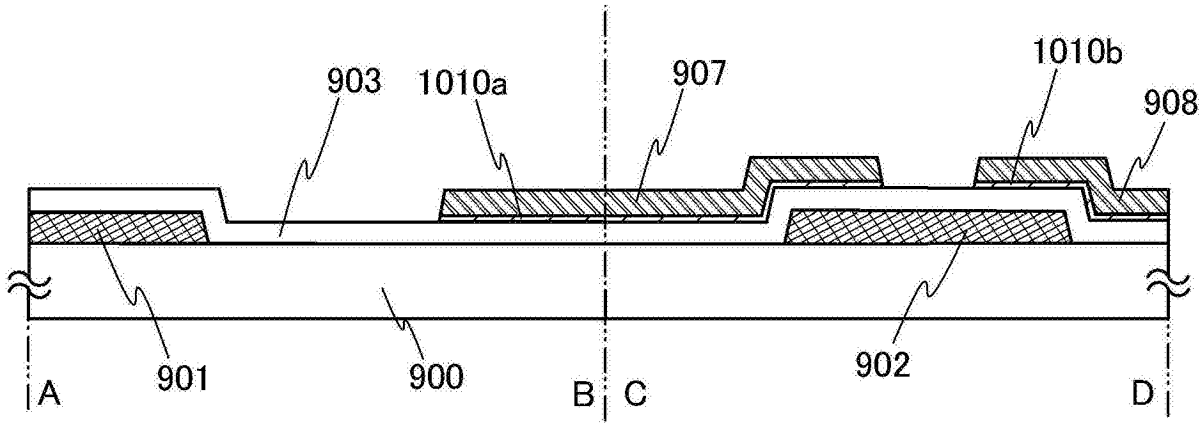


图16A

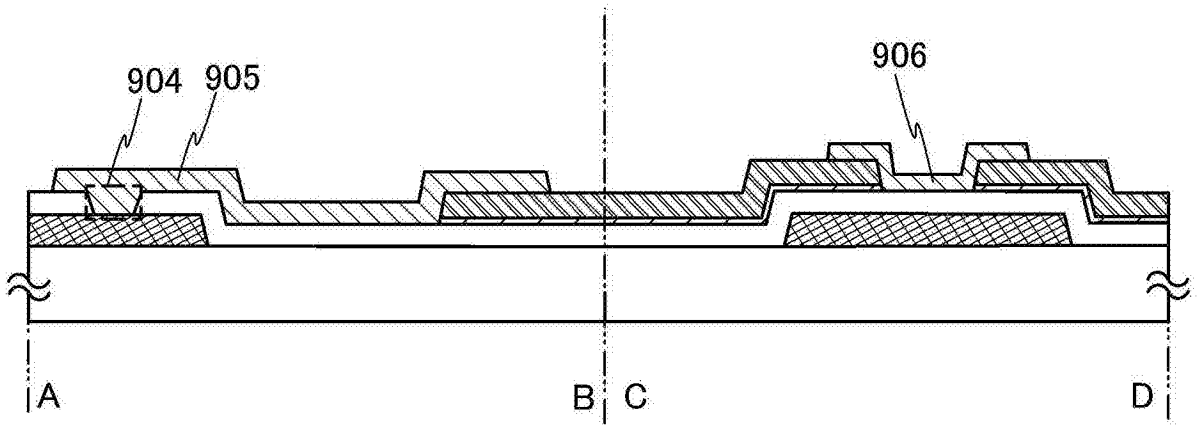


图16B

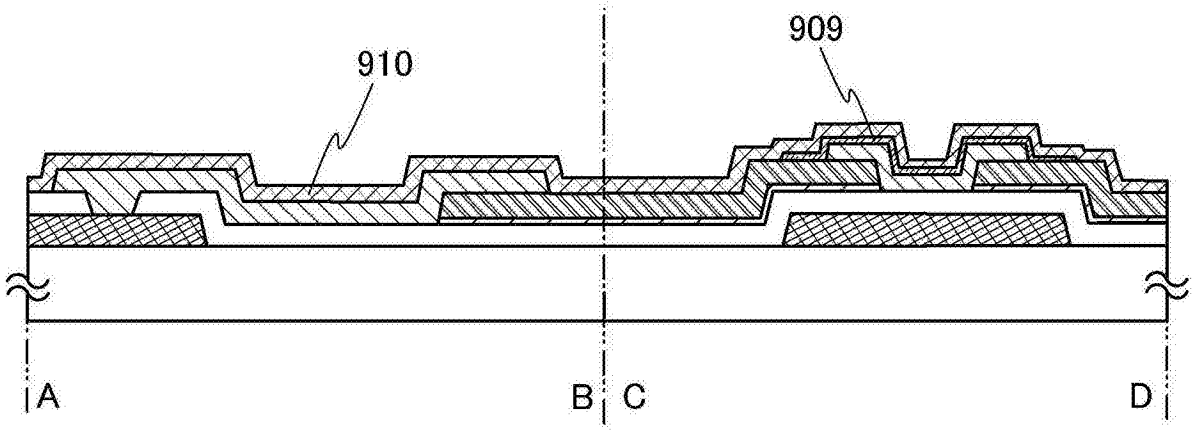


图16C

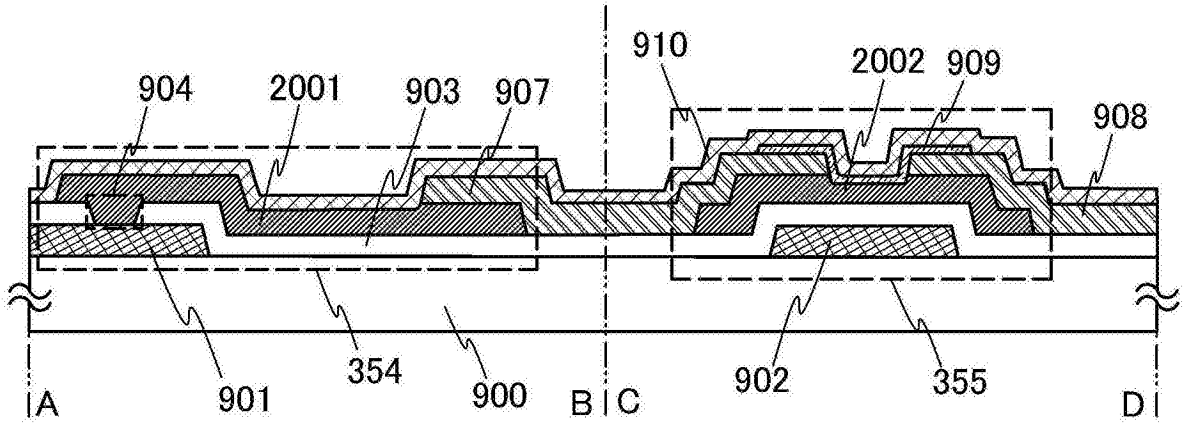


图17

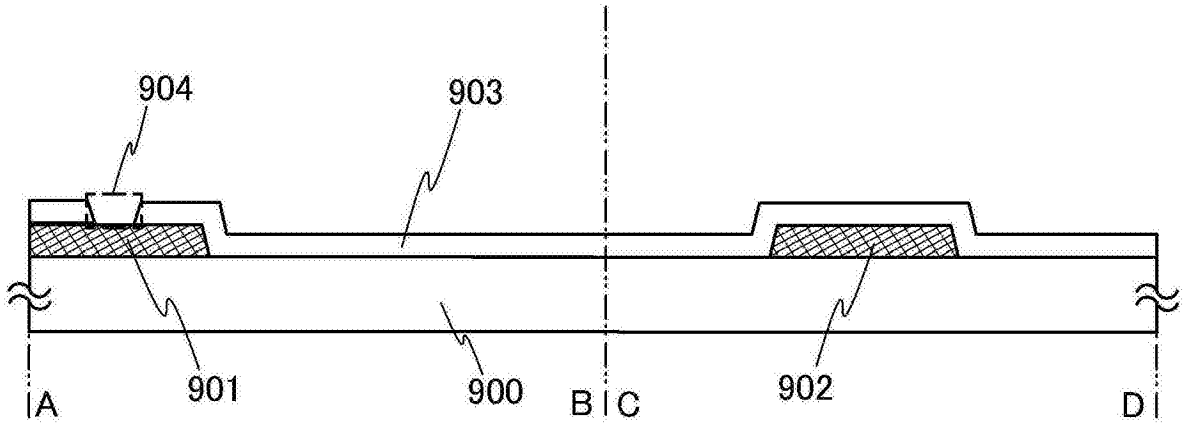


图18A

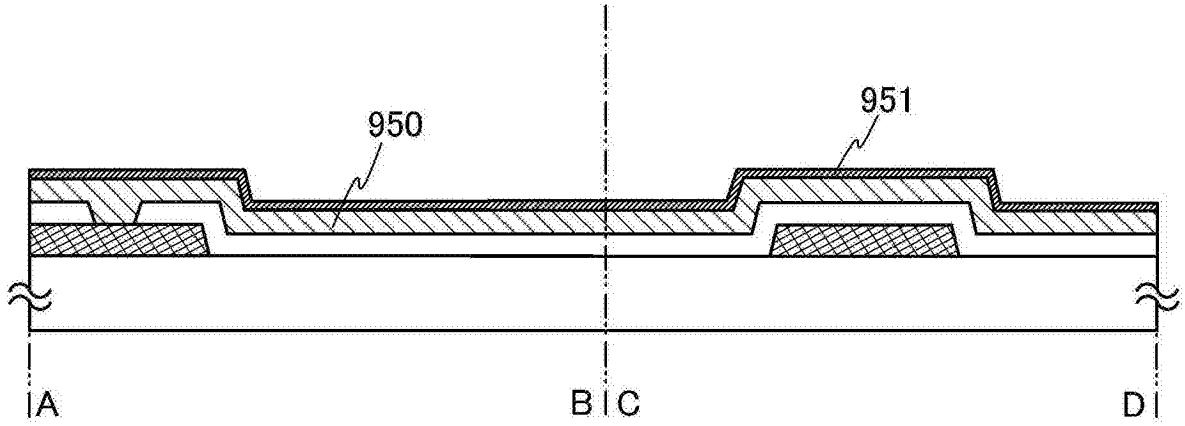


图18B

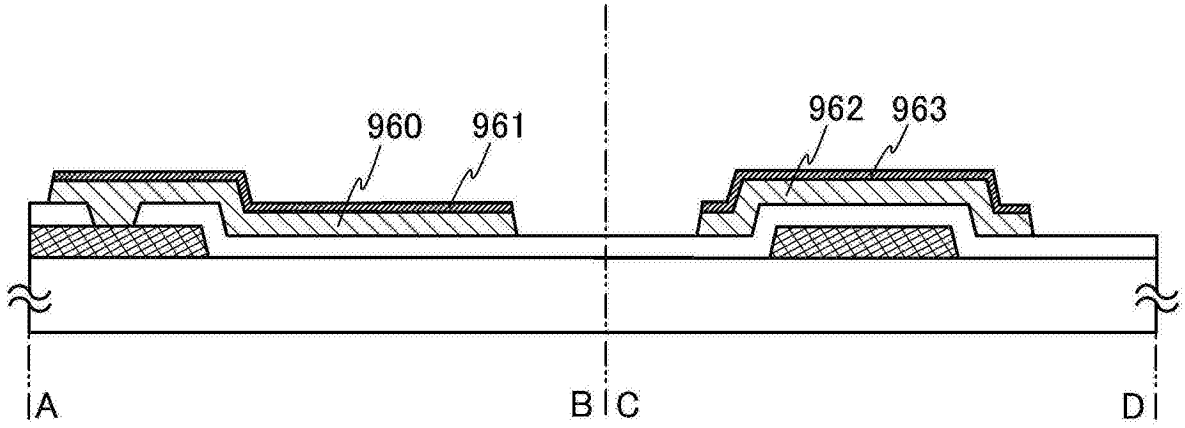


图18C

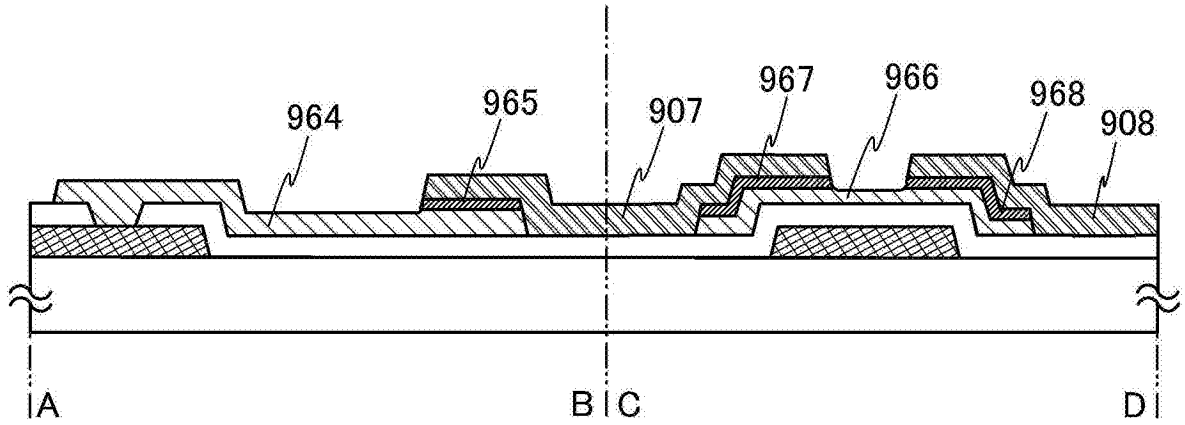


图19A

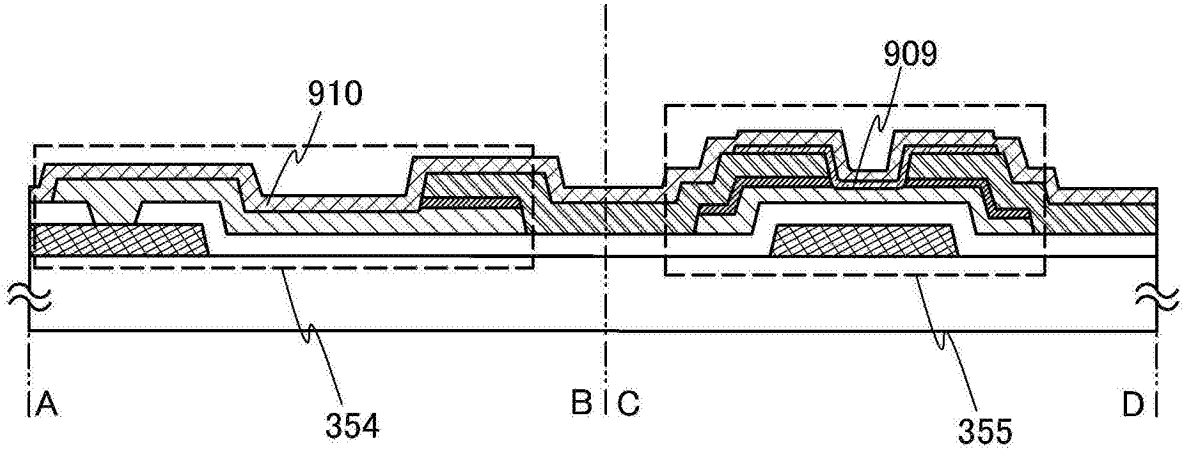


图19B

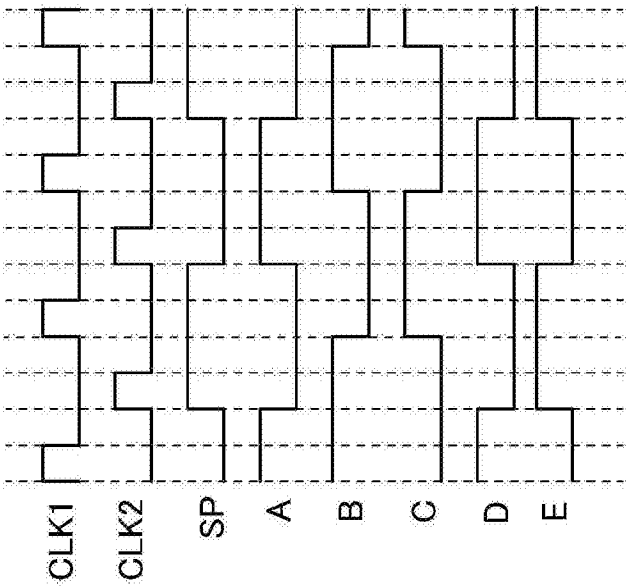


图 20C

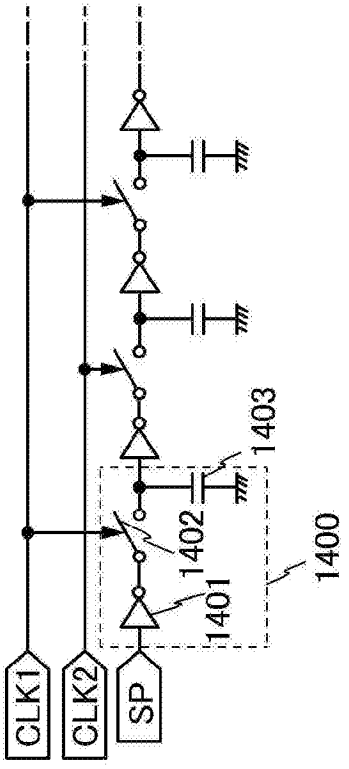


图 20A

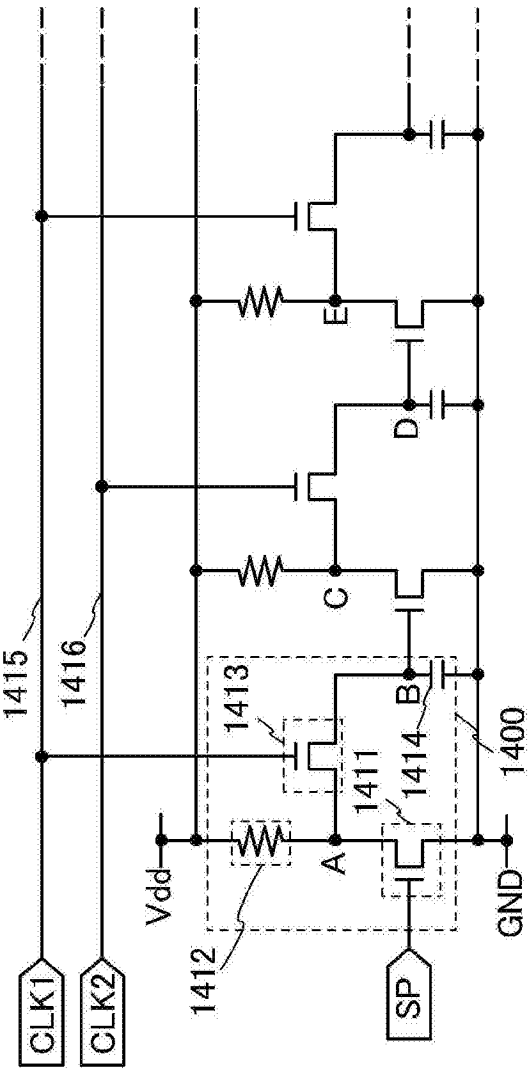


图 20B

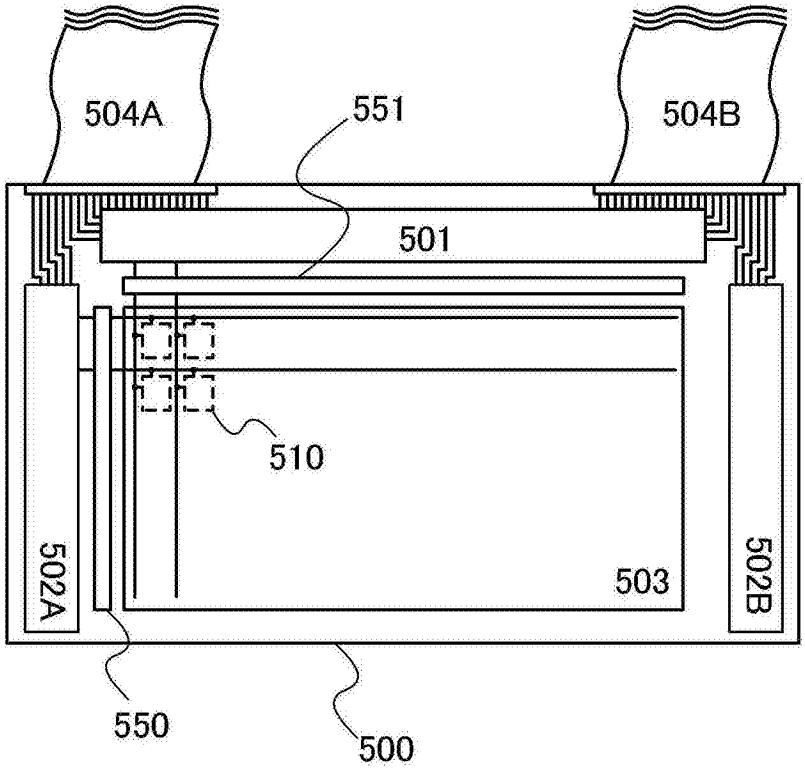


图21

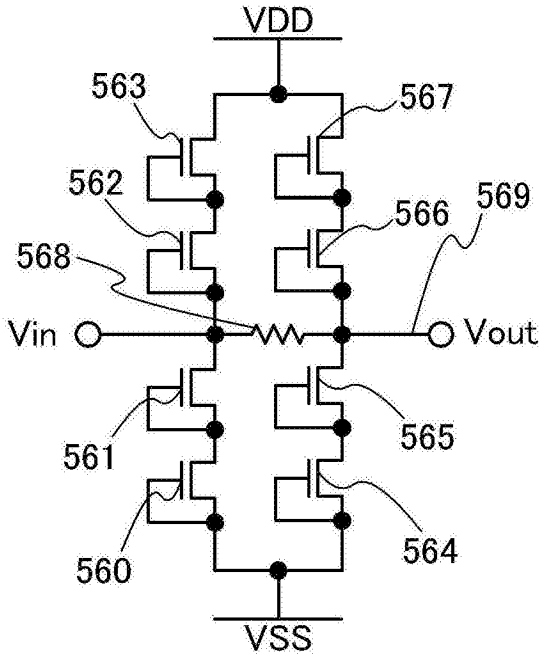


图22A

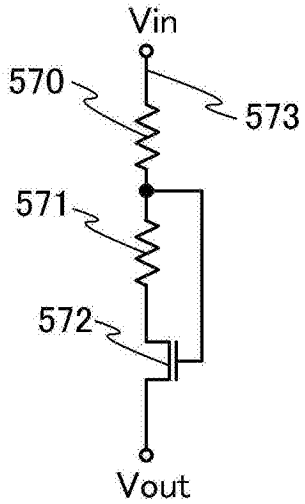


图22B

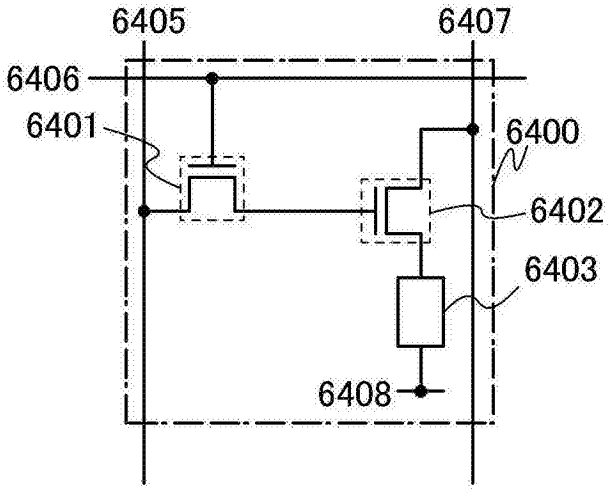

6405
6407
6406
6401
6400
6402
6403
6408

图23

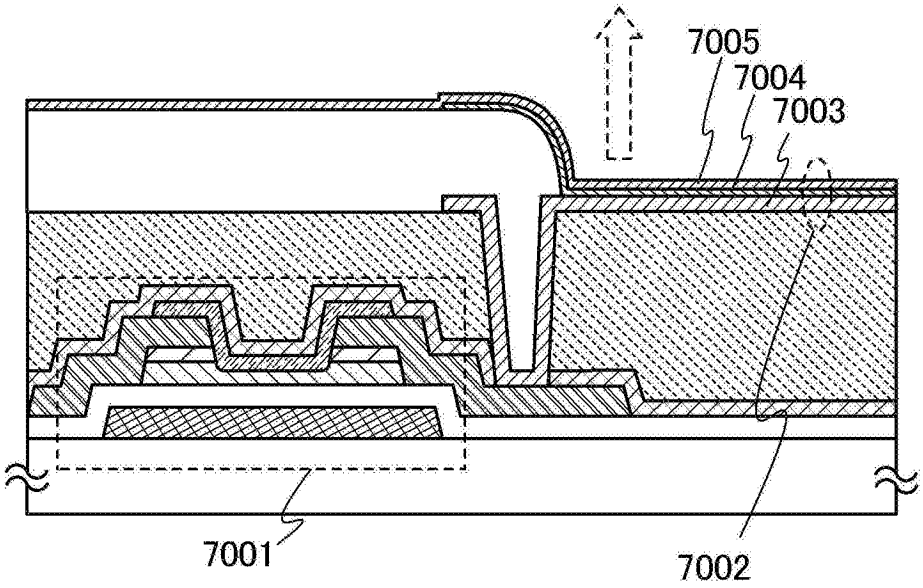

7005
7004
7003
7001
7002

图24A

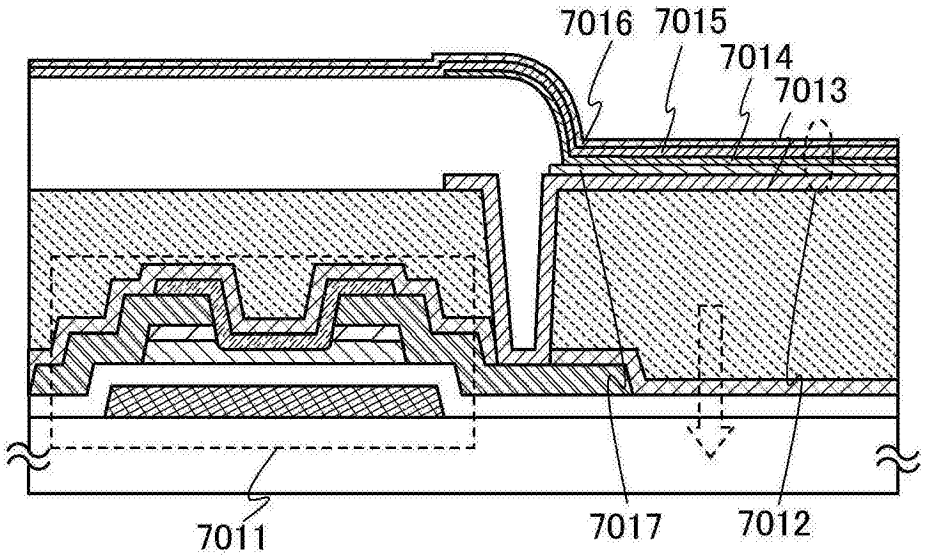

7016
7015
7014
7013
7011
7017
7012

图24B

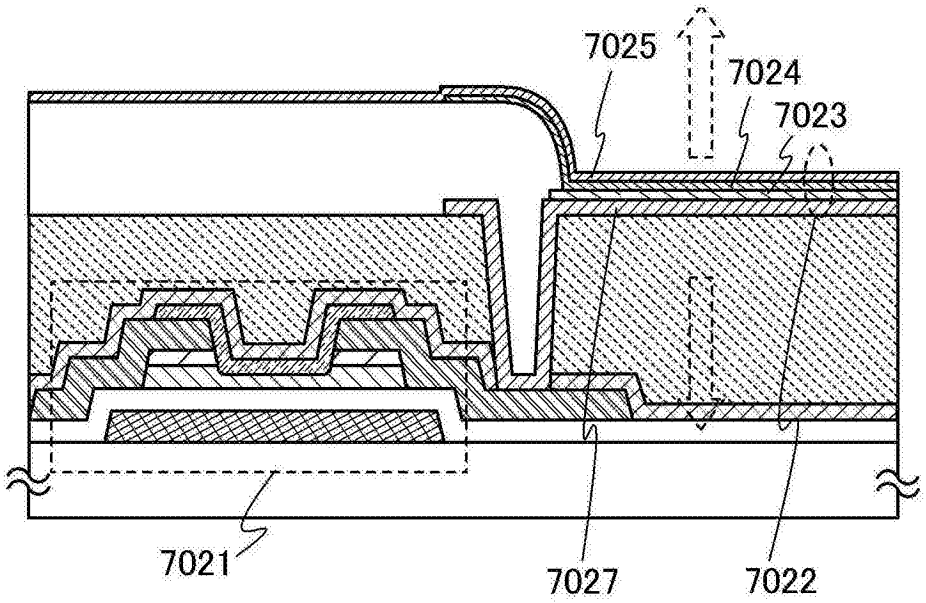

7025
7024
7023
7021
7027
7022

图24C

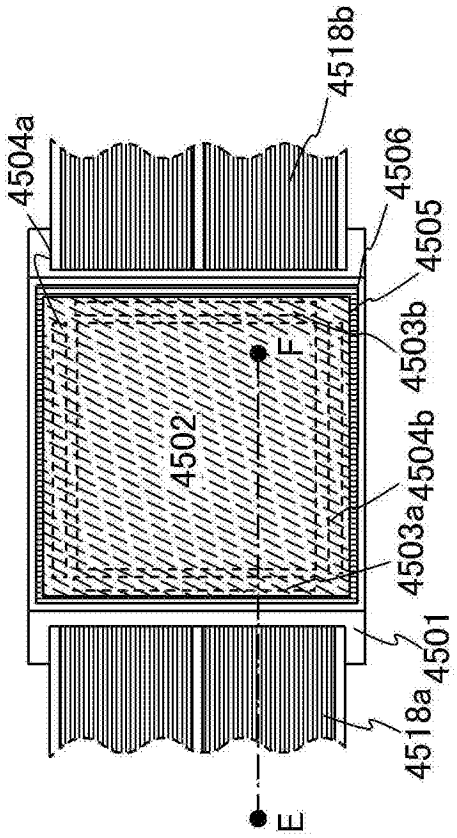

4518b
4504a
4506
4505
4503b
F
4502
4504b
4503a
4501
4518a
E

图25A

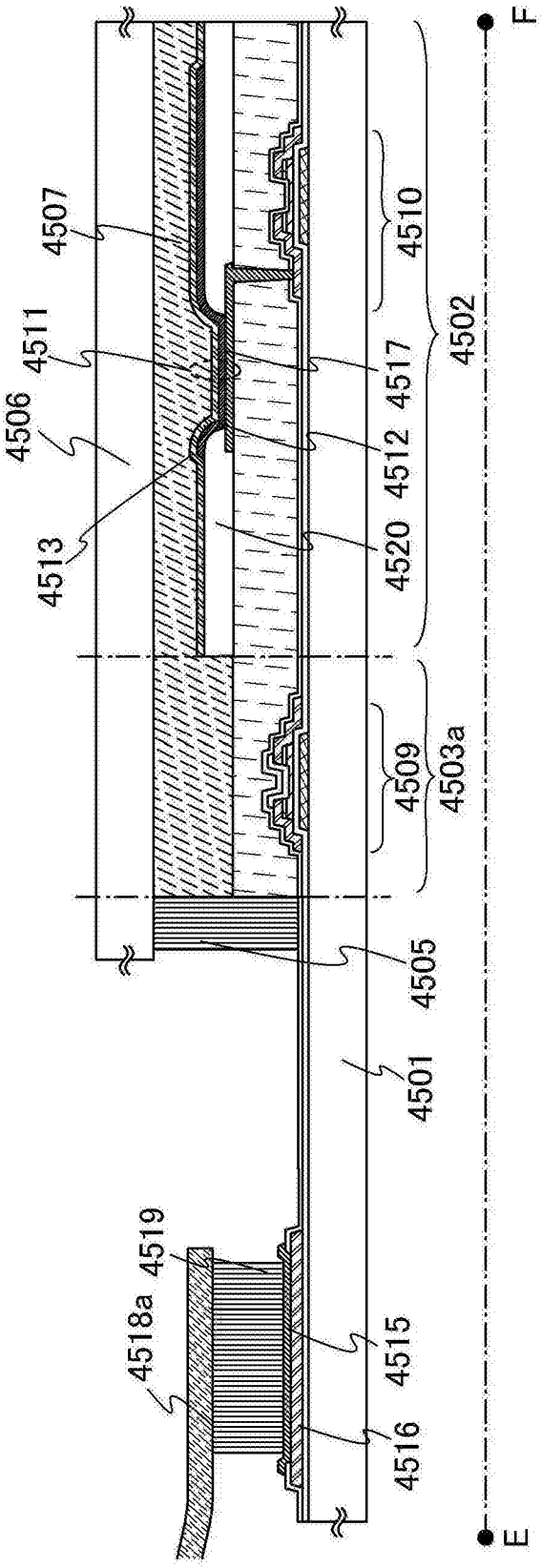

F
4507
4510
4511
4517
4502
4506
4512
4513
4520
4509
4503a
4505
4501
4519
4518a
4515
4516
E

图25B

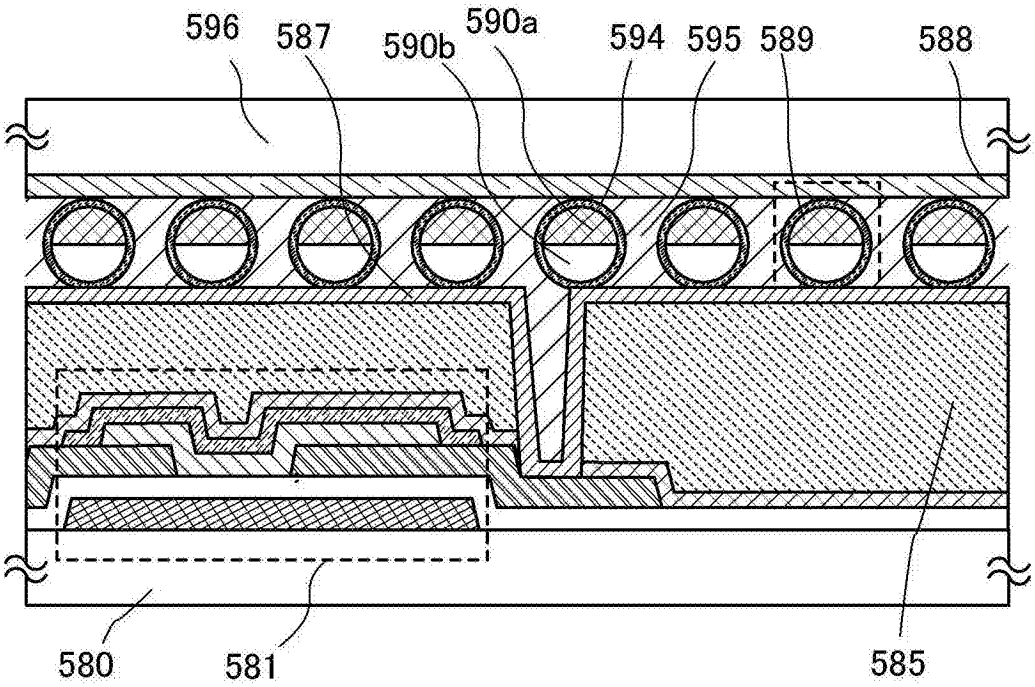


图26

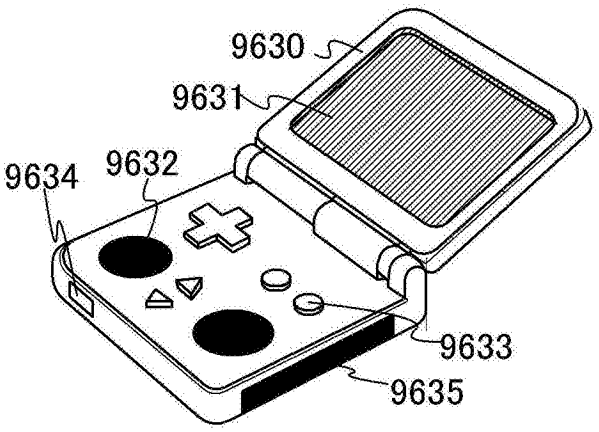


图27A

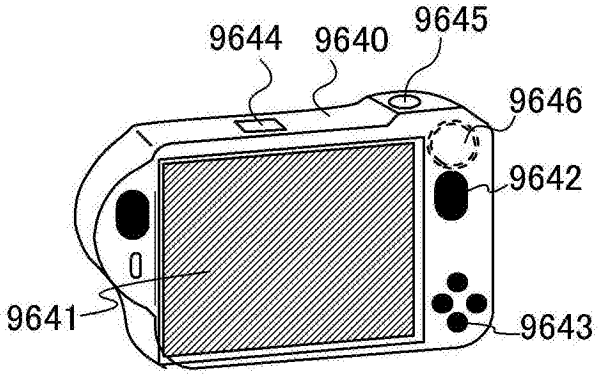


图27B

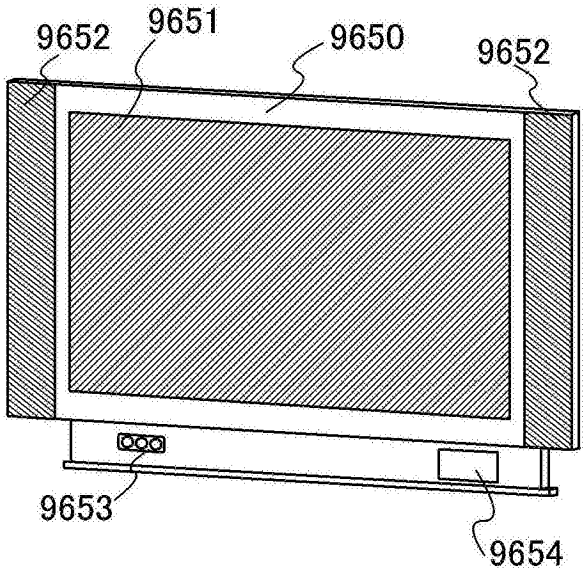


图27C

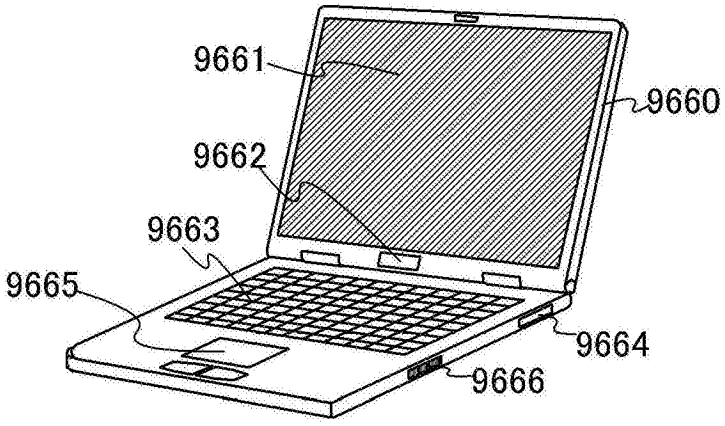


图28A

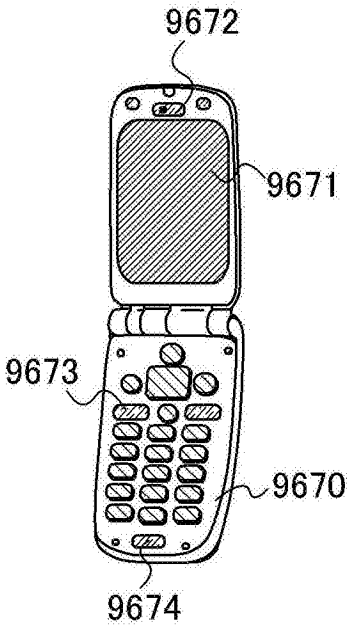


图28B