

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6302143号
(P6302143)

(45) 発行日 平成30年3月28日 (2018.3.28)

(24) 登録日 平成30年3月9日 (2018.3.9)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A

請求項の数 16 (全 30 頁)

(21) 出願番号	特願2017-530346 (P2017-530346)	(73) 特許権者	517169517
(86) (22) 出願日	平成27年11月13日 (2015.11.13)		アーティラックス インコーポレイテッド
(65) 公表番号	特表2017-534182 (P2017-534182A)		ARTILUX INC.
(43) 公表日	平成29年11月16日 (2017.11.16)		台湾 シンジュ カウンティ, ジュベイ
(86) 国際出願番号	PCT/US2015/060735		シティ 302, タイユアン, 1 ストリ
(87) 国際公開番号	W02016/077791		ート, ナンバー 6, 5エフ-2
(87) 国際公開日	平成28年5月19日 (2016.5.19)		5F-2, No 6, Taiyuan, 1
審査請求日	平成29年6月6日 (2017.6.6)		St., Zhubei City 30
(31) 優先権主張番号	62/078, 986	(74) 代理人	100074332
(32) 優先日	平成26年11月13日 (2014.11.13)		弁理士 藤本 昇
(33) 優先権主張国	米国 (US)	(74) 代理人	100114432
(31) 優先権主張番号	62/081, 574		弁理士 中谷 寛昭
(32) 優先日	平成26年11月19日 (2014.11.19)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 光吸収装置

(57) 【特許請求の範囲】

【請求項 1】

光吸収装置を形成する方法であって、
 基板にドーブ層を形成するために前記基板の表面をドーブすることと、
 前記ドーブ層の上に感光構造を形成することであって、前記感光構造は、(1) 前記感光構造の底部の又は該底部近くのカウンタードーピング層と(2) 前記カウンタードーピング層の上のドーパント制御層とを含み、前記ドーパント制御層は前記カウンタードーピング層から前記感光構造内の真性層内へのドーパント拡散を遅延させる材料を有しており、前記基板はシリコンベースであり、前記カウンタードーピング層及び前記真性層の両方はゲルマニウムベースである、ことと、
 を含み、

前記ドーパント制御層に含まれる前記材料は、シリコン(Si)、真性層よりも少ないゲルマニウム(Ge)含有量を有するシリコンゲルマニウム(SiGe)、炭素ドーブされたSiGe、または炭素ドーブされたGeのうち1つ以上であり、

前記カウンタードーピング層のための材料は、高濃度にドーブされたGe、または前記ドーパント制御層より多いGe含有量を有する高濃度にドーブされたSiGeのうち1つ以上である、方法。

【請求項 2】

前記ドーパント制御層は、前記カウンタードーピング層と前記真性層との間に位置している、請求項 1 に記載の方法。

【請求項 3】

前記基材と前記感光構造との間の異種界面は、0.2%を超える格子不整合を有している、請求項 1 に記載の方法。

【請求項 4】

前記真性層の上に、別のドーパント制御層を形成することをさらに含む、請求項 1 に記載の方法。

【請求項 5】

前記カウンタードーピング層は、前記感光構造と前記基材との間の異種界面におけるビルトイン電氣的ポテンシャルを補償するためのドーパントを含んでいる、請求項 1 に記載の方法。

10

【請求項 6】

前記カウンタードーピング層内の前記ドーパントは、前記カウンタードーピング層内の感光材料内のビルトインキャリアと同等だが反対の電荷極性である自由キャリア濃度を提供するように構成される、請求項 5 に記載の方法。

【請求項 7】

前記感光構造の上にエッチング停止層を形成することと、
前記エッチング停止層の上に誘電体層を形成することであって、前記誘電体層は、前記光吸収装置を搭載するウェーハと同一のウェーハ上にある別の構造もまた覆うように形成され、前記別の構造は、前記エッチング停止層とは異なる高さを有している、ことと、
前記誘電体層を除去することにより前記ウェーハを平坦化することであって、前記平坦化ステップは前記エッチング停止層にて停止するものである、ことと、
前記感光構造の上に反射層を形成することと、
をさらに含む、請求項 1 に記載の方法。

20

【請求項 8】

前記感光構造に対するメサパターニングの後に、前記感光構造の形成の間に行われた反応性イオンエッチングによって損傷を受けた前記真性層の少なくとも一部を除去するために選択的エッチングを行うことをさらに含む、請求項 1 に記載の方法。

【請求項 9】

前記選択的エッチングプロセスは、少なくとも 1 : 5 の選択性を備えており、前記選択性は、シリコン : ゲルマニウムにおけるエッチング速度の比である、請求項 8 に記載の方法。

30

【請求項 10】

ドーブ層を有する基板と、
前記ドーブ層の上の感光構造であって、前記感光構造は、(1) 前記感光構造の底部の又は該底部近くのカウンタードーピング層と(2) 前記カウンタードーピング層の上のドーパント制御層とを含み、前記ドーパント制御層は前記カウンタードーピング層から前記感光構造内の真性層内へのドーパント拡散を遅延させる材料を有している、感光構造とを含む光吸収装置であって、

前記基板はシリコンベースであり、前記カウンタードーピング層及び前記真性層の両方はゲルマニウムベースであり、

40

前記ドーパント制御層に含まれる前記材料は、シリコン(Si)、真性層よりも少ないゲルマニウム(Ge)含有量を有するシリコンゲルマニウム(SiGe)、炭素ドーブされたSiGe、または炭素ドーブされたGeのうち1つ以上であり、

前記カウンタードーピング層のための材料は、高濃度にドーブされたGe、または前記ドーパント制御層より多いGe含有量を有する高濃度にドーブされたSiGeのうち1つ以上である、光吸収装置。

【請求項 11】

前記ドーパント制御層は、前記カウンタードーピング層と前記真性層との間に位置している、請求項 10 に記載の装置。

【請求項 12】

50

前記基材と前記感光構造との間の異種界面は、0.2%を超える格子不整合を有している、請求項10に記載の装置。

【請求項13】

前記真性層の上に、別のドーパント制御層をさらに含む、請求項10に記載の装置。

【請求項14】

前記カウンタードーピング層は、前記感光構造と前記基材との間の異種界面におけるビルトイン電氣的ポテンシャルを補償するためのドーパントを含んでいる、請求項10に記載の装置。

【請求項15】

前記カウンタードーピング層内の前記ドーパントは、前記カウンタードーピング層内の感光材料内のビルトインキャリアと同等だが反対の電荷極性である自由キャリア濃度を提供するように構成される、請求項14に記載の装置。

10

【請求項16】

前記感光構造の上にエッチング停止層をさらに含む、請求項10に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本特許出願は、2014年11月13日に出願された米国仮特許出願第62/078,986号、2014年11月19日に出願された米国仮特許出願第62/081,574号、2015年2月26日に出願された米国仮特許出願第62/121,448号、2015年3月1日に出願された米国仮特許出願第62/126,698号、2015年7月26日に出願された米国仮特許出願第62/197,098号の利益を主張し、それらは参照により本明細書に組み込まれる。

20

背景

【0002】

技術分野

本開示は、光吸収装置、特に半導体ベースのフォトダイオードに関する。

【背景技術】

【0003】

半導体ベースのフォトダイオードは、一般的にはP型半導体領域とN型半導体ドーピング領域との間に真性半導体領域を含む。真性領域の存在は通常のPNダイオードとは対照的であり、光子を真性領域で吸収することができ、生成された光キャリアをP型及びN型領域から収集することができる。

30

【発明の概要】

【0004】

本開示の目的は、より低い暗電流及び高い吸収の半導体ベースのフォトダイオードを提供することである。より具体的には、フォトダイオードはシリコン基板を基に光吸収材料としてゲルマニウムを含む。

【0005】

本開示の一態様によれば、光吸収装置を形成する方法は、(1)基板の上に絶縁層を形成することと、(2)選択された区域を露出させるために絶縁層の一部を除去することと、(3)選択された区域の側壁の少なくとも一部を覆うスペーサを形成することと、(4)選択された区域内にゲルマニウムを含む第1の吸収層をエピタキシャル成長させることと、(5)第1の吸収層の上にシリコンを含む不動態化層を形成することとを含み、第1の吸収層を不動態化することにより表面リーク電流を低減することができ、低リークで高感度の光吸収装置を形成することができる。

40

【0006】

本開示の別の態様によれば、光吸収装置を形成する方法は、(1)基板に少なくとも部分的に埋め込まれた第1のドーピング領域を形成することと、(2)第1のドーピング領

50

域の上に第1の層を形成することと、(3)第1の層の上にゲルマニウムを含む第2の層を形成することと、(4)第2の層を覆う第3の層を形成することと、(5)第3の層の上に酸化物を含む第4の層を形成することと、(6)第4の層の上に窒化物を含む第5の層を形成することと、(7)第5の層を除去し、第4の層上で停止することと、(8)第4の層の上に第6の層を形成することとを含み、第2の層は基板の表面に対して格子不整合を有し、第6の層は、光信号が通過して第6の層で反射されるとき、所定の反射率が達成されるような所定の厚さを有し、光信号の少なくとも一部が第2の層によって吸収される。

【0007】

本開示のさらに別の態様によれば、光吸収装置は、基板と、第1の選択された区域上の基板の上の光吸収層と、光吸収層の上にシリコンを含む不動態化層と、光吸収層の側壁の少なくとも一部を囲むスペーサと、スペーサの少なくとも一部を囲む絶縁層とを含み、光吸収装置は高帯域幅と低リーク電流を達成することができる。

10

【0008】

本開示のさらに別の態様によれば、光吸収装置は、基板と、基板の上に形成され、第1の開口部内に上部を、そして第1の開口部と少なくとも部分的に重なり合う第2の開口部内に下部を含む光吸収層と、光吸収層の上部の上にシリコンを含む不動態化層と、光吸収層の上部の側壁の少なくとも一部を囲むスペーサと、スペーサの少なくとも一部と光吸収層の下部とを囲む絶縁層とを含み、光吸収装置は高帯域幅及び低リーク電流を達成することができる。

20

【図面の簡単な説明】

【0009】

本開示の1つ以上の実施形態が例として示されており、添付図面の図に限定はされず、同様の参照番号は同様の要素を示す。これらの図面は必ずしも縮尺通りに描かれていない。

【0010】

【図1】PINフォトダイオード構造を示す。

【図2A】フォトダイオード構造を形成する実施例を示す。

【図2B】フォトダイオード構造を形成する実施例を示す。

【図2C】フォトダイオード構造を形成する実施例を示す。

【図2D】フォトダイオード構造を形成する実施例を示す。

【図2E】フォトダイオード構造を形成する実施例を示す。

【図2F】フォトダイオード構造を形成する実施例を示す。

【図2G】フォトダイオード構造を形成する実施例を示す。

【図2H】フォトダイオード構造を形成する実施例を示す。

【図3A】フォトダイオード構造内にカウンタードーピング層を形成するための実施例を示す。

【図3B】フォトダイオード構造内にカウンタードーピング層を形成するための実施例を示す。

【図3C】フォトダイオード構造内にカウンタードーピング層を形成するための実施例を示す。

【図4A】フォトダイオード構造内に拡散制御層またはノ及びカウンタードーピング層を形成するための実施例を示す。

【図4B】フォトダイオード構造内に拡散制御層またはノ及びカウンタードーピング層を形成するための実施例を示す。

【図4C】フォトダイオード構造内に拡散制御層またはノ及びカウンタードーピング層を形成するための実施例を示す。

【図5A】図4Aに示す構造の実施例を示す。

【図5B】図4Aに示す構造の実施例を示す。

【図6A】本開示の別の実施例によるエッチングノ研磨ストッパーを備えたフォトダイオ

30

40

50

ードを形成する製造ステップを示す断面図である。

【図 6 B】本開示の別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 6 C】本開示の別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 6 D】本開示の別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 6 E】本開示の別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 7 A】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

10

【図 7 B】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 7 C】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 7 D】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 7 E】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 8 A】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

20

【図 8 B】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 8 C】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 8 D】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 8 E】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

【図 8 F】本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオードを形成する製造ステップを示す断面図である。

30

【図 9 A】本開示の一実施例による絶縁として共形選択的 Ge エッチングプロセスでフォトダイオードを形成する製造ステップを示す断面図である。

【図 9 B】本開示の一実施例による絶縁として共形選択的 Ge エッチングプロセスでフォトダイオードを形成する製造ステップを示す断面図である。

【図 9 C】本開示の一実施例による絶縁として共形選択的 Ge エッチングプロセスでフォトダイオードを形成する製造ステップを示す断面図である。

【図 9 D】本開示の一実施例による絶縁として共形選択的 Ge エッチングプロセスでフォトダイオードを形成する製造ステップを示す断面図である。

【図 9 E】絶縁としてエッチングプロセスの代わりにドーピング領域を有するフォトダイオードを示す断面図である。

40

【図 10 A】側壁不動態化、または / 及び界面層、または / 及び多層形成ステップを有するフォトダイオード形成を示す断面図である。

【図 10 B】側壁不動態化、または / 及び界面層、または / 及び多層形成ステップを有するフォトダイオード形成を示す断面図である。

【図 10 C】側壁不動態化、または / 及び界面層、または / 及び多層形成ステップを有するフォトダイオード形成を示す断面図である。

【図 10 D】側壁不動態化、または / 及び界面層、または / 及び多層形成ステップを有するフォトダイオード形成を示す断面図である。

【図 10 E】側壁不動態化、または / 及び界面層、または / 及び多層形成ステップを有す

50

るフォトダイオードの形成を示す断面図である。

【図12H】多層形成ステップ、またはノ及び側壁不動態化、またはノ及び界面層を有するフォトダイオードの形成を示す断面図である。

【図12I】多層形成ステップ、またはノ及び側壁不動態化、またはノ及び界面層を有するフォトダイオードの形成を示す断面図である。

【図12J】多層形成ステップ、またはノ及び側壁不動態化、またはノ及び界面層を有するフォトダイオードの形成を示す断面図である。

【図12K】多層形成ステップ、またはノ及び側壁不動態化、またはノ及び界面層を有するフォトダイオードの形成を示す断面図である。

【図13】トランジスタを集積した本開示の1つのフォトダイオードを示す断面図である

10

。【発明を実施するための形態】

【0011】

図1はフォトダイオード10aを示し、それはシリコン(Si)基板100a、Si基板100aの上面近くに位置するSi基板100a内のn型ドープ領域110a、Si基板100aの上面に配置された真性ゲルマニウム(Ge)領域130a、真性Ge領域130aの上面に配置されたp型Ge領域132a及び真性Ge領域130a及びp型Ge領域132aを囲み同時にSi基板100aの上面を覆う酸化物不動態化180aを含む。

【0012】

20

図1に示す構造に対して、Ge領域130aと下にあるSi基板100aとの間に異種界面が存在する。異種界面は、成長する結晶基板とは異なる元素構成の結晶材料を成長させることによって行われるエピタキシーの一種であるヘテロエピタキシーを用いて実現することができる。例としては、サファイア上のGaN、Si上のGaN、Si上のGeが挙げられるが、これらに限定されない。結晶材料は、元素または化合物半導体であってもよい。

【0013】

いくつかの応用に対しては、より良好なデバイス性能のために成長した膜または基板またはその両方に電気的眞性材料特性が必要とされる。眞性半導体は、電気的中性特性を示す半導体である。ここでは、キャリア濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 未満の領域が眞性であると考えられる。しかしながら、眞性材料は異種界面で得ることが困難なことがある。格子不一致欠陥形成、2つの材料(ある材料の成分が他の材料の活性ドーパントになることがある)間のインター拡散(またはクロス拡散)、膜成長中の汚染、あるいはフェルミレベルピンニングを引き起こすエネルギーバンドアラインメントのために、電気的に分極化された層がしばしば界面近くに意図せず形成される。例えば、Ge-on-Si系の界面にはp型Ge層が一般に形成される。

30

【0014】

さらに、格子不整合のために異種界面に形成されたこのような転位及び他のタイプの欠陥が半導体空乏領域内にあると、トラップ支援キャリア生成によるフォトダイオードの暗電流、すなわち暗い状態でのリーク電流を増加させ、それによってパフォーマンスを低下させ同時にデザインウィンドウを狭くする。キャリア発生率を中和するために外因性ドーパント支援キャリアで欠陥トラップ状態が満たされるように高いドーピング濃度でこの欠陥領域を不動態化することによってトラップ支援生成メカニズムを効果的に低減することができることが観察されている。このドーピング不動態化技術を達成するために、高欠陥区域での正確なドーパント制御は欠陥支援ドーパント拡散の性質のために時には困難である。制御されないドーパントの拡散は、デバイスの応答性低下や歩留り低減などの望ましくない性能及び信頼性不利益を引き起こすことがある。

40

【0015】

図1に示すように、Siフォトダイオード上にGeを作製する実施例のいくつかでは、ブランケット型エピタキシャル成長を使用する場合には、光吸収区域(すなわち、図1の

50

真性Ge領域130a)を規定するためにGeメサパターニングが必要とされる。ブランケット型エピタキシャル成長は、基板ウェーハの全体表面上で行われるエピタキシャル成長である。反応性イオンエッチング(RIE)及び誘導結合プラズマ(ICP)エッチングは、ブランケットエピタキシャル成長後にGeメサパターニングする一般的な方法であり、そこで所望のメサ側壁角が慎重に設計された異方性エッチング処方で達成される。しかしながら、異方性エッチングは通常パターン化された構造上にイオン衝撃を伴い、しばしばGe側壁表面の損傷をもたらす。ダメージを受けた側壁表面は、フォトダイオード暗電流を増加させる欠陥及びダングリングボンドを生じさせる。そのようなデバイスの劣化を避けるために、損傷表面層を誘発した異方性エッチングを除去するために、共形的損傷のない選択的Geエッチングアプローチ(Si上の選択)が提示されている。例えば、選択的エッチングは、GeとSiのエッチング速度の差が5対1の比よりも大きいと定義することができる。

10

【0016】

より高い動作速度のフォトダイオードまたは光検出器に対して、感光層、すなわち図1に示された真性Ge領域130aの厚さは、キャリア通過時間を最小限に抑えるのに十分な薄さである必要があるが光応答性が低いという犠牲を払う。応答性を改善し、かつ高速を維持するために、光反射器を感光層の上に配置することができる。反射器材料は、1つの誘電体層(例えば、酸化物あるいは窒化物)、複数の誘電体層、金属(例えば、アルミニウム)、あるいは上記の材料の任意の組み合わせを含むことができる。そのような反射器の形成には、目標とする反射率が所望のスペクトル内にあることを確実にするために厳密な厚さ公差(<5%)が求められ、これは従来の製造者にとっては比較的困難であり得る。所望の反射器構造の厚さ均一性制御を改善するために、エッチングまたは研磨停止層が本開示では提示されている。以下、光吸収装置はPINフォトダイオードとして例示される。しかしながら、この特定の例は本開示の範囲を限定するものではない。例えば、NIP構造もまた本開示の特定の実施例によって実施され得る。さらに、種々のGe含有量を有するSiGeのような他の光吸収材料が使用できる。

20

【0017】

図2Aから図2Fは、本開示の第1の実施形態による光吸収装置の製造ステップを示す断面図であり、ここで動作バイアスを低減するために、またはノイズ及び異種界面におけるリーク電流を低減するためにカウンタードーピング層が提示されている。図2Aに示すように(ステップS100)、半導体基板100が設けられ、基板100の上面近くにn+ドーピング層110が形成されている。n+ドーピング層110は、イオン注入、気相拡散及びドーパント拡散及び活性化のための任意の熱処理手順と組み合わせた同時インサイチュドーピングを備えたエピタキシャル層成長で形成されるが、これらに限定されない。低抵抗コンタクトのための2つの高ドーピング領域102が、n+ドーピング層110のドーピングレベルより高いドーピングレベルで形成される。例えば、ドーピング濃度はn+ドーピング層110に対して $1 \times 10^{19} \text{ cm}^{-3}$ より大きく、コンタクト102に対して $1 \times 10^{20} \text{ cm}^{-3}$ より大きい。

30

【0018】

本開示のいくつかの実施形態では、図2Aに示すように、半導体基板100はバルク半導体基板である。バルク半導体基板が使用される場合、バルク半導体基板は、Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InPまたは他のIII/V化合物半導体などを含む任意の半導体材料からなるが、これらに限定されない。これらの半導体材料の多層もバルク半導体基板の一部として使用することができる。一実施形態では、半導体基板100は、例えば単結晶シリコンのような単結晶半導体材料を含む。別の実施形態では、半導体基板100として半導体オンインシュレータ(SOI)基板(特に図示せず)が使用される。使用される場合、SOI基板は、ハンドル基板、ハンドル基板の上面に位置する埋め込み絶縁層、及び埋め込み絶縁層の上面に位置する半導体層を含む。ハンドル基板及びSOI基板の半導体層は、同じまたは異なる半導体材料を含んでもよい。ハンドル基板及び半導体層の半導体材料に関連して本明細書で使用される「半導体」と

40

50

いう用語は、例えば、Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InPまたは他のIII/V化合物半導体などを含む任意の半導体材料を意味する。これらの半導体材料の多層は、ハンドル基板及び半導体層の半導体材料として使用することもできる。一実施形態では、ハンドル基板及び半導体層は共にシリコンからなる。別の実施形態では、異なる結晶方位の異なる表面領域を有するハイブリッドSOI基板が使用される。この例では、半導体基板100はシリコン基板100として例示される。

【0019】

図2Bに示すように(ステップS102)、エピタキシャル堆積された光吸収エピタキシャル層(例えばGeエピタキシャル層)130がドープ層110の上面に形成され、さらにドープ層110とGeエピタキシャル層130との間にカウンタードーピング層132を含む。いくつかの実施例では、カウンタードーピング層132の厚さは、界面近くのドーピングプロファイルに応じて1nmから150nmの範囲にすることができる。カウンタードーピング層132内のドーパントは、電気的中和のための反対の電荷極性を提供することによって界面におけるビルトインポテンシャル/キャリアを補償し、ビルトインポテンシャルそしてひいては動作バイアス及び/またはリーク電流を低減するために同程度の自由キャリア濃度を提供することができるべきである。Ge-on-Siシステムでは、界面は当然ながらp型であり、したがって、カウンタードーピング層132内のドーパントは、好ましくはn型ドーパント、例えばAs、Pまたはそれらの組み合わせである。カウンタードーピング層132は、Geエピタキシャル層をエピタキシャル成長させる間にインサイチドーピングすることによって形成することができる。インサイチドーピングプロセスでは、ドーパントは結晶性半導体材料の堆積中に導入される。代替的に、カウンタードーピング層132は、n型ドーパントによるイオン注入などの他のアプローチを形成することができるが、これに限定されるものではない。カウンタードーピング層は層130と同じ材料であってもよいし、様々なGe含有量を有するSiGeのような異なる材料であってもよい。いくつかの実施例では、層130への拡散から層132のドーピングを低減するために追加の層が層132と層130との間に加えられる。例えば、この任意の層は様々なGe含有量を有するSiGe材料であってもよい。Geエピタキシャル層130及びカウンタードーピング層132が形成された後、Ge表面を保護するためにGeエピタキシャル層130の上面に酸化物キャップ138が形成される。

【0020】

図2Cに示すように(ステップS104)、酸化物キャップ138が形成された後、シリコン基板100の上面部を露出させるためにリソグラフィ及びエッチングプロセスがGeメサ領域140及びカウンタードーピングメサ領域142を画定するために実行される。

【0021】

図2Dに示すように(ステップS106)、適切なエッチング液がGeエピタキシャルメサ領域140または/及びカウンタードーピングメサ領域142を横方向に凹ませるために使用される。

【0022】

図2Eに示すように(ステップS108)、不動態化層150がGe表面を不動態化するために得られた構造の上面に形成され、p型ドープ領域144がイオン注入などの半導体製造プロセスによってGeメサ領域140の上面近くに形成される。いくつかの実施例では、不動態化層150は非晶質シリコン(a-Si)または多結晶シリコン(poly-Si)であってもよい。他の実施例では、領域144のドーピングプロセス中に不動態化層150を同時にドープすることができ、サリサイドを含むコンタクト形成に使用される。いくつかの実施例では、ドープ領域144の区域は上から見たときメサ領域140と異なる形状を有することができる。例えば、メサ領域140の形状は長方形とすることができ、ドープ領域144の形状は円形とすることができる。いくつかの実施例では、ドープ領域144の区域は上から見たときメサ領域140と同様の形状を有することができる。例えば、メサ領域140及びドープ領域144の形状は両方とも長方形または円形でも

10

20

30

40

50

よい。

【 0 0 2 3 】

図 2 F に示すように (ステップ S 1 1 0)、層間誘電体 (ILD) 層 1 5 2 が Ge メサによるトポグラフィを用いて結果として生じる構造の上に形成され、CMP (化学的機械研磨) 処理が表面トポグラフィを低減するために行われる。層間誘電体 (ILD) 層は、所望の厚さに達するように数回堆積させられる。その後で、コンタクト開口 1 5 4 が高度にドーブされたシリコン表面 1 0 2 及び不動態化層 1 5 0 の一部を露出させるためにリソグラフィ及びエッチング処理で規定される。

【 0 0 2 4 】

図 2 G に示すように (ステップ S 1 1 2)、Ni、Co、Ti、Pt 等の金属を導入し、次に熱形成処理をし、そしてその後未反応の部分を除去することによりサリサイド 1 5 8 がシリコン基板 1 0 2 表面の上面に形成される。次いで、タングステンプラグ (W プラグ) 1 5 6 がサリサイド 1 5 8 上面のコンタクト開口 1 5 4 内に形成される。

【 0 0 2 5 】

図 2 H に示すように (ステップ S 1 1 4)、金属配線 (M 1 層) 1 6 0 が外部回路への電氣的接続を提供するために形成される。いくつかの実施例では、光信号が図 2 H の上部から入射する場合、Ge メサ領域 1 4 0 の最上にある ILD 1 5 2 から開口を最初にエッチングすることによって、ARC コーティングをフォトダイオードの上部に追加することができる。いくつかの実施例では、光信号が図 2 H の底部から入射する場合、最初に基板を薄くすることによって、ARC コーティングをフォトダイオードの底部上部に追加することができる。

【 0 0 2 6 】

この実施例では、n 型ドーパント及び適切な厚さ (1 nm ~ 150 nm) を有する Ge メサ領域 1 4 0 の下のカウンタードーピングメサ領域 1 4 2 が、ビルトインポテンシャル、ひいては動作バイアス及び/またはリーク電流を減少させる p 型異種界面を補償するために形成される。図 2 A ~ 2 H において、基板コンタクトと上部吸収領域コンタクトの両方に示されている 2 つのコンタクトポイントは、2 D 断面図において例示的であることを留意しなければならない。いくつかの実施例では、光吸収領域から光生成キャリアを抽出するために基板及び吸収領域への単一接続ビアまたはリングを形成することもできる。また図 2 E ~ 2 H において、図示された光吸収領域を覆う不動態化層 1 5 0 は例示的であり、この不動態化層 1 5 0 はタングステンプラグ (W プラグ) 1 5 6 またはドーブ領域 1 0 2 及び 1 4 4 と電氣的に接続するための他の形態のコンタクトビアを禁止しない限り他の領域に延在することもできることを留意しなければならない。さらに、図 2 E ~ 2 H のセグメント化されたドーブ層 1 1 0 は例示的でありいくつかの実施例では、それは他の領域に広がってもよい。図 2 A ~ 2 H の P ドーブ層 1 4 4 は例示的でありいくつかの実施例では、それは他の実施形態の層 1 4 0 の側壁に延在することができる。

【 0 0 2 7 】

図 3 A から 3 C は、異種界面近くに真性領域を形成するための他の実施例を示す。図 3 A に示すように、図 2 B に対応するステップ S 1 0 2 は、カウンタードーピング層 1 2 2 が Si 基板 1 0 0 の上面に形成されるというサブステップを備えたステップ S 1 0 2 a によってさらに説明することができる。ここでカウンタードーピング層 1 2 2 は、イオン注入によって形成することができる。その後、層 1 3 0 が形成される。図 3 B に示されるように、図 2 B に対応するステップ S 1 0 2 は、第 1 のカウンタードーピング層 1 2 2 a が Si 基板 1 0 0 の上面に形成されるというサブステップを備えたステップ S 1 0 2 b で置き換えることができ、ここで第 1 のカウンタードーピング層 1 2 2 a は、イオン注入によって形成することができる。その後、エピタキシャル成長された Ge 層 1 3 0 が基板 1 0 0 の上に形成され、Ge エピタキシャル層 1 3 0 は第 2 のカウンタードーピング層 1 3 2 a を有する。異種界面は、第 1 のカウンタードーピング層 1 2 2 a (Si 系材料) と第 2 のカウンタードーピング層 1 3 2 a (Ge 系材料) との間に存在する。いくつかの実施例では、第 1 のカウンタードーピング層 1 2 2 a の厚さは、界面近くのドーピングプロファイ

10

20

30

40

50

ルによって1 nmから150 nmの範囲である。さらに、第1のカウンタードーピング層122a内のドーパントはGeエピタキシャル層130内のビルトインポテンシャル/キャリアと同様の自由キャリア濃度を提供できなければならないが、電気的中和のために反対の電荷極性を有する。いくつかの実施例では、第2のカウンタードーピング層132aの厚さは1 nmから150 nmの範囲である。さらに、第2のカウンタードーピング層132a内のドーパントは、Si/Ge界面内のビルトインポテンシャル/キャリアと同様の自由キャリア濃度を提供することができなければならないが、p型界面欠陥及びヘテロ接合ホール閉じ込めに起因するSiとGeとの間のP型界面による電気的中和のために反対の電荷極性を有する。

【0028】

図3Cに示すように、図2Bに対応するステップS102は、Siエピタキシャル層120がSi基板100上に形成されるというサブステップを備えたステップS102cで置き換えることができる。Si基板100は、エピタキシャル層120の近くの界面にドーピングすることができる。エピタキシャル成長されたGe層130は、Siエピタキシャル層120の上に形成され、Ge層130はさらにカウンタードーピング層132を含む。厚さが1 nmから150 nmの範囲であるカウンタードーピング層132は、好ましくはp型界面を補償するためにn型ドーパント、例えばAs、Pまたはそれらの組み合わせでドーピングされる。カウンタードーピング層132は、Ge層をエピタキシャル成長させる間のインサイチュドーピングにより、あるいはn型不純物のイオン注入によって形成することができる。いくつかの実施例では、Siエピタキシャル層120は、ドーピングされた基板からドーパント拡散を減少させ、または/及びGeよりも小さい誘電率による接合容量を減少させることを含む複数の目的を提供することができる。

【0029】

図2Bから2Hに示された例において、カウンタードーピング層またはカウンタードーピングメサは、シリコン層とゲルマニウムを含む別のエピタキシャル層との間の界面層と広義に称することができる。カウンタードーピング層の主な組成は、シリコンまたはゲルマニウムまたはそれらの合金のいずれかであることができる。図3Aに示された例において、カウンタードーピング層122は、シリコン基板100とGeエピタキシャル層130との間の界面層と広義に称することができる。図3Bに示された例において、第1のカウンタードーピング層122a及び第2のカウンタードーピング層132aは、この例で2つの層が含まれているとしてもシリコン基板100とGeエピタキシャル層130との間の界面層と広義に称することができる。図3Cに示された例において、カウンタードーピング層132は、Siエピタキシャル層120がシリコン基板100とカウンタードーピング層132との間に挟まれているとしてもシリコン基板100とGeエピタキシャル層130との間の界面層と広義に称することができる。本開示において、界面カウンタードーピング層は、層Aと層Bとの間の単層または複数層であることができ、層Aと層Bとの間に真性領域を提供する。さらに、界面層は層A及び層Bのうち的一方と直接接触する必要はなく、実質的に真性領域が層Aと層Bとの間に存在し得る限り、界面層と層Aとの間に、あるいは界面層と層Bとの間に他の層を介在させることができる。

【0030】

図4Aから4Cは、本開示の実施例による欠陥支援ドーパント拡散が低減されたフォトダイオードを形成する製造ステップを示す断面図である。図4Aに示すように、エピタキシャル成長またはイオン注入のいずれかによって基板材料100の上にドーピング層200が形成される。次に、ドーパント制御層210がドーピング層200の上に形成される。いくつかの実施例では、ドーパント制御層210はシリコンゲルマニウムを含み、ドーピング層200はゲルマニウムまたはシリコンゲルマニウムを含み、そしてドーピング層200内のドーパントはリン(P)を含む。Geを含むエピタキシャル層130が光感応領域としてドーパント制御層210の上に形成され、エピタキシャル層130の上に最上ドーピング層135が形成される。いくつかの実施例では、最上ドーピング層135のドーパントはホウ素(B)を含む。

10

20

30

40

50

【0031】

いくつかの実施例では、ドーピング層200は基板材料100から最初にドーピングされていない200層領域にドーパントを駆動することによって形成することができる。駆動プロセスはドーパント制御層210及びエピタキシャル層130の少なくとも一部が形成された後にすることができる。エピタキシャル層130の材料は、Si、1%から100%のGe含量を有するSiGeであることができるが、それに限定されない。ドーパント制御層210の材料は、エピタキシャル層130からのものよりも少ないGe含有量を有するSiGe、炭素ドーピングされたSiGe、または炭素ドーピングされたGeであることができるが、それに限定されない。ドーピング層200の材料は、高濃度にドーピングされたGe、エピタキシャル層130より高くなくドーパント制御層200より低くないGe含有量を有する高濃度にドーピングされたSiGeであることができるが、それに限定されない。

10

【0032】

ドーピング層200は、Si基板100と同じ電気的極性(例えば、n型ドーピング)を有する。Si基板100がGeエピタキシャル層130と格子不整合で直接接触している場合、欠陥を誘発し、より高い暗電流及びより速いドーパント拡散をもたらす。結果として、ドーパント制御層210は、エピタキシャル130領域に深く入り込みデバイスの劣化をもたらすことなく欠陥統計を不動態化することによって暗電流発生を低減するためだけに基板100からのドーパントがドーピング層200内に打込まれることを可能にするようにドーパントブロックとしてSi/Ge界面の近くに配置されるように設計される。いくつかの実施例では、ドーピング層200は、動作バイアス及び/またはリーク電流を低減するために前述のようにカウンタードーピング層として機能することができる。

20

【0033】

図4Bに示すように、最上ドーピング層135が下記の感光材料とは異なる材料組成を有する異種最上ドーピング層136で置き換えられている点を除いて図4Aと同様である。異種ドーピング層136は、Geエピタキシャル層130と異種最上ドーピング層136との間にマイナーまたはゼロ格子不整合がもたらされるようにSiまたはSiGeから作られる。

【0034】

図4Cに示すように、異種界面の品質を改善するために感光材料と最上ドーピング層136との間に別のドーピング層200bのセット及びドーパント制御層210bが導入されることを除いては図4Bと同様である。ドーパント制御層210bは、最上ドーピング層136から感光領域130へのドーパント拡散を低減するために導入される。最上ドーピング層136は、Si、Ge、またはそれらの組み合わせを含むことができる。最上ドーピング層136内のドーパントは、B、P、As及びそれらの組み合わせを含むことができる。いくつかの実施例では、ドーピング層200bは最上ドーピング層136と同じドーピング極性を有することができる。いくつかの実施例では、界面ビルトインポテンシャルを低下させ動作バイアスを低減するために、ドーピング層200bは前述のようにカウンタードーピング層として機能することができる。

30

【0035】

図4A及び4Bに示された例において、ドーピング層200及びドーパント制御層210は、これらの例でSi基板100とエピタキシャル層130との間に2層あっても、Si基板100とエピタキシャル層130との間の界面層とみなすことができる。同様に、図4Cに示された例において、ドーピング層200b及び最上ドーパント制御層210bは、最上ドーピング層136とエピタキシャル層130との間の界面層とみなすことができる。本開示において、界面層は層Aと層Bとの間の単層または複数層であることができ、層Aと層Bとの間のドーパント拡散を制御する。さらに、界面層は層A及び層Bの一つと直接接触する必要はなく、ドーパント拡散が層Aと層Bとの間の界面層内で制御され得る限り、他の層が界面層と層Aとの間、または界面層と層Bとの間に介在することができる。いくつかの実施例では、ドーパント制御層とドーピング層の相対位置を入れ替えることができ、すなわちドーパント制御層はドーピング層の上または下のいずれかとすることができる。いくつかの実施例では、前述のようにドーピング層はカウンタードーピング層として機能するこ

40

50

とができる。

【0036】

図5A及び5Bは、図4Aに示された構造の一実施例を示す。エピタキシャル層130と同様の材料組成を有するシード層200を最初に成長させることによって真性Geを含むエピタキシャル層130がN型リンをドーブしたSi基板100上に成長し、その後、速く拡散し、所望の真性特性を損なう可能性があるエピタキシャルGe層へのリンの拡散を低減するためにSiまたはSiGe機能を含むドーパント制御層210を成長させる。シード層200及びドーパント制御層210の厚さ及び位置は、成長の間に十分に制御することができる。いくつかの実施例では、ドーパント制御層210は50nmから150nmの範囲であり、SiGeを含む。図5Bに示すように、Si基板100の最上層と反対の電氣的極性を有する最上ドーブ層135が、p-i-nフォトダイオード/光検出器構造をもたらすように形成される。

10

【0037】

図6Aから6Eは、本開示の別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオード形成の製造ステップを示す断面図である。図6Aに示すように、プロセスは図2Dに示されたステップS106に進むことができる。ドーブ領域102及び110は、説明を簡単にするためにここでは省略されている。Si基板100の上に第1の界面層112が形成され、Geを含む第2の層140が第1の界面層112の上に形成される。第1の界面層112(破線のボックスとして示されている)は、図2Aから3Cを参照して説明したようにカウンタドーピングに、あるいは図4Aから4Cを参照して説明したように拡散制御のために、あるいは帯域幅調整のために第2の層140より大きな誘電率を有する材料に使用することができる。また図6Aに示すように、限定するものではないが、Si(非晶質または多結晶)、シリコン酸化物、窒化物、高k誘電体、またはそれらの組み合わせなどの材料を有する不動態化層30が第2の層140を不動態化して保護するために形成される。

20

【0038】

図6Bに示すように、限定するものではないが、窒化物のような材料を有する停止層32が不動態化層30の上にプランケット層として形成される。いくつかの実施例では、停止層は酸化物及び窒化物を含む複数の層を含むこともできる。いくつかの実施例では、停止層32の厚さは、限定するものではないが、典型的には10Åから2000Åの範囲であり、100Åから500Åの厚さがより代表的である。その後、メサ構造全体を覆うように層間誘電体層(ILD)34が堆積され、図6Cに示すようにリフロ-または化学機械的研磨(CMP)プロセスのいずれかによって任意に最初の予備平坦化がなされ得る。ILD層34は、限定するものではないが、停止層32とは異なる材料組成を有するシリコン酸化物のような材料を使用する。図6Dに示すように、ILD層34は、停止層32の上のILD層34の部分が実質的に除去されるまでCMPプロセスによって処理される。図6Cの予備平坦化プロセスが行われない場合、CMPのような単一の平坦化プロセスが図6Dの構造を形成するために使用できる。より詳しくは、除去プロセスは最小厚さ損失でメサ停止層32の上で完全に終端するように設計される。すなわち、ILD層34の除去プロセスは、停止層32に対して高度に選択的である必要がある。例えば、選択性は1:5よりも大きくなり得る。その後、図6Eに示すように、反射器36が停止層32の最上に均一に堆積される。この手法で、最上反射器36の厚さの均一性は、研磨プロセスの代わりに膜堆積ステップによって良好に制御することができ、従来の平坦化プロセスより優れた均一性制御を意味する。反射器36は、反射または光学キャビティ経路長の調整、あるいはその両方の組み合わせのいずれかのために使用される。いくつかの実施例では、誘電体層の上に金属層を含む反射器は、>95%の反射率を達成することができ、ここで図6Eの底部から入射する光信号は第2の層140のさらなる吸収のために反射され得る。いくつかの実施例では、酸化物または窒化物を含む反射器が50%未満の反射率を達成するように形成され、光信号は図6Eの上部から入射できる。いくつかの実施例では、外部光源と第2の層140との間に反射防止コーティング(ARC)層を追加することが

30

40

50

できる。反射器は、1つの誘電体層（例えば、酸化物または窒化物）、複数の誘電体層、金属（例えば、アルミニウム）、または上記の材料の任意の組み合わせを含むことができる。いくつかの実施例では、反射器36は酸化物などの誘電体、またはアルミニウムなどの金属層、または入射光の1/4有効波長に近い厚さを有する誘電体層の上の金属層を含むことができる。反射器は一般に高い光学的歩留りを確実にするために独特かつ厳しい厚さ公差（ $< 5\%$ ）を有し、本実施例では、反射器構造の厚さの均一性制御を改善する停止（エッチングまたは研磨停止）層32がフォトダイオード/光検出器構造内に設けられている。上記のプロセスフローは特定の順序で記載されておらず、任意の順序で並べ替えることができることを留意しなければならない。例えば、反射器を堆積する前に停止層32上でCMPプロセスが引き起こす厚み変動がさらに低減できるように停止層32をさらに除去するための別のエッチングプロセスを追加することができる。いくつかの実施例では、停止層32は窒化物であり、リン酸を含む湿式エッチングプロセスが反射器36を堆積させる前に窒化物を除去するために使用される。さらに、上記の例で、Geエピタキシャルメサ領域を形成する第2の層140はSi基板100の表面に対して格子不整合を有し、光信号が通過するとき所定の反射率が達成され反射器36で反射されるように反射器36は所定の厚さを有し、光信号の少なくとも一部が第2の層140によって吸収される。

10

【0039】

図7Aから7Eは、本開示のさらに別の実施例による、エッチング/研磨ストッパーを備えたフォトダイオード/光検出器を形成する製造ステップを示す断面図である。図7Aに示すように、プロセスは図2Bに示されたステップS102に進むことができる。界面層112は、図2Aから3Cを参照して説明したようにカウンタードーピングに、あるいは図4Aから4Cを参照して説明したように拡散制御に使用することができ、あるいは帯域幅調整用の第2の層140の誘電率より大きな誘電率で形成することができる。限定するものではないが、Si（非晶質または多結晶）またはシリコン酸化物または窒化物またはそれらの組み合わせなどの材料を有する不動態化層31が、結果として得られる構造上に形成される。その後、限定するものではないが、窒化物のような材料を有する停止層33が不動態化層の上に形成される。停止層33の厚さは、典型的には10Åから2000Åであり、100Åから500Åの厚さがより代表的である。不動態化層31、停止層33及びその下のGeエピタキシャル層140はその後、図7Aに示されたメサ構造を形成するために同時にパターン化される。次に図7Bで、メサ（不動態化層31、停止層33、及びGeエピタキシャルメサ領域140を含む）側壁上に不動態化スペーサ35が形成される。いくつかの実施例では、不動態化スペーサは、まずメサ上に不動態化膜を共形的に堆積させることによって形成され側壁の近くに比較的厚い領域をもたらす。次いで、指向性（異方性）エッチングがフィールド上のスペーサ材料を除去するために適用され、スペーサとして残った比較的厚い層を有する側壁領域のみを残す。その後、メサ構造全体を覆うように層間誘電体層（ILD）34が堆積され、図7Cに示すようにリフローまたは化学機械的研磨（CMP）プロセスのいずれかによって任意に予備平坦化することができる。図7Dに示すように、予備平坦化プロセスが図7Cで処理されるかどうかにかかわらず、ILD層34は停止層領域33の上のILD層34の部分が実質的に除去されるまでCMPプロセスによって処理される。図7Cで予備平坦化プロセスが行われていない場合、図7Dの構造を形成するために単一研磨プロセスを使用することができる。その後、図7Eに示すように、反射器36が図6Eに記載されているものと同様に停止層領域33の上に均一に堆積される。

20

30

40

【0040】

図8Aから8Fは、本開示のさらに別の実施例によるエッチング/研磨ストッパーを備えたフォトダイオード/光検出器を形成する製造ステップを示す断面図である。図8Aから8Cで示される初期ステップは、図7Aから7Cの説明と同様であり、図8Dで、ILD層34がCMPプロセスまたはエッチバックプロセスによってさらに処理され、その処理はILD34または停止層33のいずれかにいくらかのオーバー研磨またはオーバーエ

50

ッチングして停止層領域 33 の近くで停止する。図 7 と比較して、この実施例では、停止層 33 は後のプロセスで除去されるのでダミー停止層と呼ぶことができ、したがって、除去プロセスは、前述したように停止層に対して選択的である必要はなく、それゆえにプロセスの柔軟性をさらに向上させることができる。図 8 E に示すように、ダミー停止層 33 はその後、湿式化学プロセスまたは湿式及び乾式エッチングプロセスの組み合わせによって除去される。選択された化学物質は停止層 33 とのみ反応し、ILD 34 のような露出した材料の残りの部分に対して高度に選択的であることができる。例えば、停止層が窒化物である場合、リン酸ベースの湿式エッチングプロセスを使用することができる。その後図 8 F に示すように、反射器 36 が、図 6 E 及び 7 E に記載されているように、得られた構造の上部に均一に堆積される。この手法で、最上反射器 36 の厚さの均一性は研磨プロセスの代わりに膜堆積ステップによって良好に制御することができ、従来の平坦化プロセスより優れた均一性制御を意味する。

10

【0041】

図 9 A から 9 D は、本開示の別の実施例による共形選択的 Ge エッチングでフォトダイオード / 光検出器を形成する製造ステップを示す断面図である。図 9 A に示すように、プロセスはエピタキシャル層 130 とその下の Si 基板 100 との間に配置された界面層 40 を有する図 2 B に示されたステップ S102 に進むことができる。いくつかの実施例では、エピタキシャル層 130 は Ge を含み、界面層 40 はカウンタードーピング層、ドーパント拡散層またはその両方として機能する真性 Si 層とすることができ、そしてエピタキシャル層 130 上に誘電体材料からなる不動態化層 42 が形成される。その後、図 9 B に示すように、不動態化層 42、下にあるエピタキシャル層 130 及び界面層 40 がメサ構造 140 を形成するために RIE によって完全または部分的にパターン化される。指向性イオンエッチング（例えば、RIE）の関与により、図 9 B に示すようにメサ側壁近くのエピタキシャル層に損傷領域 43 が生じる。図 9 C に示すように、選択的 Ge エッチングが損傷領域 43 を除去するために行われる。このプロセスは、図 9 C に示すように横方向凹部 45 を生じさせる。エピタキシャル層 130 の上面は誘電体不動態化層 42 によって覆われているので、エッチングプロセスは、主にメサ側壁上でアクティブである。この共形選択的 Ge エッチングを実施する方法は、続く記述でさらに論じられる。最後に、図 9 D に示すように、p-i-n または n-i-p 構造を形成するために、上面近くのエピタキシャル層の薄層 46 が基板ドーパ領域 110 と反対の電氣的極性を有する高濃度にドーパされた層に変換される。上記のプロセスは特定の順序に限定されないことを留意しなければならない。

20

30

【0042】

再び図 9 C を参照して、共形選択的 Ge エッチングを達成する 3 つの可能な方法がさらに説明できる。第 1 のアプローチは、Si に対する選択性を有する共形的（等方性）Ge エッチングを達成するために湿式化学エッチングを使用することである。典型的な Ge エッチングは、通常 2 つのステップで実行される。第 1 のステップは、エッチングされた材料がより高い酸化状態に変換される酸化反応である。第 2 のステップは、酸化生成物の溶解につながる。一実施例では、湿式エッチング化学は NH_4OH （溶液）及び H_2O_2 （酸化剤）を含むが、これに限定されない。エッチング速度は H_2O 希釈のレベルによって制御することができる。さらに、このエッチング化学反応は Si 上にエッチング選択性を有する。混合された NH_4OH 及び H_2O_2 がウェーハ洗浄のために Si 業界では使用されており、非常に低い Si エッチング速度で知られている。第 2 のアプローチは、下流プラズマ構成を用いたフッ素、塩素、及び臭素ベースの RIE プロセスを使用することである。Ge はイオン衝撃の助けなしに上記の化学反応に対してより反応的であることが観察されている。下流プラズマ構成は、指向性イオン衝撃によるさらなる側壁損傷を引き起こすことなく、ほぼ損傷のない共形的エッチングを提供することができる。RIE 条件を適切に調整することにより、このアプローチを用いて 40 対 1 を超える Ge と Si との間のエッチング速度差を達成することができる。第 3 のアプローチとして、高温気相 HCL エッチングが減圧または低圧真空システム下で行われる。HCl は、Si 及び Ge をエッチング

40

50

することができるガス化学作用を有する。これは方向性イオン衝撃の助けなしの気相エッチングであるので、反応は共形的である。さらに、エッチングGe及びSiの活性化温度は非常に異なり(100C超)、それゆえにエッチングプロセスを600C近くで操作するときGeのみがこの温度範囲でエッチングされ、こうしてSiとGeとの間のエッチング選択性を作り出している。さらに、上述のプロセスは本開示の他の箇所、例えば図6~8に示された図、で述べる他のフォトダイオード実施例にも適用することができる。例えば、図7A及び8Aにおいて、メサ形成の後、第2の層140の損傷側壁の一部を除去するために共形選択的Geエッチングを導入することができ、選択された区域内に損傷のない第2の層のみを残し、その後上述したように第2の層140の露出した側壁の少なくとも一部を覆うスペーサ層35を形成する。

10

【0043】

図9Eは、ドーピング絶縁を有するフォトダイオードを示す断面図である。この実施例では、2つの吸収素子が、吸収素子の2つの隣接する部分の間に逆のドーピング領域を作り出すことによって境界が定められ、各素子はそれ自身の最上ドーピング領域及びその基板ドーピング領域を有する。例えば、両方の素子に対して基板ドーピングがN型である場合、ドーピング分離領域はP型である。いくつかの実施例では、光吸収領域がわずかにP型である場合、ドーピング分離領域はN型である。いくつかの実施例では、吸収領域がGeを含み、基板がSiである場合、それらの界面層はSiGe界面近くの表面トラップ状態に起因してP型であり得、ドーピング分離はN型である。この界面層40は、意図的にドーパント拡散制御層、または前述のカウンタードーピング層として導入することができ、またはGeエピタキシャル成長熱処理中の上部Ge層とSi基板との間の相互拡散領域を指すことができる。

20

【0044】

図10Aから10Fは、本開示の一実施例による側壁不動態化を有するフォトダイオードを形成する製造ステップを示す断面図である。図10Aに示すように、プロセスは図2Aに示されたステップS100、すなわち、ドーブ層110を有するSi基板100に続くことができる。次に、絶縁層(フィールド誘電体層など)50がSi基板100の上面に堆積される。図10Bに示すように、選択された区域開口50aがフォトリソグラフィー及びエッチングによってフィールド誘電体層50に画定され、選択された区域開口50aはドーブ層110の表面の一部(第1選択区域)を露出させる。その後、図10Cに示すように、不動態化層52が選択された区域開口50aを有するフィールド誘電体層50の上面に堆積される。いくつかの実施例では、不動態化層52はSi(非晶質または多結晶)、窒化物、または高k誘電体である。図10Dに示すように、不動態化層52の一部を除去するために指向性エッチングが行われ、不動態化スペーサ52aのみが選択区域開口50a(すなわち、フィールド誘電体層50の内面)の側壁に残る。図10Eに示すように、第1の光吸収層(Geを含む感光材料層など)が選択成長し、選択区域開口50aを充填し、その後感光領域54を形成するためにCMPプロセスにより平坦化される。第1の光吸収層を選択的に成長させる前に、界面層112が第1の選択された区域の上に任意に形成されてもよい。界面層112は、図2Aから3Cを参照して説明したようなカウンタードーピング層、または図4Aから4Cを参照して説明したようなドーパント拡散制御層、または感光領域54の誘電率よりも小さい誘電率を有する帯域幅調整層であってもよい。最後に、図10Fに示すように、表面近くの感光領域54内にドーブ領域56が形成される。いくつかの実施例では、ドーブ領域56の区域は上面から見たときに感光領域54と異なる形状を有することができる。例えば、感光領域54の形状は長方形であってもよく、ドーブ領域56の形状は円形であってもよい。いくつかの実施例では、選択区域開口50aは長方形であり、Geを含む感光領域によって充填されたとき、良好な表面不動態化を生み出す(110)平面で囲まれている。特定の実施形態では、(110)以外の他の平面も長方形を形成するために使用することができる。接合容量を減少させるために、ドーブ層56は長方形開口50bよりも小さく、入力光ビーム外形と実質的に一致するように円形であってもよい。いくつかの実施例では、ドーブ領域56の区域は、上から

30

40

50

見たとき感光領域54と同様の形状を有することができる。例えば、感光領域54及びドープ領域56の形状はどちらも長方形または円形でもよい。いくつかの実施例では、感光領域54b及びドープ層56の形状はどちらも丸い角を有する長方形であることができる。

【0045】

代わりに、図10Gに示すように、プロセスは図10Bの後のステップから分岐することができる。シード層58が最初に選択区域開口50a(シード区域)内に成長させられる。CMPプロセスがシード層の成長の後に行われてもよい。続いて、第2の選択された区域を露出させるために、部分的に除去されて生じた構造上に第2の絶縁層501が堆積される。図10Hに示すように、スペーサ520が第2の選択された区域に対応する側壁上に形成される。露出された第2の選択された区域はその後、感光領域54によって充填され、図10Iに示すように、不動態化層が感光領域54の上に堆積される。図10H及び10Iに描写されたステップは、スペーサを形成するステップを実行する前に、シード層が最初にシード区域内で成長させられることを除いて図10Bから10Fに描写されたステップと同様である。

10

【0046】

代わりに、図10Jに示すように、プロセスは図10Gの前のステップから分岐することができる。シード層を選択区域開口50a(シード区域)に充填する前に、側壁に底部スペーサ52aを形成することができる。図10Kに示すように、選択区域開口50a(シード区域)内にシード層58を成長させ、シード層の成長後にCMPプロセスを実施することができる。この時点で、図10Hから10Iに描写されたステップが感光領域54の上部層を形成するために行うことができる。続いて、図2Fから2Hで描写したのと同様のプロセスまたは他の変形がフォトダイオードの電氣的接点を形成するために適用できる。いくつかの実施例では、シード層はSi、Ge、または様々なGe含有量を有するSiGeであってもよい。感光領域はSi、Ge、または様々なGe含有量を有するSiGeであってもよい。いくつかの実施例では、感光領域はシード層より高いGe含有量を示す。さらに、界面層をシード層と基板との間、または/及び感光領域と基板との間、または/及びシード層と感光領域との間に挿入してもよい。いくつかの実施例では、界面層はカウンタードーピング層、または/及びドーパント拡散層、または/及び帯域幅調整層として機能することができる。いくつかの実施例では、シード層は基板から感光領域へのドーパント拡散を低減するためにドーパント拡散制御層として機能するSi材料である。いくつかの実施例では、シード層はGeのような感光領域と実質的に同じ素材内容を有する。いくつかの実施例では、シリサイドを形成するなどの他のプロセスステップが2つの成長の間に実行されてもよいので、シード層はサーマルバジェットを低減するためにシード層の上の感光領域とは別に成長させてもよい。このような2ステップ成長方法は、実質的に同じ材料組成の感光領域のより高い全体的達成可能な厚さを可能にする。いくつかの実施例では、複数のリソグラフィステップの関与のためにシード区域と第2の選択区域との間に意図的または意図しない側壁の不整合が存在する。図10に示される図面は例示のためのものであり、限定的な意味で見るべきではないことに留意しなければならない。例えば、図10H及び10Iにおいて、スペーサ形成はこの2ステップの堆積/成長のシナリオにおいて任意であってもよく、すなわち最初にシード領域58を形成し、次にスペーサ520を導入することなく第2の感光領域54を形成してもよい。別の例として、感光領域54の厚さはシード領域58の厚さより厚くてもよく、感光領域54の開口区域はシード領域58よりも大きい、同じ、もしくは小さくてもよい。

20

30

40

【0047】

図11Aから11Gは、本開示の別の実施例による側壁不動態化を有するフォトダイオードを形成する製造ステップを示す断面図である。同様に、プロセスは図2Aに示されたステップS100を引き継ぐことができ、すなわち、図11Aに示すように、ドープ層110を有するSi基板100及びフィールド誘電体層50がSi基板100の表面に堆積される。図11Bにおいて、選択区域開口50aがフォトリソグラフィとエッチングに

50

よりフィールド誘電体層50の中に画定され、ここで選択区域開口50aはSi基板100の表面の一部を露出させている。

【0048】

続いて、図11Cに示すように、Geまたは様々なGe含有量のSiGeなどの感光材料が、第1の感光領域54aを形成するために選択区域開口50aを少なくとも部分的に充填するように選択的に成長させられ、それはシード層として機能し、より詳細に記述される。他の実施例では、第1の感光領域54aを選択的に成長させる前に、界面層112が、図2Aから3Cを参照して描写したようにカウンタードーピング層として、または図4Aから4Cを参照して描写したように拡散制御層として形成されてもよい。

【0049】

図11Dに示すように、フィールド誘電体層50aの上面及び第1の感光領域54aの上面に不動態化層53が堆積される。不動態化層53の材料は、Si（非晶質または多結晶）、酸化物、窒化物、高k誘電体またはそれらの組み合わせを含むことができる。図11Eに示すように、指向性エッチングが不動態化層53の一部を除去するために行われ、不動態化スペーサ53aのみが選択区域開口50aの側壁に残る。図11Fに示すように、第2の感光領域54bを形成するためにGeなどの感光材料が選択区域開口50aの残りの部分を充填するように成長させられ、第2の感光領域54bが次にCMPプロセスによって平坦化される。最後に、図11Gに示すように、ドープ層56が第2の感光領域54b内で第2の感光領域54bの上面近くに形成される。いくつかの実施例では、ドープ層56のドーピングタイプはp型であり、ドープ領域110のドーピングタイプはn型である。いくつかの実施例では、ドープ層56のドーピングタイプはn型であり、ドープ領域110のドーピングタイプはp型である。いくつかの実施例では、ドープ層56の区域は上から見たとき感光領域54bとは異なる形状を有することができる。例えば、感光領域54bの形状は長方形であり、ドープ層56の形状は円形であってもよい。いくつかの実施例では、選択区域開口50aは長方形であり、(110)平面で囲まれ、Geを含む光感受領域によって充填されるとき良好な表面不動態化を生じさせることができる。特定の実施形態では、(110)以外の他の平面もまた長方形を形成するために使用できる。接合容量を減少させるために、ドープ層56は長方形開口50bよりも小さく、入力光ビーム外形と実質的に一致するように円形であってもよい。いくつかの実施例では、ドープ層56の区域は上から見たとき感光領域54bと同様の形状を有することができる。例えば、感光領域54b及びドープ層56の形状はどちらも長方形でも円形であることができる。いくつかの実施例では、感光領域54b及びドープ層56の形状はどちらも丸い角を有する長方形であることができる。図11Gに示すようにプロセスステップが完了すると、図2Fから2Hに示されたものと同様の後続のプロセスまたは他の変形がフォトダイオードの電氣的接点を形成するために行われる。

【0050】

図11Hは、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図11Hに示すフォトダイオードは、不動態化層150がドープ層56と第2の感光領域54bの上に形成されている点を除いて図11Gに示したものと同様である。図11Iは、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図11Iに示すフォトダイオードは、界面層112をこの実施例では省略することができる点を除いて図11Gに示したものと同様である。図11Jは、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図11Jに示すフォトダイオードは、界面層112が第1の感光領域54aと第2の感光領域54bとの間に配置されている点を除いて図11Gに示したものと同様である。図11Kは、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図11Kに示すフォトダイオードは、2つの界面層112aと112bがこの実施例では使われている点を除いて図11Gに示したものと同様である。すなわち、第1の界面層112aは、第1の感光領域54aと第2の感光領域54bとの間に配置され、第2第1の界面層112bは、ドープ層110と第2の感光領域54b

10

20

30

40

50

との間に配置されている。図 1 1 において、完全な層領域及び破線のボックス領域の図解は両方とも界面層 1 1 2 の存在を示していることに留意しなければならない。前述の「Si 基板 1 0 0 の表面」は、特定の実施例においては「ドーブ層 1 1 0 の表面」と交換可能である。

【 0 0 5 1 】

図 1 2 A から 1 2 G は、本開示の別の実施例による側壁不動態化を有するフォトダイオードを形成する製造ステップを示す断面図である。同様に、プロセスは図 2 A に示されたステップ S 1 0 0 を引き継ぐことができる。図 1 2 A において、ドーブ層 1 1 0 を有する Si 基板 1 0 0 及びフィールド誘電体層 5 1 a は Si 基板 1 0 0 の表面に堆積されている。選択区域開口 5 0 a は、フォトリソグラフィとエッチングによってフィールド誘電体層 5 1 a 内に画定され、選択区域開口 5 0 a は Si 基板 1 0 0 の表面の一部を露出させている。続いて、選択区域開口 5 0 a を充填するようにシード層 5 4 a が選択成長させられる。いくつかの実施例では、第 1 の感光領域 5 4 a を選択的に成長させる前に、界面層 1 1 2 を図 2 A から 3 C を参照して描写されたようにカウンタドーピングとして、または図 4 A から 4 C を参照して描写された拡散制御として形成することができる。いくつかの実施例では、オプションの CMP プロセスをシード層 5 4 a の成長の後に実行することができる。図 1 2 B において、第 2 の絶縁層 5 1 b が堆積され、図 1 2 C 示されるように第 2 の選択区域 5 0 b を露出するために第 2 の絶縁層 5 1 b の一部が除去される。特定の実際のプロセスの実施では、2 つの別個のリソグラフィステップが関与するために選択的開口 5 0 a と第 2 の選択区域 5 0 b との間に側壁のズレが存在することがある。

【 0 0 5 2 】

図 1 2 D で、不動態化層 5 3 が堆積される。いくつかの実装例では、不動態化層 5 3 の材料は Si (非晶質または多結晶)、酸化物、窒化物、高 k 誘電体 (例えば、 Al_2O_3 、 HfO_2) またはそれらの組み合わせであることができる。図 1 2 E に示すように、不動態化層 5 3 を部分的に除去するために指向性エッチングが行われ、不動態化スペーサ 5 3 a のみが選択区域開口 5 0 b の側壁 (すなわちフィールド誘電体層 5 1 b の内面) に残る。

【 0 0 5 3 】

図 1 2 F に示すように、Ge などの感光物質を第 2 の感光領域 5 4 b を形成するために選択区域開口 5 0 b の残りの部分を充填するように選択的に成長させ、第 2 の感光領域 5 4 b は次に CMP プロセスによって平坦化される。最後に、図 1 2 G に示すように、第 2 の感光領域 5 4 b 内で第 2 の感光領域 5 4 b の上面付近にドーブ層 5 6 が形成される。いくつかの実施例では、ドーブ層 5 6 のドーピングタイプは P 型であり、ドーブ領域 1 1 0 のドーピングタイプは n 型である。いくつかの実施例では、ドーブ層 5 6 のドーピングタイプは n 型であり、ドーブ領域 1 1 0 のドーピングタイプは p 型である。いくつかの実施例では、ドーブ層 5 6 の区域は上から見たとき感光領域 5 4 b とは異なる形状を有することができる。例えば、感光領域 5 4 b の形状は長方形であってもよく、ドーブ層 5 6 の形状は円形であってもよい。いくつかの実施例では、選択区域開口 5 0 b は長方形で (1 1 0) 平面によって囲まれ、Ge を含む感光領域によって充填されるとき良好な表面不動態化を生じさせることができる。特定の実施形態では、(1 1 0) 以外の他の平面も長方形を形成するために使用することができる。接合容量を低減するために、ドーブ層 5 6 は長方形開口 5 0 b よりも小さく、入力光ビーム外形と実質的に一致するように円形であってもよい。いくつかの実施例では、ドーブ層 5 6 の区域は上から見たとき感光領域 5 4 と同様の形状を有することができる。例えば、感光領域 5 4 及びドーブ層 5 6 の形状はどちらも長方形でも円形でもよい。例えば、感光領域 5 4 及びドーブ層 5 6 の形状はどちらも丸い角を有する長方形であることができる。図 1 2 G に示したプロセスステップが完了すると、図 2 F から 2 H に示したものと同様の後続のプロセスまたは他の変形がフォトダイオードの電氣的接点を形成するために行われる。

【 0 0 5 4 】

図 1 2 H は、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオード

を示す断面図である。図 1 2 H に示すフォトダイオードは、不動態化層 1 5 0 がドーブ層 5 6 及び第 2 の感光領域 5 4 b の上に形成されている点を除いて図 1 2 G に示すものと同様である。図 1 2 I は、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図 1 2 I に示すフォトダイオードは、界面層 1 1 2 が本実施例では省略できる点を除いて図 1 2 G に示すものと同様である。図 1 2 J は、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図 1 2 J に示すフォトダイオードは、界面層 1 1 2 が第 1 の感光領域 5 4 a と第 2 の感光領域 5 4 b との間に配置される点を除いて図 1 2 G に示すものと同様である。図 1 2 K は、本開示のさらに別の実施例による側壁不動態化を有するフォトダイオードを示す断面図である。図 1 2 K に示すフォトダイオードは、2 つの界面層 1 1 2 a と 1 1 2 b が本開示では使われている点を除いて図 1 2 G に示すものと同様である。すなわち、第 1 の界面層 1 1 2 a は第 1 の感光領域 5 4 a と第 2 の感光領域 5 4 b との間に配置され、第 2 の界面層 1 1 2 b はドーブ層 1 1 0 と第 2 の感光領域 5 4 b との間に配置される。図 1 2 において、完全な層領域及び破線のボックス領域の図解は両方とも界面層 1 1 2 の存在を示していることに留意しなければならない。また図 1 2 に示された図面は、例証を目的とするものあり限定的な意味で見るべきでないこともまた留意しなければならない。例えば、図 1 2 D から 1 2 K において、スペーサ形成はこの 2 ステップの堆積 / 成長のシナリオにおいては任意であってもよく、すなわち最初にシード領域 5 4 a を形成し、次にスペーサ 5 3 a を導入することなく第 2 の感光領域 5 4 b を形成してもよい。他の例として、感光領域 5 4 b の厚さはシード領域 5 4 a の厚さよりも厚くてもよくまたは薄くてもよく、感光領域 5 4 b の開口区域はシード領域 5 4 a よりも大きい、同じ、または小さくてもよい。前述の「Si 基板 1 0 0 の表面」は、特定の実施形態においては「Nドーブ層 1 1 0 の表面」と交換可能である。

【 0 0 5 5 】

図 1 3 は、トランジスタを集積した本開示のフォトダイオードを示す断面図である。高ドーピング領域が、トランジスタ 7 0 のソース 7 2 及びドレイン 7 4 のための基板 1 0 0 に供されている。フォトダイオードとトランジスタとの間の絶縁は、シャロートレンチ絶縁、P - N 接合絶縁、熱酸化物または他の形態の絶縁によって行うことができる。

【 0 0 5 6 】

本発明は特定の例示的な実施形態を参照して記載してきたが、上述した実施例のいずれか及びすべてを互いに組み合わせることができることが認識されるであろうし、本発明は記載された実施例に限定されず、本発明の趣旨及び範囲内で改変及び変更して実施することができる。したがって、明細書及び図面は、限定的な意味ではなく例示的な意味であるとみなされるべきである。

【 0 0 5 7 】

いくつかの実施例では、界面層、シード層及び感光領域の材料は Si、Ge または様々な Ge 含有量を有する Si Ge であることができる。いくつかの実施例では、感光領域はシード層よりも高い Ge 含有量を有する。さらに、界面層をシード層と基板との間、または / 及び感光性領域と基板との間、または / 及びシード層と感光領域との間に挿入することができる。いくつかの実施例では、界面層はカウンタードーピング層、または / 及びドーパント拡散層、または / 及び帯域幅調整層として機能することができる。いくつかの実施例では、シード層は Si を含み、基板から感光領域へのドーパント拡散を低減するためのドーパント拡散制御層として機能する。

【 0 0 5 8 】

いくつかの実施例では、シード層は Ge のような感光領域と実質的に同じ材料含有量を有する。特定の実施形態では、シード層はサーマルバジェットを低減するためにシード層の上の感光領域とは別に成長させることができ、というのはシリサイドを形成するなどの他のプロセスステップを 2 つの成長の間に実行することができるからである。このような 2 ステップ成長方法は、実質的に同じ材料組成の感光領域のより高い全体的達成可能な厚さを可能にする。いくつかの実施例では、複数のリソグラフィステップの関与のために意

10

20

30

40

50

図的または意図しない側壁のズレがシード区域と第2の選択区域との間に存在する。選択成長が行われるいくつかの実施例では、成長ステップ中に傾斜した形状が形成されることがあり、本開示で述べられたように後でCMPステップによって研磨される。例えば、Geが表面に選択的にエピタキシャル成長すると(311)面が形成されることがある。いくつかの実施例では、基板ドーピング及び界面層を形成する前に凹み構造を含めることができる。いくつかの実施例では、前述のスペーサ形成プロセスに従ってスペーサを凹部区域の側壁を覆うように形成することもできる。その概念が本開示に従う限り、特定の実際の実施例によって誘発された不完全さもまた本開示でカバーされるべきであることも留意しなければならない。上記記載からの任意の変形、派生もまた本発明に含まれるものと見なされるべきである。

10

【0059】

本明細書は多くの詳細を含むが、これらは制限として解釈されるべきではなく、むしろ特定の実施形態に特化した特徴の記述として解釈されるべきである。別個の実施形態または実施例の文脈における本明細書で記述された特定の特徴は、単一の実施形態において組み合わせられてもよい。逆に、単一の実施形態の文脈で記述される様々な特徴は、複数の実施形態で別々にまたは任意の適切な部分的組み合わせで実施することもできる。さらに、特徴が特定の組み合わせで作動するものとして上述され、当初はそのように請求されたとしても、請求された組み合わせからの1つ以上の特徴が、場合によってはその組み合わせから削除されてもよく、請求された組み合わせは部分的組み合わせまたは部分的組み合わせの変形に向けられてもよい。

20

【0060】

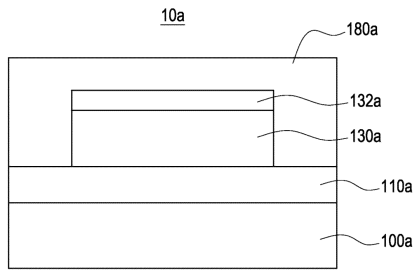
同様に、動作が特定の順序で図面に表わされているが、これは所望の結果を達成するために、そのような動作が示された特定の順序または順番で実行されること、またはすべての図示された動作が実行されることを要求するものとして理解されるべきではない。特定の状況では、マルチタスク処理と並列処理が有利な場合がある。さらに、上述の実施形態における様々なシステム構成要素の分離は、すべての実施形態においてそのような分離を要求するものとして理解されるべきではない。

【0061】

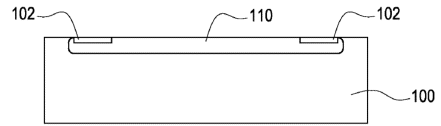
このように、特定の実施形態について記述した。他の実施形態は、次に掲げる特許請求の範囲内にある。例えば、特許請求項に列挙された動作は、異なる順序で実行されてもよく、依然として所望の結果を達成することができる。

30

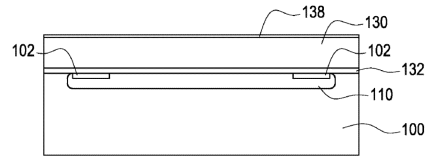
【図 1】



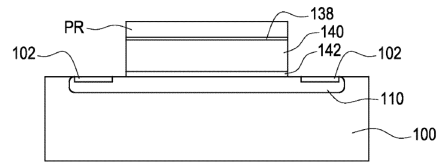
【図 2 A】



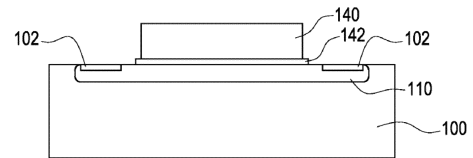
【図 2 B】



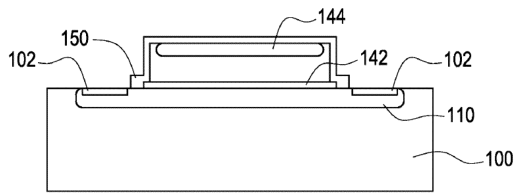
【図 2 C】



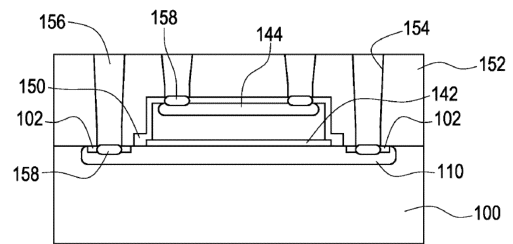
【図 2 D】



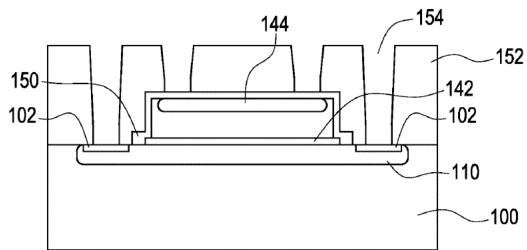
【図 2 E】



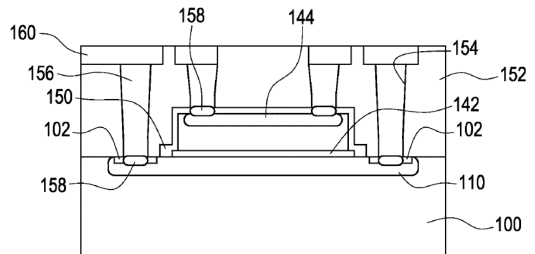
【図 2 G】



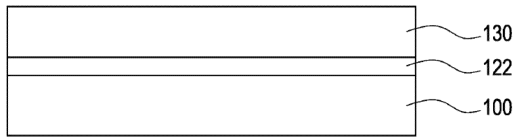
【図 2 F】



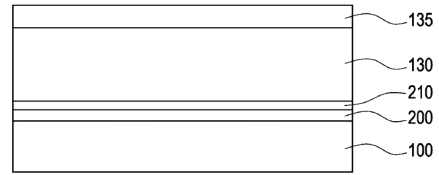
【図 2 H】



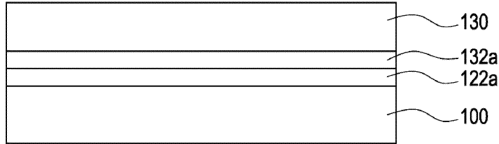
【図3A】



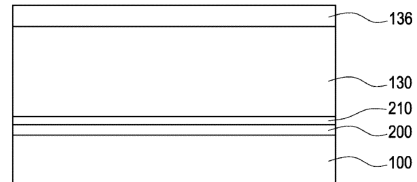
【図4A】



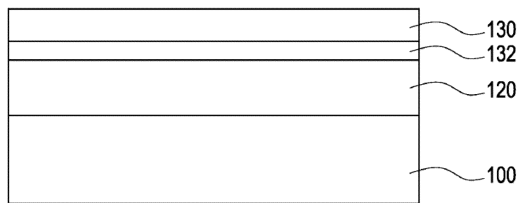
【図3B】



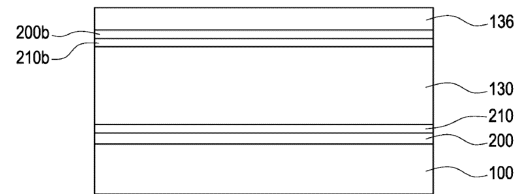
【図4B】



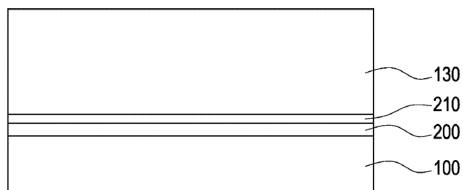
【図3C】



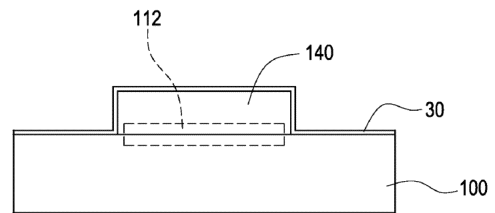
【図4C】



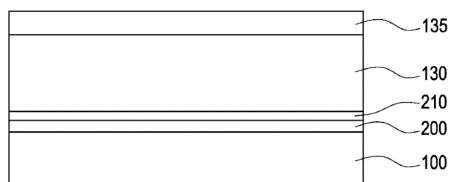
【図5A】



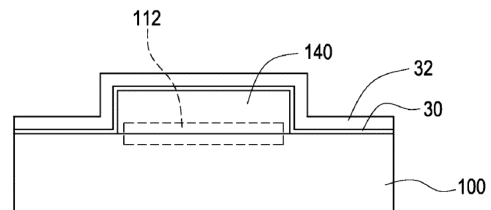
【図6A】



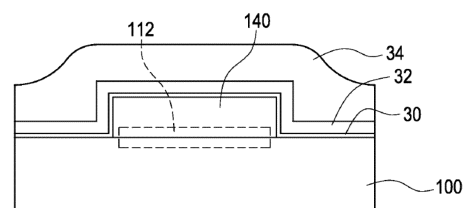
【図5B】



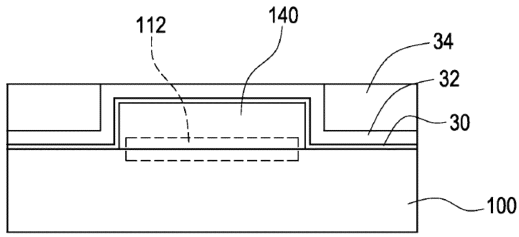
【図6B】



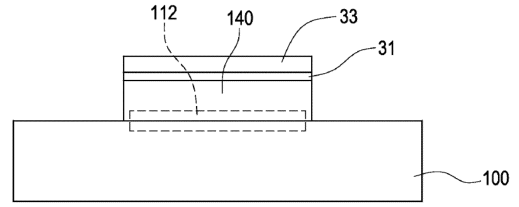
【図6C】



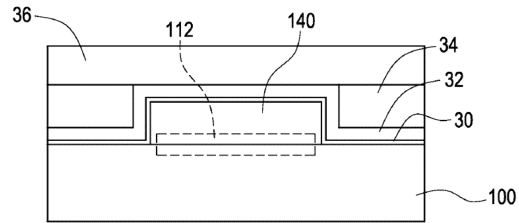
【図6D】



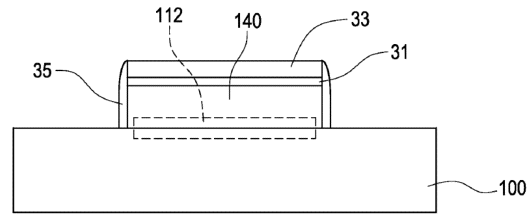
【図7A】



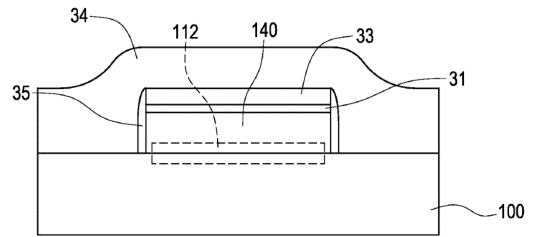
【図6E】



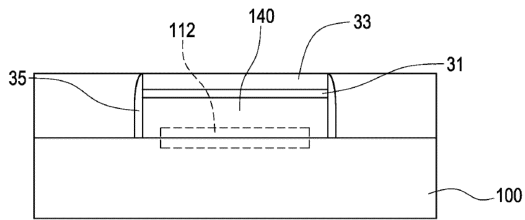
【図7B】



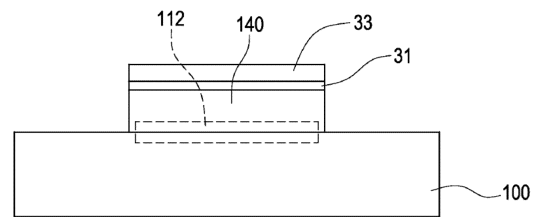
【図7C】



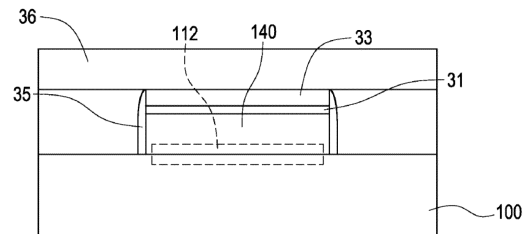
【図7D】



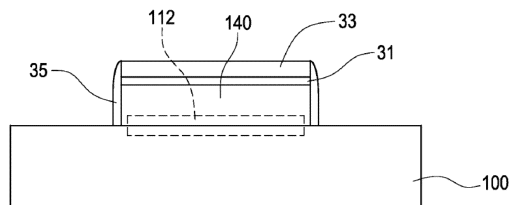
【図8A】



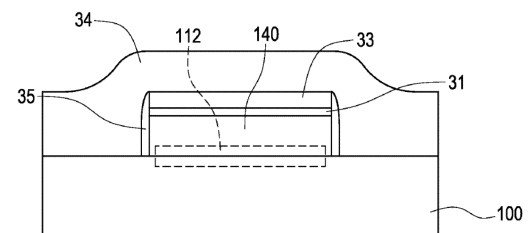
【図7E】



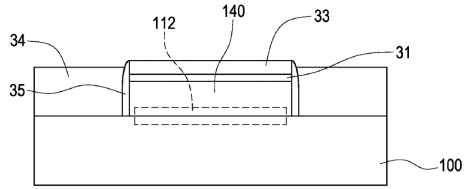
【図8B】



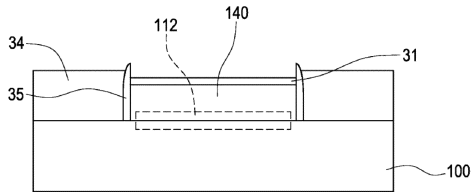
【図8C】



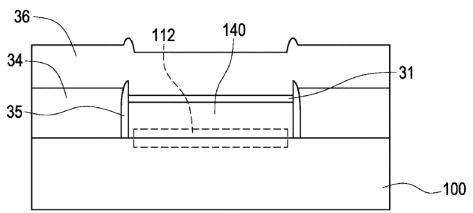
【図8D】



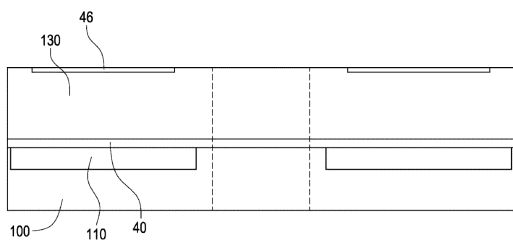
【図8E】



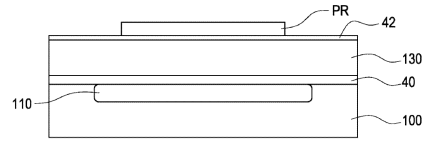
【図8F】



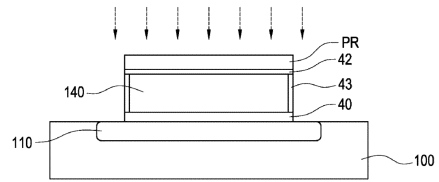
【図9E】



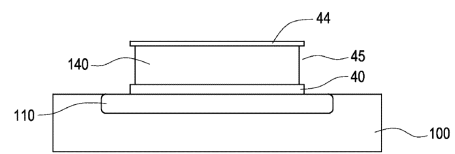
【図9A】



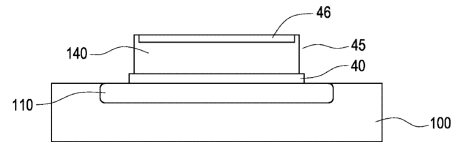
【図9B】



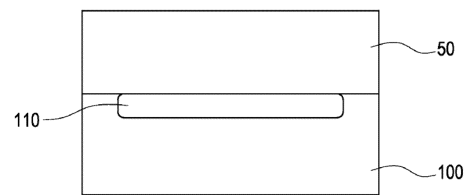
【図9C】



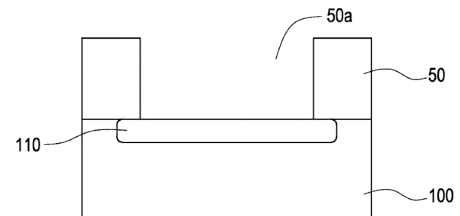
【図9D】



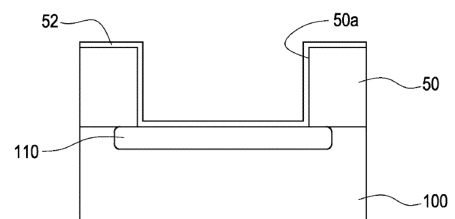
【図10A】



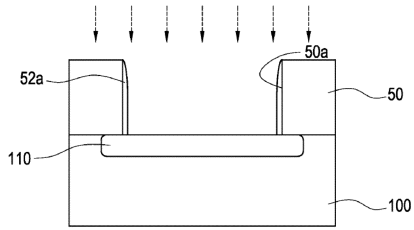
【図10B】



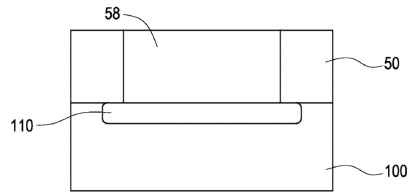
【図10C】



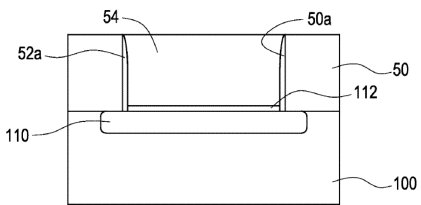
【図10D】



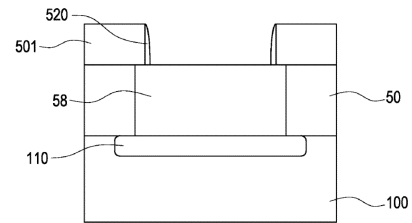
【図10G】



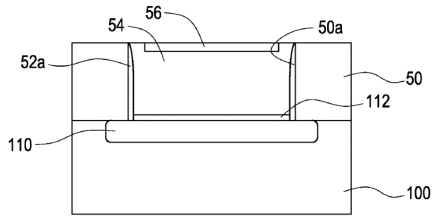
【図10E】



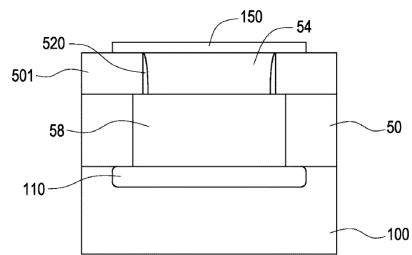
【図10H】



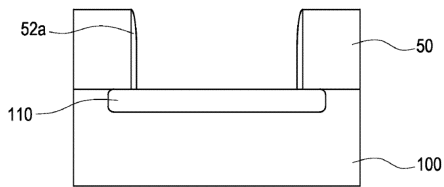
【図10F】



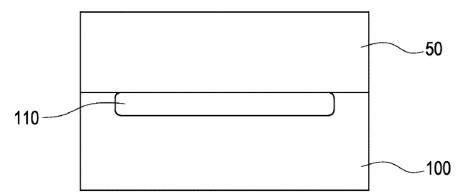
【図10I】



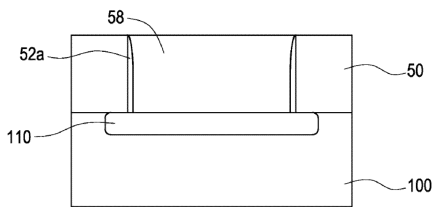
【図10J】



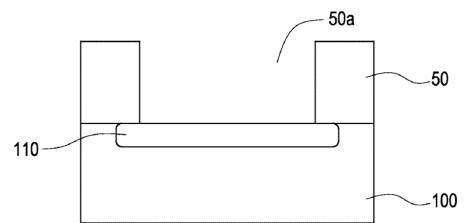
【図11A】



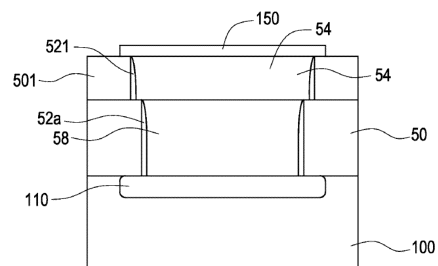
【図10K】



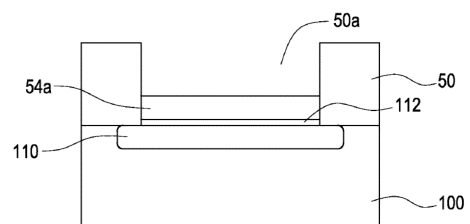
【図11B】



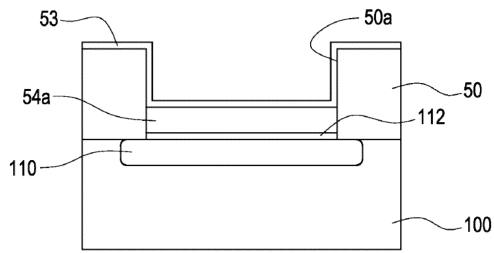
【図10L】



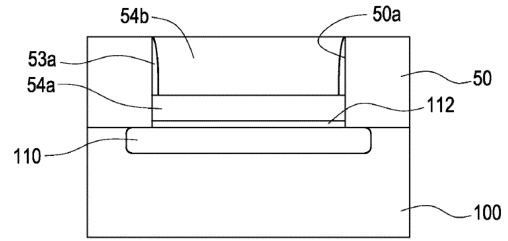
【図11C】



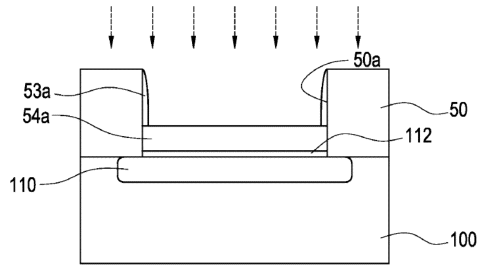
【図11D】



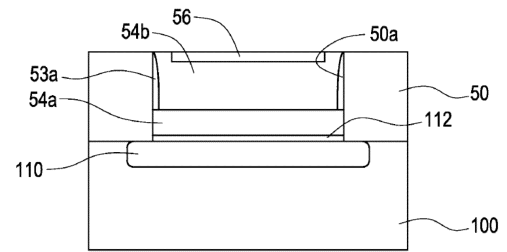
【図11F】



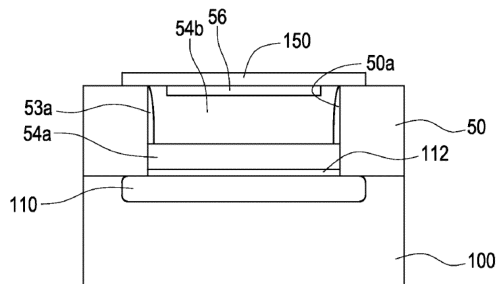
【図11E】



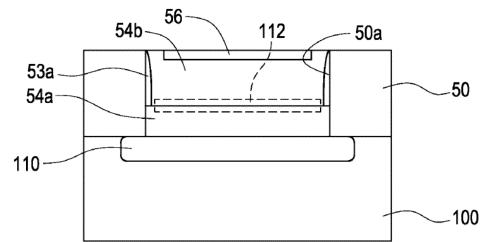
【図11G】



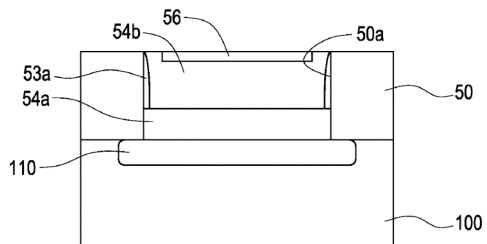
【図11H】



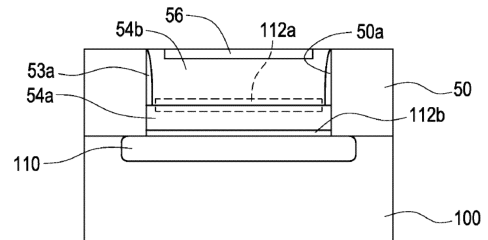
【図11J】



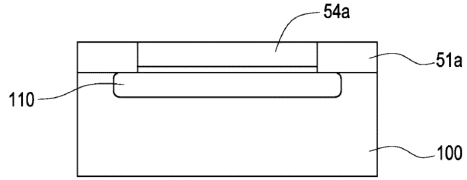
【図11I】



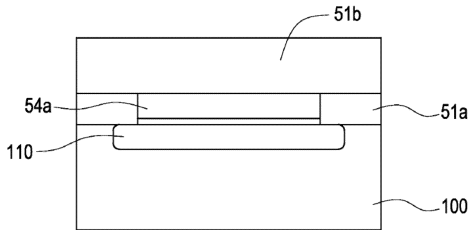
【図11K】



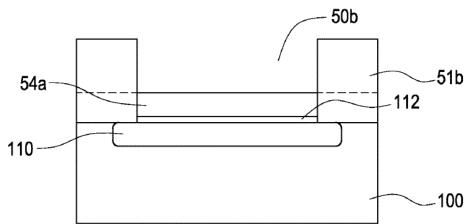
【図12A】



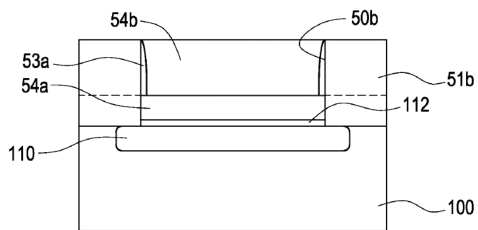
【図12B】



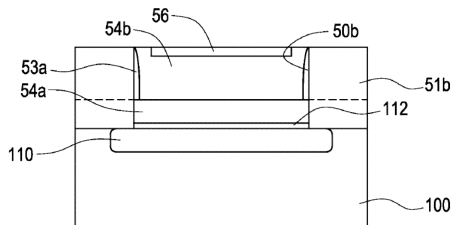
【図12C】



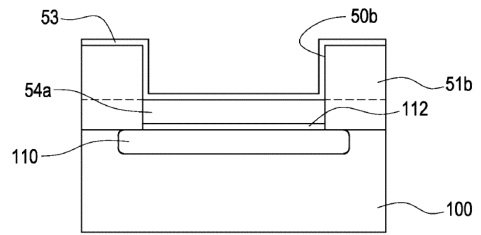
【図12F】



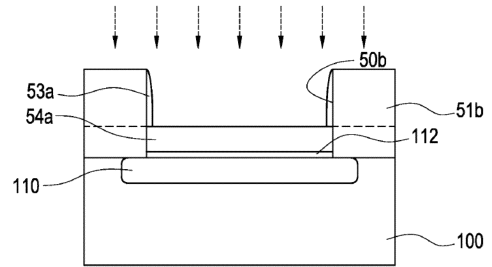
【図12G】



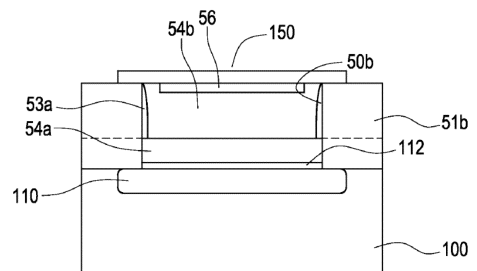
【図12D】



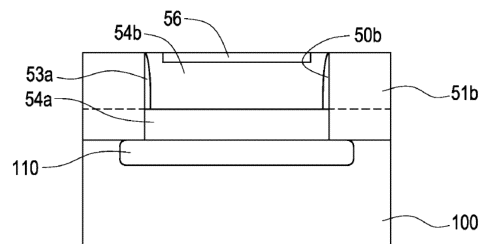
【図12E】



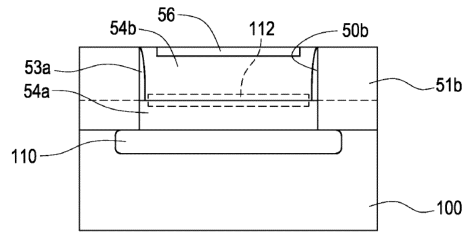
【図12H】



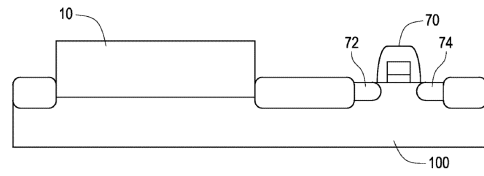
【図12I】



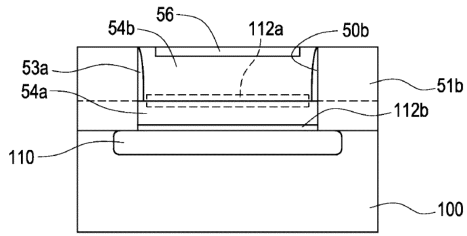
【図 1 2 J】



【図 1 3】



【図 1 2 K】



フロントページの続き

- (31)優先権主張番号 62/121,448
(32)優先日 平成27年2月26日(2015.2.26)
(33)優先権主張国 米国(US)
(31)優先権主張番号 62/126,698
(32)優先日 平成27年3月1日(2015.3.1)
(33)優先権主張国 米国(US)
(31)優先権主張番号 62/197,098
(32)優先日 平成27年7月26日(2015.7.26)
(33)優先権主張国 米国(US)

早期審査対象出願

- (74)代理人 100171310
弁理士 日東 伸二
(72)発明者 チェン, ス - リン
台湾 シンジュ カウンティ, ジュベイ シティ 302, タイユアン, 1 ストリート, ナンバ
ー 6, 5エフ - 2
(72)発明者 リィウ, ハン - デイン
アメリカ合衆国 カリフォルニア州 94089 サニーベール, ジーナ テラス 1024
(72)発明者 チェン, シュ - ルウ
台湾 シンジュ カウンティ, ジュベイ シティ 302, タイユアン, 1 ストリート, ナンバ
ー 6, 5エフ - 2

審査官 安田 雅彦

- (56)参考文献 特開2003 - 163361 (JP, A)
米国特許出願公開第2013 / 0119234 (US, A1)
米国特許出願公開第2008 / 0121805 (US, A1)
米国特許出願公開第2014 / 0138789 (US, A1)
特開2015 - 144163 (JP, A)
特表2010 - 536170 (JP, A)
特開2013 - 062360 (JP, A)
米国特許出願公開第2008 / 0017883 (US, A1)
米国特許出願公開第2015 / 0008433 (US, A1)
特開平09 - 307133 (JP, A)
特開平06 - 132558 (JP, A)
特開2010 - 034226 (JP, A)
米国特許出願公開第2014 / 0077210 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 148
H01L 31/02 - 0392
H01L 31/08 - 119
H01L 31/18 - 20
H04N 5/335 - 378