(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/12

(45) 공고일자 2001년11월22일
(11) 등록번호 10-0302529
(24) 등록일자 2001년07월04일

(21) 출원번호 10-1995-0012890
(22) 출원일자 1995년05월20일

(65) 공개번호 특1995-0034809
(43) 공개일자 1995년12월28일

(30) 우선권주장 94-131417 1994년05월20일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 가와사끼유지
일본가나가와껜아쓰기시하세931-1플렛아쓰티208
코야마쥰
일본가나가와껜사가미하라시니시하시모또1-4-23

(74) 대리인 이병호

심사관 : 오세준

(54) 박막반도체집적회로

요약

박막 트랜지스터(TFTs)로 구성된 반도체 집적 회로에서, 인버터 회로 또는 NAND 회로는 전송 게이트 회로, 적어도 하나의 P 채널형 TFT 를 포함하는 회로 및 적어도 하나의 N 채널형 TFT 를 포함하는 회로간의 P 채널형 TFT 또는 N 채널형 TFT 를 배치하여 형성된다. 상기 N 채널형 TFT 는 점지된다. 상기 배치된 전송 게이트 회로 또는, P 채널 또는 N 채널형 TFT 에 의해서 전압 강하가 발생되어, 상기 접지된 N 채널형 TFT 의 드레인 전압은 감소되고 상기 N 채널형 TFT 의 드레인 영역 근방의 전계도 감소된다.

대표도
도 1a

명세서

[발명의 명칭]

박막 반도체 집적 회로

[도면의 간단한 설명]

제 1a 내지 제 1d 도 및 제 2a 내지 제 2d 도는 본 발명의 실시예에 따른 박막 반도체 집적 회로에서 박막 트랜지스터(TFTs)로 구성된 전송 게이트 회로를 구비하는 인버터 회로를 도시하는 도면.

제 3a 내지 3c 도는 또 다른 실시예에 따른 박막 반도체 집적 회로에서 N 채널형 TFT 또는 P 채널형 TFT 사용하여 구성된 인버터 회로를 도시하는 도면.

제 4 도는 종래의 박막 반도체 집적 회로에서 인버터 회로를 도시하는 도면.

제 5 도는 종래의 박막 반도체 집적 회로에서 N 채널형 TFT의 채널에 대한 결손을 도시하는 도면.

제 6 도는 종래의 박막 반도체 집적 회로에서 N 채널형 TFT의 채널이 결손되어 있는 경우에서의 V_{DS} - I_D 특성을 도시하는 도면.

제 7a 내지 7d 도 및 제 8a 내지 8d 도는 또 다른 실시예에 따른 박막 반도체 집적 회로에서 N 채널형 TFT 또는 P 채널형 TFT를 사용하여 구성된 NAND 회로를 도시하는 도면.

제 9 도는 또 다른 실시예에 따른 박막 반도체 집적 회로에서 N 채널형 TFT를 사용하여 구성된 NAND 회로를 도시하는 도면.

제 10 도는 또 다른 실시예에 따른 박막 반도체 집적 회로에서 TFTs로 구성된 전송 게이트 회로를 구비하는 인버터 회로의 레이아웃을 도시하는 도면.

* 도면의 주요 부분에 대한 부호의 설명

1 : 드레인 배열 2 : 접지 배열

3 : 입력 배열 4 : 제 1 게이트 전극 및 배열

5 : 제 2 게이트 전극 및 배열 101,205 : P 채널형 TFT

102 : 전송 게이트 회로 103,203,204 : N 채널형 TFT

[발명의 상세한 설명]

[발명의 배경]

본 발명은 N 채널형의 박막 트랜지스터(TFT)의 결손을 방지하기 위한 고신뢰성의 박막 반도체 집적 회로에 관한 것이다.

제 4 도에 도시된 바와 같이, 인버터 회로는 P 채널형 박막 트랜지스터(TFT; 401)의 드레인 전극과 N 채널형 TFT(402)의 드레인 전극을 접속하여 구성되어 있다. 이 상태에서, 상기 N 채널형 TFT(402)의 드레인 전극에 대전류가 흐른다.

제 5 도에 도시된 바와 같이, N 채널형 TFT(402)에서의 드레인 전압이 높다면, N 채널형 TFT(402)의 게이트 전극 내에서의 전자는 드레인 영역 근처의 절연막과 같이 산화막에서 트랩되며, 이 때문에 약한 P 형 영역이 드레인 영역 및 채널 형성 영역간의 인터페이스 부분에 형성된다. 상기는 N 채널형 TFT(402)에서 드레인 전류를 방지한다. 그러므로, 제 6 도에 도시된 바와 같이, 표준적인 경우와 비교하여 V_{DS} 가 증가되는 것과 N 채널형 TFT(402)의 채널 형성 영역의 두께는 약한 P형 영역에 의한 영향을 감소시키도록 증가되는 것이 필요하게 된다.

그 결과로서, N 채널형 TFT의 특성은 P 채널형 TFT에 비하여 쉽게 변화하고 결손되며, 그 때문에 상기 특성의 결손이 박막 반도체 집적 회로의 신뢰성을 감소시킨다. 상기는 또 다른 베이식 회로, 예컨대 NAND 회로에서도 동일하다. 즉, 인버터 회로와 유사하므로, 접지된 N 채널형 TFT 는 쉽게 결손된다.

상술한 바와 같이, 드레인 전압이 높을 때, 강전계(고강도를 가짐)는 드레인 영역 근방에 발생되며, 그러므로, 약한 P형 영역이 채널 형성 영역에 형성되며, 이 때문에 드레인 전류가 방지된다. 따라서, N 채널형 TFT의 특성의 P 채널형 TFT의 특성에 비해서 쉽게 결손된다.

[발명의 개요]

본 발명의 목적은 상기 문제점을 해결하는데 있다.

제 1a 도에 도시된 바와 같이, 박막 트랜지스터(TFTs)로 구성된 인버터회로에서, 전송 게이트 회로(102)는 P 채널형 TFT(101) 및 N 채널형 TFT(103)간에 배치되며, 그 결과, 전압 강하가 전송 게이트 회로(102)에 의해 발생되고 N 채널형 TFT(103)의 드레인 영역 근방의 전계가 감소되어, 상기 특성의 결손을 방지시킨다.

또한, 제 3a 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서, N채널형 TFT(303) 및 P 채널형 TFT(304)가 P 채널형 TFT(301) 및 N 채널형 TFT(302)간에 배치되며, 그 결과 전압 강하가 N 채널형 TFT(303) 및 P 채널형 TFT(304)에 의해 발생되고 N 채널형 TFT(302)의 드레인 영역 근방의 전계가 감소되어, 상기 특성의 결손을 방지시킨다.

또한, 제 3c 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서, N채널형 TFT(306)는 P 채널형 TFT(301) 및 N 채널형 TFT(302)간에 배치되며, 그결과, 전압 강하가 N 채널형 TFT(306)에 의해 발생되고, N 채널형 TFT(302)의 드레인 영역 근방의 전계가 감소되어, 상기 특성의 결손을 방지시킨다.

더우기, 제 2a 도에 도시된 바와 같이, N 채널형 TFT(203)의 소스 전극이 TFTs로 구성된 NAND 회로에서 접지될 때, 전압 강하가 N 채널형 TFT(204) 및 P채널형 TFT(205)와 N 채널형 TFT(203)의 드레인 전극을 접속함으로서 발생되고, 접지된 N 채널형 TFT(203)의 드레인 영역 근방의 전계가 감소되어, 상기 특성의결손을 방지시킨다.

[양호한 실시예의 상세한 설명]

[실시예 1]

제 1a 도의 인버터 회로에서, 전송 게이트 회로(102)는 입력 단자와 접속되고 P 채널형 박막 트랜지스터(TFT; 101) 및 N 채널형 TFT(103)간에 배치된다.

상기 전송 게이트 회로(102)는 입력 신호의 레벨과 무관계로 전환되어지는 스위치 회로이다. 또한, 전압 강하가 발생하므로, N 채널형 TFT (103)의 드레인 영역 근방의 전계가 감소된다. 그 결과, N 채널형 TFT(103)의 특성에 대한 결손이 방지될 수 있다. 다수의 전송 게이트 회로가 배치될 수 있다.

제 10 도의 실시예에 대한 레이아웃(layout)에서, 게이트 전극과 접속된 배열(배선)은 크로스 형태를 취하고 있다. 트랜지스터는 크로스 형태로 된 게이트 전극 및 배열과 교차하여 배치되어 있다.

배열(1)은 드레인 전압을 공급하기 위한 드레인 배열이고, 배열(2)은 접지 전압을 제공하는 접지 배열이다. 상기 게이트 전극 및 배열은 4 개의 부분, 즉, 입력 배열(3), 제 1 게이트 전극 및 배열(4), 제 2 게이트 전극 및 배열(5), 및 제 3 게이트 전극 및 배열을 갖는다. 상기 게이트 전극 및 배열(4 및 6)은 제 1 동일선상으로 형성되고, 입력 배열(3), 및 게이트 전극 및 배열은 제 2 동일선상으로 형성된다. 상기 제 1 동일선상은 상기 제 2 동일선상에 대해 거의 수직이다.

N 형 반도체 영역(7)은 제 1 게이트 전극 및 배열(4)과 교차하여 형성되어, N 채널형 TFT(103)을 형성한다. 동시에, P 형 반도체 영역(10)은 제 3 게이트 전극 및 배열(6)과 교차하여 형성되어 P 채널형 TFT(101)을 형성한다. N 형 반도체 영역(8) 및 P-형 반도체 영역(9)은 제 2 게이트 전극 및 배열(5)과 교차하여 형성되어, N 채널형 및 P 채널형 TFTs, 즉, 전송 게이트 회로(102)를 형성한다.

N형 반도체 영역(7)중 하나는 접지 배열(2)과 접속되고, P형 반도체 영역(10)중 하나는 드레인 배열(1)과 접속된다. 배열(11 및 12)은 제 2 게이트 전극 및 배열(5)과 거의 평행하게 형성된다. 배열(11)은 N형 반도체 영역(7 및 8)을 P형 반도체 영역(9)과 접속시킨다. 배열(12)은 P형 반도체 영역(9 및 10)을 N형 반도체 영역(8)과 접속시킨다. 출력 배열(13)은 배열(13)로부터 연장된다.

제 10 도에서, P형 반도체 영역(9)이 형성되어 있다. 제 3c 도는 P형 반도체 영역(9)이 형성되어 있지 않은 경우를 도시하고 있다. 제 3a 및 3b 도는 제 3c 도의 변형이다. 베이식 구조는 제 10 도에서 P형 반도체 영역(9)을 배치하지 않은 구조이다.

[실시예 2]

제 1b 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서 N 채널형 TFT(104)가 전송 게이트 회로(102) 및 N 채널형 TFT(103)간에 배치되고, 인버터 회로의 입력 신호는 N 채널형 TFT(104)에 공급된다. 제 1b 도의 회로에서의 전압 강하가 제 1a 도의 회로에서의 것보다 크므로, 소스 전극이 접지되어 있는 N채널형 TFT(103)의 드레인 영역 근방의 전계는 더 감소되며, 그 결과, 특성의 결손이 방지될 수 있다. 다수의 N 채널형 TFTs이 배치될 수 있다.

실시예에서, N 채널형 TFT(104)이 제 1a 도의 회로에 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 3]

제 1c 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서, ON 상대로 있는 N 채널형 TFT(105)가 제 1a 도의 전송 게이트 회로(102) 및 N 채널형 TFT(103)간에 배치된다. 제 1c 도의 회로에 의한 전압 강하가 제 1a 도의 회로에 의한 전압 강하보다도 크므로, 소스 전극이 접지되어 있는 N 채널형 TFT(103)의 드레인 영역 근방의 전계는 더 감소되어, 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

실시예에서, N 채널형 TFT(105)가 제 1a 도의 회로에 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 4]

제 1d 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서, ON 상태로 있는 P 채널형 TFT(106)이 제 1a 도의 전송 게이트 회로(102) 및 N 채널형 TFT(103)간에 배치된다. 제 1d 도의 회로에 의한 전압 강하가 제 1a 도의 회로에 의한 전압 강하보다도 크므로, 소스 전극이 접지되어 있는 N 채널형 TFT(103)의 드레인 영역 근방의 전계는 더 감소되어, 특성 결손이 방지될 수 있다. 다수의 P 채널형 TFTs가 배치 될 수도 있다.

본 실시예에서, P 채널형 TFT(106)이 제 1a 도의 회로에 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 5]

제 2a 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에 있어서, ON상태로 있는 P 채널형 TFT(205)는 제 1b 도의 인버터 회로에서 N 채널형 TFT(103및 104) (203 및 204)간에 배치된다. 전압 강하가 상기 배치된 P 채널형 TFT에 의해 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(203)의 특성 결손이 방지될 수 있다. 다수의 P 채널형 TFTs가 배치 될 수도 있다.

본 실시예에서, N 채널형 TFT(204) 및 P 채널형 TFT (205)이 제 1a 도의 회로에 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 6]

제 2b 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에 있어서, ON상태로 있는 P 채널형 TFT(205)는 제 1c 도의 인버터 회로에서 N 채널형 TFTs(103 및 105)(203 및 206)간에 배치된다. 상기 배치된 P 채널형 TFT 에 의해 전압 강하가 일어나므로, 소스 전극이 접지되어 있는 N 채널형 TFT(203)의 특성 결손이 방지될 수 있다. 다수의 P 채널형 TFTs가 배치 될 수도 있다.

본 실시예에서, 제 1a 도의 회로에 N 채널형 TFT(206) 및 P 채널형 TFT(205)이 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 7]

제 2c 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서, 인버터회로의 입력을 공급받는 N 채널형 TFT(208)은 제 1d 도의 인버터 회로에서 P 채널형 TFT(106) (107) 및 N 채널형 TFT(103) (203)간에 배치된다. 상기 배치된 N채널형 TFT 에 의해 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(203)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

본 실시예에서, 제 1a 도의 회로에는 N 채널형 TFT (208) 및 P 채널형 TFT(207)가 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 8]

제 2d 도에 도시된 바와 같이 TFTs로 구성된 인버터 회로에서, ON 상태로있는 N 채널형 TFT(208)는 제 1d 도의 인버터 회로에서 P 채널형 TFT(106) (207)및 N 채널형 TFT (103) (203)간에 배치된다. 상기 배치된 N 채널형 TFT에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFT가 배치될 수도 있다.

본 실시예에서, 제 1a 도의 회로에는 N 채널형 TFT(208) 및 P 채널형 TFT(207)이 부가되므로, 본 실시예는 제 10 도의 구조를 토대로 되었다.

[실시예 9]

제 3a 도에 도시된 바와 같이 TFTs로 구성된 인버터 회로에서, P 채널형 TFT(301) 및 N 채널형 TFT(302)간에는 N 채널형 TFT(303) 및 P 채널형 TFT(304)가 배치된다. 인버터 회로로의 입력 신호는 N 채널형 TFT(303)에 공급되고, P 채널형 TFT(304)는 ON 상태로 있다. 그러므로, 상기 배치된 TFTs에 의해 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(302)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs 및 다수의 P 채널형 TFTs가 배치될 수도 있다.

[실시예 10]

제 3b 도에 도시된 바와 같이 TFTs로 구성된 인버터 회로에서, 상기 P 채널형 TFT(301) 및 상기 N 채널형 TFT(302) 간에는 N 채널형 TFT(305) 및 P 채널형 TFT(304)가 배치된다. 상기 N 채널형 TFT(305) 및 상기 P 채널형 TFT(304) 각각은 ON 상태로 있다. 그러므로, 상기 배치된 TFTs에 의해 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(302)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs 및 다수의 P 채널형 TFTs가 배치될 수도 있다.

[실시예 11]

제 3c 도에 도시된 바와 같이, TFTs로 구성된 인버터 회로에서, 상기 P 채널형 TFT(301) 및 상기 N 채널형 TFT (302)간에는 N 채널형 TFT(306)가 배치된다. 상기 인버터 회로로의 입력 신호는 상기 N 채널형 TFT(306)에 인가된다. 그러므로, 상기 배치된 TFT 에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(302)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

[실시예 12]

제 7a 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, ON 상태로있는 N 채널형 TFT(303)은 N 채널형 TFTs(701 및 702)간에 배치된다. 이 상태에서, 상기 배치된 N 채널형 TFT(703)에 의해 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(702)의 특성 결손이 방지될 수 있다. 다수의 N채널형 TFTs가 배치될 수도 있다.

[실시예 13]

제 7b 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, N 채널형 TFT(705)는 상기 N 채널형 TFTs(702 및 704)간에 배치되고, 상기 배치된 N 채널형 TFT(705)는 입력 단자(A), 즉, N 채널형 TFT(705)과 접속된다. 이 상태에서, 상기 배치된 N 채널형 TFT(705)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(702)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

[실시예 14]

제 7c 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, N 채널형 TFT(707)은 N 채널형 TFTs(701 및 706) 간에 배치되고, 상기 배치된 N 채널형 TFT(707)은 입력 단자 (B), 즉, N 채널형 TFT(706)과 접속된다. 이 상태에서, 상기 배치된 N 채널형 TFT(707)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(706)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs 가 배치될 수도 있다.

[실시예 15]

제 7d 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, ON 상태로있는 P 채널형 TFT(708)는 N 채널형 TFTs(701 및 702)간에 배치된다. 이 상태에서, 상기 배치된 P 채널형 TFT(708)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(702)의 특성 결손이 방지될 수 있다. 다수의P 채널형 TFTs가 배치될 수도 있다.

[실시예 16]

제 8a 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서 0N 상태로 있는 N 채널형 TFT(803)는 제 7b 도의 NAND 회로에서 N 채널형 TFTs(704)(801) 및 705(804)간에 배치된다. 이 상태에서, N 채널형 TFTs(803 및 804)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(802)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

[실시예 17]

제 8b 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서 ON 상태로있는 P 채널형 TFT(805)는 제 7b 도의 NAND 회로에서 N 채널형 TFTs(704)(801)및 (705)(804) 간에 배치된다. 이 상태에서, N 채널형 TFT(804) 및 P 채널형TFT(805)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(802)의 특성 결손이 방지될 수 있다. 다수의 P 채널형 TFTs 가 배치될수도 있다.

[실시예 18]

제 8c 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, ON 상태로 있는 N 채널형 TFT(808)는 제 7c 도의 NAND 회로에서 N 채널형 TFTs(706)(806) 및 707(807)간에 배치된다. 이 상태에서, N 채널형 TFTs(807 및 808)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(806)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

[실시예 19]

제 8d 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, ON 상태로있는 P 채널형 TFT(809)는 제 7c 도의 NAND 회로에서 N 채널형 TFTs(706)(806)및 (707)(807)간에 배치된다. 이 상태에서, N 채널형 TFT(807) 및 P 채널형TFT(809)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(806)의 특성 결손이 방지될 수 있다. 다수의 P 채널형 TFTs가 배치될 수 도 있다.

[실시예 20]

제 9 도에 도시된 바와 같이, TFTs로 구성된 NAND 회로에서, N 채널형 TFTs(903 및 904)는 N 채널형 TFTs(901 및 902)간에 배치된다. 이 상태에서, 입력 단자(A)가 N 채널형 TFTs(901 및 904)와 접속되고, 입력 단자(B)가 N 채널형 TFTs(902 및 903)와 접속된다. N 채널형 TFTs(903 및 904)에 의해서 전압 강하가 발생하므로, 소스 전극이 접지되어 있는 N 채널형 TFT(902)의 특성 결손이 방지될 수 있다. 다수의 N 채널형 TFTs가 배치될 수도 있다.

본 발명에서, 상술한 바와 같이, 소스 전극이 점지 되어 있는 N 채널형 TFT 의 드레인 전극이 N 채널형 또는 P 채널형 TFT 와 접속되어 전압 강하가 발생하고, 소스 전극이 접지되어 있는 N 채널형 TFT 의 드레인 영역 근방의 전계는 소될 수 있다. 또한, N 채널형 TFT 의 특성 결손이 방지될 수 있다. 더욱이, 박막 반도체 집적 회로의 신뢰성이 개선 될 수 있다.

(57) 청구의 범위

청구항 1.

반도체 집적회로에 있어서,

적어도 하나의 P 채널형 트랜지스터를 구비하고 제 1 신호 입력 단자 및 제 1 신호 출력 단자를 갖고 있는 제 1 트랜지스터 회로와;

적어도 하나의 N 채널형 드랜지스터를 구비하고 상기 제 1신호 입력 단자와 접속된 제 2 신호 입력 단자 및 제 2 신호 출력 단자를 갖고 있는 제 2 트랜지스터 회로와;

상기 제 1 신호 출력 단자 및 제 2 신호 출력 단자들 간에 배치되어, 상기 제 1 신호 출력 단자 및 제 2 신호 출력 단자에 전기적으로 접속되는 적어도 하나의 전송 게이트 회로를 포함하며,

상기 전송 게이트 회로는 2개의 입력 단자들을 갖고, 상기 제 1 및 제 2트랜지스터 회로들에 공급되는 입력 신호는 전송 게이튼 회로의 2개의 입력 단자들에 입력되는, 반도체 집적회로.

청구항 2.

제 1 항에 있어서,

상기 제 2 트랜지스터 회로는 ON 상태로 있는 적어도 하나의 부가 N 채널형 트랜지스터를 더 포함하는 반도체 집적회로.

청구항 3.

제 1 항에 있어서,

상기 제 2 트랜지스터 회로는 입력 신호가 입력되는 적어도 하나의 N 채널형 트랜지스터를 더 포함하는 반도체 집적회로.

청구항 4.

제 1항에 있어서,

상기 제 2 트랜지스터 회로는 ON 상태로 있는 적어도 하나의 P 채널형 트랜지스터를 더 포함하는 반도체 집적회로.

청구항 5.

제 1 항에 있어서,

상기 제 2 트랜지스터 회로는 ON 상태로 있는 적어도 하나의 N 채널형 트랜지스터 및 ON 상태로 있는 적어도 하나의 P 채널형 트랜지스터를 더 포함하는 반도체 집적회로.

청구항 6.

제 1 항에 있어서,

상기 제 2 트랜지스터 회로는 입력 신호가 입력되는 적어도 하나의 N 채널형 트랜지스터 및 ON 상태로 있는 적어도 하나의 P 채널형 트랜지스터를 더 포함하는 반도체 집적회로.

청구항 7.

제 1 항에 있어서,

상기 제 2 트랜지스터 회로는 ON 상태로 있는 적어도 하나의 N 채널형 트랜지스터 및 입력 신호가 입력되는 적어도 하나의 P 채널형 트랜지스터를 더 포함하는 반도체 집적회로.

청구항 8.

반도체 집적회로에 있어서,

적어도 하나의 P 채널형 트랜지스터를 구비하고 제 1 신호 입력 단자 및 제 1 신호 출력 단자를 갖고 있는 제 1 트랜지스터 회로와;

적어도 하나의 N 채널형 트랜지스터 및 상기 N 채널형 트랜지스터와 접속된 적어도 하나의 P 채널형 트랜지스터를 구비하고 제 2 신호 입력 단자 및 제 2신호 출력 단자를 갖고 있되, 상기 P 채널형 트랜지스터가 ON 상태로 있는, 제 2트랜지스터 회로와;

상기 제 1 신호 출력 단자 및 제 2 신호 출력 단자들 간에 배치된 적어도 하나의 N 채널형 트랜지스터를 포함하며,

상기 제 2 트랜지스터 회로의 P 채널형 트랜지스터의 소스 및 드레인 단자들은 상기 배치된 N 채널형 트랜지스터 및 상기 제 2 트랜지스터 회로의 N 채널형 트랜지스터와 접속되는, 반도체 집적회로.

청구항 9.

제 8 항에 있어서,

상기 배치된 N 채널형 트랜지스터는 ON 상태로 있는 반도체 집적회로.

청구항 10.

반도체 집적회로에 있어서,

적어도 하나의 P 채널형 트랜지스터를 구비하고 제 1 신호 입력 단자 및 제 1 신호 출력 단자를 갖고 있는 제 1 트랜지스터 회로와;

적어도 하나의 N 채널형 트랜지스터 및 상기 N 채널형 트랜지스터와 접속된 적어도 하나의 P 채널형 트랜지스터를 구비하고 제 2 신호 입력 단자 및 제 2신호 출력 단자를 갖고 있되, 상기 P 채널형 트랜지스터가 ON 상태로 있는, 제 2 트랜지스터 회로와;

상기 제 1 신호 출력 단자 및 제 2 신호 출력 단자들 간에 배치된 적어도 하나의 N 채널형 트랜지스터를 포함하며,

상기 제 1 트랜지스터 회로 및 제 2 트랜지스터 회로에 공급된 입력 신호가 상기 배치된 N 채널형 트랜지스터로의 입력이고,

상기 제 2 트랜지스터 회로의 P 채널형 트랜지스터의 소스 및 드레인 단자들이 상기 배치된 N 채널형 트랜지스터와, 상기 제 2 트랜지스터 회로의 N 채널형 트랜지스터와 접속되는, 반도체 집적회로.

청구항 11.

반도체 집적회로에 있어서,

적어도 하나의 P 채널형 트랜지스터를 구비하고 제 1 신호 입력 단자 및 제 1 신호 출력 단자를 갖고 있는 제 1 트랜지스터 회로와;

적어도 2개의 N 채널형 트랜지스터들을 구비하고 제 2 신호 입력 단자 및 제 2 신호 출력 단자를 갖고 있는 제 2 트랜지스터 회로를 포함하며,

상기 제 1 신호 입력 단자 및 제 2 신호 입력 단자들이 서로 접속되고, 상기 제 1 신호 출력 단자 및 제 2 신호 출력 단자들이 서로 접속되며,

상기 N 채널형 트랜지스터가 숫자상 P 채널형 트랜지스터 보다 많은, 반도체 집적회로.

청구항 12.

반도체 집적회로에 있어서,

신호 입력 배선과;

제 1 게이트 전극 배선과;

제 2 게이트 전극 배선으로서, 상기 제 1 및 제 2 게이트 전극 배선들이 동일선상에 형성되고, 제 1 및 제 3 게이트 전극 배선이 제 2 게이트 전극 배선과 거의 수직이고, 제 2 게이트 전극 배선과 입력 배선이 동일선상에 형성되는, 상기 제 2 게이트 전극 배선과;

상기 제 1 게이트 전극 배선과 교차하여 형성된 제 1의 N형 반도체 영역과;

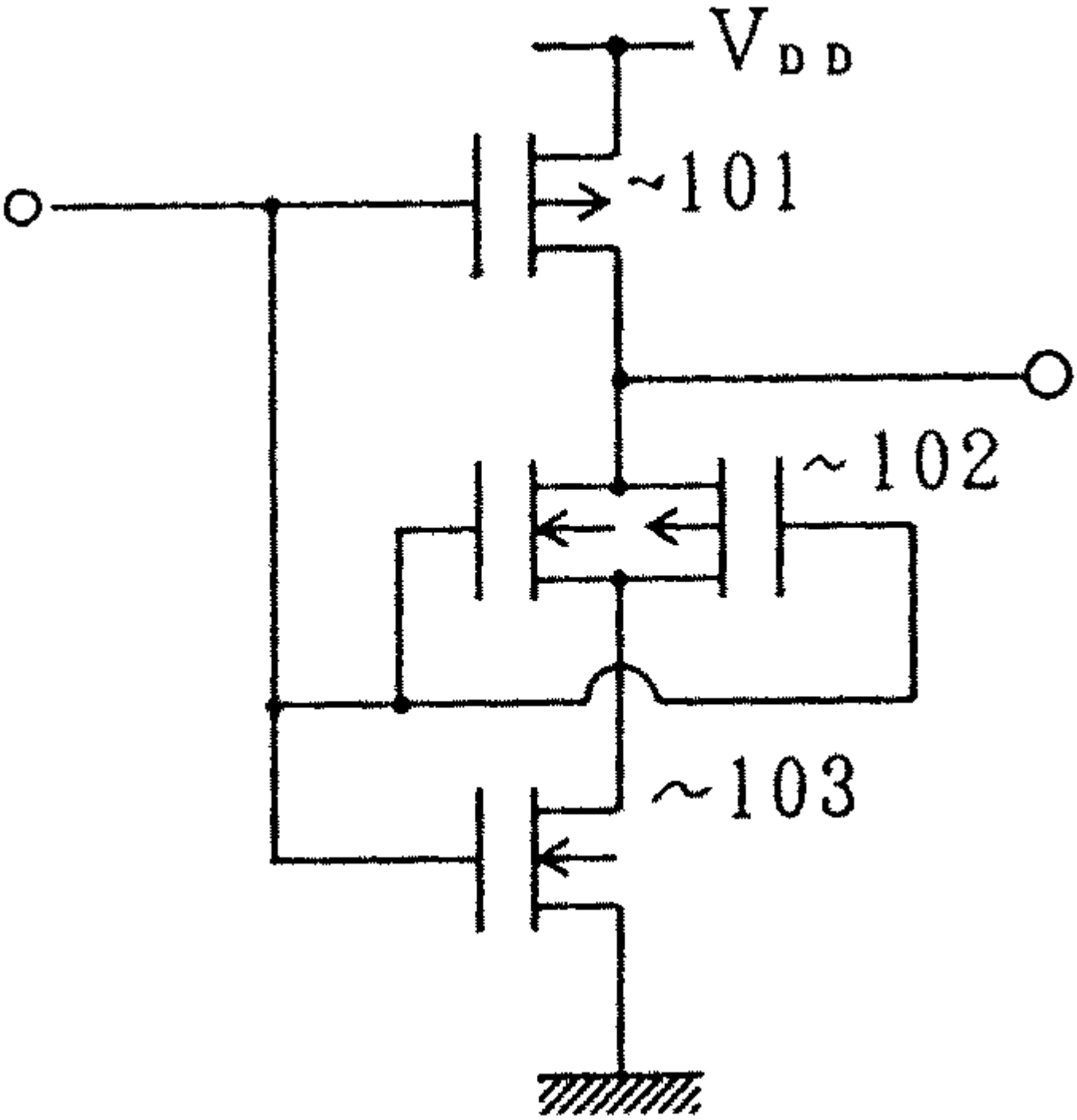
상기 제 2 게이트 전극 배선과 교차하여 형성된 제 2의 N형 반도체 영역과;

상기 제 3 게이트 전극 배선과 교차하여 형성된 P형 반도체 영역과;

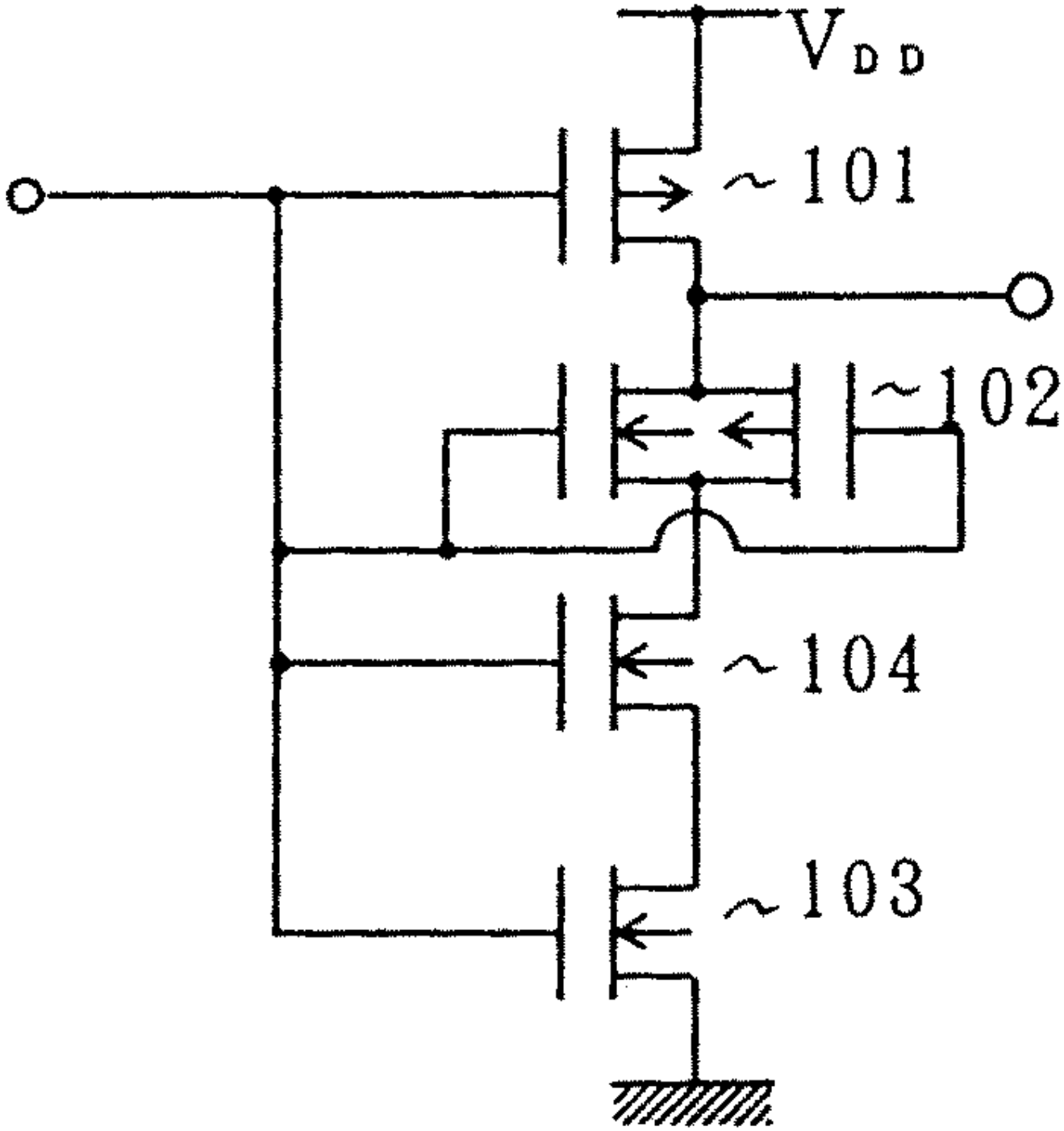
상기 제 1의 N형 반도체 영역을 상기 제 2의 N형 반도체 영역과 접속시키는 제 1배선과;

상기 P형 반도체 영역을 상기 제 2의 N형 반도체 영역과 접속시키는 제 2배선으로서, 상기 제 1 및 제 2 배선이 상기 제 2 게이트 전극 배선과 거의 수직이고, 상기 제 1의 N형 반도체 영역의 소스 영역이 그라운드 전압과 접속되며, 상기 P형 반도체 영역의 소스 영역이 드레인 전압과 접속되는, 상기 제 2 배선을 포함하는, 반도체 집적회로.

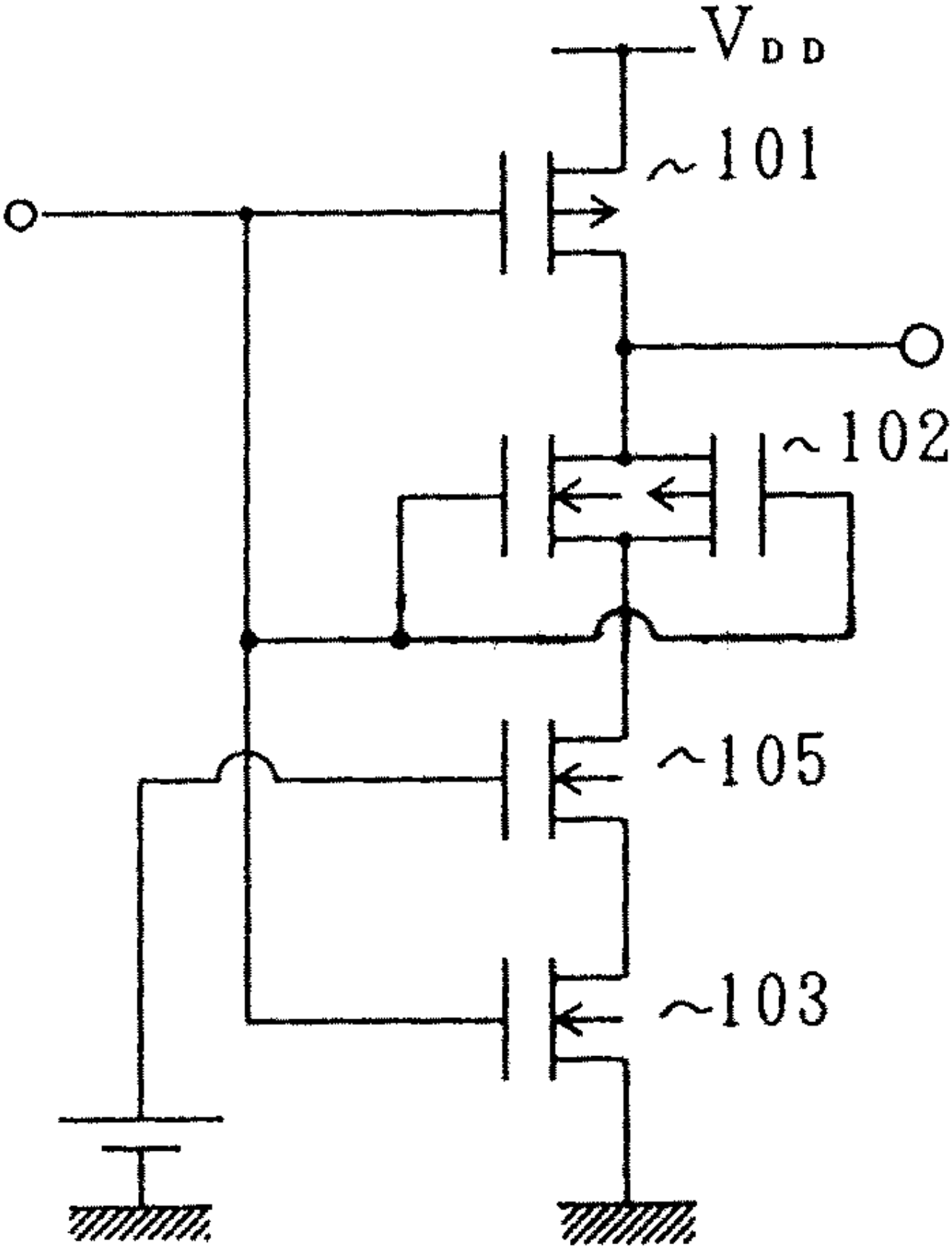
도면 1a



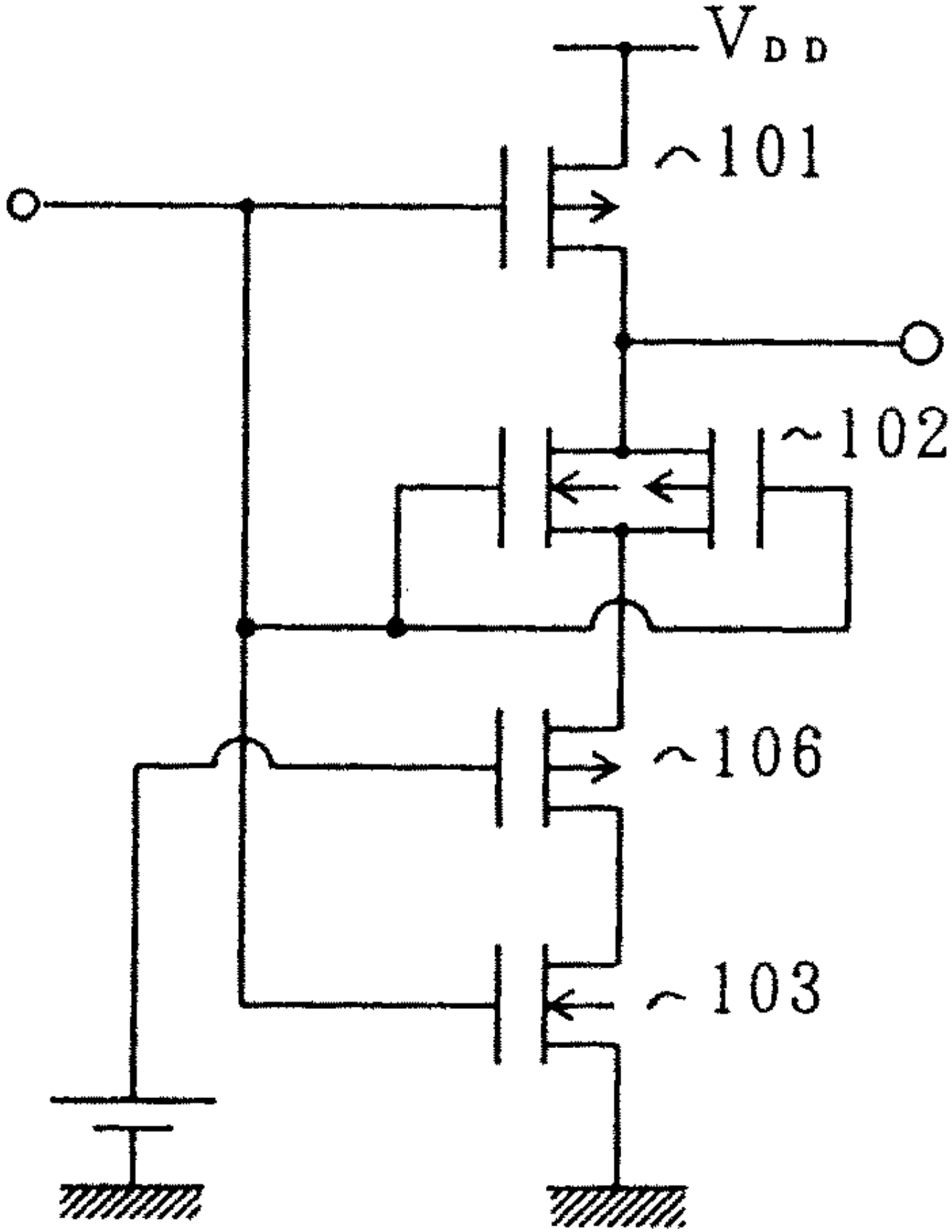
도면 1b



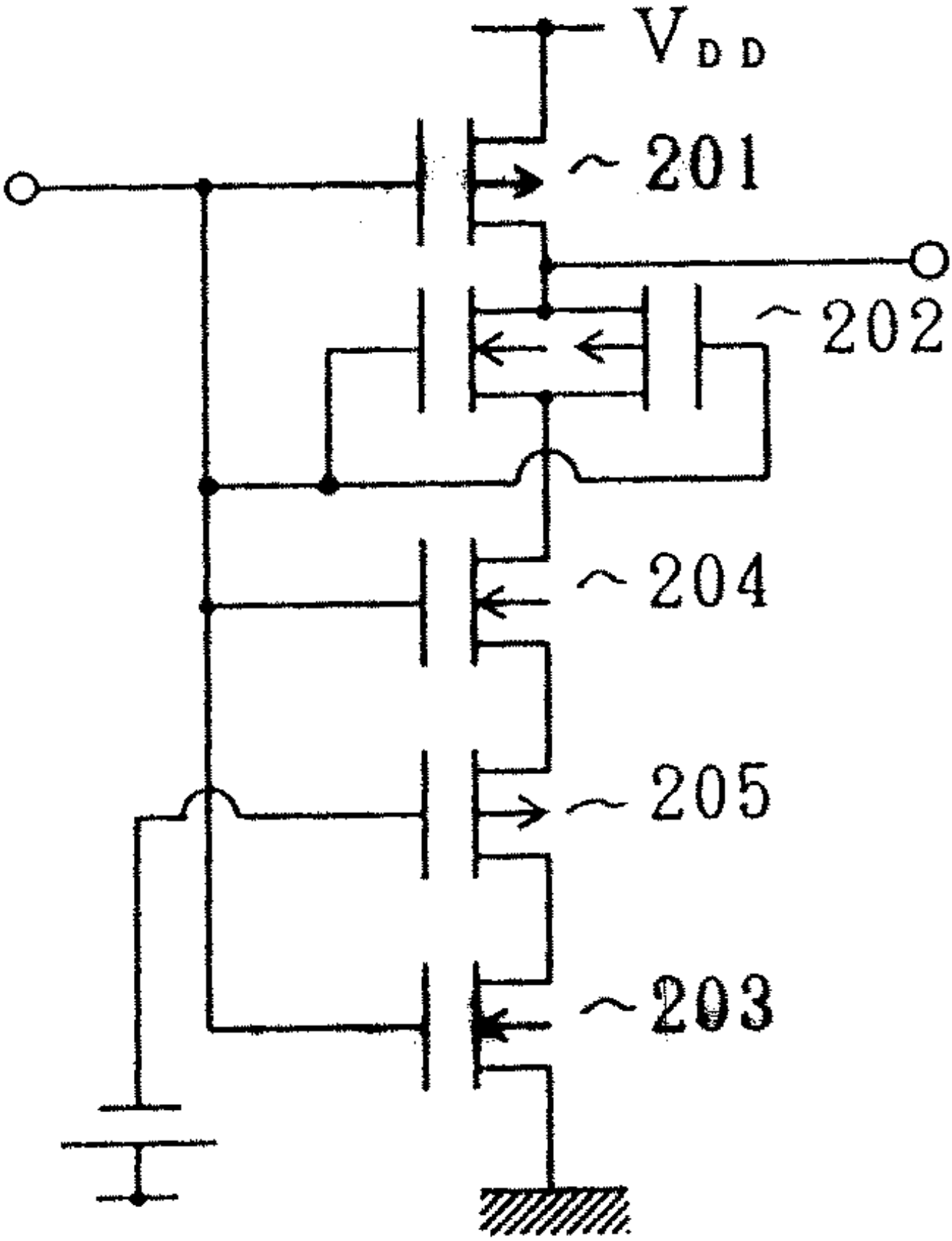
도면 1c



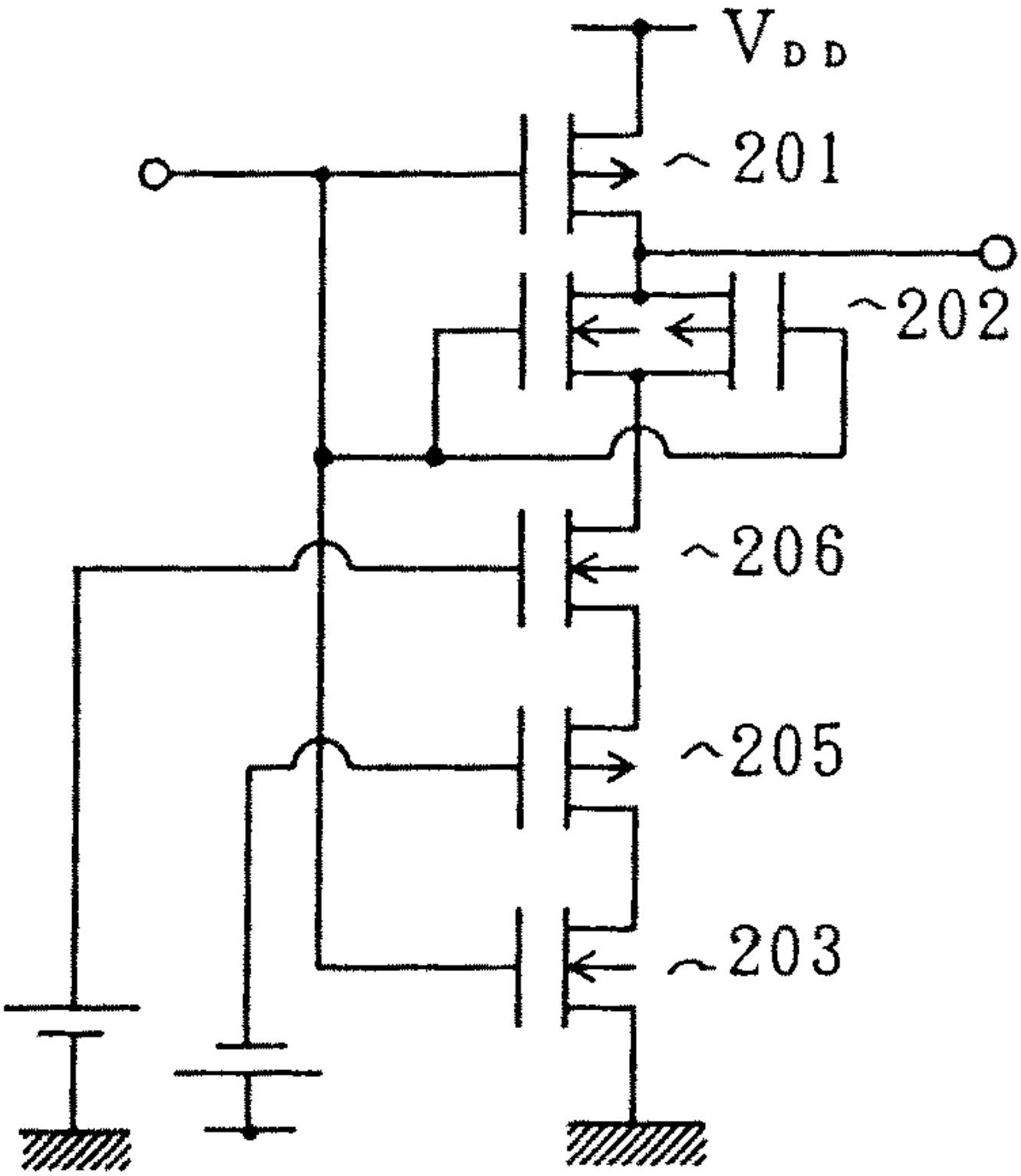
도면 1d



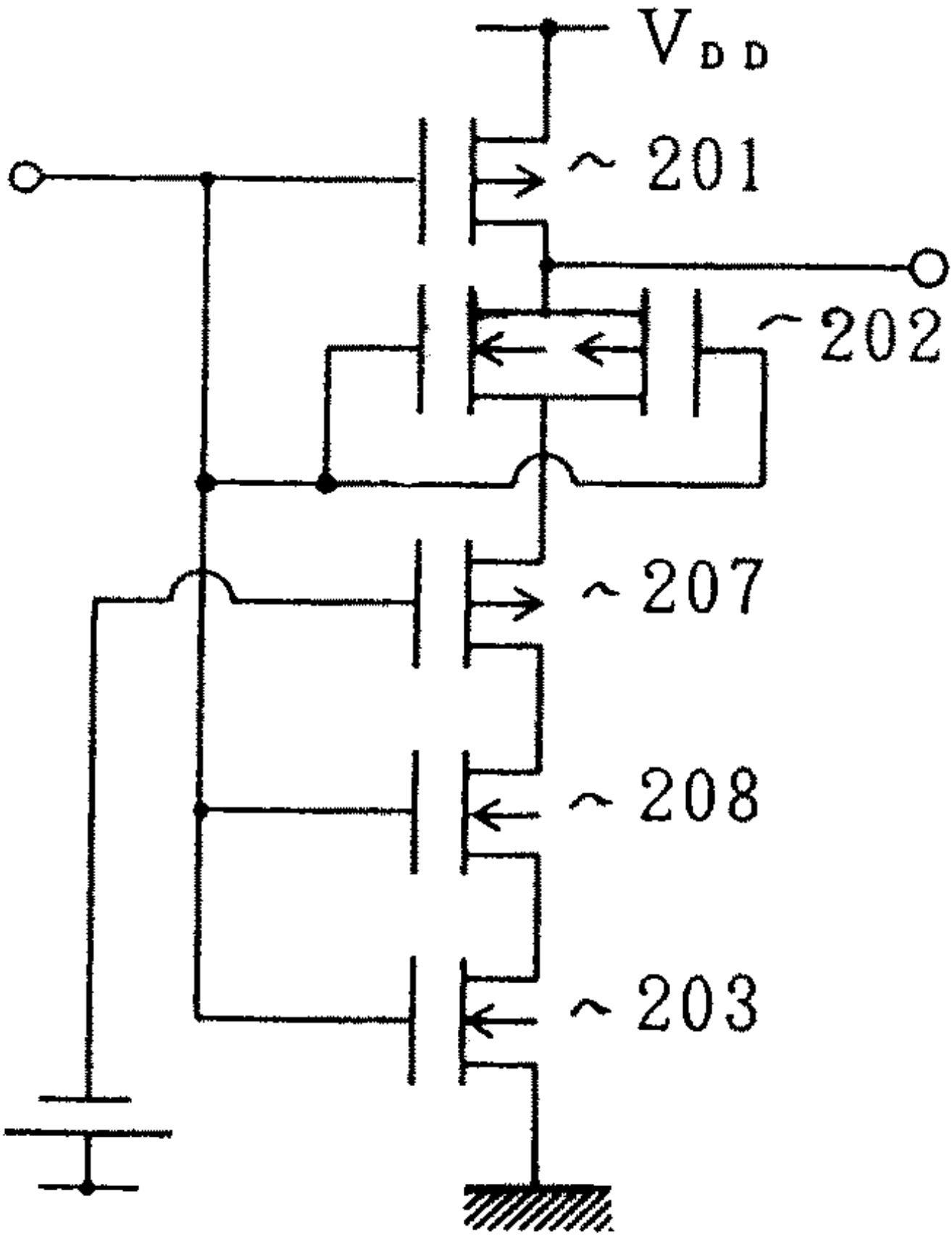
도면 2a



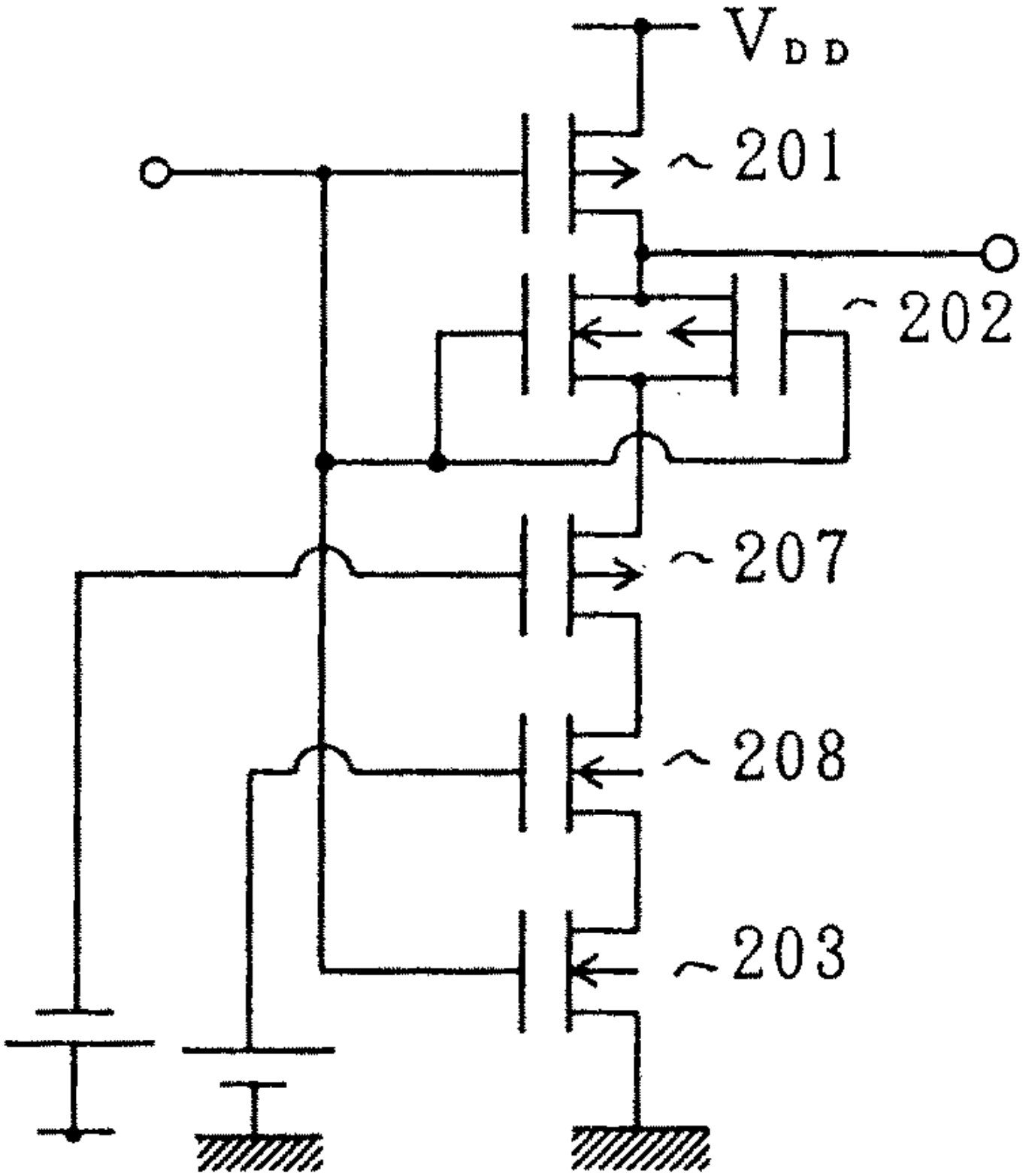
도면 2b



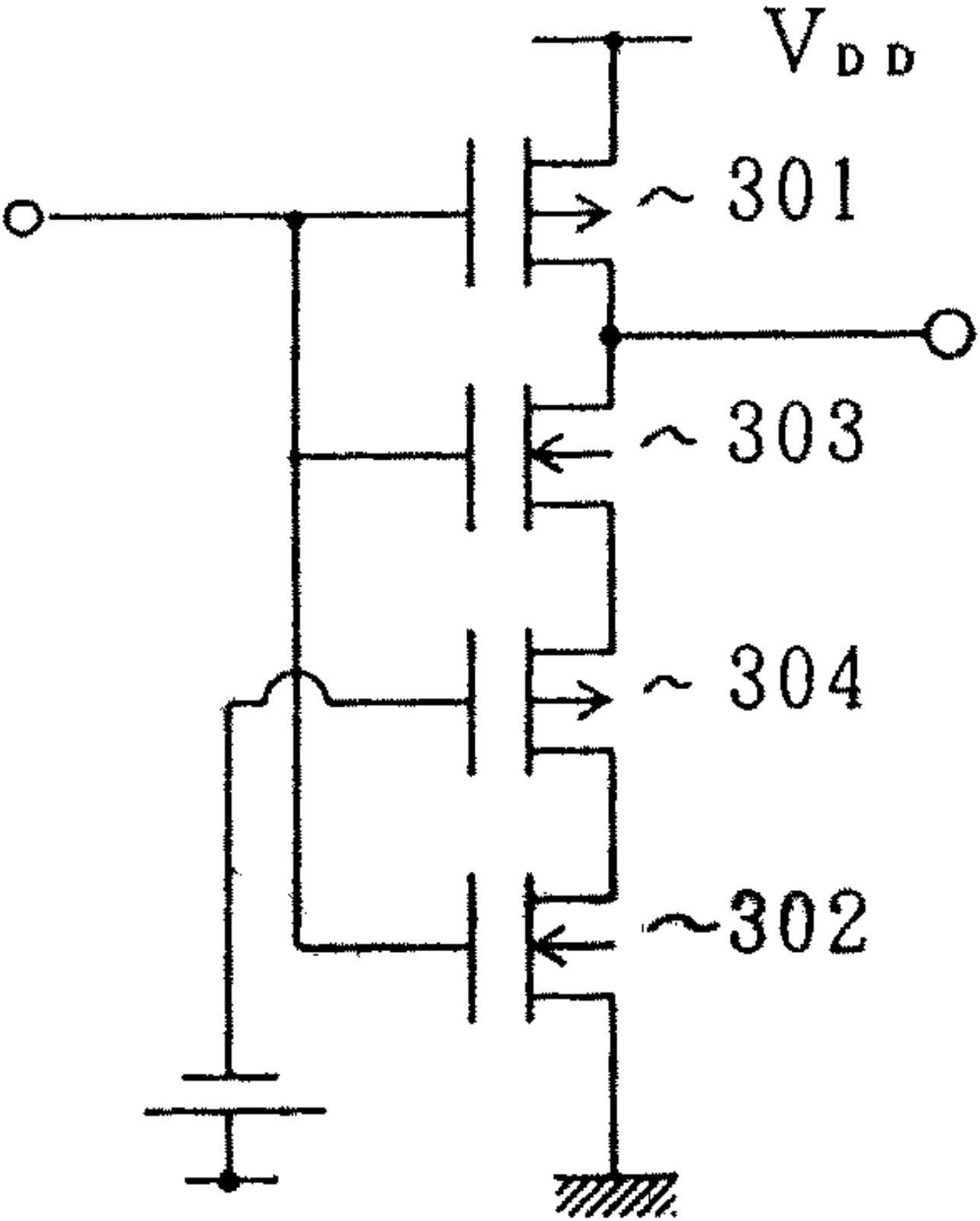
도면 2c



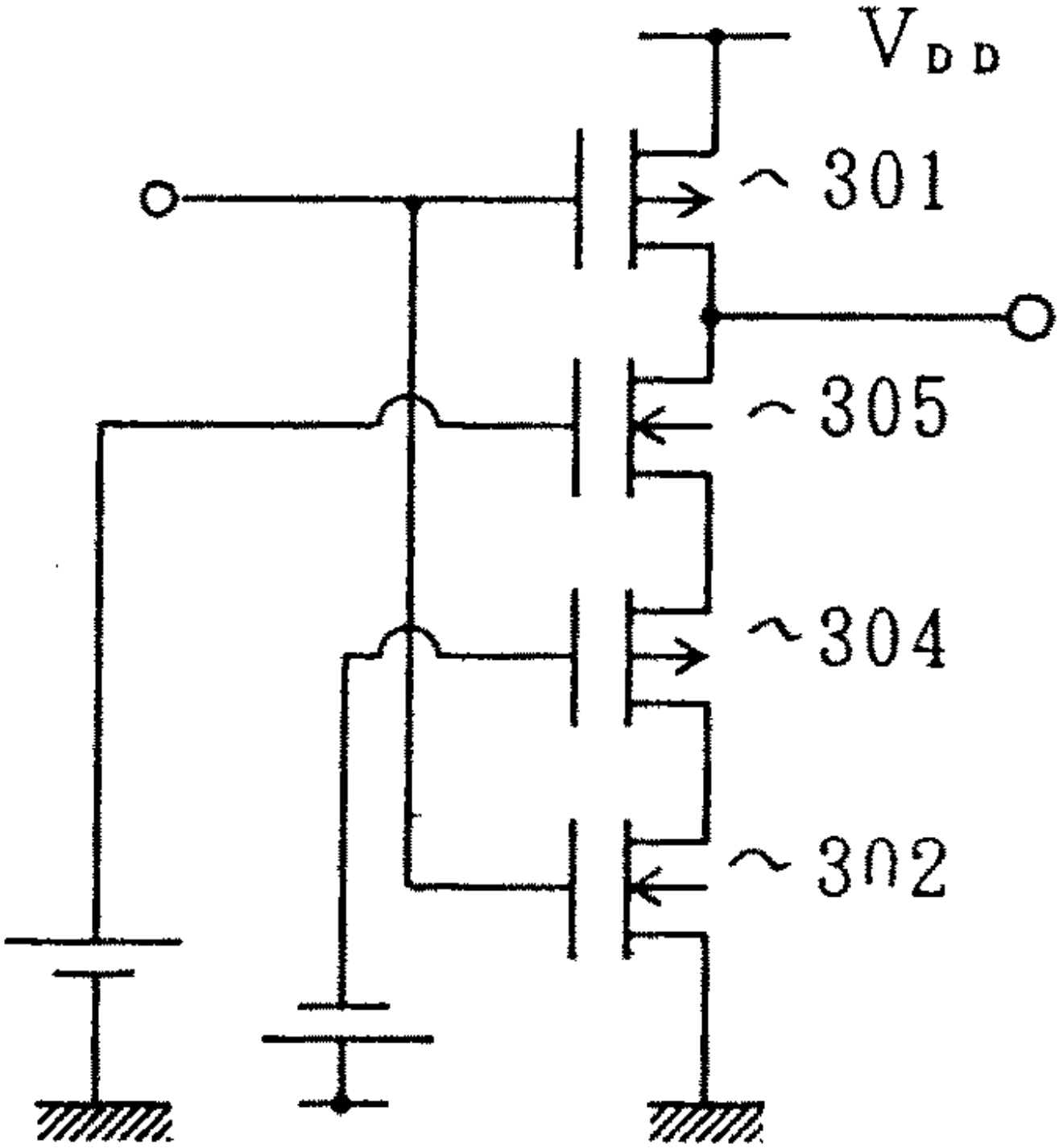
도면 2d



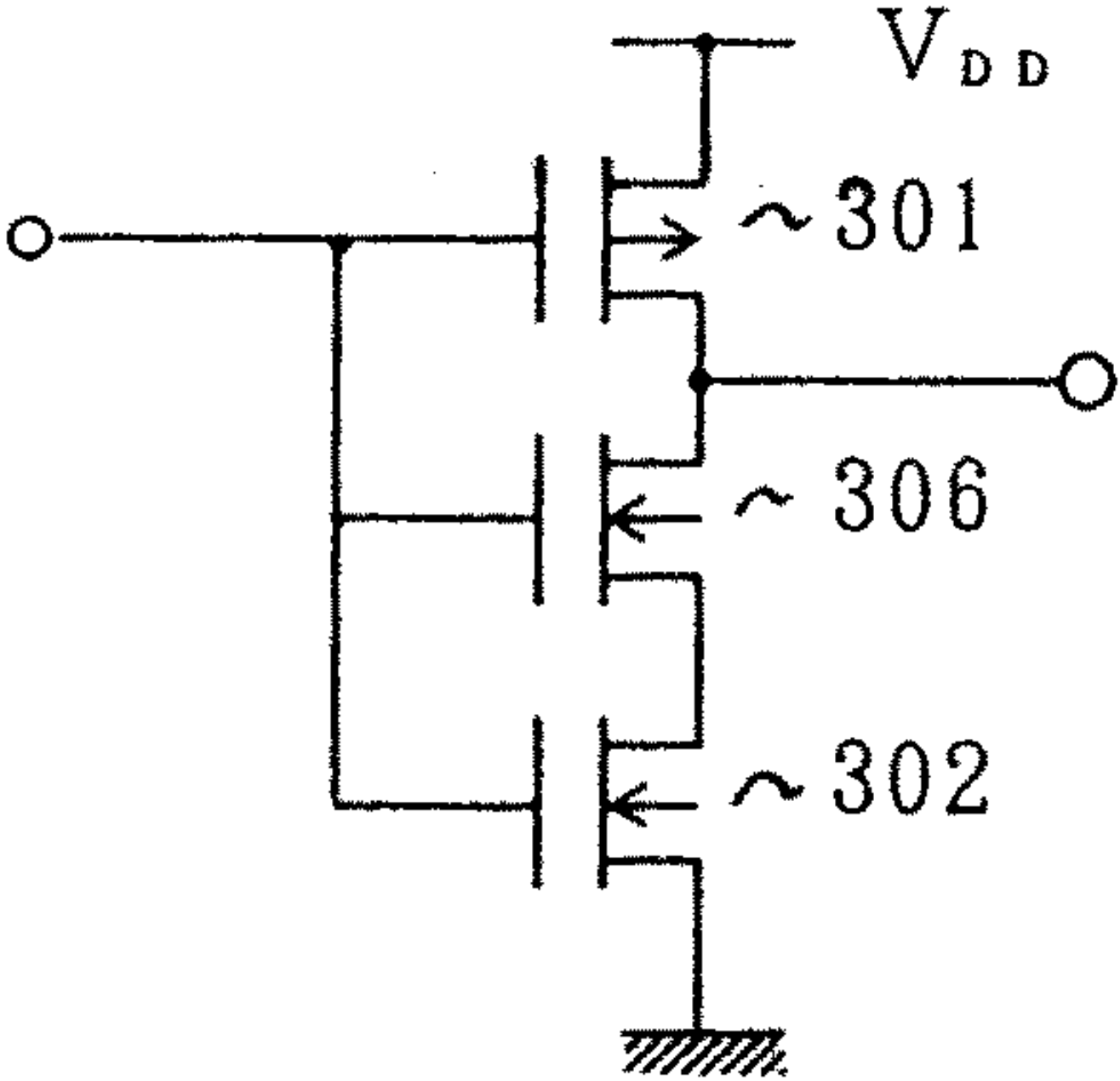
도면 3a



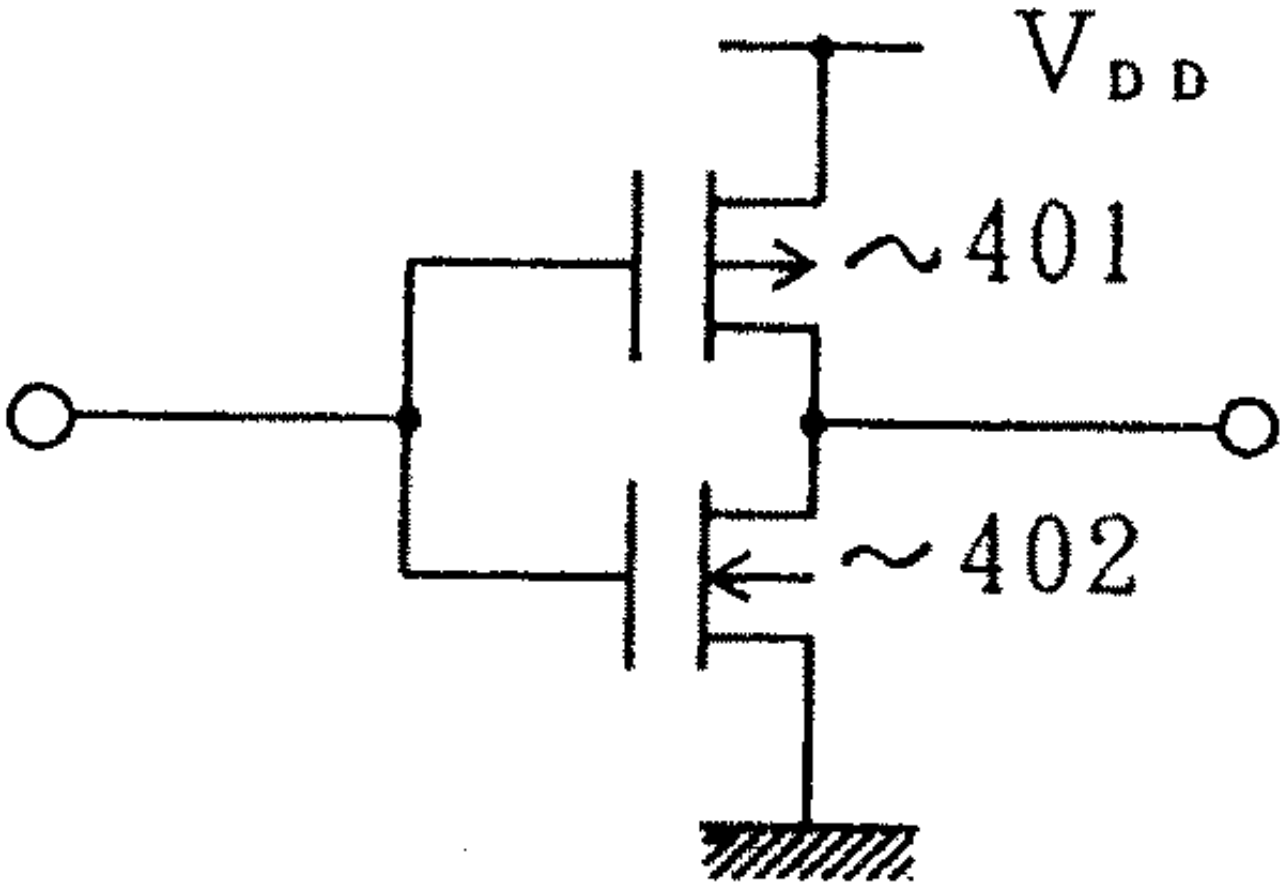
도면 3b



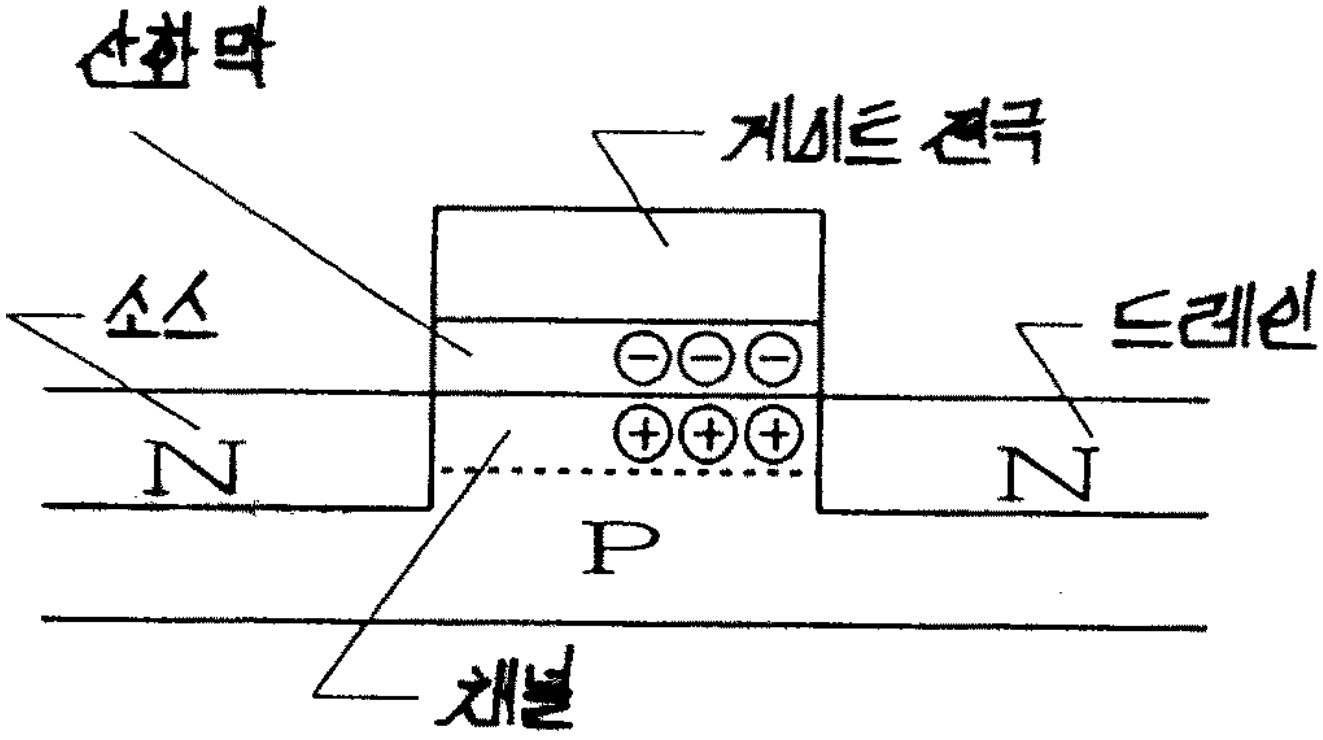
도면 3c



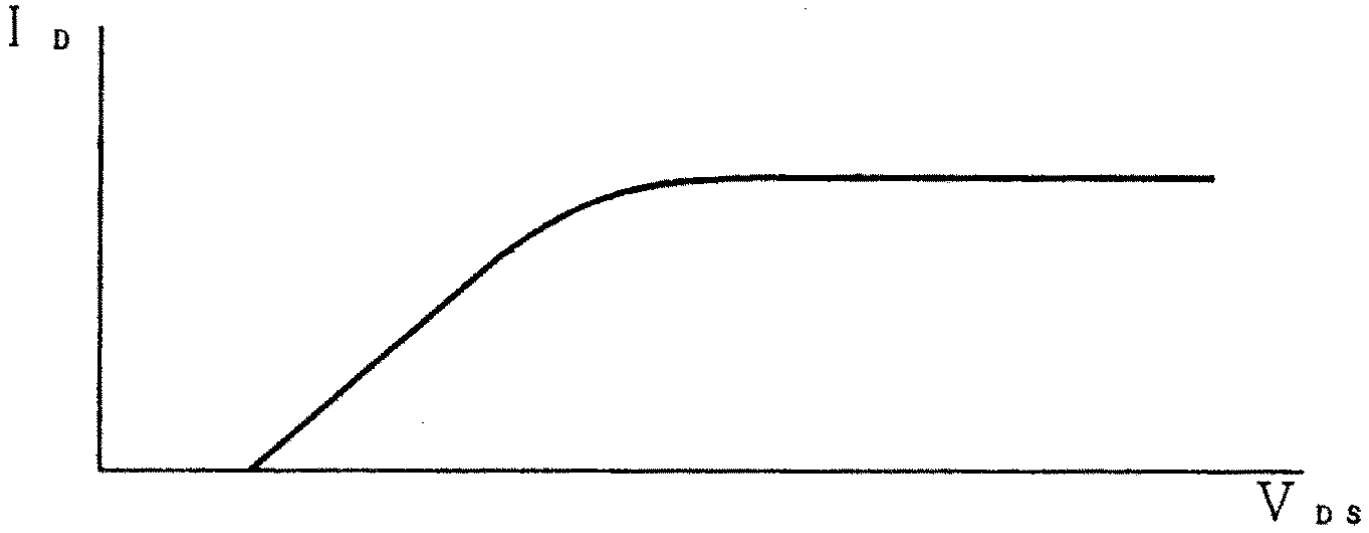
도면 4



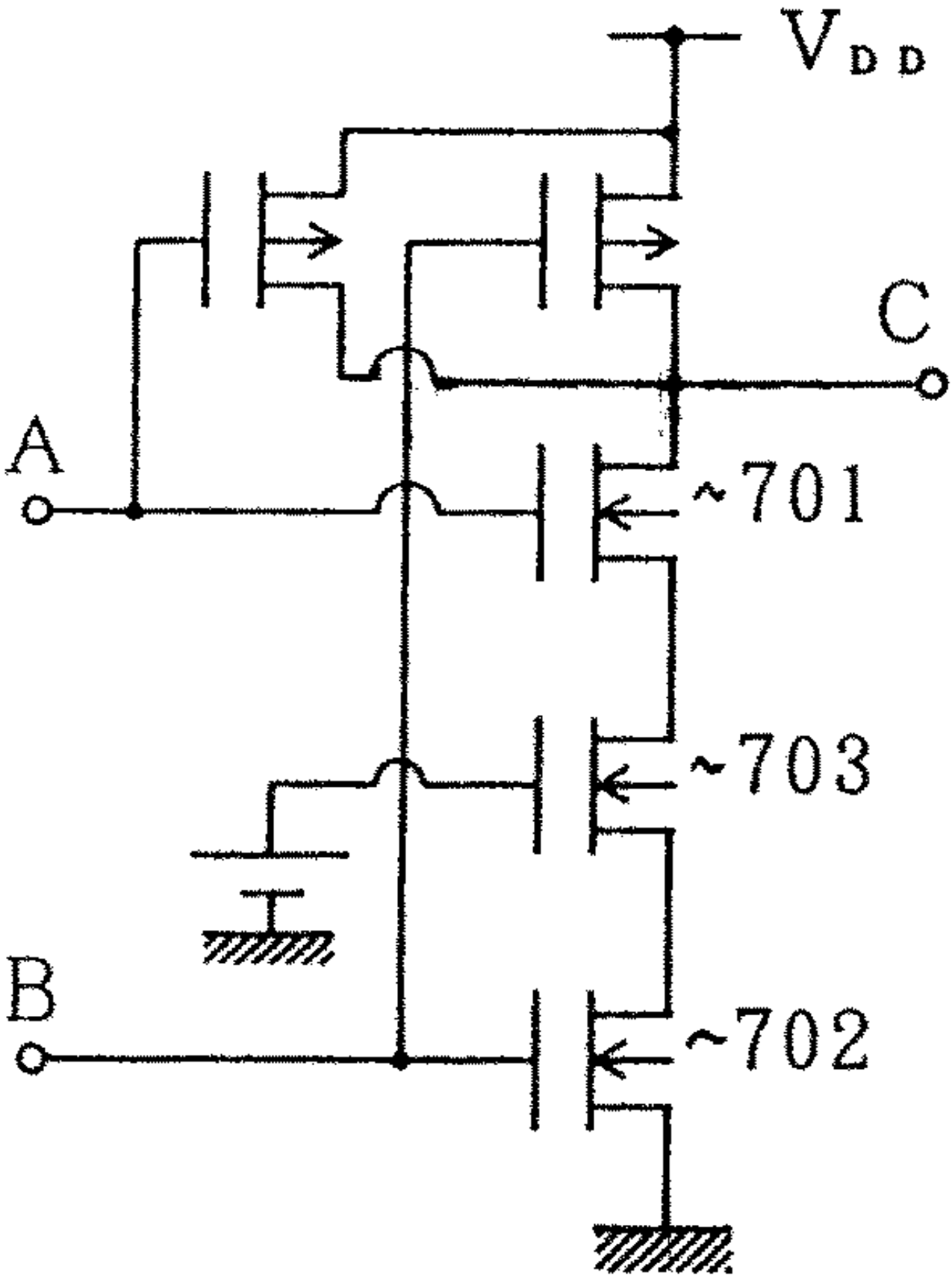
도면 5



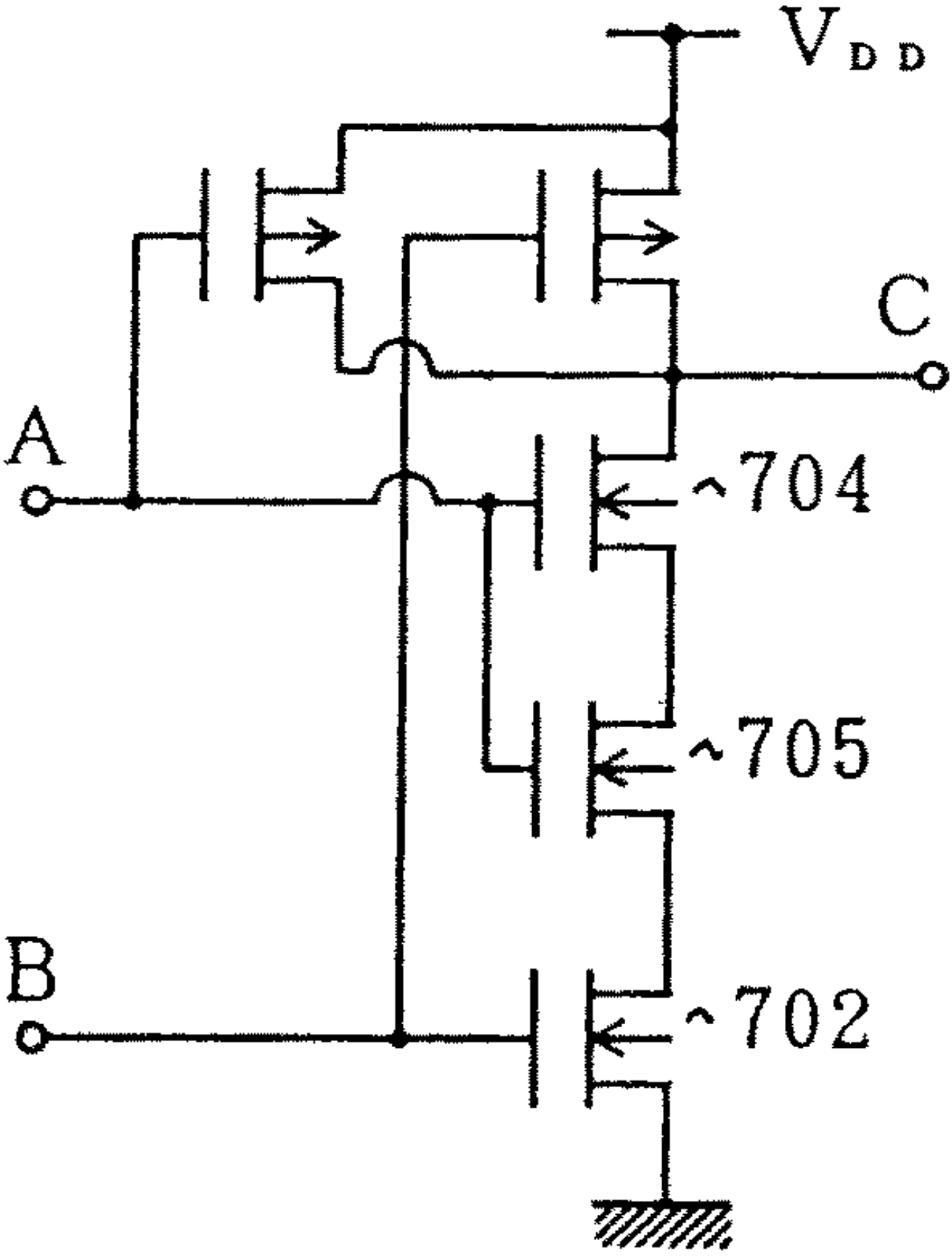
도면 6



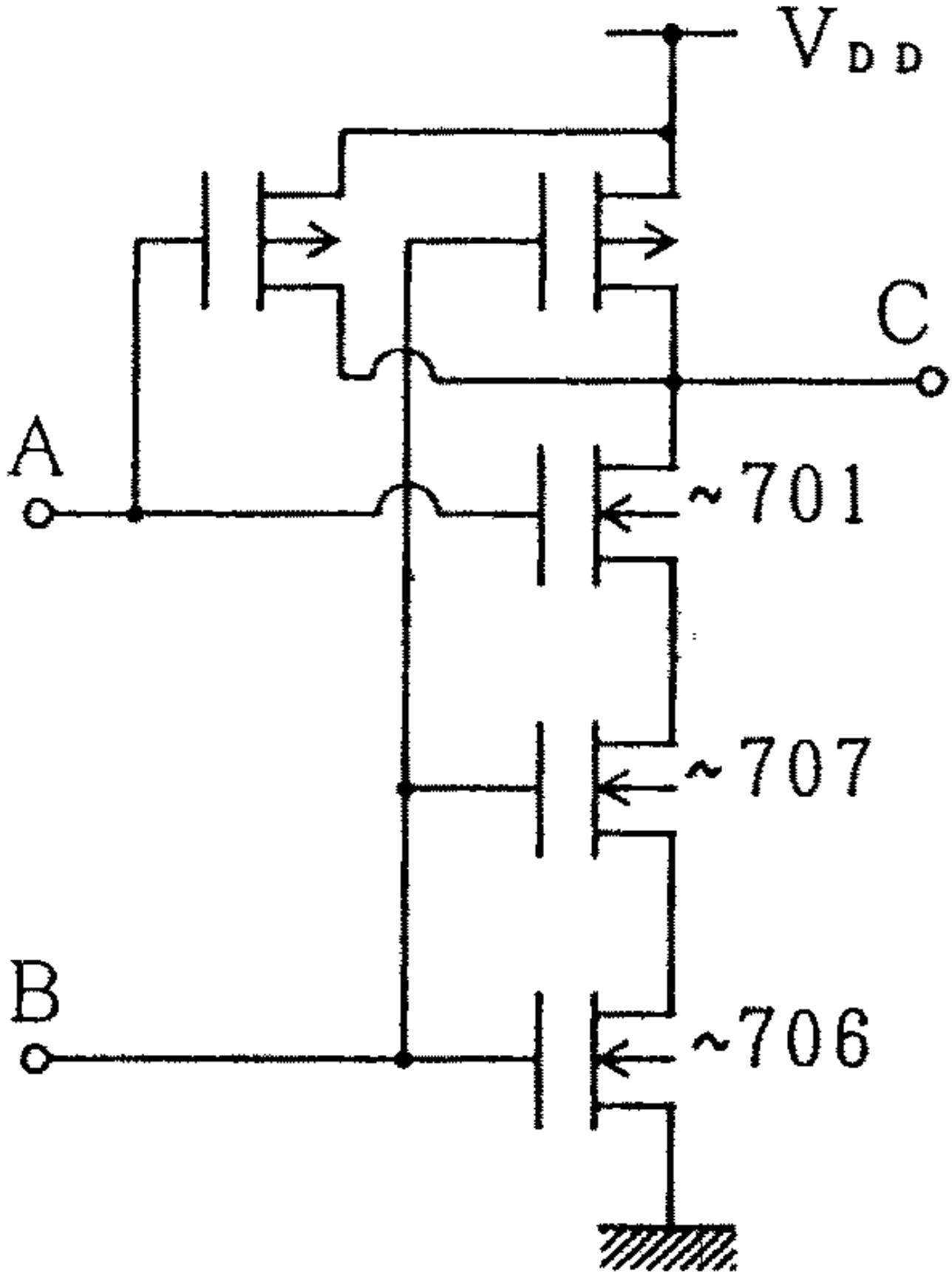
도면 7a



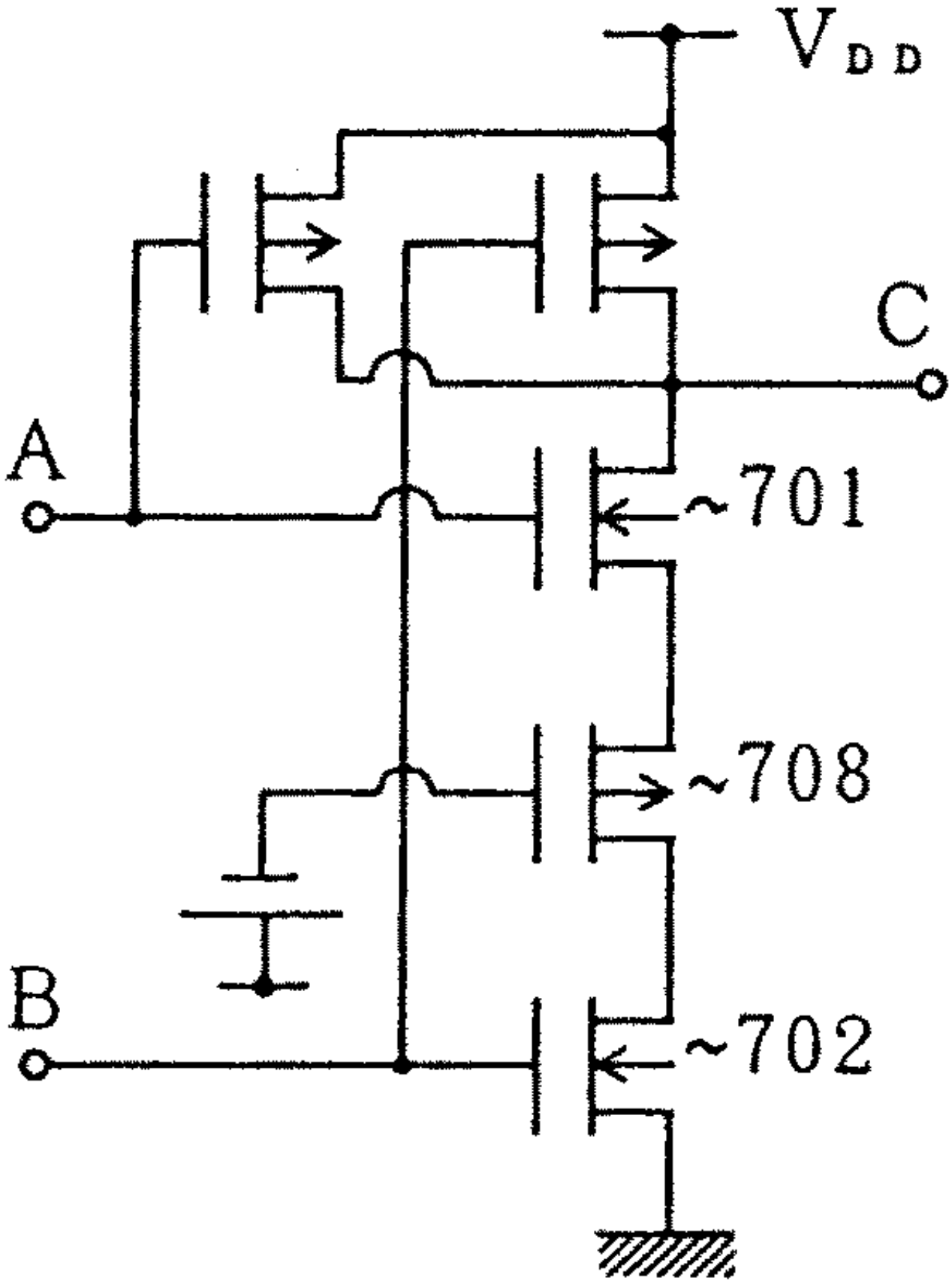
도면 7b



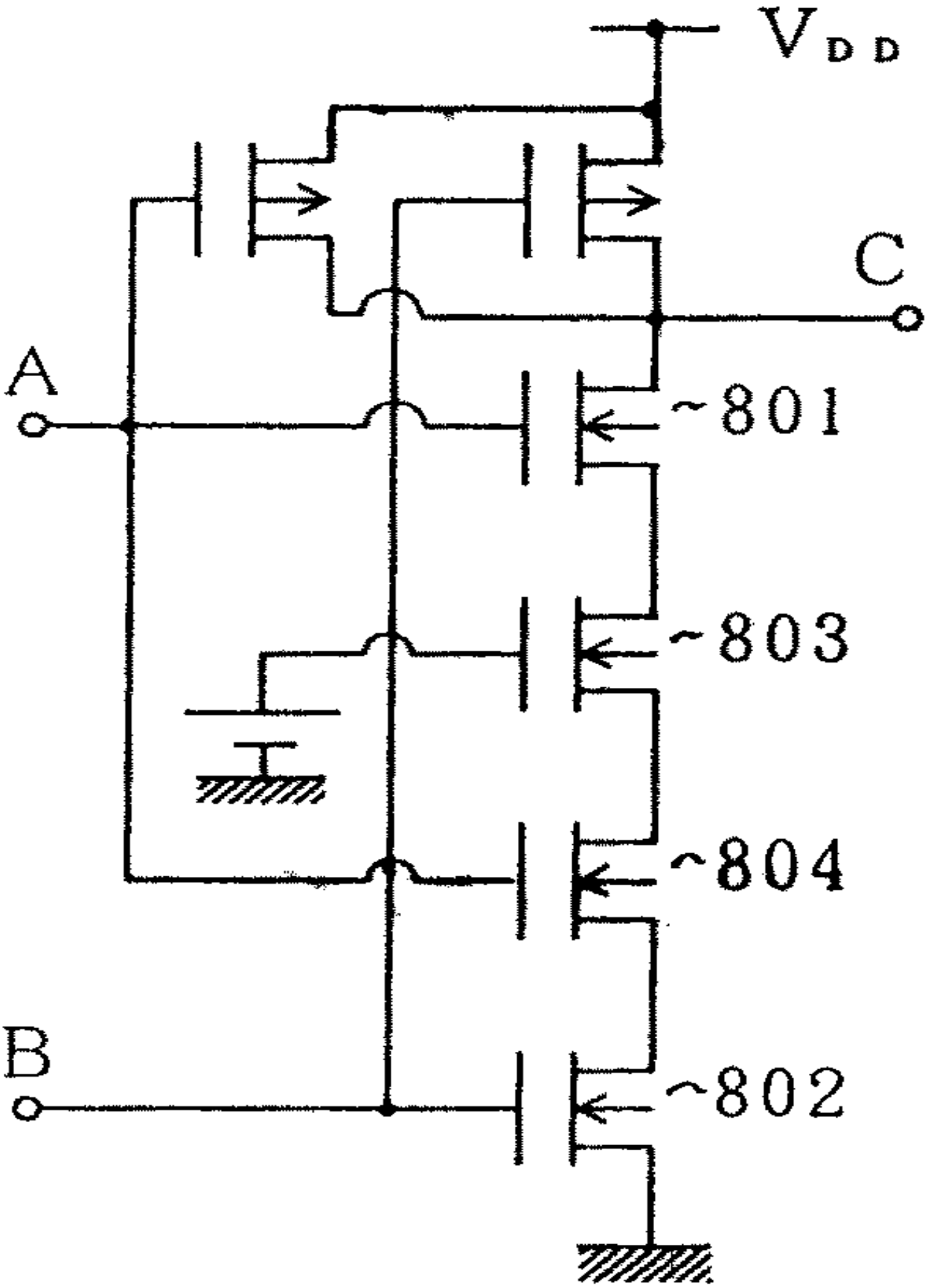
도면 7c



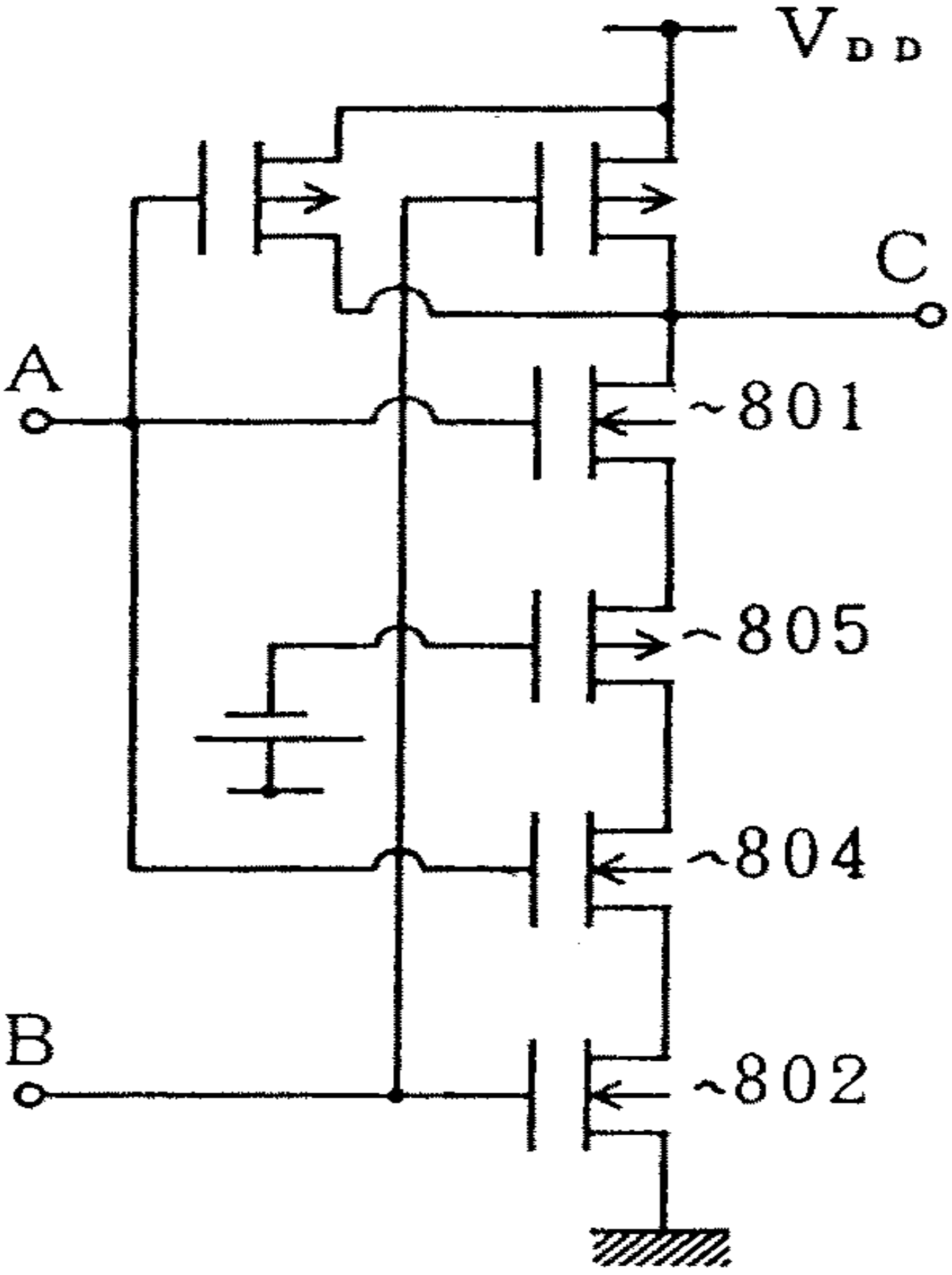
도면 7d



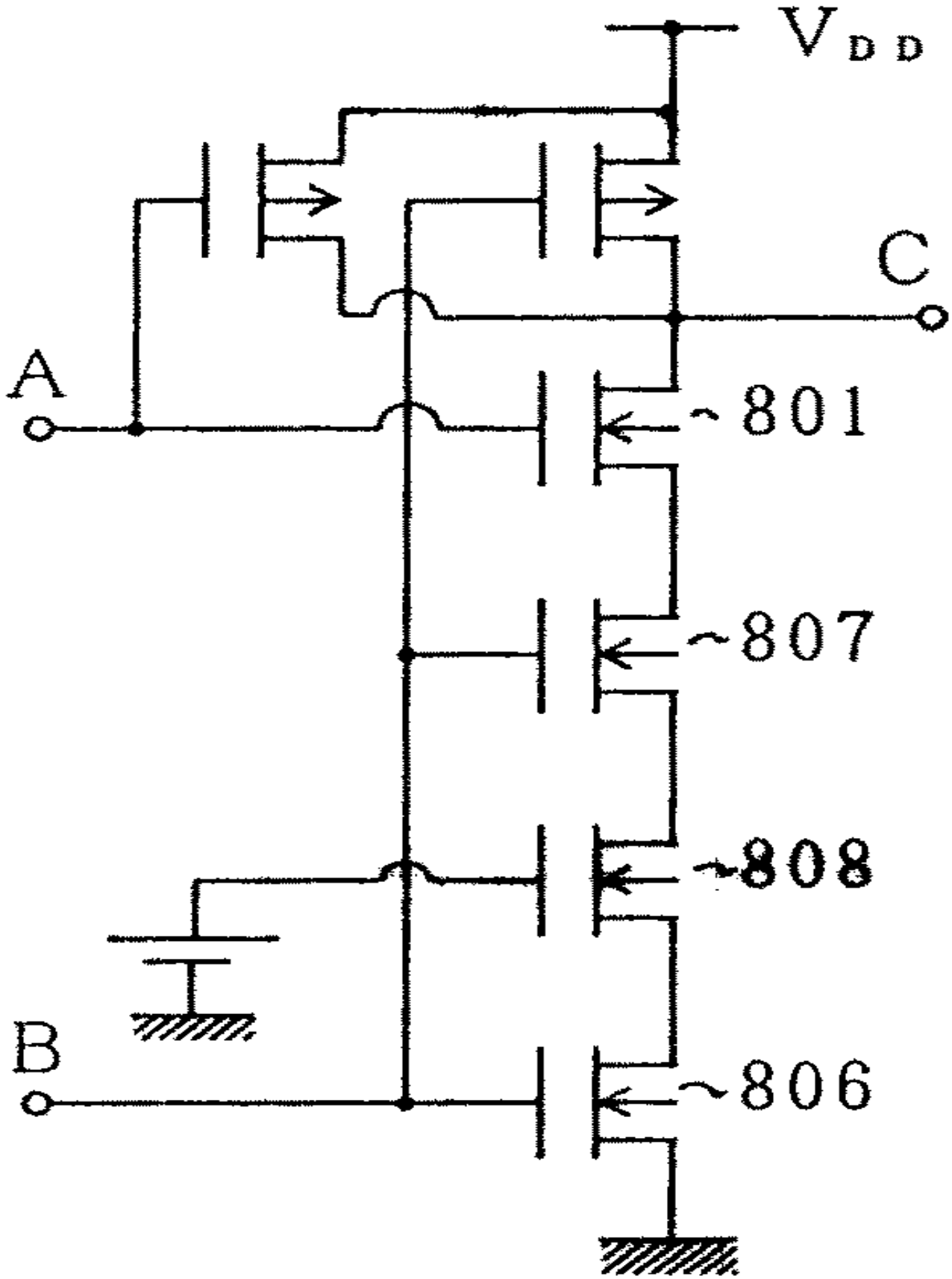
도면 8a



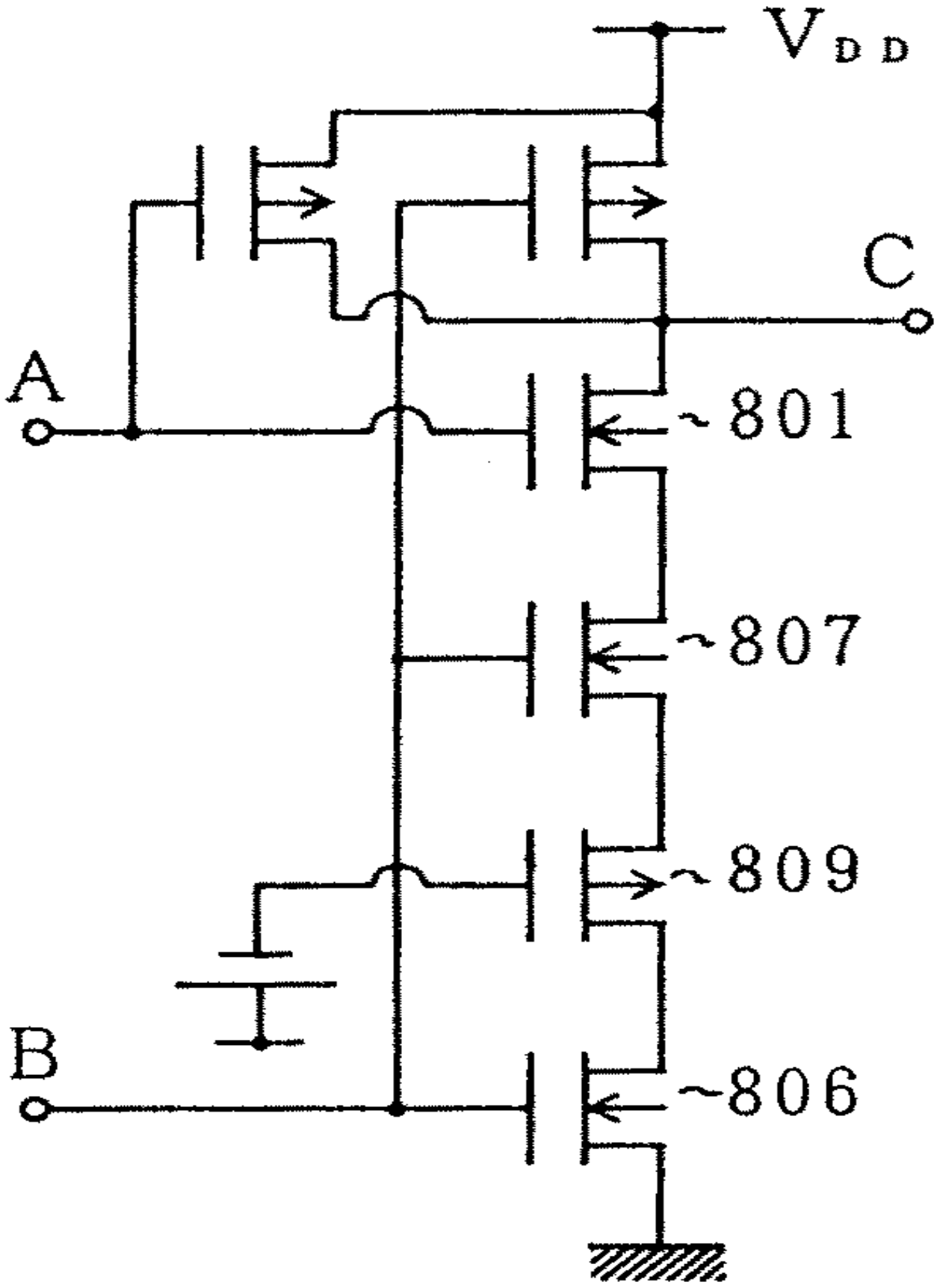
도면 8b



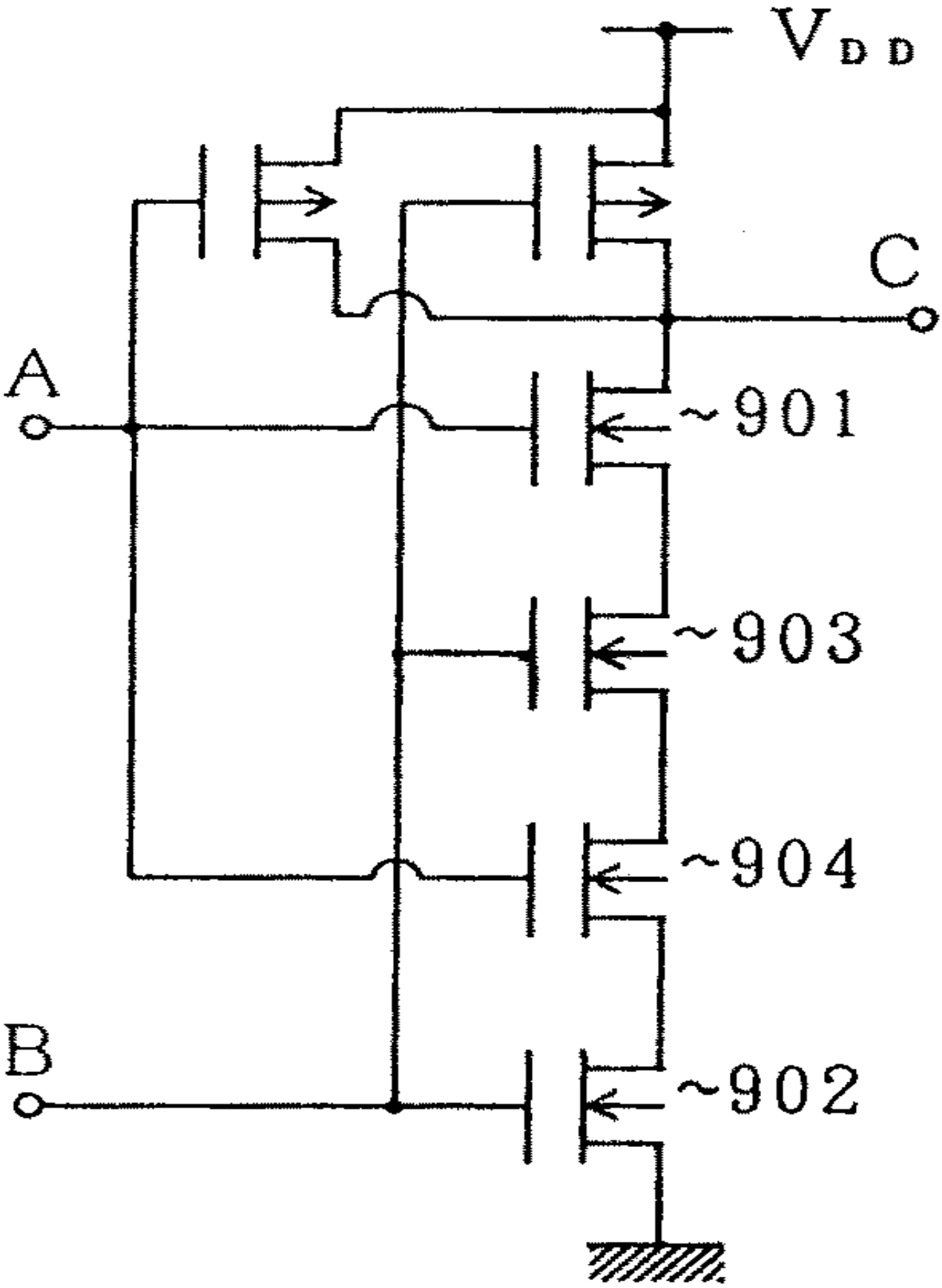
도면 8c



도면 8d



도면 9



도면 10

