

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5540586号
(P5540586)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl. F 1
G 0 5 B 13/04 (2006.01) G 0 5 B 13/04
G 1 1 B 20/04 (2006.01) G 1 1 B 20/04 1 O 1 A

請求項の数 6 (全 20 頁)

(21) 出願番号	特願2009-157254 (P2009-157254)	(73) 特許権者	000002185
(22) 出願日	平成21年7月1日(2009.7.1)		ソニー株式会社
(65) 公開番号	特開2011-13916 (P2011-13916A)		東京都港区港南1丁目7番1号
(43) 公開日	平成23年1月20日(2011.1.20)	(74) 代理人	100094053
審査請求日	平成24年5月10日(2012.5.10)		弁理士 佐藤 隆久
		(72) 発明者	源代 裕治
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	青山 純

最終頁に続く

(54) 【発明の名称】 信号処理回路、AGC回路、および記録再生装置

(57) 【特許請求の範囲】

【請求項1】

入力信号を伝播し実信号を出力するメインパスと、
 上記実信号を上記メインパスの入力段に帰還させる負帰還ブロックを含む負帰還パスと、
 を有し、

上記メインパスは、

入力信号を受けて実信号を出力するメインパスブロックを、含み、
上記メインパスの上記メインパスブロックならびに上記負帰還パスの上記負帰還ブロックを含んで形成される負帰還ループ内に、制御理論での無駄時間を含む負帰還型信号処理系として形成される信号処理回路であって、

上記負帰還パスは、

制御信号を生成して上記メインパスの入力信号の入力部に供給する上記負帰還ブロックと、

上記負帰還ブロックの制御信号が供給され擬似実信号を出力する、上記メインパスブロックを模擬するレプリカブロックと、

上記レプリカブロックの擬似実信号をループの無駄時間分遅延させる信号遅延ブロックと、を含み、

上記負帰還ブロックと、上記レプリカブロックと、上記信号遅延ブロックとを含んで無駄時間を含む第1のローカル負帰還系ループが形成され、

上記負帰還ブロックおよび上記レプリカブロックにより無駄時間のない第2のローカ

10

20

ル負帰還系ループが形成され、

上記第1のローカル負帰還系ループにおいて、上記信号遅延ブロックの出力信号と上記実信号とを合成し、合成信号を出力する合成部と、

上記合成信号から上記第2のローカル負帰還系ループにおける上記レプリカブロックの擬似実信号を減算し、当該減算後の信号を上記負帰還ブロックに入力させる減算器と、を含む

信号処理回路。

【請求項2】

上記メインパスブロックの伝達関数を $A(s)$ 、上記レプリカブロックの伝達関数を $A'(s)$ 、上記信号遅延ブロックの伝達関数を $N(s)$ 、実信号遅延ブロックの伝達関数を $M(s)$ とすると、次の関係を満足する

請求項1記載の信号処理回路。

【数1】

$$A'(s) = A(0)M(0)$$

$$N(s) = \frac{A(s)M(s)}{A(0)M(0)}$$

【請求項3】

入力信号の振幅を調整し実信号を出力するメインパスと、

上記実信号の振幅情報を上記メインパスの振幅調整段に帰還させる負帰還ブロックを含む負帰還パスと、を有し、

上記メインパスは、

入力信号の振幅を制御信号に応じて可変する可変利得部を含み、入力信号を受けて実信号を出力するメインパスブロックを、含み、

信号処理回路は、上記メインパスの上記メインパスブロックならびに上記負帰還パスの上記負帰還ブロックを含んで形成される負帰還ループ内に、制御理論での無駄時間を含む負帰還型信号処理系として形成され、

上記負帰還パスは、

上記メインパスから出力される実信号の振幅を検出する振幅検出器と、

上記振幅検出器による振幅情報と目標振幅から上記制御信号を生成し、上記可変利得部に出力する制御ブロックと、を含み、

上記制御ブロックは、

制御信号を生成して上記メインパスの入力信号の入力部に供給する上記負帰還ブロックと、

上記負帰還ブロックの制御信号が供給され擬似振幅信号を出力する、上記メインパスブロックを模擬するレプリカブロックと、

上記レプリカブロックの擬似振幅信号をループの無駄時間分遅延させる信号遅延ブロックと、を含み、

上記負帰還ブロックと、上記レプリカブロックと、上記信号遅延ブロックとを含んで無駄時間を含む第1のローカル負帰還系ループが形成され、

上記負帰還ブロックおよび上記レプリカブロックにより無駄時間のない第2のローカル負帰還系ループが形成され、

上記目標振幅から上記振幅検出器の検出振幅を減算する第1の減算器と、

上記第1のローカル負帰還系ループにおいて、上記信号遅延ブロックの出力信号と上記第1の減算器の出力信号とを合成し、合成信号を出力する合成部と、

上記合成信号から上記第2のローカル負帰還系ループにおける上記レプリカブロックの擬似実信号を減算し、当該減算後の信号を上記負帰還ブロックに入力させる第2の減算器と、を含む

A G C 回路。

【請求項 4】

上記メインパスブロックの伝達関数を $A(s)$ 、上記レプリカブロックの伝達関数を $A'(s)$ 、上記信号遅延ブロックの伝達関数を $N(s)$ 、実信号遅延ブロックの伝達関数を $M(s)$ とすると、次の関係を満足する

請求項 3 記載の A G C 回路。

【数 2】

$$A'(s) = A(0)M(0)$$

$$N(s) = \frac{A(s)M(s)}{A(0)M(0)}$$

10

【請求項 5】

上記可変利得部は、

入力信号と上記制御信号を掛け算する掛算器を含み、

上記制御ブロックは、

上記掛算器の非線形性を補償する機能を有する

請求項 3 または 4 記載の A G C 回路。

【請求項 6】

記録媒体の情報をピックアップするピックアップ素子と、

上記ピックアップ素子でピックアップされた信号レベルを調整する A G C 回路と、を有し、

上記 A G C 回路は、

入力信号の振幅を調整し実信号を出力するメインパスと、

上記実信号の振幅情報を上記メインパスの振幅調整段に帰還させる負帰還ブロックを含む負帰還パスと、を有し、

上記メインパスは、

入力信号の振幅を制御信号に応じて可変する可変利得部を含み、入力信号を受けて実信号を出力するメインパスブロックを、含み、

信号処理回路は、上記メインパスの上記メインパスブロックならびに上記負帰還パスの上記負帰還ブロックを含んで形成される負帰還ループ内に、制御理論での無駄時間を含む負帰還型信号処理系として形成され、

上記負帰還パスは、

上記メインパスから出力される実信号の振幅を検出する振幅検出器と、

上記振幅検出器による振幅情報と目標振幅から上記制御信号を生成し、上記可変利得部に出力する制御ブロックと、を含み、

上記制御ブロックは、

制御信号を生成して上記メインパスの入力信号の入力部に供給する上記負帰還ブロックと、

上記負帰還ブロックの制御信号が供給され擬似振幅信号を出力する、上記メインパスブロックを模擬するレプリカブロックと、

上記レプリカブロックの擬似振幅信号をループの無駄時間分遅延させる信号遅延ブロックと、を含み、

上記負帰還ブロックと、上記レプリカブロックと、上記信号遅延ブロックとを含んで無駄時間を含む第 1 のローカル負帰還系ループが形成され、

上記負帰還ブロックおよび上記レプリカブロックにより無駄時間のない第 2 のローカル負帰還系ループが形成され、

上記目標振幅から上記振幅検出器の検出振幅を減算する第 1 の減算器と、

上記第 1 のローカル負帰還系ループにおいて、上記信号遅延ブロックの出力信号と

20

30

40

50

上記第 1 の減算器の出力信号とを合成し、合成信号を出力する合成部と、

上記合成信号から上記第 2 のローカル負帰還系ループにおける上記レプリカブロックの擬似実信号を減算し、当該減算後の信号を上記負帰還ブロックに入力させる第 2 の減算器と、を含む

記録再生装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A G C (Automatic Gain Control) やオフセット制御等のループ系回路に適用可能な信号処理回路、A G C 回路、および記録再生装置に関するものである。

10

【背景技術】

【0002】

信号処理のアナログ実装からデジタル実装への移行により、従来困難だった複雑な処理が実現されるようになり、製造ばらつきの問題も根本的に解消できるようになった。

しかし他方で、デジタル処理により遅延（ディレイ）が増大してしまう傾向がある。

この増大は信号が一方向に流れてゆく分には余り問題ではないが、A G C や P L L といったループ処理では系が不安定になり易い。

制御理論では、このディレイを“無駄時間”と呼び、ローパスフィルタ等で発生する“遅れ時間”と区別する。

【0003】

20

無駄時間によりフィードバック系が不安定になる現象は良く知られており、古くから研究されている。

その原点となるのが特許文献 1 に開示されたスミス（Smith）の方法である。また、同様の方法が特許文献 2 に開示されている。また、類似の方法は、非特許文献 1 に開示されている。

【0004】

図 1 は、特許文献 1 に開示されたスミス（Smith）の方法を簡略化して示す図である。

【0005】

図 1 において、1 は制御信号生成部、2 は被制御対象、3 は無駄時間予測部 3、4～6 は加算器（あるいは減算器）をそれぞれ示している。

30

【0006】

このスミス（Smith）の方法（以下、Smith 法）は、被制御対象 2 に無駄時間がある場合に、制御信号生成部 1 に無駄時間予測部 3 を設けることで、無駄時間分の遅れを見越した補正を加えるというものである。

【0007】

Smith 法が有効であるためには、基準信号 r の変化が無駄時間 L に比べて十分ゆっくりしている必要がある。

なお、図 1 において、加算器 6 に入力する d は外乱入力を示し、本来的には系の外乱応答特性を解析するために用意されている。

【0008】

40

図 2 は、非特許文献 1 に開示された無駄時間の制御システムの例を示す図である。

【0009】

この実装は伝達関数的には、基本的に図 1 と同じであるが、被制御対象から無駄時間 e^{-sL} を省いたレプリカ $P(s)$ 7 と制御信号生成部 $C(s)$ 1 とを合わせて、無駄時間がない場合の理想的な閉ループ制御系を構成している、という見方ができる。

すると、“制御信号生成部の特性を修正する”というよりは、“理想フィードバック系の出力を無駄時間分遅らせたものと、実応答との差分を入力にフィードバックする”、と解釈できる。

【0010】

Smith 法は、出力信号 y を、基準信号 r にできるだけ精度良く追従させたいという問題

50

意識の下に定式化されている。すなわち、 $y = r$ が目標である。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】USP 3,141,982 “CONTROL SYSTEM FOR USE IN CONTROL OF LOOPS WITH DEAD TIME”

【特許文献2】特開昭51-89083号公報

【非特許文献】

【0012】

【非特許文献1】渡部慶二 著、“無駄時間システムの制御,” コロナ社, 1993.

10

【発明の概要】

【発明が解決しようとする課題】

【0013】

ところが、信号処理系では入出力で信号加工が目的であり、伝達特性 y / r の設計が問題である。

ブロック構成的には、図3のような無駄時間系を考察する必要がある。

【0014】

図3において、 $A(s)$ は信号のメインパスの伝達特性を示す。

フィードバック系は、無駄時間を含まない伝達特性、測定系 $M(s)$ 、補償系 $K(s)$ 、制御信号生成系 $C(s)$ と、それぞれのブロックの無駄時間により形成されている。

20

この系では $A(s)$ 、 $M(s)$ 、 $C(s)$ および各ブロックの無駄時間はシステムとして所与のもので、唯一の設計自由度である $K(s)$ で、全体の伝達特性 y / r を調整する。

しかしながら $K(s)$ だけでは、一巡伝達関数に対し無視できない無駄時間がある場合には、十分な応答特性が得られない。

【0015】

オリジナルのSmith法は信号のメインパスの $A(s)$ 系の前に制御信号生成部1を入れるので、そのままではAGCなどには使い難い。

【0016】

本発明は、無駄時間のループ特性に対する影響を応答性良く補償することが可能な信号処理回路、AGC回路、および記録再生装置を提供することにある。

30

【課題を解決するための手段】

【0017】

本発明の第1の観点に信号処理回路は、入力信号を伝播し実信号を出力するメインパスと、上記実信号を上記メインパスの入力段に帰還させる負帰還ブロックを含む負帰還パスと、を有し、上記メインパスは、入力信号を受けて実信号を出力するメインパスブロックを、含み、上記メインパスの上記メインパスブロックならびに上記負帰還パスの上記負帰還ブロックを含んで形成される負帰還ループ内に、制御理論での無駄時間を含む負帰還型信号処理系として形成される信号処理回路であって、上記負帰還パスは、制御信号を生成して上記メインパスの入力信号の入力部に供給する上記負帰還ブロックと、上記負帰還ブロックの制御信号が供給され擬似実信号を出力する、上記メインパスブロックを模擬するレプリカブロックと、上記レプリカブロックの擬似実信号をループの無駄時間分遅延させる信号遅延ブロックと、を含み、上記負帰還ブロックと、上記レプリカブロックと、上記信号遅延ブロックとを含んで無駄時間を含む第1のローカル負帰還系ループが形成され、上記負帰還ブロックおよび上記レプリカブロックにより無駄時間のない第2のローカル負帰還系ループが形成され、上記第1のローカル負帰還系ループにおいて、上記信号遅延ブロックの出力信号と上記実信号とを合成し、合成信号を出力する合成部と、上記合成信号から上記第2のローカル負帰還系ループにおける上記レプリカブロックの擬似実信号を減算し、当該減算後の信号を上記負帰還ブロックに入力させる減算器と、を含む。

40

【0018】

本発明の第2の観点にAGC回路は、入力信号の振幅を調整し実信号を出力するメイン

50

パスと、上記実信号の振幅情報を上記メインパスの振幅調整段に帰還させる負帰還ブロックを含む負帰還パスと、を有し、上記メインパスは、入力信号の振幅を制御信号に応じて可変する可変利得部を含み、入力信号を受けて実信号を出力するメインパスブロックを、含み、信号処理回路は、上記メインパスの上記メインパスブロックならびに上記負帰還パスの上記負帰還ブロックを含んで形成される負帰還ループ内に、制御理論での無駄時間を含む負帰還型信号処理系として形成され、上記負帰還パスは、上記メインパスから出力される実信号の振幅を検出する振幅検出器と、上記振幅検出器による振幅情報と目標振幅から上記制御信号を生成し、上記可変利得部に出力する制御ブロックと、を含み、上記制御ブロックは、制御信号を生成して上記メインパスの入力信号の入力部に供給する上記負帰還ブロックと、上記負帰還ブロックの制御信号が供給され擬似振幅信号を出力する、上記メインパスブロックを模擬するレプリカブロックと、上記レプリカブロックの擬似振幅信号をループの無駄時間分遅延させる信号遅延ブロックと、を含み、上記負帰還ブロックと、上記レプリカブロックと、上記信号遅延ブロックとを含んで無駄時間を含む第1のローカル負帰還系ループが形成され、負帰還ブロックおよび上記レプリカブロックにより無駄時間のない第2のローカル負帰還系ループが形成され、上記目標振幅から上記振幅検出器の検出振幅を減算する第1の減算器と、上記第1のローカル負帰還系ループにおいて、上記信号遅延ブロックの出力信号と上記第1の減算器の出力信号とを合成し、合成信号を出力する合成部と、上記合成信号から上記第2のローカル負帰還系ループにおける上記レプリカブロックの擬似実信号を減算し、当該減算後の信号を上記負帰還ブロックに入力させる第2の減算器と、を含む。

10

20

【0019】

本発明の第3の観点に情報再生装置は、記録媒体の情報をピックアップするピックアップ素子と、上記ピックアップ素子でピックアップされた信号レベルを調整するAGC回路と、を有し、上記AGC回路は、入力信号の振幅を調整し実信号を出力するメインパスと、上記実信号の振幅情報を上記メインパスの振幅調整段に帰還させる負帰還ブロックを含む負帰還パスと、を有し、上記メインパスは、入力信号の振幅を制御信号に応じて可変する可変利得部を含み、入力信号を受けて実信号を出力するメインパスブロックを、含み、信号処理回路は、上記メインパスの上記メインパスブロックならびに上記負帰還パスの上記負帰還ブロックを含んで形成される負帰還ループ内に、制御理論での無駄時間を含む負帰還型信号処理系として形成され、上記負帰還パスは、上記メインパスから出力される実信号の振幅を検出する振幅検出器と、上記振幅検出器による振幅情報と目標振幅から上記制御信号を生成し、上記可変利得部に出力する制御ブロックと、を含み、上記制御ブロックは、制御信号を生成して上記メインパスの入力信号の入力部に供給する上記負帰還ブロックと、上記負帰還ブロックの制御信号が供給され擬似振幅信号を出力する、上記メインパスブロックを模擬するレプリカブロックと、上記レプリカブロックの擬似振幅信号をループの無駄時間分遅延させる信号遅延ブロックと、を含み、上記負帰還ブロックと、上記レプリカブロックと、上記信号遅延ブロックとを含んで無駄時間を含む第1のローカル負帰還系ループが形成され、負帰還ブロックおよび上記レプリカブロックにより無駄時間のない第2のローカル負帰還系ループが形成され、上記目標振幅から上記振幅検出器の検出振幅を減算する第1の減算器と、上記第1のローカル負帰還系ループにおいて、上記信号遅延ブロックの出力信号と上記第1の減算器の出力信号とを合成し、合成信号を出力する合成部と、上記合成信号から上記第2のローカル負帰還系ループにおける上記レプリカブロックの擬似実信号を減算し、当該減算後の信号を上記負帰還ブロックに入力させる第2の減算器と、を含む。

30

40

【発明の効果】

【0020】

本発明によれば、無駄時間のループ特性に対する影響を応答性良く補償することができる。

【図面の簡単な説明】

【0021】

50

【図 1】 特許文献 1 に開示されたスミス (Smith) の方法を簡略化して示す図である。

【図 2】 非特許文献 1 に開示された無駄時間の制御システムの例を示す図である。

【図 3】 無駄時間補償系を説明するための図である。

【図 4】 本発明の第 1 の実施形態に係る信号処理回路の構成例を示す図である。

【図 5】 本第 1 の実施形態の信号処理回路の構成過程を説明するための第 1 図である。

【図 6】 本第 1 の実施形態の信号処理回路の構成過程を説明するための第 2 図である。

【図 7】 本発明の第 2 の実施形態に係る信号処理回路の構成例を示す図である。

【図 8】 本発明の第 3 の実施形態に係る A G C 回路の構成例を示す図である。

【図 9】 A G C の非線形性について説明する単純モデルを示す図である。

【図 10】 A G C 回路の線形化手法の一例を示す図である。

10

【図 11】 所定の入力範囲に対応する直線を組み合わせた折線関数の原理特性のグラフを示す図である。

【図 12】 図 8 の A G C 回路を離散振幅ループとしてモデル化した例を示す図である。

【図 13】 図 12 のパラメータ例を示す図である。

【図 14】 図 12 の A G C 回路の設計例の応答特性を示す図である。

【図 15】 比較のため無駄時間補償を外した応答特性を示す図である。

【図 16】 $N(z) = 1$ とした場合の応答特性を示す図である。

【図 17】 本発明の実施形態に係る A G C 回路を適用した記録再生装置のブロック構成を示す図である。

【発明を実施するための形態】

20

【0022】

以下、本発明の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 第 1 の実施形態 (信号処理回路の基本構成)
2. 第 2 の実施形態 (信号処理回路の好適な構成)
3. 第 3 の実施形態 (A G C 回路の構成例)
4. 第 4 の実施形態 (記録再生装置の構成例)

【0023】

< 1. 第 1 の実施形態 >

図 4 は、本発明の第 1 の実施形態に係る信号処理回路の構成例を示す図である。

30

【0024】

本第 1 の実施形態に係る信号処理回路 100 は、無駄時間を補償する信号処理系の基本構成となる。

信号処理回路 100 は、メインパス 110 と負帰還パス 120 によりフィードバックループ L F D B 1 が形成されている。

信号処理回路 100 は、信号のメインパス 110 のメインパスブロック 111 ならびに負帰還パス 120 の負帰還ブロック 121 を有し、ループ内に無駄時間を持つ負帰還型信号処理系として形成されている。

【0025】

メインパス 110 は、負帰還パス 120 の帰還部であって、メインパスブロック 111 の入力側に、基準信号 (入力信号) r と制御信号 u との u 減算を行う減算器 112 を有する。また、D L Y はループ内に存在する無駄時間を集中させた実信号遅延ブロックを示している。一般性を損なうことなく、実際の系ではメインパスや検出系や制御系といったブロックに分散している遅延時間を D L Y に集中させたモデルを考えることができるのである。

40

【0026】

負帰還パス 120 は、負帰還ブロック 121 に加えて、メインパスブロック 111 のレプリカブロック 122、無駄時間分の信号遅延ブロック 123、減算器 124、および加算器 125 を有する。

【0027】

50

負帰還パス120において、負帰還ブロック121には減算器124の出力信号eが入力され、負帰還ブロック121は、制御信号uをレプリカブロック122および減算器112に出力する。

レプリカブロック122は、処理信号（擬似実信号）ypを信号遅延ブロック123および減算器124の（－）側端子に出力する。

減算器124は、（＋）側端子に加算器125の出力信号rpが入力される。

加算器125は、一方の（＋）端子にメインパスブロック111から出力される無駄時間を含む処理信号である実信号yが入力され、他方の（＋）端子に信号遅延ブロック123の無駄時間を含む信号が入力される。

【0028】

10

負帰還パス120において、負帰還ブロック121、レプリカブロック122、信号遅延ブロック123、減算器124、および合成部としての加算器125により無駄時間を含む第1のローカル負帰還系ループ126が形成されている。

さらに、負帰還パス120において、負帰還ブロック121、レプリカブロック122、および減算器124により、無駄時間のない理想系である第2のローカル負帰還系ループ127が形成されている。

【0029】

このような構成を有する信号処理回路100は、図2に示す無駄時間を含む負帰還型信号処理系からSmith法を基に独自の発想により信号処理系として構成されている。この構成メカニズムを以下に示す。

20

【0030】

図5は、本第1の実施形態の信号処理回路の構成過程を説明するための第1図である。

図6は、本第1の実施形態の信号処理回路の構成過程を説明するための第2図である。

なお、図5および図6は、理解を容易にするために簡略して示してある。

【0031】

図5は、図2の無駄時間を、フィードバック側に集結させ、すなわち $[L = L_1 + L_2 + L_3 + L_4]$ とし、フィードバック特性を $K(s)$ に集結させたものである。

実出力信号yのタイミングは L_1 分早く出てしまうが、ループ特性を考える上では無視して良い。

【0032】

30

負帰還ブロック $K(s)$ を、レプリカブロック122を用い無駄時間のない閉ループ系を形成したのが図6に示す構成である。これはまだ完成形ではない。

レプリカブロック122の出力信号ypを無駄時間分遅らせて、極性を考えてフィードバック経路に注入すると図4の構成を得る。

これが無駄時間を補償する信号処理系の基本構成となる。

【0033】

図6の構成を有する信号処理回路100においては、メインパスブロック111で処理された実信号yと、そのレプリカブロック122の出力信号ypが信号遅延ブロック123で遅延された信号が加算器125で合成される。

そして、合成信号rpが無駄時間のないローカル負帰還系ループ127に入力される。

40

ローカル負帰還系ループ127には、減算器124を通して実信号の推定誤差rpと無駄時間のない擬似信号ypとの差分が含まれ、それを含む制御信号uがメインパス110の減算器112に入力される。

これにより、閉ループ特性の分母から無駄時間因子が無くなり、無駄時間のループ特性に対する影響を応答性良く補償することができる。

【0034】

< 2. 第2の実施形態 >

図7は、本発明の第2の実施形態に係る信号処理回路の構成例を示す図である。

【0035】

本第2の実施形態に係る信号処理回路100Aの基本的な構成は第1の実施形態に係る

50

信号処理回路 100 と同様である。

第2の実施形態に係る信号処理回路 100A は、信号検出器の伝達特性を表現するため、遅延ブロックに伝達特性を含めている。

【0036】

等価変形の手法を用いると多くの信号処理系の無駄時間補償が図4の構成で可能であるが、応用を考えると若干拡張した図7の構成の方がモデルとして便利である。

【0037】

実信号遅延ブロック DLYA において、M(s) には、信号のメインパス 110 以外の伝達特性、たとえば検出系や駆動系の伝達特性を入れる。

またその無駄時間 L には、一巡無駄時間を全て足し込んでおく。

10

設計パラメータとして選択の余地があるのは、帰還ブロック 121A の K(s)、レプリカブロック 122A の A'(s)、信号遅延ブロック 123A の N(s) である。

【0038】

図7の信号処理回路 100A の伝達関数を計算すると、次のようになる。

【0039】

【数1】

$$\frac{y}{r} = \frac{1 + A'(s)K(s) - A'(s)N(s)K(s)e^{-sL}}{1 + A'(s)K(s) + (A(s)M(s) - A'(s)N(s))e^{-sL}} A(s)$$

20

【0040】

この式の分母から無駄時間因子 e^{-sL} を消す条件は、次のようになる。

【0041】

【数2】

$$A(s)M(s) = A'(s)N(s)$$

【0042】

これを補償条件と呼ぶことにする。

補償条件を要求すると閉ループ伝達関数は、次のようになる。

30

【0043】

【数3】

$$\frac{y}{r} = \left(1 - \frac{A(s)M(s)K(s)}{1 + A'(s)K(s)} e^{-sL} \right) A(s)$$

【0044】

この式の右辺第一因子の形から、入力信号（基準信号）r の変化は瞬時に A(s) 倍されて実信号 y に伝わるが、制御の応答は L 時間の遅延後から始まることが分かる。

40

右辺第一因子第二項を、次のように置く。

【0045】

【数4】

$$F(s) = \frac{A(s)M(s)K(s)}{1 + A'(s)K(s)}$$

【0046】

最終残渣が 0 になるためには $F(s)e^{-sL}$ が 1 に収束する必要がある。ステップ応答に対しては、ラプラス (Laplace) 変換の最終値定理から次の条件が必要となる。

50

【 0 0 4 7 】

【数 5】

$$\lim_{s \rightarrow 0} sF(s)e^{-sL} \frac{1}{s} = \lim_{s \rightarrow 0} \frac{A(s)M(s)K(s)}{1 + A'(s)K(s)} = 1$$

【 0 0 4 8 】

これを残留誤差条件と呼ぶことにする。

もし $K(s)$ が完全積分 $1/s$ なら残留誤差条件は、 $A(0)$ 、 $M(0)$ が存在するとして、次のようになる。

10

【 0 0 4 9 】

【数 6】

$$\lim_{s \rightarrow 0} \frac{A(s)M(s)K(s)}{1 + A'(s)K(s)} = \lim_{s \rightarrow 0} \frac{A(s)M(s)}{s + A'(s)} = \frac{A(0)M(0)}{A'(0)} = 1$$

【 0 0 5 0 】

すなわち、次式のように置き換えられる。

【 0 0 5 1 】

【数 7】

20

$$A'(0) = A(0)M(0)$$

【 0 0 5 2 】

そこで補償条件とあわせて特解として、次の関係が得られる。

【 0 0 5 3 】

【数 8】

$$A'(s) = A(0)M(0)$$

$$N(s) = \frac{A(s)M(s)}{A(0)M(0)}$$

30

【 0 0 5 4 】

この特解では $A'(s)$ は定数であり、 $N(s)$ の方にメインパス特性 $A(s)$ が移っている。

閉ループ特性は、 $K(s)$ が主要極を決める状況下では 1 次系に近い応答になる。後で具体例を示すが、経験した範囲では、この特解で十分である。

なお離散系の場合の残留誤差条件は z 変換を用いて、次のように表される。

【 0 0 5 5 】

【数 9】

40

$$\lim_{z \rightarrow 1} \frac{A(z)M(z)K(z)}{1 + A'(z)K(z)} = 1$$

【 0 0 5 6 】

以上説明した第 2 の実施形態に係る信号処理回路 100A は、第 1 の実施形態に比べ設計の自由度が大きく、かつ第 1 の実施形態と同様に、誤差をなくし安定な系として機能し、無駄時間のループ特性に対する影響を応答性良く的確に補償することができる。

【 0 0 5 7 】

< 3. 第 3 の実施形態 >

50

図 8 は、本発明の第 3 の実施形態に係る A G C 回路の構成例を示す図である。

【0058】

本第 3 の実施形態の A G C 回路 200 は、第 1 または第 2 の実施形態の無駄時間補償系を含む信号処理回路 100、100A を適用して構成される。

【0059】

本 A G C 回路 200 は、メインパス 210 と負帰還パス 220 によりフィードバックループ L F D B 2 が形成されている。

【0060】

メインパス 210 には、可変利得部として V C A (Voltage Controlled Amplifier) 211、アナログデジタル変換器 (A D C) 212、および信号処理部としての等化器 (Equal 10
izer) 213 が配置されている。

負帰還パス 220 には、振幅検出器 (Amplitude detector) 221、制御ブロック (Contr oller) 222、およびデジタルアナログ変換器 (D A C) 223 が配置されている。

【0061】

このように、A G C 回路 200 は、フィードバックループ L F D B 2 内に A D C 212 を含んで構成されている。

フィードバックループ L F D B 2 において、A D C 212 の出力から D A C 223 の入力までの経路においてはデジタル信号処理が行われる。

そして、A G C 回路 200 において、制御ブロック 222 が無駄時間補償系の第 1 のローカル負帰還系ループおよび第 2 のローカル負帰還系ループを含んで構成される。 20

【0062】

入力信号 r は V C A 211 で、A D C 212 の入力レンジに合うように振幅調整される。この V C A ブロックは V G A (Variable Gain Amplifier) という略称も良く用いられる。

A D C 212 でデジタル化された信号は等化器 213 を通って、後段の信号処理部に送られる。

実信号 y はまた、振幅検出器 221 にも送られ、振幅情報が検出される。

この振幅情報と目標振幅 (target amplitude) a から制御ブロック 222 が適切な制御信号 u を生成し、D A C 223 経由で V C A 211 が制御される。

【0063】

ここで D A C - V C A のペアは必ずしもアナログ経由で結合されている必要はなく、両機能を合わせて直接 D C A (Digital Controlled Amplifier) を構成していても良い。 30

【0064】

また、振幅規範としては、p b (peak - bottom) 振幅、R M S (Root Mean Square) 振幅、絶対値平均などが考えられる。

振幅検出の応答速度が A G C の応答速度限界を決めるため、その設計は重要である。

振幅検出手段として、ピーク検出器や平均値検出器があるが、ここではいずれの回路であっても良く、特に限定しないが高速応答なものが望まれる。

【0065】

また、無駄時間補償系は線形系を前提とするため、A G C の非線形性対策が必要である 40

。図 9 は、A G C の非線形性について説明する単純モデルを示す図である。

【0066】

図 9 の A G C 回路モデル 200A では、V C A 211、振幅検出器 221、減算器 224、および積分器 225 を含んで形成されている。

この A G C モデルでは、振幅検出器 221 の実出力信号 y の振幅と目標振幅 a との差分が減算器 224 で得られ、その差分が積分器 225 で完全積分され、制御信号 u となる。

V C A 211 は入力信号 r と制御信号 u の掛算器である。非線形性はこの掛算器により生じる。

A G C は広い引込み幅 (多くの場合 ± 6 d B 以上) が要求されるため、局所的な線形化で 50

はうまく近似できない。

たとえば、入力が大きき方向からの整定と、小さい方向からの整定では、整定時間に大きな差が観測される。

【0067】

図10は、AGC回路の線形化手法の一例を示す図である。

【0068】

図10のAGC回路200Bは、AGCループを準線形化するため積分器225の前後に折線アンプ（ $g(x)$ ）226とdB-linear VCA211Aが配置されている。

【0069】

折線アンプ（または折線関数発生器）226は、減算器224による誤差 Δa を変数 $x = \Delta a$ または誤差 Δa を目標振幅 a で正規化した $x = \Delta a / a$ とした折線関数 $f(x)$ の値を出力する。

【0070】

折線アンプ（または折線関数発生器）226に適用される折線関数について考察する。

【0071】

[折線関数の説明]

ここで、折線関数の原理について説明する。

図11は、所定の入力範囲に対応する直線を組み合わせた折線関数の原理特性のグラフを示す図である。

以下、折線関数の対象とする関数を対数型関数とするが、対数型関数に限定することなく一般の曲線を表す関数であっても良い。

上述したように、目標振幅を a 、検出された実出力信号 y の振幅を $a + \Delta a$ とすると、図に示すように、対数化振幅誤差として積分器に入力される値は、

【0072】

【数10】

$$\log a - \log(a + \Delta a) = -\log\left(1 + \frac{\Delta a}{a}\right)$$

である。

【0073】

数10の右辺の表現から、この式の値(すなわち積分器の入力)は目標振幅 a とこの目標振幅 a からの差を示す Δa の値を別々に考える必要はなく、その比だけで決まることが分かる。そこで $\Delta a / a = x$ （変数 x と定義する）とおくことにする。

ここで用いる関数 $\log$ （対数型関数）は、説明を簡単にするため以下自然対数として説明する。自然対数は常用対数に対してゲイン調整するだけの違いであるから、本質的には同じである。

【0074】

数10において変数 x は、AGC整定後は0付近の値をとる。ここで、AGCの引き込み範囲として信号処理で典型的な値 ± 6 dBを想定すると、変数 x は、次の範囲となる。

【0075】

【数11】

$$-5.0 \leq x \leq 1$$

【0076】

この範囲で上の式で表される関数 $\log(1 + x)$ に対し、折線近似する関数を定義する。

たとえば、折線関数 $f(x)$ を次式に定義する。

【0077】

10

20

30

40

50

【数 1 2】

$$f(x) \begin{cases} 2x + 0.25 & -0.5 \leq x < -0.25 \\ x & -0.25 \leq x < 0.3 \\ 0.5x + 0.15 & 0.3 \leq x \leq 1 \end{cases}$$

【0078】

図 1 1 に示すように、関数 $\log(1+x)$ の示す曲線を符号 h で示し、折線関数 $f(x)$ で表す折線を符号 j で表す。 10

図 1 1 に示すように、変数 x が -0.5 から $+1.0$ の範囲において、折線関数 $f(x)$ は関数 $\log(1+x)$ を十分近似している。

また、数 1 2 で表される折線関数 $f(x)$ は傾きが 2、1 と $1/2$ と 2 のべき乗であるため、特にデジタル演算処理においては入力値の変数 x を掛算器を用いずにビットのシフトと条件判定だけで実現することができる。

すなわち、この条件に基づく折線関数は $\log$ (ログ) テーブルを用いる装置 (メモリ等とその制御回路) に比べると、大幅に簡素化することができる。

なお、上述した折線関数 $f(x)$ は一つの実施例に過ぎず、種々の変形が可能であり、A G C ループはサーボ系を構成しているので、折線関数において横軸 (変数 x) の多少違う位置で線を折り曲げても、A G C 特性はそれ程変わらない。 20

【0079】

また、A G C の範囲が ± 6 d B よりさらに広く、たとえば ± 12 d B とする場合、変数 x の値域として次の範囲が必要となる。

【0080】

【数 1 3】

$$-0.75 \leq x \leq 3$$

【0081】

この場合には折線関数 $f(x)$ の特性を示す (折) 線を 4 本程度に折り曲げた方が、A G C 特性としても有効である。 30

【0082】

上述した原理に基づく実装では、 $\log$ アンプを省略できたがこれに伴い $\Delta a/a$ の割算器が必要になる。割算器はアナログで実現する場合でもデジタルで実現する場合でも重い (演算量が多く時間がかかる) 演算となるから、 $\log$ 関数を簡略化した意味が少なくなってしまう。

この問題を解決するために、折線アンプ (折線関数発生器) を $\Delta a/a$ に対してではなく、 Δa を入力とする構成と方法がある。

このような折線アンプ (折線関数発生器) の特性は目標振幅 a によって変ってくるが、あまり大きく変らない限りは設定範囲の中央値に対して設計しておけば、実用上十分であり問題は生じない。 40

すなわち、目標振幅 a に対する誤差 (偏移) を Δa と設定して $a + \Delta a$ を代入した折線関数の演算結果が、相対的に $1 + \Delta a/a$ に対応する折線関数の値に成ればよい。

【0083】

図 1 0 の回路においては、折線アンプ 2 2 6 の働きにより、積分器 (K_i/s) 2 2 5 は対数領域で動作し、いわゆる d B リニアな V C A (より適切には D C A) との組み合わせにより、広い振幅範囲で線形性が保たれる。

【0084】

図 1 2 は、図 8 の A G C 回路を離散振幅ループとしてモデル化した例を示す図である。

【0085】

図12のAGC回路200Cは、制御ブロック222が振幅検出器221の実出力信号yの振幅と目標振幅aとの差分が減算器224と、無駄時間補償系230を含んでモデル化されている。

AGC回路200Cにおいては、折線アンプ(g(x))はゲイン1のアンプとして、省略した。ここではデジタルで実装を反映してz変換形式で図示した。

【0086】

無駄時間補償系230は、図7の第1のローカル負帰還系ループ126および第2のローカル負帰還系ループ127と同様の構成を有する。

ここでは、理解を容易にするために、図7と同一符号をもって表している。

【0087】

負帰還パス220において、無駄時間補償系230は、負帰還ブロック121、レプリカブロック122、信号遅延ブロック123、減算器124、および加算器125により無駄時間を含む第1のローカル負帰還系ループ126が形成されている。

さらに、無駄時間補償系230は、負帰還ブロック121、レプリカブロック122、および減算器124により、無駄時間のない理想系である第2のローカル負帰還系ループ127が形成されている。

【0088】

デジタル信号では各部で必要とするビット幅や小数点位置が異なるが、ゲイン計算ではその意味、すなわち表現される値にのみ着目すれば良い。

ただし、ループ特性を見る場合、dB換算しないと線形にならないが、デジタル表記のLSBで見る方が分かり易い。

dBリニアなVCAがK0 dB/LSBのゲイン感度があるとする。これは制御コードが1LSB変ると出力振幅が、

【0089】

【数14】

$$10^{\frac{K_0}{20}}$$

倍となる。たとえば、K0 = 0.2 dB/LSBとすると、

【0090】

【数15】

$$10^{\frac{0.2}{20}} \approx 1.0233$$

倍である。

【0091】

目標振幅aを64LSBとすると、制御コードの1LSB 64・0.0233 1.5LSBの変化になって現れることを意味する。すなわち、A0 = 1.5と求まる。

ここでの計算が、dBとLSBとの単位変換に相当する。その他のパラメータ例を図13に示す。

【0092】

図13に示すように、全体の無駄時間LはL = L1 + L2 + L3 + L4 = 48である。メインパス210の伝達関数はA = A0・A1・A2 = 3と定数である。検出系の伝達関数M(z)にはA4の伝達関数も組み込んで、次のようにする。

【0093】

【数16】

$$M(z) = A3 \cdot A4 = \frac{1/32}{z - (1 - 1/32)}$$

10

20

30

40

50

【0094】

ただし、 $A_4 = 1$ であることから見かけ上は A_3 と変らない。離散系の残渣条件から、

【0095】

【数17】

$$\lim_{z \rightarrow 1} \frac{A(z)M(z)K(z)}{1 + A'(z)K(z)} = \lim_{z \rightarrow 1} \frac{A(z)M(z)}{A'(z)} = \lim_{z \rightarrow 1} \frac{3M(1)}{A'(1)} = \frac{3}{A'(1)} = 1$$

すなわち

【0096】

【数18】

$$A'(1) = 3$$

が求まる。

【0097】

完全積分系に対し先に述べたコメントから A' を定数

【0098】

【数19】

$$A'(z) = 3$$

とし、補償条件から $N(z)$ が次のように決定される。

【0099】

【数20】

$$N(z) = \frac{A(z)M(z)}{A'(z)} = M(z) = \frac{1/32}{z - (1 - 1/32)}$$

【0100】

図14は、この設計例の応答特性を示す図である。

図14は、Matlabによる方式シミュレーションの結果である。図14において、横軸はクロック数を、縦軸は振幅誤差で任意スケールをそれぞれ表している。

図14に示すように、 K_i の設定にかかわらず、ほぼ1次の系で収束している様子が分かる。 K_i が小さいうちは、時定数が K_i にほぼ反比例しているが、 K_i が大きくなると振幅検出器の時定数により高速化が制限されている。

【0101】

図15は、比較のため無駄時間補償を外した応答特性を示す図である。

この場合、 $K_i > 1/512$ では振動的になってしまう。

実質的に無駄時間により応答特性が制限され、図14の応答特性に及ばない。無駄時間が大きくなるほど、両者の差も開いてしまう。

【0102】

実装時、 $N(z)$ を省略できれば、省規模化に有効である。

図16は、 $N(z) = 1$ とした場合の応答特性を示す図である。

K_i を大きくすると、さすがに振動的になるが、無駄時間補償をしなかった場合よりは応答速度を改善でき、またアンダーシュートも小さい。同じ K_i ならアンダーシュートがある分整定が早いということもあり、性能限界を追求しないのであれば、これで十分と言える。

残渣条件はできるだけ厳密に守るべきだが、補償条件は応答特性を見ながら緩和して行く柔軟性が望ましい。

違う視点から見ると、このような大きな理論値からのずれを許容できることから、実設計においては避けられないレプリカと実体のバラツキも、十分許容範囲にあることが期待

10

20

30

40

50

できる。

【0103】

以上述べたように、本実施形態によれば、ループ内に無駄時間を含む信号処理において、この無駄時間のループ特性に対する影響を補償することができる。このような状況で汎用に使える方法で、追加回路も大きくはないため、適用範囲は広い。

A G C回路の場合に詳細に説明したが、これに限らないことは明らかである。もうひとつ例を上げるとすれば、オフセットをキャンセルするような用途にも適用できる。

【0104】

第3の実施形態にて説明したA G C回路は、光ディスク装置等の記録再生装置に適用することができる。その構成について第4の実施形態として説明する。

10

【0105】

< 4. 第4の実施形態 >

[記録再生装置の構成]

図17は、本発明の実施形態に係るA G C回路を適用した記録再生装置のブロック構成を示す図である。

【0106】

記録再生装置300は、不図示のスピンドルモータ、記録媒体としての光ディスク310、光ピックアップ素子を含み光-電気変換I C (O E I C) 320、A G C回路330、およびA G C回路330の後段に接続される不図示の信号処理回路等で構成される。

なお、A G C回路330は、第3の実施形態で説明したA G C回路と同様の構成および機能を有する。したがって、ここではその詳細な説明は省略する。

20

【0107】

O E I C 320は、フォトダイオードとアンプ(加算器)等で構成され、フォトダイオードで光信号を電気信号に変換し加算器に出力する。そして、加算器において入力された電気信号を演算処理して、高周波信号等を導出する。

また、不図示の信号処理回路では、入力された高周波信号がデ・インターリーブや誤り訂正された後信号処理されて映像信号や音声信号が再生される。一方、記録動作の場合は、上述の動作とほぼ逆の動作が行われ、フォーカス制御、トラッキング制御の動作を伴いながら映像情報、画像情報、音声情報等が変調されてレーザダイオードを介してディスクに書き込まれる。

30

【0108】

この場合も、A G C回路330は、誤差をなくし安定な系として機能し、無駄時間のループ特性に対する影響を応答性良く的確に補償することができる。

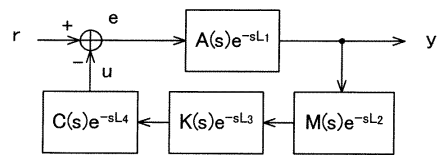
【符号の説明】

【0109】

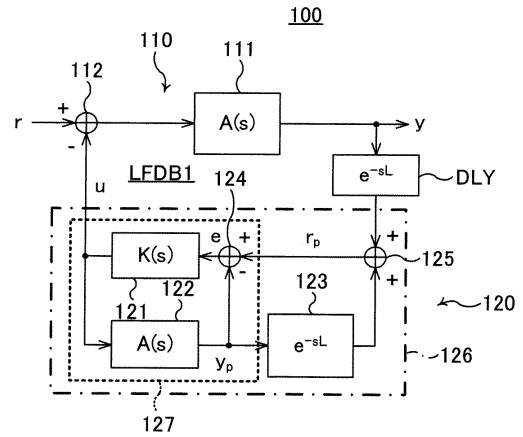
100, 100A・・・信号処理回路、110, 110A・・・メインパス、111・・・メインパスブロック、112・・・減算器、120, 120A・・・負帰還パス、121, 121A・・・負帰還ブロック、122, 122A・・・レプリカブロック、123, 123A・・・信号遅延ブロック、124・・・減算器、125・・・加算器、126・・・第1のローカル負帰還系ループ、127・・・第2のローカル負帰還系ループ、L F D B 1, L F D B 2・・・フィードバックループ、200, 200A~200C・・・A G C回路、210・・・メインパス、211・・・V C A (可変利得部)、212・・・アナログデジタル変換器(A D C)、213・・・等化器、220・・・負帰還パス、221・・・振幅検出器、222・・・制御ブロック、223・・・デジタルアナログ変換器(D A C)、224・・・減算器、225・・・積分器、226・・・折線アンプ、230・・・遅延時間補償系。

40

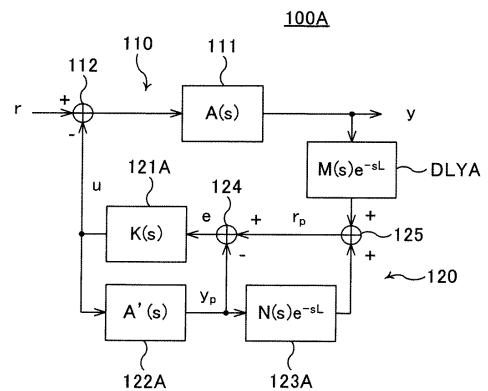
【図 3】



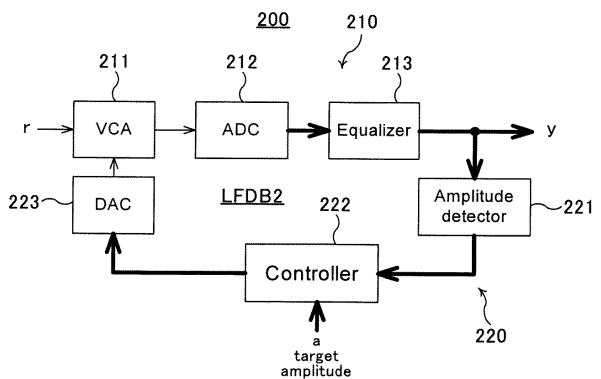
【図 4】



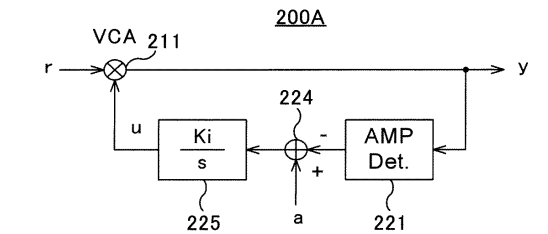
【図 7】



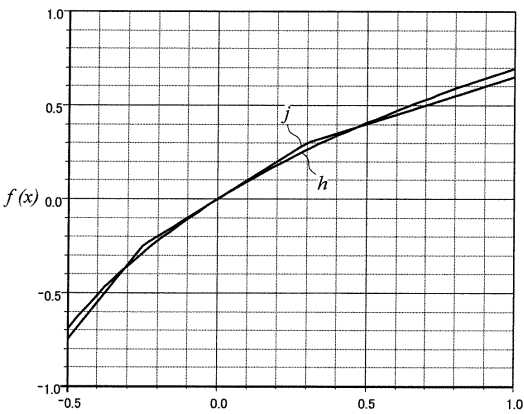
【图 8】



【図 9】

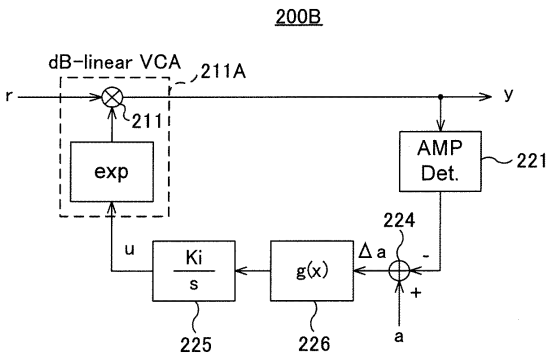


【図 1 1】

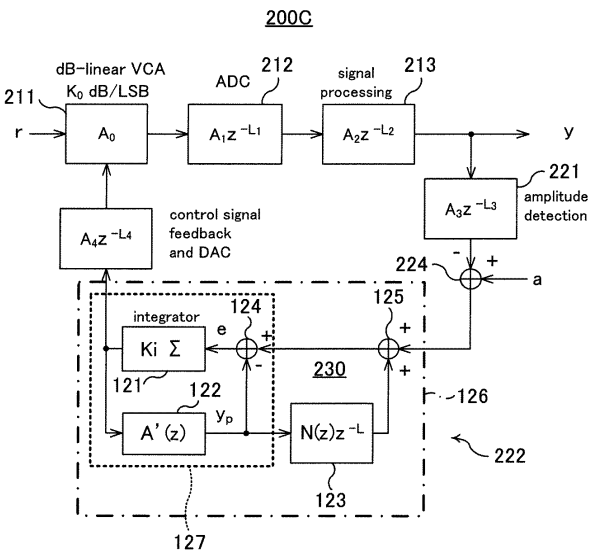


折線関数の原理特性

【図 1 0】



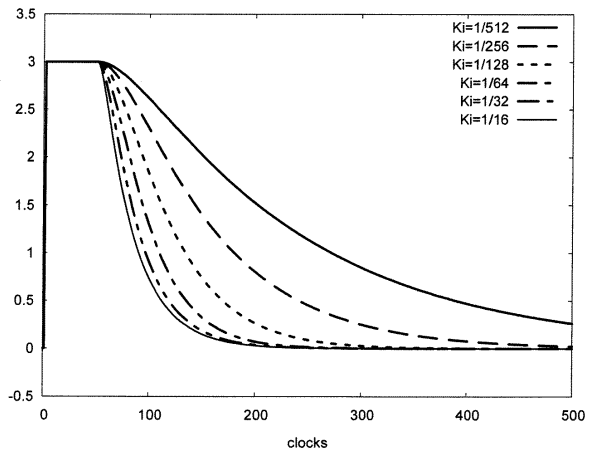
【図 1 2】



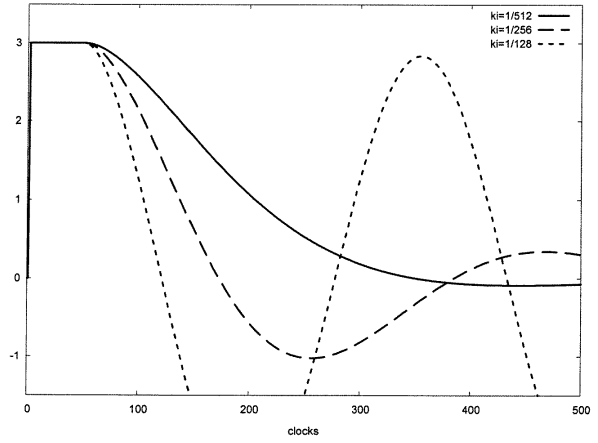
【図 1 3】

A0	1.5		
A1	2	L1	3
A2	1	L2	15
A3	$\frac{1/32}{z - (1 - 1/32)}$	L3	10
A4	1	L4	20
integrator	$\frac{K_i}{1 - z^{-1}}$		

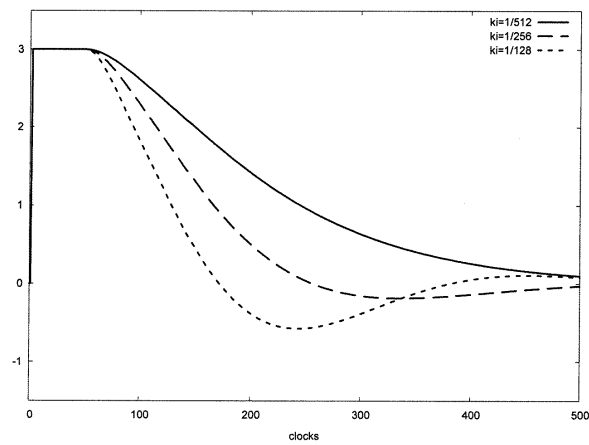
【図 14】



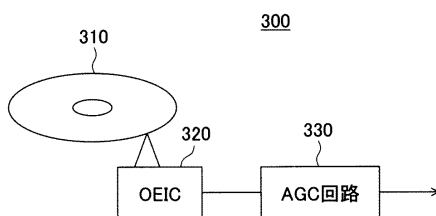
【図 15】



【図 16】



【図 17】



フロントページの続き

- (56)参考文献 特開平06-243580 (JP, A)
特開2004-023910 (JP, A)
特開平05-035306 (JP, A)
特開2002-229605 (JP, A)
特開昭62-248902 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G05B 13/04
G11B 20/04