

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成26年6月19日 (2014.6.19)

【公開番号】特開2014-78281(P2014-78281A)
 【公開日】平成26年5月1日 (2014.5.1)
 【年通号数】公開・登録公報2014-022
 【出願番号】特願2014-19306(P2014-19306)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 13/16 (2006.01)

【 F I 】

G 0 6 F 12/00 5 6 4 D

G 0 6 F 13/16 5 1 0 A

G 0 6 F 12/00 5 9 7 C

【手続補正書】

【提出日】平成26年3月31日 (2014.3.31)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

対向する第 1 および第 2 の短辺と、対向する第 1 および第 2 の長辺とを有する長方形状の基板であって、少なくとも前記第 1 の長辺、前記第 2 の長辺、および、前記第 1 の短辺に囲まれる第 1 の領域と、少なくとも前記第 1 の長辺、前記第 2 の長辺、および、前記第 2 の短辺に囲まれる第 2 の領域と、前記第 1 の領域と前記第 2 の領域との間に設けられた第 3 の領域とを有する基板と、

前記基板の第 1 の領域に設けられた第 1 のメモリーデバイスと、

前記基板の第 2 の領域に設けられた第 2 のメモリーデバイスと、

前記基板の第 3 の領域に設けられたバッファデバイスと、

前記基板の第 1 の領域にて、前記第 1 の長辺と前記第 1 のメモリーデバイスとの間に設けられた第 1 のコネクタ端子と、

前記基板の第 2 の領域にて、前記第 1 の長辺と前記第 2 のメモリーデバイスとの間に設けられた第 2 のコネクタ端子と、

前記基板の第 3 の領域にて、前記第 1 の長辺と前記バッファデバイスとの間に設けられ、前記バッファデバイスと電氣的に接続された第 3 のコネクタ端子と、

前記第 1 のコネクタ端子と前記バッファデバイスとの間に設けられた第 1 の配線と、

前記第 2 のコネクタ端子と前記バッファデバイスとの間に設けられた第 2 の配線と、

前記バッファデバイスと前記第 2 のメモリーデバイスとの間に設けられた第 3 の配線と

、前記バッファデバイスと前記第 1 のメモリーデバイスとの間に設けられた第 4 の配線とを有し、

前記第 1 の配線および前記第 4 の配線は、前記第 2 の配線および前記第 3 の配線と、配線の数等しいことを特徴とするメモリモジュール。

【請求項 2】

第 1 の面および前記第 1 の面の反対側に位置する第 2 の面を備え、前記第 1 の面は、第 1 の領域、第 2 の領域、および、前記第 1 の領域と前記第 2 の領域との間に設けられた第

3の領域を有する基板と、

前記基板の第1の面の第1の領域に設けられた第1のメモリーデバイスと、

前記基板の第1の面の第2の領域に設けられた第2のメモリーデバイスと、

前記基板の第1の面の第2の領域に設けられ、前記第1のメモリーデバイスのデータの
入出力端子である第1のコネクタ端子と、

前記基板の第1の面の第1の領域に設けられ、前記第2のメモリーデバイスのデータの
入出力端子である第2のコネクタ端子と、

前記基板の第1の面の第3の領域に設けられたバッファデバイスと、

前記第1のコネクタ端子と前記バッファデバイスとを接続し、前記第1のコネクタ端子
と前記バッファデバイスとの間におけるDQ信号の伝送に用いられる複数の第1の配線と

と、

前記第2のコネクタ端子と前記バッファデバイスとを接続し、前記第2のコネクタ端子
と前記バッファデバイスとの間におけるDQ信号の伝送に用いられる複数の第2の配線と

と、

前記バッファデバイスと前記第1のメモリーデバイスとを接続し、前記バッファデバイ
スと前記第1のメモリーデバイスとの間におけるDQ信号の伝送に用いられる複数の第3
の配線と、

前記バッファデバイスと前記第2のメモリーデバイスとを接続し、前記バッファデバイ
スと前記第2のメモリーデバイスとの間におけるDQ信号の伝送に用いられる複数の第4
の配線とを有し、

前記第1の配線および前記第4の配線は、前記第2の配線および前記第3の配線と、配
線の数等しいことを特徴とするメモリモジュール。

【請求項3】

対向する第1および第2の短辺と、対向する第1および第2の長辺とにより定められる
長形状であって、前記第1の長辺、前記第2の長辺、および、前記第1の短辺に囲まれる
第1の領域と、前記第1の長辺、前記第2の長辺、および、前記第2の短辺に囲まれる
第2の領域と、前記第1の領域と前記第2の領域との間に設けられた第3の領域とを有す
る基板であるPCBと、

前記PCBの第1の領域に設けられた第1のメモリーデバイスのセットと、

前記PCBの第2の領域に設けられた第2のメモリーデバイスのセットと、

前記PCBの第3の領域に設けられた第1のバッファデバイスと、

前記PCBの第3の領域に設けられた第2のバッファデバイスと、

前記PCBの第1の領域にて、前記第1の長辺と前記第1のメモリーデバイスのセット
との間に設けられた第1のコネクタ端子のセットと、

前記PCBの第2の領域にて、前記第1の長辺と前記第2のメモリーデバイスのセット
との間に設けられた第2のコネクタ端子のセットと、

前記PCBの第3の領域にて、前記第1のコネクタ端子のセットと前記第2のコネクタ
端子のセットとの間に設けられた第3のコネクタ端子のセットと、

前記第1のコネクタ端子のセットと前記第1のバッファデバイスとの間に設けられ、第
1のデータの伝送に用いられる第1の配線群と、

前記第2のコネクタ端子のセットと前記第2のバッファデバイスとの間に設けられ、第
2のデータの伝送に用いられる第2の配線群と、

前記第1のバッファデバイスと前記第2のバッファデバイスとの間に設けられた第3の
配線群と、

前記第3の配線群と前記第3のコネクタ端子のセットとの間に設けられ、コマンド信号
、アドレス信号、コントロール信号、および、クロック信号の伝送に用いられる第4の配
線群と、

前記第1のバッファデバイスと前記第2のメモリーデバイスのセットとの間に設けられ
た第5の配線群と、

前記第2のバッファデバイスと前記第1のメモリーデバイスのセットとの間に設けられ

た第 6 の配線群とを有するメモリモジュール。

【請求項 4】

対向する第 1 および第 2 の短辺と、対向する第 1 および第 2 の長辺とにより定められる長形状の基板であって、前記第 1 の長辺、前記第 2 の長辺、および、前記第 1 の短辺に囲まれる第 1 の領域と、前記第 1 の長辺、前記第 2 の長辺、および、前記第 2 の短辺に囲まれる第 2 の領域とを有する基板と、

前記基板の第 1 の領域に設けられた第 1 のメモリーデバイスのセットと、

前記基板の第 2 の領域に設けられた第 2 のメモリーデバイスのセットと、

前記基板に設けられた第 1 のバッファデバイスと、

前記基板に設けられた第 2 のバッファデバイスと、

前記基板の第 1 の領域にて、前記第 1 の長辺と前記第 1 のメモリーデバイスのセットとの間に設けられた第 1 のコネクタ端子のセットと、

前記基板の第 2 の領域にて、前記第 1 の長辺と前記第 2 のメモリーデバイスのセットとの間に設けられた第 2 のコネクタ端子のセットと、

前記第 1 のコネクタ端子のセットと前記第 1 のバッファデバイスとの間に設けられ、第 1 のデータの伝送に用いられる第 1 の配線群と、

前記第 2 のコネクタ端子のセットと前記第 2 のバッファデバイスとの間に設けられ、第 2 のデータの伝送に用いられる第 2 の配線群と、

前記第 1 のバッファデバイスと前記第 2 のメモリーデバイスのセットとの間に設けられ、前記第 1 のデータの伝送に用いられる第 3 の配線群と、

前記第 2 のバッファデバイスと前記第 1 のメモリーデバイスのセットとの間に設けられ、前記第 2 のデータの伝送に用いられる第 4 の配線群とを有するメモリモジュール。

【請求項 5】

対向する第 1 および第 2 の短辺と、対向する第 1 および第 2 の長辺とにより定められる長形状の基板であって、前記第 1 の長辺、前記第 2 の長辺、および、前記第 1 の短辺に囲まれる第 1 の領域と、前記第 1 の長辺、前記第 2 の長辺、および、前記第 2 の短辺に囲まれる第 2 の領域とを有する基板と、

前記基板の第 1 の領域に設けられた第 1 のメモリーデバイスのセットと、

前記基板の第 2 の領域に設けられた第 2 のメモリーデバイスのセットと、

前記基板に設けられた第 1 のバッファデバイスと、

前記基板に設けられた第 2 のバッファデバイスと、

前記基板に設けられ、コマンド信号、アドレス信号、コントロール信号、クロック信号のうちの少なくとも 1 つの信号を受信するコネクタ端子のセットと、

前記第 1 のバッファデバイスと前記第 2 のバッファデバイスとの間に設けられた第 1 の配線群と、

前記第 1 の配線群と前記コネクタ端子のセットとの間に設けられた第 2 の配線群と、

前記第 1 のバッファデバイスと前記第 2 のメモリーデバイスとの間に設けられ、前記少なくとも 1 つの信号の伝送に用いられる第 3 の配線群と、

前記第 2 のバッファデバイスと前記第 1 のメモリーデバイスとの間に設けられ、前記少なくとも 1 つの信号の伝送に用いられる第 4 の配線群とを有するメモリモジュール。