(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 3 月 24 日(24.03.2011)

PCT

(10) 国際公開番号
WO 2011/033570 A1

(51) 国際特許分類:
H01L 33/32 (2010.01)

(21) 国際出願番号: PCT/JP2009/004702

(22) 国際出願日: 2009 年 9 月 17 日(17.09.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社　東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐藤泰輔 (SATO, Taisuke). 安藤雅信 (ANDO, Masanobu). 名古肇 (NAGO, Hajime). 橘浩一 (TACHIBANA, Koichi). 岡俊行 (OKA, Toshiyuki). 布上真也 (NUNOUE, Shinya).

(74) 代理人: 砂井　正之 (SAGOI Masayuki); 〒1058001 東京都港区芝浦一丁目１番１号　東芝テクノセンター　株式会社内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

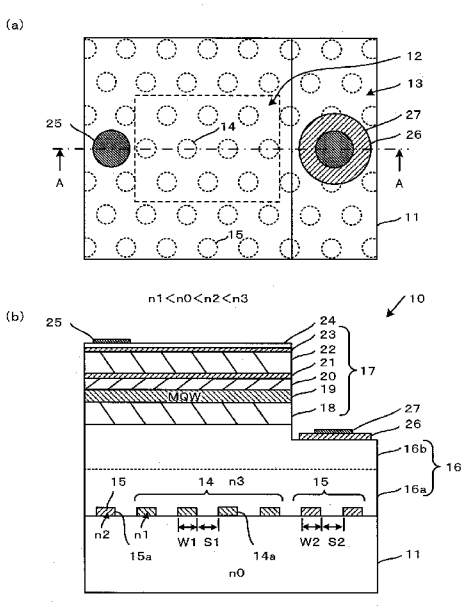
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR LIGHT EMITTING ELEMENT

(54) 発明の名称 : 半導体発光素子

[図1]



(57) **Abstract**: Provided is a semiconductor light emitting element having a high light extraction efficiency. The semiconductor light emitting element is provided with: a substrate (11) transparent to the emission wavelength; a first dielectric layer (14) which is formed in a first region (12) on the substrate (11) and has a refractive index (n1) smaller than the refractive index (n0) of the substrate (11); a second dielectric layer (15) which is formed in a second region (13), which is on the substrate (11) and surrounds the first region (12), and has a refractive index (n2) larger than the refractive index (n0) of the substrate (11); a first semiconductor layer (16) which is formed on the first dielectric layer (14), the second dielectric layer (15) and the substrate (11); and a second semiconductor layer (17) which is formed on the first semiconductor layer (16) and includes an active layer having a PN junction.

(57) 要約:　光取り出し効率の高い半導体発光素子を提供する。　発光波長に対して透明な基板１１と、基板１１上の第１領域１２に形成され、基板１１の屈折率ｎ０より小さい屈折率ｎ１を有する第１誘電体層１４と、基板１１上であって第１領域１２を囲む第２領域１３に形成され、基板１１の屈折率ｎ０より大きい屈折率ｎ２を有する第２誘電体層１５と、第１誘電体層１４上、第２誘電体層１５上、および基板１１上に形成された第１半導体層１６と、第１半導体層１６上に形成され、ＰＮ接合を有する活性層を含む第２半導体層１７と、を具備する。

WO 2011/033570 A1

明　細　書

発明の名称 ： 半導体発光素子

技術分野

[0001] 本発明は、半導体発光素子に関する。

背景技術

[0002] 従来、半導体発光素子として、基板上に該基板と異なる屈折率を有する誘電体からなる複数の凸部を形成し、この凸部の間の基板上に窒化物系半導体層を成長させ、更に横方向に成長させることにより、半導体発光素子からの光の取り出し効率を高めたものが知られている（例えば、特許文献１参照。）。

[0003] この半導体発光素子では、強誘電体からなる凸部を２つの群に分割し、２つの群に異なる外部電場を印加し、２つの群に屈折率の差を生じさせている。これにより、半導体発光素子の光取り出し効率を制御している。

[0004] 然しながら、この半導体発光素子では、外部電場により生じる屈折率差は、強誘電体の電気光学特性で決まり、強誘電体の屈折率の高々パーセントオーダである。その結果、十分な屈折率差が得られず、十分な光取り出し効率が得られないという問題がある。

先行技術文献

特許文献

[0005] 特許文献1：特開２００８－１５３６３４号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、光取り出し効率の高い半導体発光素子を提供する。

課題を解決するための手段

[0007] 本発明の一態様の半導体発光素子は、発光波長に対して透明な基板と、前記基板上の第１領域に形成され、前記基板の屈折率より小さい屈折率を有する第１誘電体層と、前記基板上であって前記第１領域を囲む第２領域に形成

され、前記基板の屈折率より大きい屈折率を有する第２誘電体層と、前記第１誘電体層上、前記第２誘電体層上、および前記基板上に形成された第１半導体層と、前記第１半導体層上に形成され、ＰＮ接合を有する活性層を含む第２半導体層と、を具備することを特徴している。

発明の効果

[0008] 本発明によれば、光取り出し効率の高い半導体発光素子が得られる。

図面の簡単な説明

[0009] [図1]本発明の実施例１に係る半導体発光素子を示す図で、図１（ａ）はその平面図、図１（ｂ）は図１（ａ）のＡ－Ａ線に沿って切断し矢印方向に眺めた断面図。

[図2]第１誘電体層および第２誘電体層光の光反射特性を示す図。

[図3]半導体発光素子の光取り出し効率のシミュレーションを説明するための図。

[図4]半導体発光素子の光取り出し効率の面内分布を示す図。

[図5]半導体発光素子の中央部の光取り出し効率を比較例と対比して示す図。

[図6]半導体発光素子のコーナ部の光取り出し効率を比較例と対比して示す図。

[図7]半導体発光素子の製造工程を順に示す断面図。

[図8]半導体発光素子の製造工程を順に示す断面図。

[図9]半導体発光素子の製造工程を順に示す断面図。

[図10]第１誘電体層および第２誘電体層の形状を示す平面図。

[図11]第１誘電体層および第２誘電体層の形状を示す平面図。

[図12]本発明の実施例２に係る半導体発光素子を示す断面図。

[図13]第１誘電体層および第２誘電体層の光反射特性を示す図。

[図14]半導体発光素子の光取り出し効率の面内分布を示す図。

[図15]半導体発光素子の中央部の光取り出し効率を比較例と対比して示す図。

[図16]半導体発光素子のコーナ部の光取り出し効率を比較例と対比して示す

図。

[図17]半導体発光素子の製造工程を順に示す断面図。

[図18]半導体発光素子の製造工程を順に示す断面図。

発明を実施するための形態

[0010] 以下、本発明の実施例について図面を参照しながら説明する。

実施例 1

[0011] 本発明の実施例１に係る半導体発光素子について図１および図２を用いて説明する。図１は半導体発光素子を示す図で、図１（ａ）はその平面図、図１（ｂ）は図１（ａ）のＡ－Ａ線に沿って切断し矢印方向に眺めた断面図、図２は第１誘電体層および第２誘電体層光の光反射特性を示す図である。

[0012] 図１に示すように、本実施例の半導体発光素子１０では、発光波長に対して透明な基板１１上に第１領域１２が設けられ、第１領域１２を囲むように基板１１上に第２領域１３が設けられている。ここでは、第１領域１２は基板１１の上面の中央領域であり、第２領域１３は基板１１の上面の周辺領域である。

[0013] 第１領域１２には、基板１１の屈折率ｎ０より小さい屈折率ｎ１を有する第１誘電体層１４が形成されている。そして、第２領域１３には、基板１１の屈折率ｎ０より大きい屈折率ｎ２を有する第２誘電体層１５が形成されている。

[0014] 第１誘電体層１４は、基板１１上の第１領域１２に分散して形成された複数のアイランドで構成され、第２誘電体層１５は、基板１１上の第２領域１３に分散して形成された複数のアイランドで構成されている。

[0015] 第１誘電体層１４のアイランドは、例えば円形で、網の目状、ここでは正六角形の各頂点およびその中心に配置されている。第１誘電体層１４の幅Ｗ１と、Ｘ方向に隣り合う第１誘電体層１４同士の間隔Ｓ１は、ここでは３：２に設定されている。Ｗ１：Ｓ１は３：２に限定されず、例えば４：1～１：５の範囲であることが、光取り出し効率の上で望ましい。

[0016] 同様に、第２誘電体層１５のアイランドは、例えば円形で、網の目状、こ

こでは正六角形の各頂点およびその中心に配置されている。第２誘電体層１５の幅Ｗ２と、Ｘ方向に隣り合う第２誘電体層１５同士の間隔Ｓ２は、ここでは３：２に設定されている。Ｗ２：Ｓ２は３：２に限定されず、例えば９：1～１：４の範囲であることが、光取り出し効率の上で望ましい。

[0017] 第１誘電体層１４の側面１４ａおよび第２誘電体層１５の側面１５ａは、それぞれ基板１１に略垂直である。従って、断面は矩形状である。

[0018] 基板１１は、例えば青色の光に対する屈折率ｎ０が約１．７のサファイア（Al_2O_3）からなり、第１誘電体層１４は、例えば青色の光に対する屈折率ｎ１が約１．４の酸化シリコン（SiO_2）からなり、第２誘電体層１５は、例えば青色の光に対する屈折率ｎ２が約２．０の窒化シリコン（Si_3N_4）からなっている。

[0019] 第１誘電体層１４上、第２誘電体層１５上、および基板１１上には、窒化物系ＩＩＩ－Ｖ族化合物半導体からなる第１半導体層１６が形成されている。第１半導体層１６は、後述するように第１誘電体層１４および第２誘電体層１５をマスクとして、基板１１上に選択的に成長し、更にファセットを形成して横方向に成長し、両側から合体することにより、第１誘電体層１４上、第２誘電体層１５上、および基板１１上に形成され、略平坦な表面を有する半導体層である。

[0020] 第１半導体層１６は、例えば、サファイアの基板１１上にＧａＮのバッファ層（図示せず）を介して形成された厚さ５μｍ程度のＮ型窒化ガリウム（ＧａＮ）からなる層である。第１半導体層１６において、その下部１６ａは不純物が添加されていないＧａＮ層であり、その上部１６ｂは不純物としてシリコン（Ｓｉ）が添加されているＮ型ＧａＮ層である。青色の光に対するＧａＮの屈折率ｎ３は約２．４である。

[0021] 第１半導体層１６の上には、ＰＮ接合を有する活性層を含み、窒化物系ＩＩ－Ｖ族化合物半導体からなる第２半導体層１７が形成されている。

[0022] 第２半導体層１７は、例えばＧａＮ層１６上に形成されたＮ型ＧａＮ層１８と、多重量子井戸（ＭＱＷ：Multi Quantum Well）活性層１９と、Ｐ型Ｇ

ａＮ第１層２０と、Ｐ型ＧａＡｌＮ層（電子オーバーフロー防止層）２１と、Ｐ型ＧａＮ第２層２２と、Ｐ型ＧａＮコンタクト層２３とからなっている。各層の機能については、周知であり、その説明は省略する。

[0023] Ｐ型ＧａＮコンタクト層２３上には、ＩＴＯ（Indium Tin Oxide）透明電極２４が形成されている。透明電極２４の上には、ワイヤボンディング用のパッド２５が形成されている。

[0024] 更に、一辺側が透明電極２４からＧａＮ層１６の一部まで掘り込まれており、露出したＧａＮ層１６上にＮ側電極２６が形成されている。Ｎ側電極２６の上には、ワイヤボンディング用のパッド２７が形成されている。

[0025] パッド２５、２６を電源に接続し、通電することにより、ＭＱＷ活性層１９から光が放出される。

[0026] 上記構造の半導体発光素子では、幅Ｗ１、Ｗ２、間隔Ｓ１、Ｓ２を有する第１誘電体層１４および第２誘電体層１５が、横方向成長（ＥＬＯ：Epitaxial Lateral Overgrowth）により第１半導体層１６を形成可能にするとともに、半導体発光素子１０からの光の取り出し効率を高めるように構成されている。

[0027] 図２は半導体発光素子１０における第１誘電体層１４および第２誘電体層１５の光反射特性を示す図である。図２に示すように、ＭＱＷ活性層１９から基板１１側に放出された光３０のうち、一部は基板１１と第１半導体層１６との界面３１でＭＱＷ活性層１９側に反射され、多くは界面３１を通過する。界面３１に垂直に入射する光の反射率Ｒ０は、約０．０３である。

[0028] 一方、第１誘電体層１４が存在すると、屈折率ｎ１が屈折率ｎ０より小さいため、第１誘電体層１４と第１半導体層１６との界面３２に垂直に入射する光の反射率Ｒ１は約０．０７になる。反射率Ｒ１は反射率Ｒ０より高く、約２倍になる。

[0029] 反対に、第２誘電体層１５が存在すると、屈折率ｎ２が屈折率ｎ０より大きいため、第２誘電体層１５と第１半導体層１６との界面３３に垂直に入射する光の反射率Ｒ２は約０．０１になる。反射率Ｒ２は反射率Ｒ０より低く

、約１／３になる。

[0030] 半導体発光素子１０において、第１領域１２では、光３０のうち、界面３１を通過し、半導体発光素子１０の内部で多重反射を繰り返しながら横方向に伝播する光は、半導体発光素子１０の側面に到達するまでの伝播距離が長い。その結果、途中で吸収され、半導体発光素子１０の側面から外部に取り出される確率が低くなる。

[0031] そこで、第１誘電体層１４により、光３０のうち、界面３２で反射して第２半導体層１７側へ戻る光３４ａを増加させ、基板１１側へ透過する光３４ｂを減少させることにより、光取り出し効率を増加させることができる。

[0032] 一方、半導体発光素子１０において、第２領域１３では、光３０のうち、界面３１を通過し、半導体発光素子１０の内部で多重反射を繰り返しながら横方向に伝播する光は、半導体発光素子１０の側面に到達するまでの伝播距離が短い。その結果、途中で吸収されずに、半導体発光素子１０の側面から外部に取り出される確率が高くなる。

[0033] そこで、第２誘電体層１５により、光３０のうち、界面３３で反射して第２半導体層１７側へ戻る光３５ａを減少させ、基板１１側へ透過する光３５ｂを増加させることにより、光取り出し効率を増加させることができる。

[0034] これを確かめるために、半導体発光素子１０の光取り出し効率についてシミュレーションを行った結果について説明する。

[0035] 図３は光取り出し効率のシミュレーションを説明するための図である。図３に示すように、シミュレーションは、ＭＱＷ活性層１９をメッシュに分割し、光線追跡法により行った。ここでは、計算を容易にするために、半導体発光素子１０は直方体とした。パラメータとして、半導体発光素子のサイズが５４０μｍ×２９０μｍ、第１領域１２のサイズが４３０μｍ×１８０μｍ、幅Ｗ１、Ｗ２がそれぞれ３μｍ、間隔Ｓ１、Ｓ２がそれぞれ２μｍであるとした。

[0036] また、基板１１の下面は、反射率９０％でランバート反射するとした。ランバート反射するとは、下面に入射した光が散乱し、観察者から見た下面の

明るさが見る角度にかかわらず同じになるということである。

[0037] 各メッシュにおいて、ＭＱＷ活性層１９からあらゆる方向に放出された多数の光が、半導体発光素子１０の内部で反射、屈折し、吸収されながら伝播する軌跡を追跡し、上面４０、側面４１、側面４２、側面４３および側面４４の各々から、半導体発光素子１０の外部に取り出される光線の強度を求め、その総和を各メッシュの光取り出し効率とした。以後、上面４０および側面４１、４２、４３、４４を総称して、全面と言う。

[0038] 図４は半導体発光素子１０の光取り出し効率の面内分布を示す図である。図４に示すように、光取り出し効率の面内分布は大別して、半導体発光素子１０の電極周り、中央領域、周辺領域の順に高くなっている。

[0039] 電極周りでは、パッド２５、電極２６に遮光されるため、上面４０から半導体発光素子１０の外部に取り出される光は存在しない。多重反射を繰り返しながら横方向に伝搬し、側面から半導体発光素子１０の外部に取り出される光だけになるためである。

[0040] 中央領域では、側面から遠いため、多重反射を繰り返しながら横方向に伝搬する光は吸収され、上面４０から半導体発光素子１０の外部に取り出される光が主になるためである。

[0041] 周辺領域では、側面に近いため、多重反射を繰り返しながら横方向に伝搬し、側面から半導体発光素子１０の外部に取り出される光が主になるためである。

[0042] 図５および図６は、それぞれ図４に示す中央部Ｂおよびコーナ部Ｃにおいて、上面４０および側面４１、４２、４３、４４からの光取り出し効率を比較例と対比して示す図である。

[0043] ここで、比較例とは、第１誘電体層１４および第２誘電体層１５の屈折率ｎ１、ｎ２が、それぞれ基板１１の屈折率ｎ０に等しい場合、すなわち単に凹凸が形成された基板を用いた半導体発光素子のことである。

[0044] 図５に示すように、中央部Ｂでは、上面４０からの光取り出し効率は０．１５３であり、比較例の０．１３１に対して約１７％増加している。これは

、図２に示す界面３２で反射される光３４ａが増加したことを示している。

[0045] 一方、側面４１、４２、４３、４４からの光取り出し効率は、ほぼ変わらない。これは、中央部Ｂで発せられた光のうち横方向に伝播する光は、多重反射を繰り返すことになり、多くは吸収されるため、基板１１側へ透過する光３４ｂが減少しても、直接光取り出し効率の減少として現れないことを示している。

[0046] その結果、半導体発光素子１０の全面からの光取り出し効率は０．２９８となり、比較例の０．２７９に対して約７％向上することが見込まれた。

[0047] 図６に示すように、コーナ部Ｃでは、上面４０からの光取り出し効率は０．１４９であり、比較例の０．１７９に対して約１７％減少している。これは、図２に示す界面３３で反射される光３５ａが減少したことを示している。

[0048] 一方、側面４１、４２、４３、４４からの光取り出し効率は、約２０～３０％増加している。これは、コーナ部Ｃで発せられた光のうち横方向に伝播する光は、少ない反射回数で、側面に達することができるために、多重反射を繰り返しながら横方向に伝播する光の多くは吸収されないために、基板１１側へ透過する光３５ｂの増加が、直接光取り出し効率の増加として現れたことを示している。

[0049] その結果、半導体発光素子１０の全面からの光取り出し効率は０．４２５となり、比較例の０．４０１に対して約６％向上することが見込まれた。

[0050] ここでの光取り出し効率の値は、一例である。光取り出し効率は、幅Ｗ１、Ｗ２と、間隔Ｓ１、Ｓ２により変化する。幅Ｗ１、Ｗ２、間隔Ｓ１、Ｓ２を最適化することにより、より高い光取り出し効率が見込まれる。

[0051] 但し、幅Ｗ１、Ｗ２と、間隔Ｓ１、Ｓ２は、横方向成長により第１半導体層１６を形成可能にする条件を満たすように、設定することが必要である。

[0052] 次に、半導体発光素子１０の製造方法について説明する。図７乃至図９は半導体発光素子の製造工程を順に示す断面図である。

[0053] 始に、図７（ａ）に示すように、基板１１上に、例えばスパッタリング法

により、厚さ１μｍ程度のシリコン窒化膜５１を形成する。

[0054] 次に、図７（ｂ）に示すように、シリコン窒化膜５１上に、フォトリソグラフィ法により、基板１１の第２領域１３に、第２誘電体層１５に対応するパターンを有するレジスト膜５２を形成する。

[0055] 次に、図７（ｃ）に示すように、レジスト膜５２をマスクとして、フッ素系ガスを用いたＲＩＥ（Reactive Ion Etching）法により、シリコン窒化膜５１をエッチングする。これにより、基板１１の第２領域１３に、基板１１に対して略垂直な側面１５ａを有する第２誘電体層１５が形成される。

[0056] 次に、レジスト膜５２を、例えばO_2によるアッシング技術を用いて除去した後、図８（ａ）に示すように、第２誘電体層１５が形成された基板１１上に、例えばスパッタリング法により、厚さ１μｍ程度のシリコン酸化膜５３を形成する。

[0057] 次に、図８（ｂ）に示すように、シリコン酸化膜５３上に、フォトリソグラフィ法により、基板１１上の第１領域１２に、第１誘電体層１４に対応するパターンを有するレジスト膜５４を形成する。

[0058] 次に、図８（ｃ）に示すように、レジスト膜５４をマスクとして、フッ酸を含む水溶液を用いて、シリコン酸化膜５３を選択的にエッチングする。これにより、基板１１上の第１領域１２に、基板１１に対して略垂直な側面１４ａを有する第１誘電体層１４が形成される。

[0059] 次に、図９（ａ）に示すように、ＭＯＣＶＤ（Metal Organic Chemical Vapor Deposition）法により、第１誘電体層１４および第２誘電体層１５をマスクとして、基板１１上に第１半導体層１６の下部であるアンドープのＧａＮ層１６ａを形成する。

[0060] 具体的には、基板１１上にバッファ層を形成し、高温（～１０５０℃）に昇温してＧａＮ層を成長させる。ＧａＮ層はマスク上には成長せず、マスクの間の基板上に選択的に成長する。

[0061] ＧａＮ層は成長するにつれてファセットが現れ、上方向の成長速度より横方向の成長速度が速いために、マスク上にもＧａＮ層が成長していく。横方

向に成長したＧａＮ層は互いに合体して、略平坦な表面を有するＧａＮ層１６ａが形成される。

[0062] 次に、図９（ｂ）に示すように、不純物としてシリコン（Ｓｉ）を添加し、第１半導体層１６の上部である不純物濃度が$2\times10^{18}cm^{-3}$程度のＮ型ＧａＮ層１６ｂを連続して形成する。

[0063] 次に、図９（ｃ）に示すように、ＭＯＣＶＤ法により、第１半導体層１６上にＰＮ接合を有する活性層を含む第２半導体層１７を連続して形成する。

[0064] 具体的には、Ｎ型ＧａＮ層１６ｂ上に、不純物濃度が$1\times10^{18}cm^{-3}$、膜厚が０．１μｍ程度のＮ型ＧａＮ層１８を結晶成長させる。

[0065] 次に、Ｎ型ＧａＮ層１８上に、膜厚２．５ｎｍ程度のアンドープの$In_{0.2}Ga_{0.8}N$からなる量子井戸層と、この量子井戸をはさんでその両側に膜厚１２．５ｎｍ程度の$In_{0.02}Ga_{0.98}N$からなるバリア層を交互に積層したＭＱＷ活性層１９を形成する。ＭＱＷ活性層１９の成長温度は、７００～８００℃である。ＭＱＷ活性層１９の室温におけるフォトルミネッセンスのピーク波長は、４５０ｎｍ程度である。

[0066] 次に、ＭＱＷ活性層１９上に、例えば不純物濃度が$4\times10^{18}cm^{-3}$程度、膜厚が３０ｎｍ程度のＰ型ＧａＮ第１層２０を形成する。

[0067] 次に、Ｐ型ＧａＮ第１層２０上に、例えば不純物濃度が$4\times10^{18}cm^{-3}$程度、膜厚が１０ｎｍ程度のＰ型$Ga_{0.8}Al_{0.2}N$層（電子オーバーフロー防止層）２１を形成する。

[0068] 次に、Ｐ型$Ga_{0.8}Al_{0.2}N$層（電子オーバーフロー防止層）２１上に、例えば不純物濃度が$1\times10^{19}cm^{-3}$、膜厚が５０ｎｍ程度のＰ型ＧａＮ第２層２２を形成する。

[0069] 次に、Ｐ型ＧａＮ第２層２２上に、例えば不純物濃度が$1\times10^{20}cm^{-3}$、膜厚が６０ｎｍ程度のＰ型ＧａＮコンタクト層２３を形成する。

[0070] 次に、Ｐ型ＧａＮコンタクト層２３上に、例えばスパッタリング法により厚さ１００ｎｍ程度のＩＴＯ透明電極２４を形成する。

[0071] 次に、第２領域１３において、一側を、例えばＲＩＥ法により透明電極２

４から第１半導体層１６の一部まで掘り下げ、第１半導体層１６を露出させる。

[0072] 次に、第１半導体層１６上に、例えば厚さ０．０５μｍのチタン膜、厚さ０．０５μｍの白金膜および厚さ０．２μｍの金膜が積層されたＮ側電極２６を形成する。

[0073] 次に、ＩＴＯ透明電極２４上にパッド２５、Ｎ側電極２６上にパッド２７を形成する。パッド２５、２７は、それぞれ厚さが０．２μｍ程度の金膜である。これにより、図１に示す半導体発光素子１０が得られる。

[0074] 以上説明したように、本実施例の半導体発光素子１０は、基板１１上の第１領域１２に、基板１１の屈折率ｎ０より低い屈折率ｎ１を有する第１誘電体層１４と、第１領域１２を囲む第２領域１３に、基板１１の屈折率ｎ０より高い屈折率ｎ２を有する第２誘電体層１５とを有している。

[0075] その結果、第１領域１２では、第１誘電体層１４と第１半導体層１６との界面３２で反射する光３４ａが増加することにより、側面４１、４２、４３、４４からの光取り出し効率を変へずに、上面４０からの光取り出し効率を増加させることができる。

[0076] 第２領域１３では、第２誘電体膜１５と第１半導体層１６との界面３３で基板１１側へ透過する光３５ｂが増加することにより、上面４０からの光取り出し効率は低下するが、側面４１、４２、４３、４４からの光取り出し効率を増加させることができる。

[0077] これにより、全面での光取り出し効率を増加させることができる。従って、光取り出し効率の高い半導体発光素子１０が得られる。

[0078] 更に、第１誘電体層１４および第２誘電体層１５には、もともと外部電場を印加する必要がない。そのため、特許文献１に開示された半導体発光素子に比べて、電圧を印加するための電極や、外部電源に接続するための端子等が不要であり、構造が簡単になる利点がある。

[0079] ここでは、第１誘電体層１４および第２誘電体層１５のアイランドがともに円形である場合について説明したが、形状は特に限定されない。従って、

第１誘電体層１４のアイランドの形状と第２誘電体層１５のアイランドの形状とが、異なっていても構わない。

[0080] 図１０は第１誘電体層１４および第２誘電体層１５のアイランドの形状を示す図である。図１０に示すように、円形状のアイランド６１だけでなく、六角形状のアイランド６２、三角形状のアイランド６３のような多角形状のアイランドでも構わない。また、ストライプ状のアイランド６４でも構わない。

[0081] 第１誘電体層１４および第２誘電体層１５がアイランドで構成されている場合について説明したが、第１誘電体層１４および第２誘電体層１５が開口を有する層であっても構わない。

[0082] 図１１は開口を有する第１誘電体層１４および第２誘電体層１５を示す図である。図１１に示すように、開口は、円形状の開口７１、六角形状の開口７２、三角形状の開口７３でも構わない。また、ストライプ状の開口７４でも構わない。

[0083] 第２誘電体層１５がシリコン窒化膜である場合ついて説明したが、基板１１より屈折率が高い材料であれば、特に限定されない。例えば、酸化チタン（TiO_2：ｎ～２．５）、ジルコニア（ZrO_2：ｎ～２．１５）などでも構わない。

実施例 2

[0084] 本発明の実施例２に係る半導体発光素子について図１２を用いて説明する。図１２は本実施例の半導体発光素子を示す断面図である。

本実施例において、上記実施例１と同一の構成部分には同一符号を付してその部分の説明は省略し、異なる部分について説明する。本実施例が実施例１と異なる点は、第１および第２誘電体層の側面が傾斜していることにある。

[0085] 即ち、図１２に示すように、本実施例の半導体発光素子８０では、第１誘電体層８１の側面８１ａは、第１半導体層１６側から基板１１側に向かって末広がり状に傾斜している。同様に、第２誘電体層８２の側面８２ａは、第

１半導体層１６側から基板１１側に向かって末広がり状に傾斜している。

[0086] 上記構造の半導体発光素子８０では、傾斜した側面８１ａ、８２ａに入射した光を全反射させて、進行方向を変化させることにより、多重反射回数を減らし、側面からの光取り出し効率を高めるように構成されている。

[0087] 図１３は、第１誘電体層８１および第２誘電体層８２の光反射特性を示す図である。図１３に示すように、ＭＱＷ活性層１９からの光３０のうち、側面８１ａおよび側面８２ａに入射した光は全反射し、進行方向が基板１１に対して斜め方向に変化する。

[0088] これにより、半導体発光素子８０の内部で多重反射されて横方向に伝搬する光は、多重反射される回数が減少し、側面に到達するまでの伝搬距離が短くなり、途中で吸収される光が減少する。その結果、側面から外部に取り出される確率が増加し、光取り出し効率を更に向上させることができる。

[0089] 側面８１ａおよび側面８２ａの傾斜角度θは、第１誘電体層８１の全反射角度が３０．３°、第２誘電体層８２の全反射角が３９．８°であることから、５０°から６０°程度が適当である。

[0090] これを確かめるために、半導体発光素子８０の光取り出し効率についてシミュレーションを行った結果について説明する。シミュレーションは、側面８１ａおよび側面８２ａの傾斜角度θを６０°とし、その他の条件は実施例１と同じで行った。

[0091] 図１４は半導体発光素子８０の光取り出し効率の面内分布を示す図である。図１４に示すように、光取り出し効率の面内分布は大別して、半導体発光素子８０の電極周り、中央領域、周辺領域の順に高くなっている。これは、図４に示す半導体発光素子１０の光取り出し効率の面内分布と同様である。

[0092] 然し、光取り出し効率は増加しており、特に外周に近い領域ほど増加率が大きい傾向を示している。中でも、交わる２側面９１、９３に最も近い位置にあるコーナ部Ｅにおいて、最も高い光取り出し効率が得られている。

[0093] 図１５および図１６は、上面９０および側面９１、９２、９３、９４からの光取り出し効率を比較例と対比して示す図である。ここで、比較例とは、

第１誘電体層８１および第２誘電体層８２の屈折率ｎ１、ｎ２が、それぞれ基板１１の屈折率ｎ０に等しい場合、即ち、単に側面が傾斜した凹凸が形成された基板を用いた半導体発光素子のことである。

[0094] 図１５に示すように、中央部Ｄでは、上面９０からの光取り出し効率は０．１５０であり、比較例の０．１３０に対して約１５％増加している。一方、側面９１、９２、９３、９４４からの光取り出し効率は、ほぼ変わらない。

[0095] その結果、半導体発光素子の全面からの光取り出し効率は０．３２３となり、比較例の０．３１３に対して約３％向上することが見込まれた。

[0096] 図１６に示すように、コーナ部Ｅでは、上面９０からの光取り出し効率は０．１５０であり、比較例の０．１８０に対して約１７％減少している。一方、側面９１、９２、９３、９４からの光取り出し効率は、約１０～２０％増加している。

[0097] その結果、半導体発光素子の全面からの光取り出し効率は０．４６２となり、比較例の０．４５２に対して約２．２％向上することが見込まれた。

[0098] 次に、本実施例の半導体発光素子８０の光取り出し効率と、実施例１の半導体発光素子１０の光取り出し効率とを比較する。

[0099] 図５および図１５から、中央部Ｄおよび中央部Ｂでは、上面９０からの光取り出し効率（０．１５０）は、上面４０からの光取り出し効率（０．１５３）に対して、若干（約２％）低下しているが、略同程度である。

[0100] 一方、側面９１、９２、９３、９４からの光取り出し効率は、側面４１、４２、４３、４４からの光取り出し効率に対して、約１０～３０％増加している。

[0101] 図６および図１６から、コーナ部ＥおよびコーナＣでは、上面９０からの光取り出し効率（０．１５０）は、上面４０からの光取り出し効率（０．１４９）に対して、若干（約１％）増加しているが、略同程度である。

[0102] 一方、側面９１、９２、９３、９４からの光取り出し効率は、側面４１、４２、４３、４４からの光取り出し効率に対して、約１０～２０％増加して

いる。

[0103] 更に、本実施例に示す比較例の光取り出し効率と、実施例１に示す比較例の光取り出し効率とを比較する。

[0104] 中央部Ｄおよび中央部Ｂでは、上面９０からの光取り出し効率（０．１３０）は、上面４０からの光取り出し効率（０．１３１）と、略同程度である。

[0105] 一方、側面９１、９２、９３、９４からの光取り出し効率は、側面４１、４２、４３、４４からの光取り出し効率より、約１６～３８%増加している。

[0106] コーナ部Ｅおよびコーナ部Ｃでは、上面９０からの光取り出し効率（０．１８０）は、上面４０からの光取り出し効率（０．１７９）と、略同程度である。

[0107] 一方、側面９１、９２、９３、９４からの光取り出し効率は、側面４１、４２、４３、４４からの光取り出し効率より、約１３～３１%増加している。

[0108] これから、第１誘電体層８１の傾斜した側面８１ａおよび第２誘電体層８２の傾斜した側面８２ａは、上面８０からの光取り出し効率には寄与していないが、側面９１、９２、９３、９４からの光取り出し効率の増加に寄与していることが確かめられた。

[0109] 次に、半導体発光素子８０の製造方法について説明する。図１７および図１８は半導体発光素子の製造工程を順に示す断面図である。

[0110] 始に、図１７（ａ）に示すように、図７（ａ）と同様にして基板１１上に、厚さ１μｍ程度のシリコン窒化膜５１を形成する。

[0111] 次に、図１７（ｂ）に示すように、シリコン窒化膜５１上に、フォトリソグラフィ法により、第２領域１３に、第２誘電体層８２に対応するパターンを有するレジスト膜１０１を形成する。

[0112] 次に、図１７（ｃ）に示すように、レジスト膜１０１をマスクとして、酸素ガスとフッ素系ガスの混合ガスを用いたＲＩＥ法により、レジスト膜１０

１とシリコン窒化膜５１との選択比を調整してシリコン窒化膜５１を異方性エッチングする。

[0113] 具体的には、レジスト膜１０１をエッチングするための酸素ガスとシリコン窒化膜５１をエッチングするためのフッ素系ガス（CHF_3、CF_4、SF_6など）との混合ガスを用い、シリコン窒化膜５１とレジスト膜１０１との選択比が小さくなる条件で行う。

[0114] 即ち、シリコン窒化膜５１のエッチング速度と、レジスト膜９１のエッチング速度の差が小さくなるようにして、シリコン窒化膜５１をエッチングしつつ、レジスト膜１０１もエッチングされるようにする。その結果、レジスト膜１０１１が細るにつれて、シリコン窒化膜５１も細くなる。

[0115] これにより、上方から基板１１側に向かって末広がり状に傾斜した側面８２ａを有する第２誘電体層８２が形成される。第２誘電体層８２の側面８２ａの傾斜角度は、選択比調整することにより、６０°程度になるようにする。

[0116] 次に、例えばO_2によるアッシング法により、レジスト膜１０１の残部を除去した後、図１８（ａ）に示すように、第２誘電体層８２が形成された基板１１上に、例えばスパッタリング法により、厚さ３μｍ程度のシリコン酸化膜１０２を形成し、第２誘電体層８２を埋め込む。

[0117] 次に、図１８（ｂ）に示すように、例えばＣＭＰ（Chemical Mechanical Polishing）法により、余分のシリコン酸化膜１０２を除去し、第２誘電体層８２を露出させる。これは、第１誘電体層８１の高さと、第２誘電体層８２の高さを等しくするためである。

[0118] 次に、図１８（ｃ）に示すように、シリコン酸化膜１０２上に、フォトリソグラフィ法により、第１領域１２に、第１誘電体層８１に対応するパターンを有するレジスト膜１０３を形成する。

[0119] 次に、図１８（ｄ）に示すように、レジスト膜１０３をマスクとして、酸素ガスと塩素系ガスの混合ガスを用いたＲＩＥ法により、レジスト膜１０３とシリコン酸化膜１０２との選択比を調整してシリコン酸化膜１０２を選択

的に異方性エッチングする。

[0120] 具体的には、例えばレジスト膜１０３をエッチングするための酸素ガスとシリコン酸化膜１０２をエッチングするための塩素系ガスの混合カスを用い、シリコン酸化膜１０２とレジスト膜１０３の選択比が小さくなる条件で行う。

[0121] 即ち、シリコン酸化膜１０２のエッチング速度と、レジスト膜１０３のエッチング速度の差が小さくなるようにして、シリコン酸化膜１０２をエッチングしつつ、レジスト膜１０３もエッチングされるようにする。その結果、ジスト膜１０３が細るにつれて、シリコン酸化膜１０２も細くなる。

[0122] これにより、上方から基板１１側に向かって末広がり状に傾斜した側面８１ａを有する第１誘電体層８１が形成される。第１誘電体層８１の側面８１ａの傾斜角度は、選択比を調整することにより、第２誘電体層８２の側面８２ａと同程度になるようにする。

[0123] 次に、例えばO_2によるアッシング法により、レジスト膜１０３の残部を除去した後、図９に示す工程に従い、第１半導体層１６および第２半導体層１７を形成する。更に、Ｎ側電極２６、パッド２５、２７を形成することにより、図１２に示す半導体発光素子８０が得られる。

[0124] 以上説明したように、本実施例の半導体発光素子８０では、第１誘電体層８１の側面８１ａおよび第２誘電体層８２の側面８２ａが、第１半導体層１６側から基板１１側に向かって末広がり状に傾斜している。

[0125] その結果、傾斜した側面８１ａ、８２ａに入射した光の進行方向が変化する。半導体発光素子８０の内部で多重反射されて横方向に伝搬する光は、多重反射される回数が減少し、側面に到達するまでの伝搬距離が短くなるので、側面９１、９２、９３、９４から外部に取り出される確率が増加し、更に光取り出し効率を高めることができる利点がある。

符号の説明

[0126] １０、８０ 半導体発光素子

１１ 基板

１２　第１領域

１３　第２領域

１４、８１　第１誘電体層

１４ａ、１５ａ、８１ａ、８２ａ　側面

１５、８２　第２誘電体層

１６　第１半導体層

１７　第２半導体層

１８　Ｎ型ＧａＮ層

１９　ＭＱＷ活性層

２０　Ｐ型ＧａＮ第１層

２１　Ｐ型ＧａＡｌＮ層

２２　Ｐ型ＧａＮ第２層

２３　Ｐ型ＧａＮコンタクト層

２４　ＩＴＯ透明電極

２５、２７　パッド

２６　Ｎ側電極

３０、３４ａ、３４ｂ、３５ａ、３５ｂ　光

３１、３２、３３　界面

４０　上面

４１、４２、４３、４４、９１、９２、９３、９４　側面

５１　シリコン窒化膜

５２、５４、１０１、１０３　レジスト膜

５３、１０２　シリコン酸化膜

６１、６２、６３、６４　アイランド

７１、７２、７３、７４　開口

請求の範囲

[請求項1] 発光波長に対して透明な基板と、

前記基板上の第１領域に形成され、前記基板の屈折率より小さい屈折率を有する第１誘電体層と、

前記基板上であって前記第１領域を囲む第２領域に形成され、前記基板の屈折率より大きい屈折率を有する第２誘電体層と、

前記第１誘電体層上、前記第２誘電体層上、および前記基板上に形成された第１半導体層と、

前記第１半導体層上に形成され、ＰＮ接合を有する活性層を含む第２半導体層と、

を具備することを特徴とする半導体発光素子。

[請求項2] 前記基板がサファイア、前記第１誘電体層が酸化シリコン、前記第２誘電体層が窒化シリコン、前記第１半導体層および前記第２半導体層が窒化物系ＩＩＩ－Ｖ族化合物半導体であることを特徴とする請求項１に記載の半導体発光素子。

[請求項3] 前記第１誘電体層は、前記第１領域に分散して形成された複数のアイランドで構成され、前記第２誘電体層は、前記第２領域に分散して形成された複数のアイランドで構成されていることを特徴とする請求項１に記載の半導体発光素子。

[請求項4] 前記アイランドは、円形状、多角形状およびストライプ状のいずれかであることを特徴とする請求項３に記載の半導体発光素子。

[請求項5] 前記第１誘電体層は、前記第１領域に分散して形成された複数の開口を有し、前記第２誘電体層は、前記第２領域に分散して形成された複数の開口を有することを特徴とする請求項１に記載の半導体発光素子。

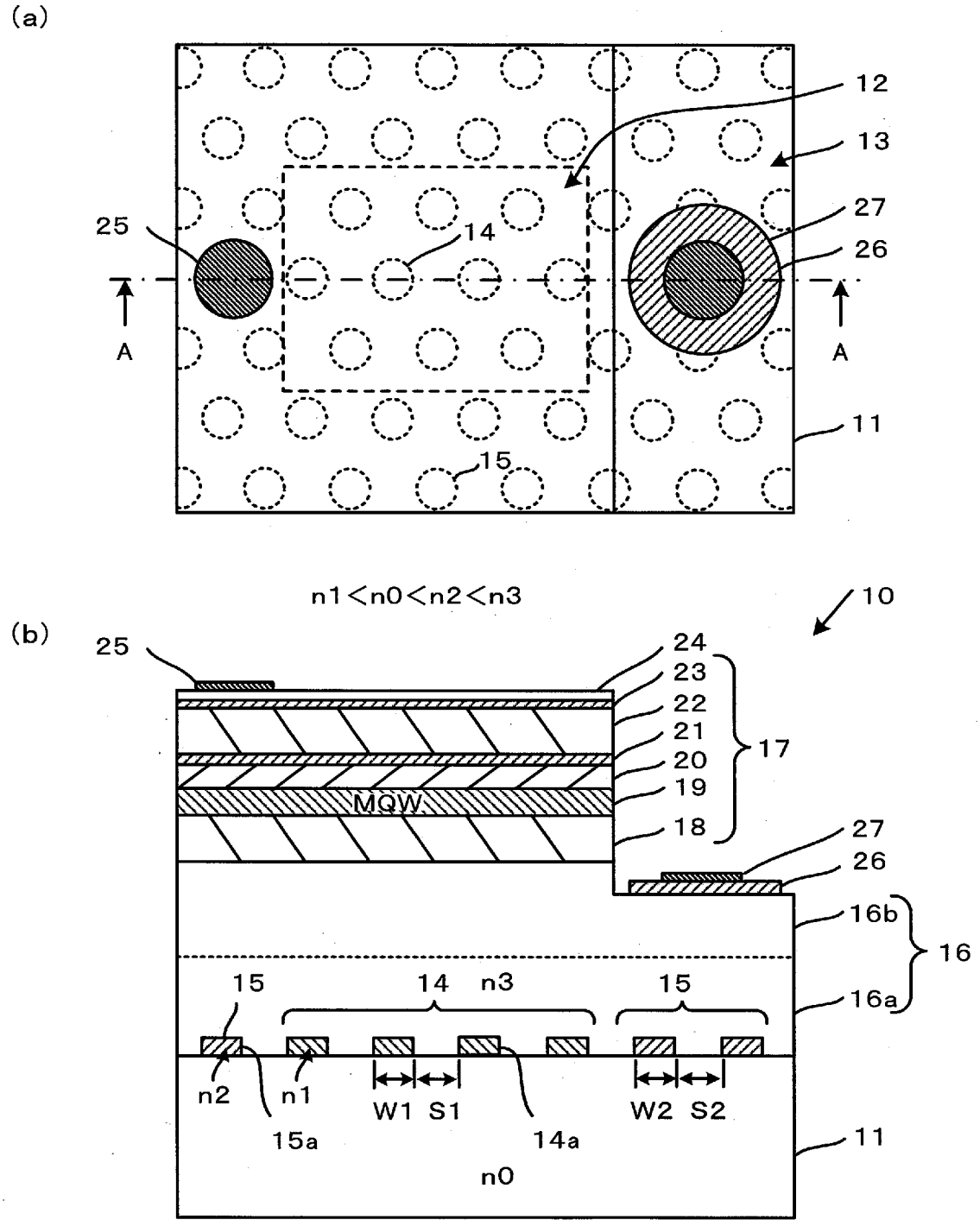
[請求項6] 前記開口は、円形状、多角形状およびストライプ状のいずれかであることを特徴とする請求項５に記載の半導体発光素子。

[請求項7] 前記第１誘電体層および前記第２誘電体層の側面が、前記第１半導

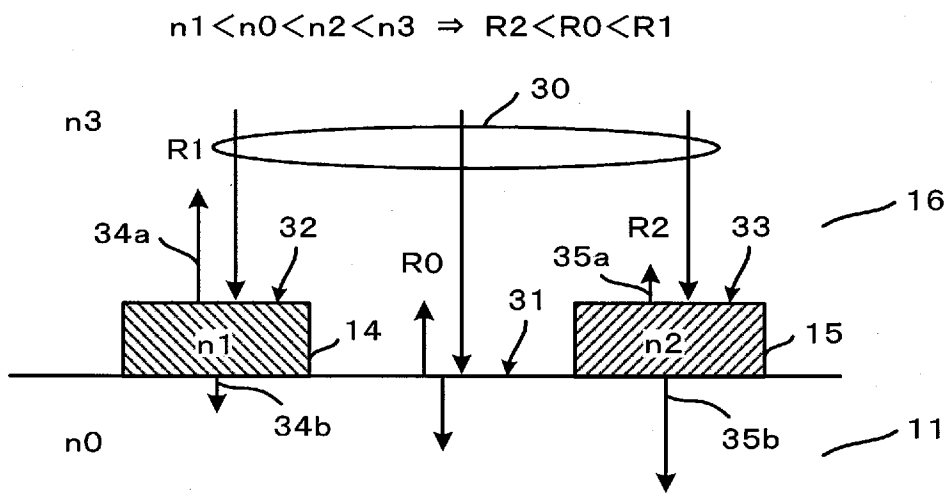
体層側から前記基板側に向かって末広がり状の傾斜面であることを特徴とする請求項１に記載の半導体発光素子。

[請求項8] 前記第１半導体層は、前記第１誘電体層および前記第２誘電体層をマスクとして、前記基板上に選択的に成長し、更に横方向に成長して合体した半導体層であることを特徴とする請求項１に記載の半導体発光素子。

[図1]


(a)
12
13
25
14
27
26
A
A
11
15
(b)
n1<n0<n2<n3
10
25
24
23
22
21
20
19
MQW
18
17
27
26
16b
16
15
14
n3
15
16a
n2
n1
W1
S1
W2
S2
15a
14a
11
n0

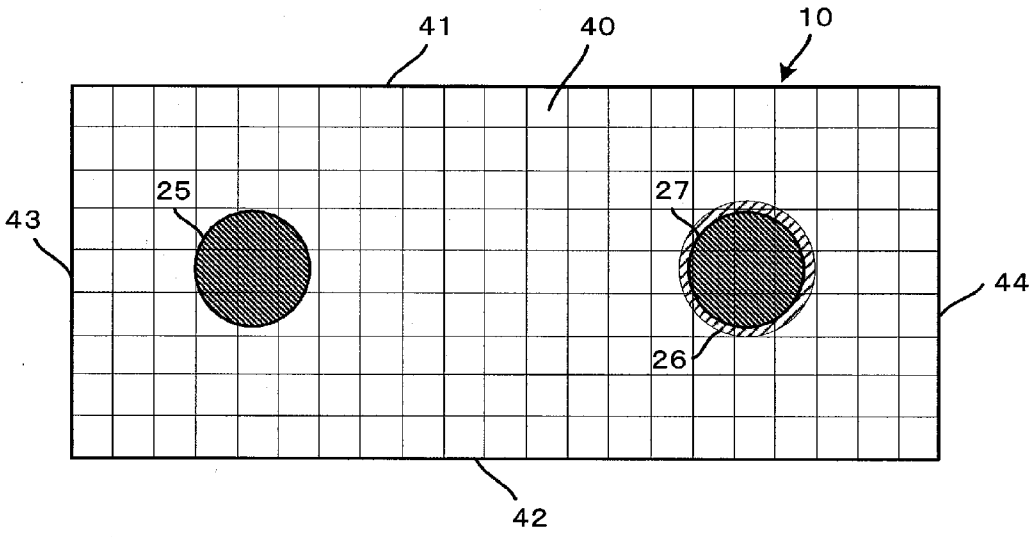
[図2]



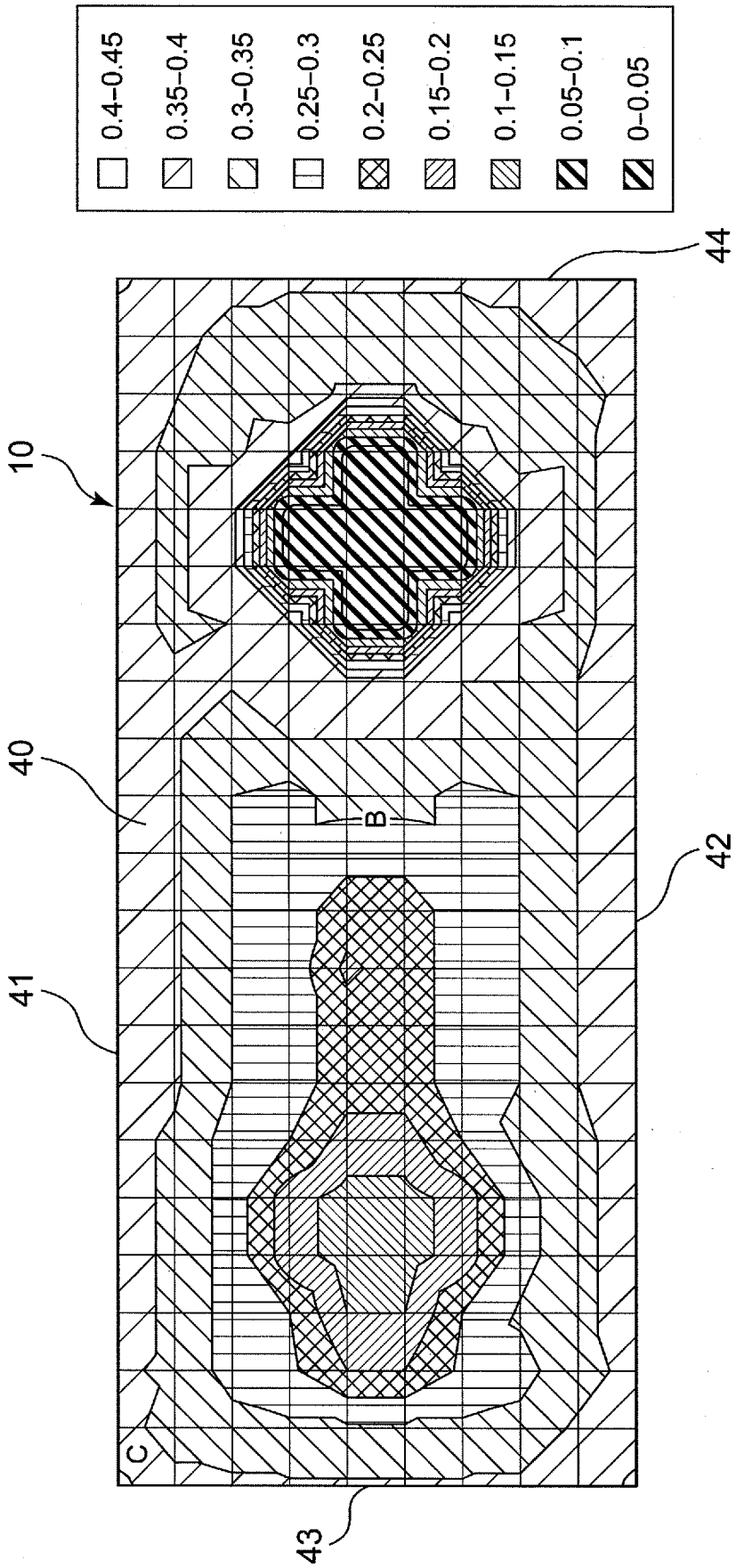
n0=1.7、n1=1.4、n2=2.0、n3=2.4

$R0=(n0-n3)^2/(n0+n3)^2 \sim 0.03$
$R1=(n1-n3)^2/(n1+n3)^2 \sim 0.07$
$R2=(n2-n3)^2/(n2+n3)^2 \sim 0.01$

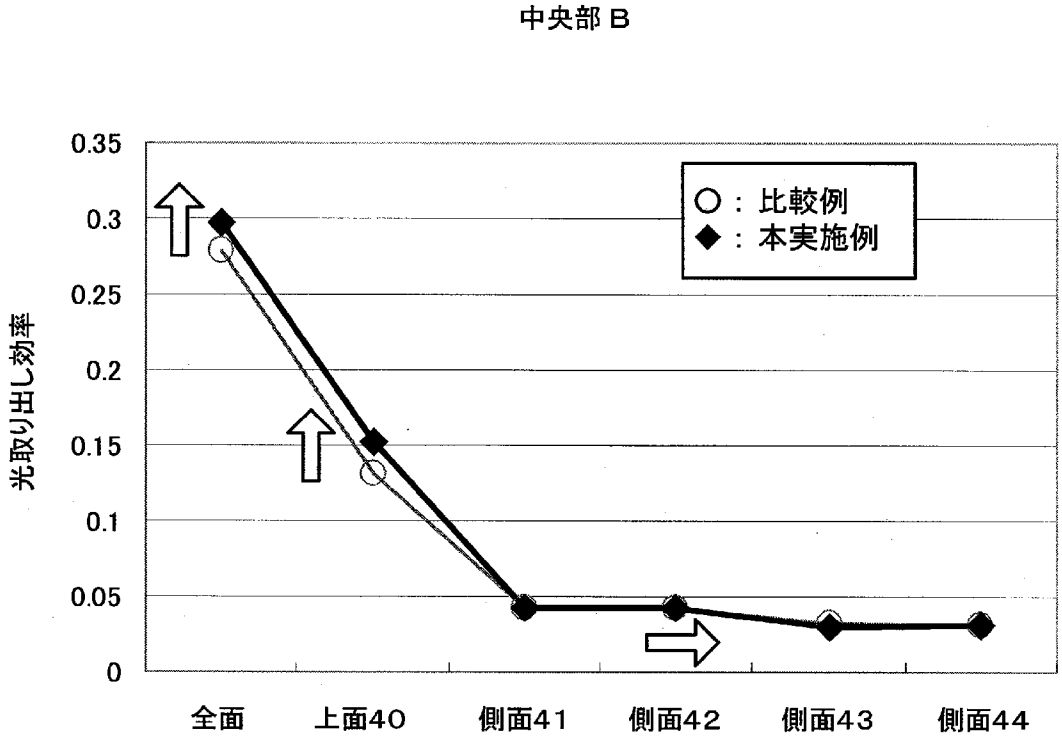
[図3]



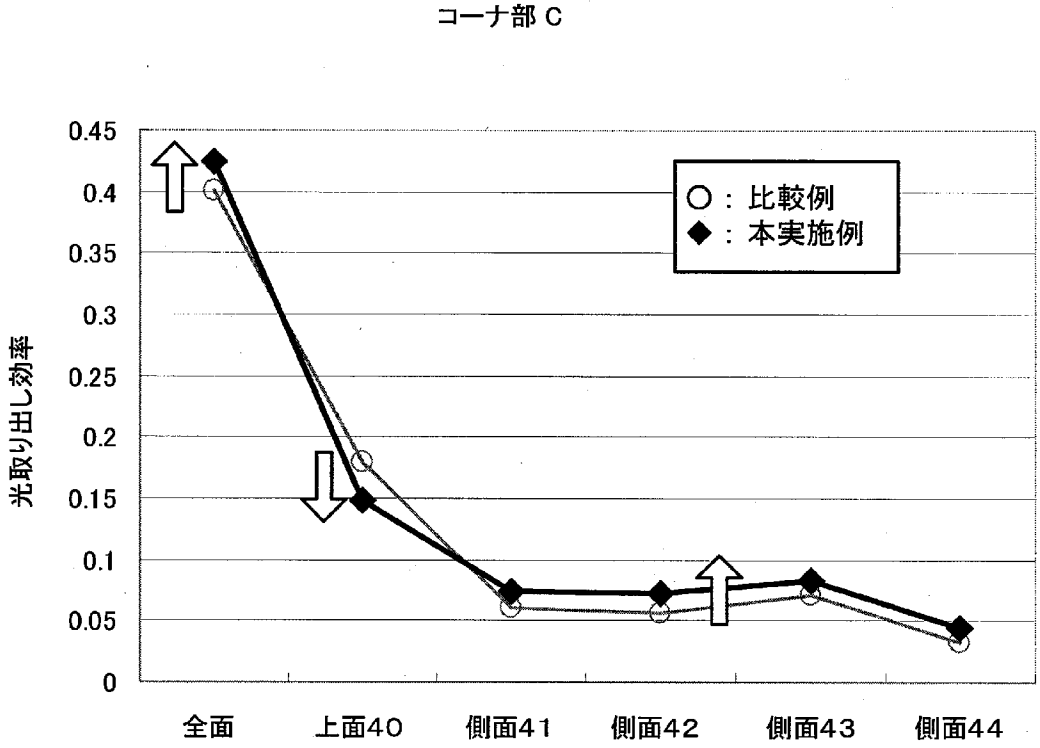
[図4]


0.4-0.45
0.35-0.4
0.3-0.35
0.25-0.3
0.2-0.25
0.15-0.2
0.1-0.15
0.05-0.1
0-0.05
10
40
41
42
43
44
B
C

[図5]

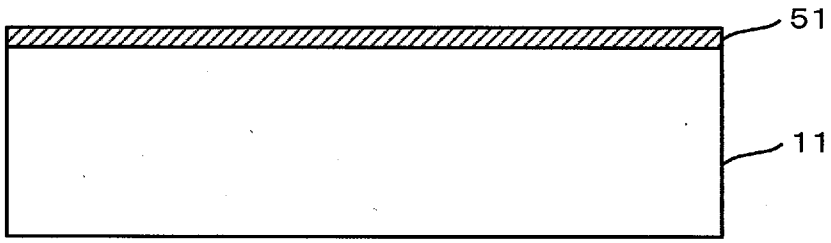

中央部 B
光取り出し効率
0.35
0.3
0.25
0.2
0.15
0.1
0.05
0
○：比較例
◆：本実施例
全面
上面40
側面41
側面42
側面43
側面44

[図6]

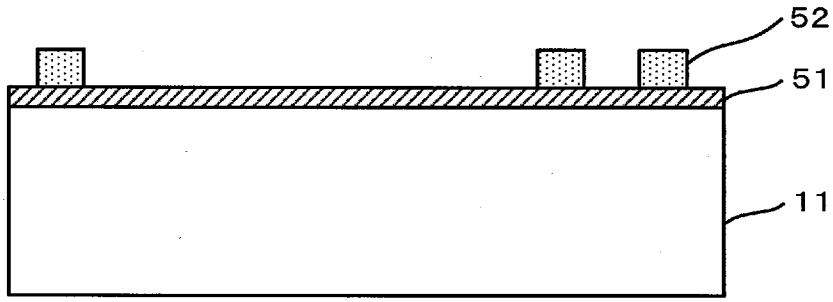

コーナ部 C
光取り出し効率
0.45
0.4
0.35
0.3
0.25
0.2
0.15
0.1
0.05
0
○：比較例
◆：本実施例
全面
上面40
側面41
側面42
側面43
側面44

[図7]

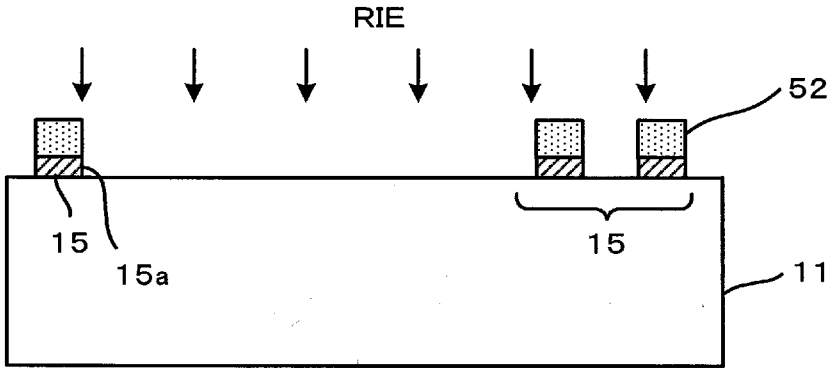
(a)



(b)

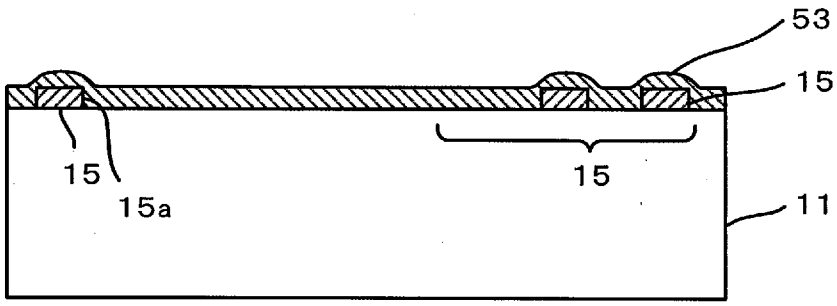


(c)

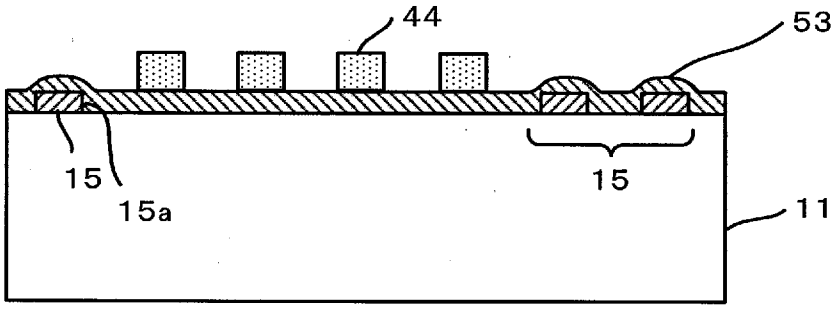


[図8]

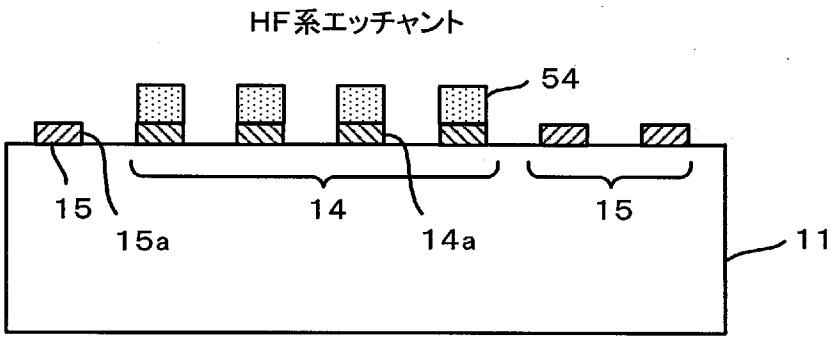
(a)


53
15
15
15a
15
11

(b)

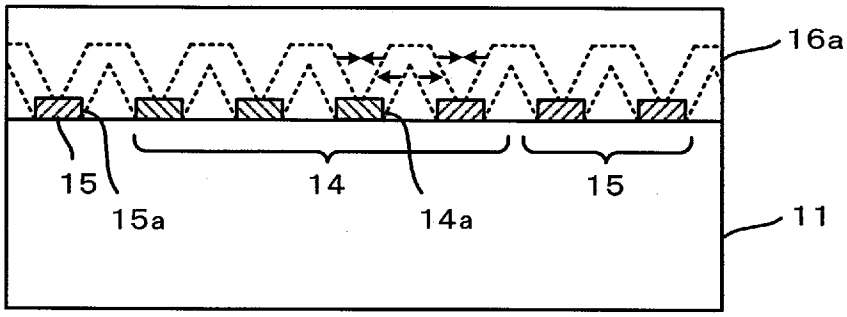

44
53
15
15a
15
11

(c)

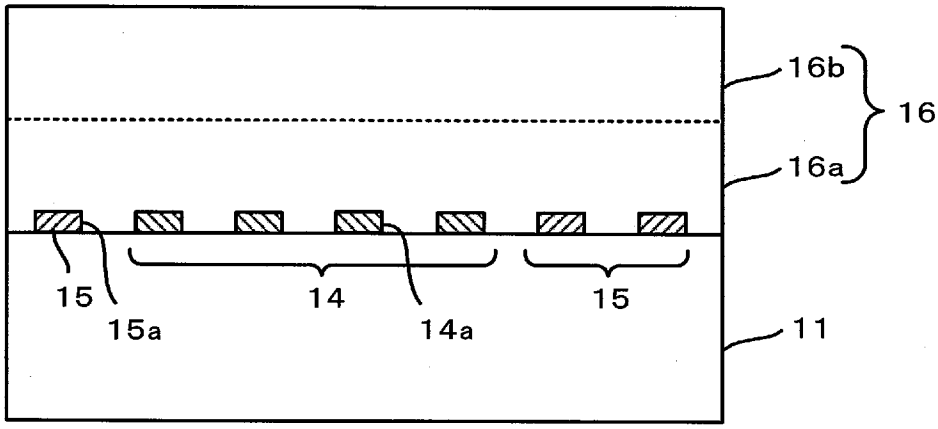

HF系エッチャント
54
15
15a
14
14a
15
11

[図9]

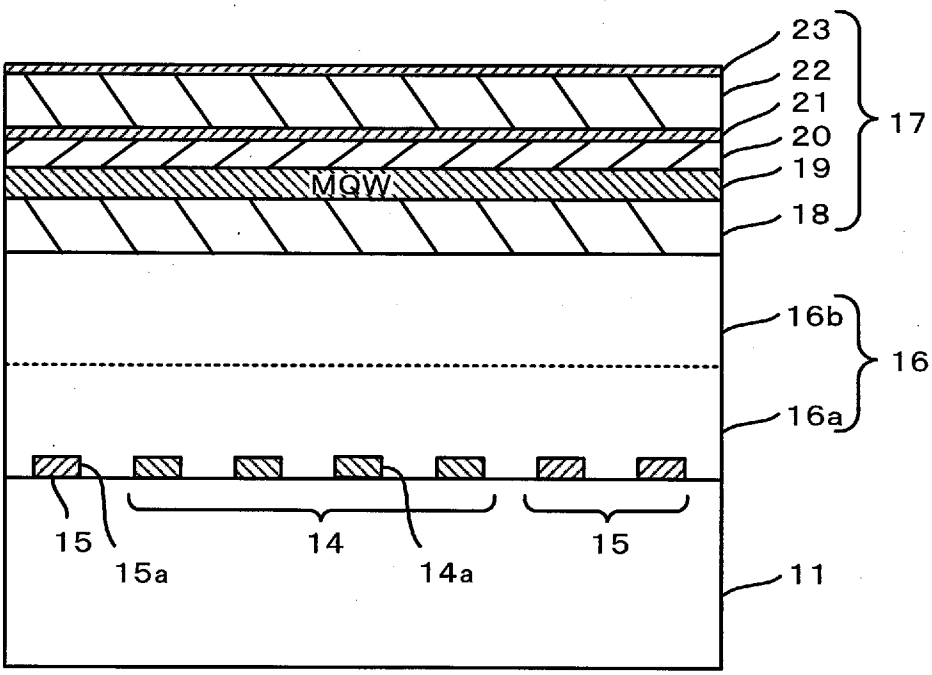
(a)


16a
15
15a
14
14a
15
11

(b)

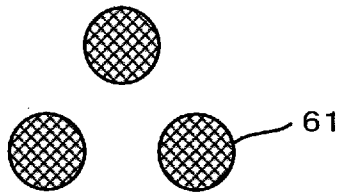

16b
16
16a
15
15a
14
14a
15
11

(c)

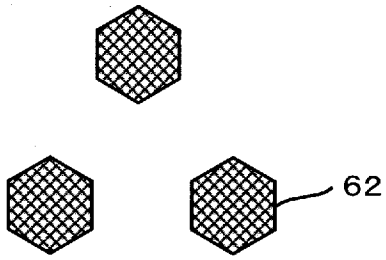

23
22
21
20
19
MQW
18
17
16b
16
16a
15
15a
14
14a
15
11

[図10]

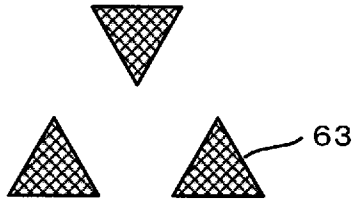
(a)



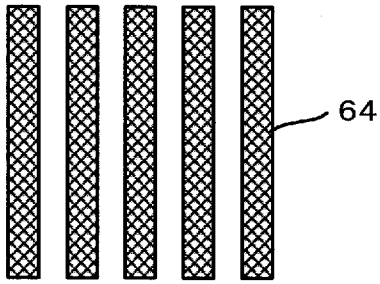
(b)



(c)

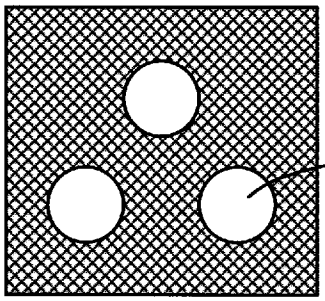


(d)

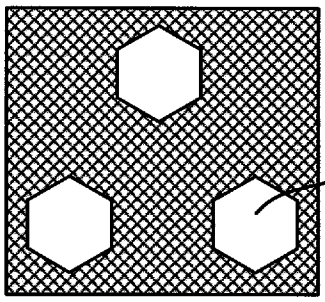


[図11]

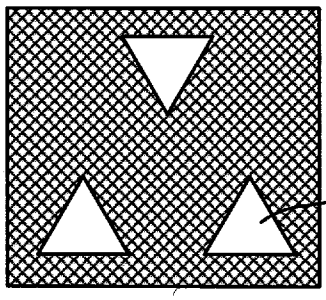
(a)



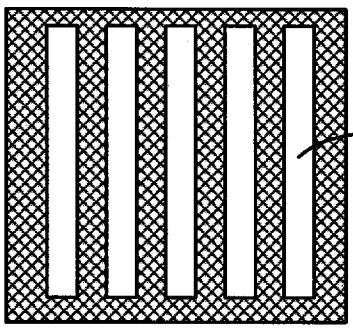
(b)



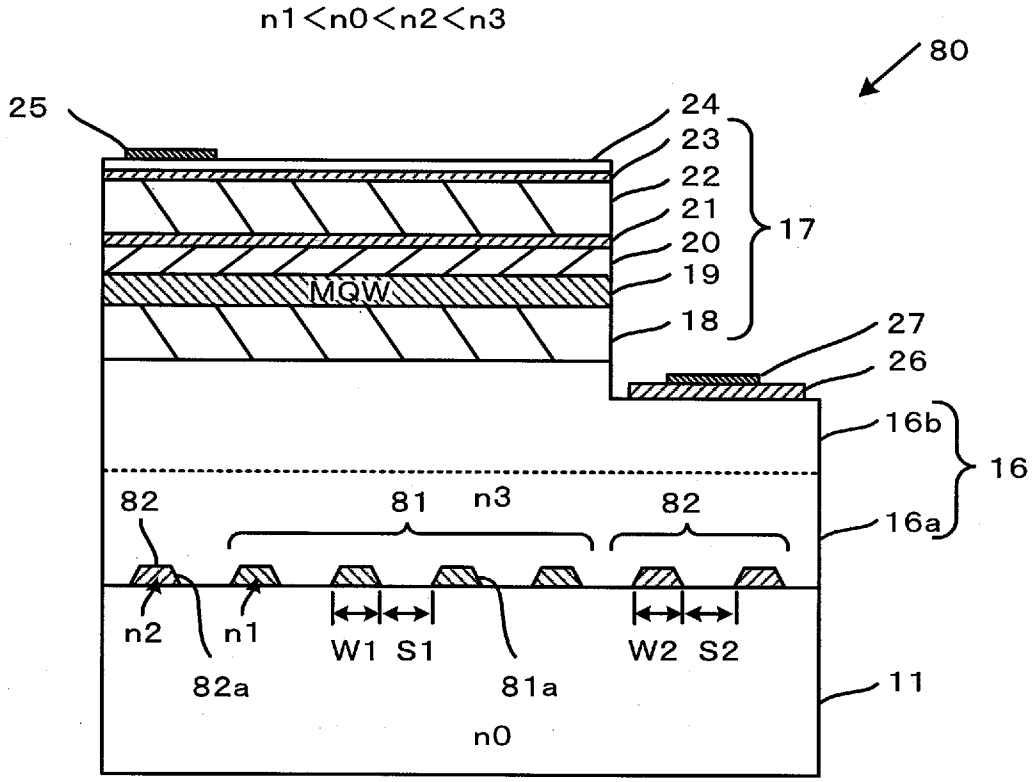
(c)



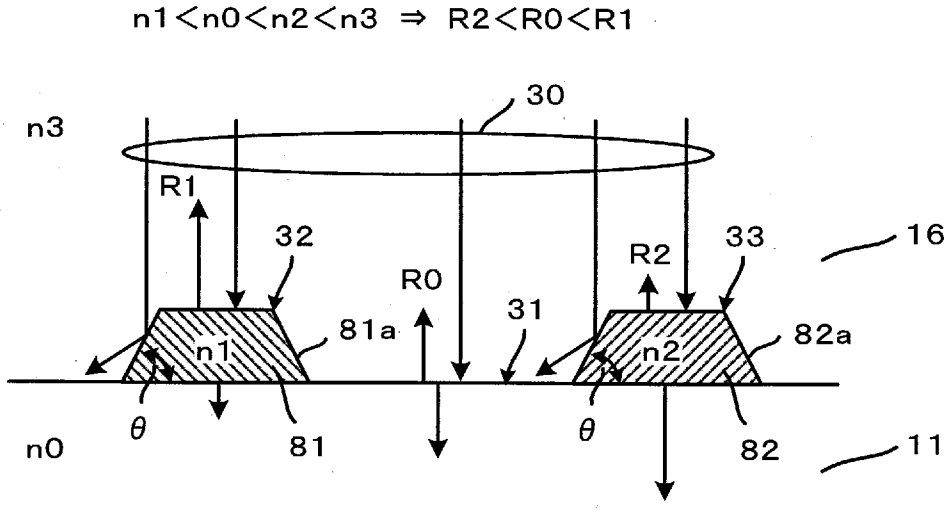
(d)



[図12]

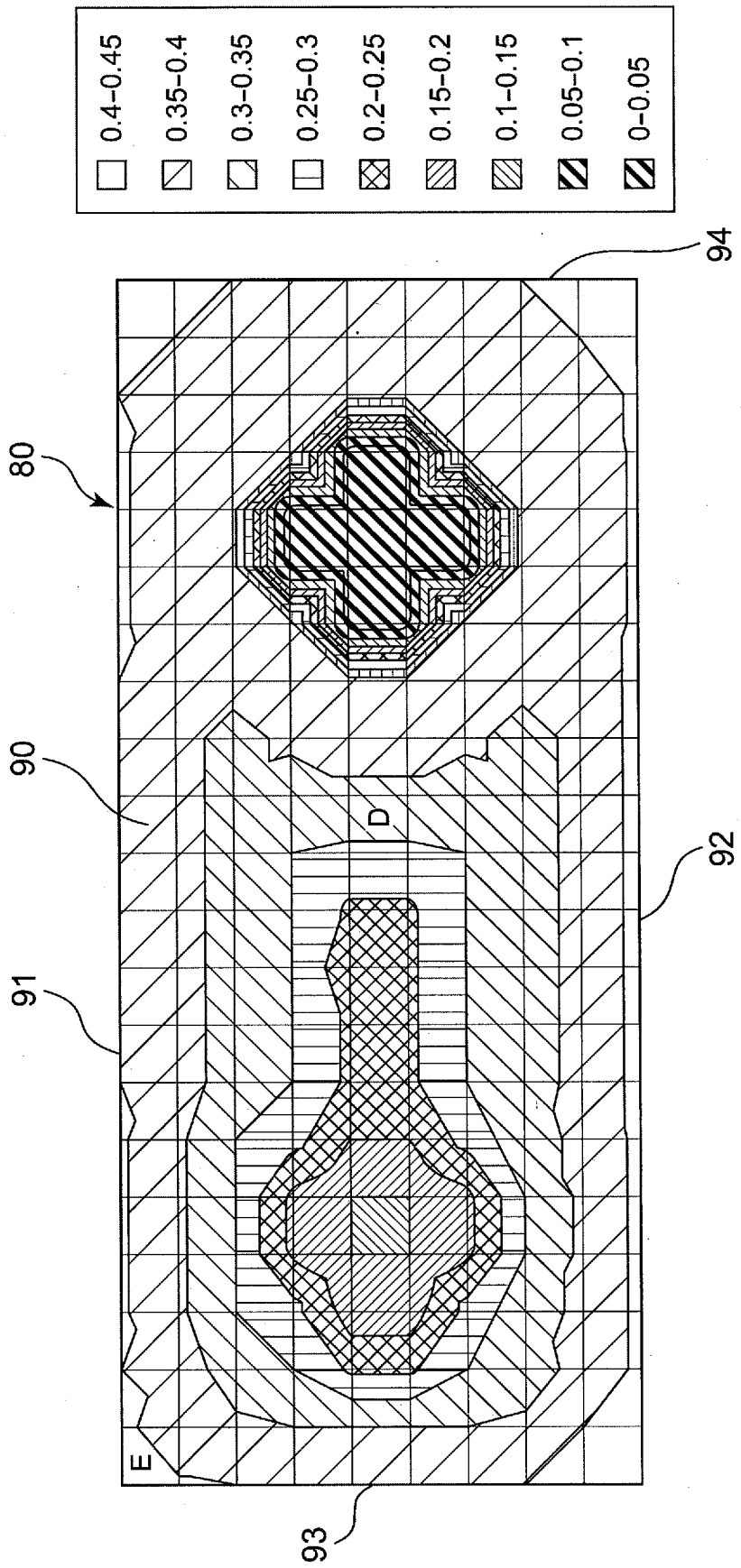


[図13]

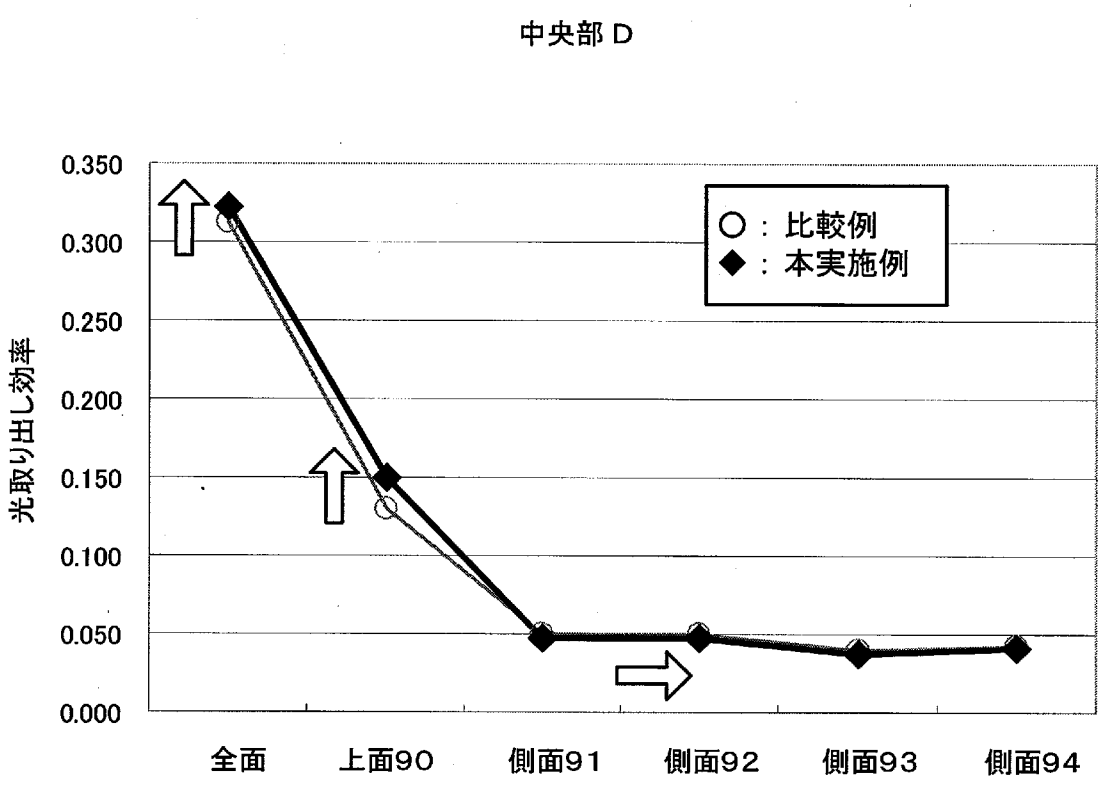


n0=1.7、n1=1.4、n2=2.0、n3=2.4

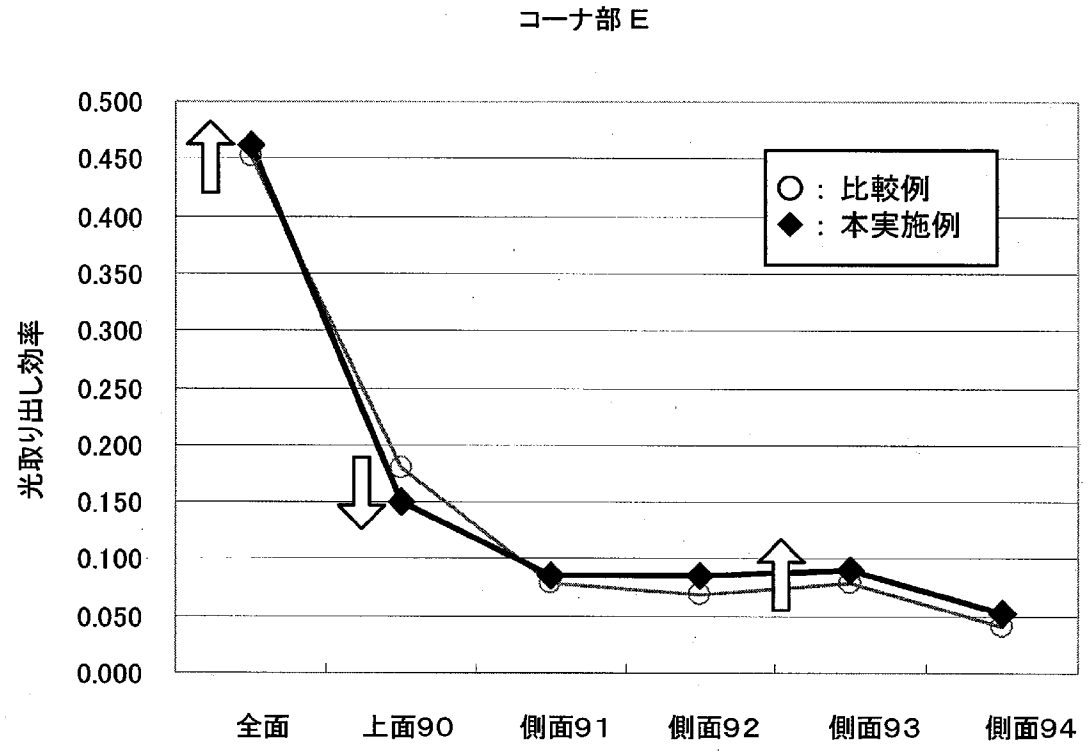
[図14]


0.4-0.45
0.35-0.4
0.3-0.35
0.25-0.3
0.2-0.25
0.15-0.2
0.1-0.15
0.05-0.1
0-0.05
80
90
91
92
93
94
D
E

[図15]

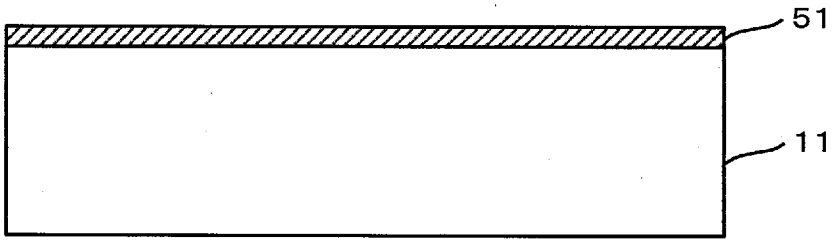

中央部 D
光取り出し効率
0.350
0.300
0.250
0.200
0.150
0.100
0.050
0.000
○：比較例
◆：本実施例
全面
上面90
側面91
側面92
側面93
側面94

[図16]

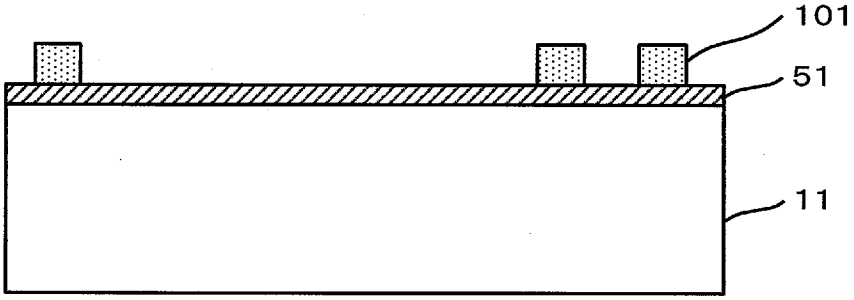

コーナ部 E
光取り出し効率
0.500
0.450
0.400
0.350
0.300
0.250
0.200
0.150
0.100
0.050
0.000
○：比較例
◆：本実施例
全面
上面90
側面91
側面92
側面93
側面94

[図17]

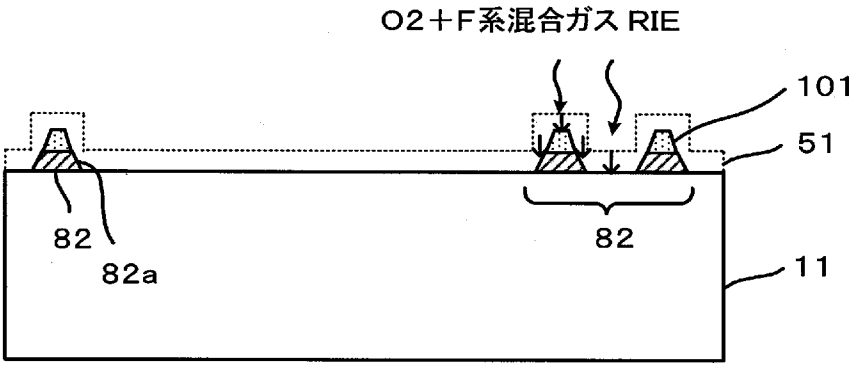
(a)



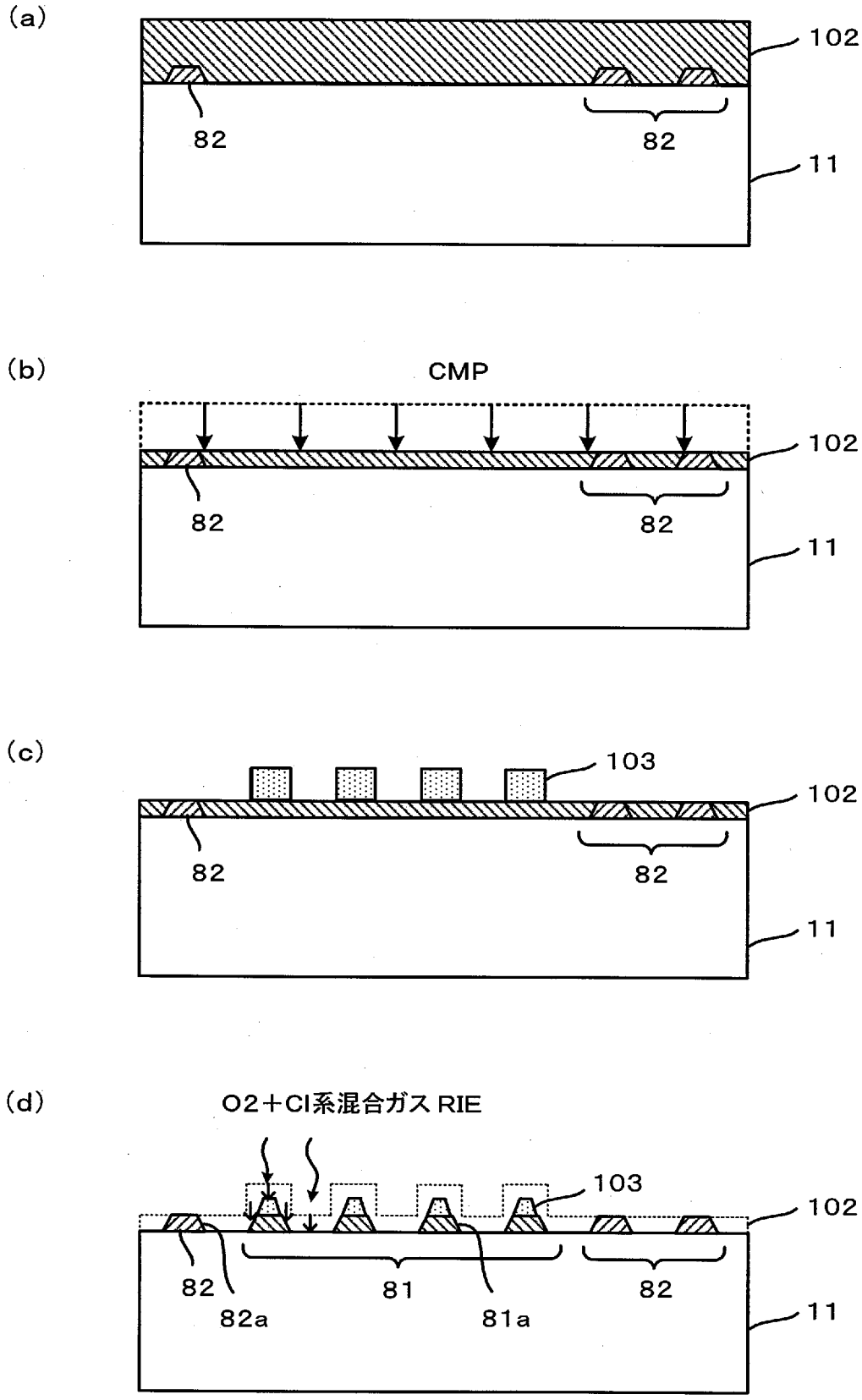
(b)



(c)



[図18]


(a)
102
82
82
11
(b)
CMP
102
82
82
11
(c)
103
102
82
82
11
(d)
O2+Cl系混合ガス RIE
103
102
82
82a
81
81a
82
11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/004702

A. CLASSIFICATION OF SUBJECT MATTER
H01L33/32(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-312840 A (Sharp Corp.), 09 November 1999 (09.11.1999), entire text; all drawings & US 6320209 B1	1-8
A	JP 11-274642 A (Toshiba Corp.), 08 October 1999 (08.10.1999), entire text; all drawings (Family: none)	1-8
A	JP 2002-204035 A (Sharp Corp.), 19 July 2002 (19.07.2002), entire text; all drawings & US 2004/0056261 A1 & WO 2002/056434 A1	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 December, 2009 (22.12.09)	12 January, 2010 (12.01.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/004702

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-193371 A (NEC Corp.), 08 July 2004 (08.07.2004), entire text; all drawings (Family: none)	1-8
A	WO 03/098710 A1 (Matsushita Electric Industrial Co., Ltd.), 27 November 2003 (27.11.2003), entire text; all drawings & JP 3911699 B & US 7030417 B2 & EP 1508922 A1	1-8
A	JP 2008-098234 A (NEC Corp.), 24 April 2008 (24.04.2008), entire text; all drawings (Family: none)	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００４７０２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L33/32(2010.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 11-312840 A (シャープ株式会社) 1999.11.09, 全文、全図 & US 6320209 B1	1-8
A	JP 11-274642 A (株式会社東芝) 1999.10.08, 全文、全図 (ファミリーなし)	1-8

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２２．１２．２００９	国際調査報告の発送日 １２．０１．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｋ　３４９８ 松崎　義邦 電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2002-204035 A (シャープ株式会社) 2002.07.19, 全文、全図 & US 2004/0056261 A1 & WO 2002/056434 A1	1-8
A	JP 2004-193371 A (日本電気株式会社) 2004.07.08, 全文、全図 (ファミリーなし)	1-8
A	WO 03/098710 A1 (松下電器産業株式会社) 2003.11.27, 全文、全図 & JP 3911699 B & US 7030417 B2 & EP 1508922 A1	1-8
A	JP 2008-098234 A (日本電気株式会社) 2008.04.24, 全文、全図 (ファミリーなし)	1-8