

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3847103号
(P3847103)

(45) 発行日 平成18年11月15日(2006.11.15)

(24) 登録日 平成18年9月1日(2006.9.1)

(51) Int. Cl.	F I	
H05K 3/46 (2006.01)	H05K 3/46	Q
H05K 1/02 (2006.01)	H05K 3/46	H
G02B 6/122 (2006.01)	H05K 1/02	
H01L 23/12 (2006.01)	G02B 6/12	B
	H01L 23/12	N
請求項の数 11 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2001-162936 (P2001-162936)	(73) 特許権者	000006633
(22) 出願日	平成13年5月30日(2001.5.30)		京セラ株式会社
(65) 公開番号	特開2002-359472 (P2002-359472A)	(72) 発明者	山田 成樹
(43) 公開日	平成14年12月13日(2002.12.13)		鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内
審査請求日	平成15年5月12日(2003.5.12)	(72) 発明者	松井 猛
			鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内
		審査官	黒石 孝志
			最終頁に続く

(54) 【発明の名称】 光電子実装回路基板及び実装基板

(57) 【特許請求の範囲】

【請求項1】

アルミナ焼結体からなる絶縁層と、該絶縁層よりも低誘電率の誘電体層とが一体的に積層されてなり、且つ表面及び/又は内部にAu、Ag、Cu、Ptのうち少なくとも1種の導体層が形成された絶縁基板と、該絶縁基板の一方の表面側に搭載された光導波路及び光半導体素子と、前記絶縁基板の一方又は他方の表面に搭載された電子半導体素子と、前記絶縁基板の前記誘電体層上に設けられた高周波入力用外部接続端子を具備することを特徴とする光電子実装回路基板。

【請求項2】

前記絶縁層及び/又は前記誘電体層が積層体からなることを特徴とする請求項1記載の光電子実装回路基板。

【請求項3】

前記電子半導体素子と前記光半導体素子とが前記絶縁基板の対向する表面に搭載されていること特徴とする請求項1又は2記載の光電子実装回路基板。

【請求項4】

前記絶縁基板の表面に設けられたキャビティの内部に前記電子半導体素子が収納され、且つ該キャビティが蓋体によって気密封止されていることを特徴とする請求項1乃至3のいずれかに記載の光電子実装回路基板。

【請求項5】

前記絶縁基板の前記誘電体層が、前記絶縁層の表面の一部に形成されてなることを特徴と

10

20

する請求項 1 乃至 4 のいずれかに記載の光電子実装回路基板。

【請求項 6】

前記光半導体素子が、前記光導波路の内部に設けられてなることを特徴とする請求項 1 乃至 5 のいずれかに記載の光電子実装回路基板。

【請求項 7】

前記誘電体層がムライト、フォルステライト、エンスタタイト、シリカ、コーデイエライトのうち少なくとも 1 種を主成分とする焼結体であることを特徴とする請求項 1 乃至 6 のいずれかに記載の光電子実装回路基板。

【請求項 8】

前記アルミナ焼結体が、シリカ及び Mn_2O_3 を含有することを特徴とする請求項 1 乃至 7 のいずれかに記載の光電子実装回路基板。 10

【請求項 9】

前記導体層が、W 及び / 又は Mo を含むことを特徴とする請求項 1 乃至 8 のいずれかに記載の光電子実装回路基板。

【請求項 10】

前記導体層のシート抵抗が導体厚み $15 \mu m$ 換算で $8 m \Omega / \square$ 以下であることを特徴とする請求項 1 乃至 9 のいずれかに記載の光電子実装回路基板。

【請求項 11】

母基板の表面に、コンデンサ、抵抗体及び配線導体を含む電子回路が形成され、且つ請求項 1 乃至 10 のうちいずれかに記載の光電子実装回路基板が前記高周波入力用外部接続端子を介して前記電子回路に実装されてなり、 $40 GHz$ の高周波信号が前記光電子実装回路基板に入力するときの反射損失が $-10.0 dB$ 以下であることを特徴とする実装基板。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光半導体素子と電子半導体素子及び / 又は光電子半導体素子が実装され、高周波信号に適用可能な光電子実装回路基板及び実装基板に関する。

【0002】

【従来技術】

近年のマルチメディアの普及に伴い、膨大な画像データの送受信が必要になり、高速動作が求められる電子機器に対して高周波信号処理は必須になっている。一方で、高速、大容量の送受信が可能な光通信が注目を集めているが、電子半導体素子やマルチチップモジュール間を光導波路で複雑に接続している為、導波路を頻繁に交差させる必要が生じ、光信号と電気信号処理を同一の実装基板で行うことによる装置の小型化や、複雑な光インターコネクションに対応する為に、セラミック基板上に光導波路を形成すると同時に、光半導体素子や電子半導体素子等を実装した光電子実装回路が用いられている。 30

【0003】

このような光電子実装回路が設けられたセラミック配線基板は、高集積化や高周波化に伴う発熱量の増加に伴い、高い放熱性が要求されるとともに、演算速度の高速化の要求により、導体の低抵抗が要求されており、比較的熱伝導率が高く、信頼性に優れたアルミナを絶縁基板とし、その表面又は内部に W や Mo 等の高融点金属からなる導体層を被着形成したセラミック配線基板が多用されている。 40

【0004】

ところが、従来から多用されている高融点金属からなる導体層では、抵抗を高々 $8 m \Omega / \square$ 程度までしか低くできず、信号の挿入損失が著しく高くなり、良好な高周波特性が得られなくなるという問題があった。さらに、信号の高周波化に伴い、配線基板、特に、信号入力端子用の導体層が施される絶縁層部分の誘電率が高い場合には信号の反射が大きくなり特性が低下するという問題があった。

【0005】

そこで、絶縁基板としてアルミナを用い、低抵抗導体であるCu、又はCuとW又はMoとを組み合わせた導体層を同時焼成により形成する方法で挿入損失を低減させることが特開平7-15101号に提案されている。

【0006】

また、信号伝達特性に関し、信号の反射を抑制する為、信号入力部分の絶縁層に誘電率の低いガラスセラミックスを用い、強化ガラスと一体化する方法等が特開平3-239394に提案されている。

【0007】

【発明が解決しようとする課題】

しかしながら、特開平7-15101号に記載の方法では、一旦、すべての導体層を絶縁基板内部に配設して同時焼成した後、研磨等により表面の絶縁層を研磨除去して内部導体層を表面に露出させて表面導体層を形成する、又は焼成後の配線基板の表面に、厚膜法や薄膜法によって表面導体層を形成するものであるため、表面導体層を形成するために研磨工程、厚膜形成工程、薄膜形成工程等が不可欠の工程となるために、製造工程が増え、歩留りの低下やコスト高になるという問題があった。

10

【0008】

また、特開平3-239394に記載の方法では、絶縁基板にガラスセラミックス等を用いるため、基板の誘電率を低く設定でき、且つ配線金属の抵抗を低く出来るものの、半導体素子から生じる熱の発散がスムーズに行われず、素子自体の誤動作を招くという問題があった。

20

【0009】

従って、本発明は、放熱性に優れ、外部電気信号の入力信号の損失が少ない光電子実装回路基板を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明者等は、上記課題に対して検討を重ねた結果、アルミナ絶縁層と、低誘電率の誘電体層とからなる積層体の誘電体層上に高周波入力用外部接続端子を設けることにより、高周波信号の入力損失が小さく、放熱性に優れた熱伝導の光電子実装回路基板が得られるという知見に基づくものである。

【0011】

30

即ち、アルミナ焼結体からなる絶縁層と、該絶縁層よりも低誘電率の誘電体層とが一体的に積層されてなり、且つ表面及び/又は内部にAu、Ag、Cu、Ptのうち少なくとも1種の導体層が形成された絶縁基板と、該絶縁基板の一方の表面側に搭載された光導波路及び光半導体素子と、前記絶縁基板の一方又は他方の表面に搭載された電子半導体素子と、前記絶縁基板の前記誘電体層上に設けられた高周波入力用外部接続端子を具備するものである。これにより、高周波信号の入力部において低損失の光電子実装回路基板を実現したものである。

【0012】

特に、前記絶縁層及び/又は前記誘電体層が積層体からなることが好ましい。これにより、複数の半導体を実装しても積層体の内部にも配線が可能となり、高密度実装が容易となる。

40

【0013】

また、前記電子半導体素子と光半導体素子とが前記絶縁基板の対向する表面に搭載されていることが好ましい。これにより、小型化が可能で、且つ高い信頼性が得られる。

【0014】

さらに、前記絶縁基板の表面に設けられたキャビティの内部に電子半導体素子が収納され、且つ該キャビティが蓋体によって気密封止されていることが好ましい。これにより、電子半導体素子の特性が安定し、信頼性を向上することができる。

【0015】

さらにまた、前記絶縁基板の前記誘電体層が、前記絶縁層の表面の一部に形成されてなる

50

ことが好ましい。これにより、誘電体層の設けられた熱伝導率の高い絶縁層の上に電子半導体素子等の発熱量の大きな部品を搭載することが可能となる。

【0016】

また、前記光半導体素子が、前記光導波路の内部に設けられてなることが好ましい。これにより、光半導体素子の特性が安定し、信頼性を向上することができる。

【0017】

さらに、前記誘電体層がムライト、フォルステライト、エンスタタイト、シリカ、コーデイエライトのうち少なくとも1種を主成分とする焼結体であることが好ましい。これにより、高周波のより高い周波数に対応することが容易となる。

【0018】

さらにまた、前記アルミナ焼結体が、シリカ及び Mn_2O_3 を含有することが好ましい。これにより、低温焼成が可能となり、製品歩留まりを高めることができる。

【0019】

また、前記導体層が、W及び/又はMoを含むことが好ましい。これにより、低抵抗配線が可能で、内部回路においても導体損失の小さい高周波に対応可能な光電子実装回路基板を得ることが容易になる。

【0020】

さらにまた、前記導体層のシート抵抗が導体厚み $15\mu m$ 換算で $8m\Omega$ 以下であることが好ましい。これにより、配線幅の縮小により部品の小型化が容易となる。

【0021】

また、本発明の実装基板は、母基板の表面に、コンデンサ、抵抗体及び配線導体を含む電子回路が形成され、且つ請求項1乃至10のうちいずれかに記載の光電子実装回路基板が高周波入力用外部接続端子を介して前記電子回路に実装されてなり、 $40GHz$ の高周波信号が前記光電子実装回路基板に入力するときの反射損失が $-10.0dB$ 以下であることを特徴とするものであり、これにより、高速、大容量の送受信が可能な光通信を実現することができる。

【0022】

【発明の実施の形態】

本発明の光電子実装回路基板を、図を用いて説明する。図1は、本発明の光電子実装回路基板の概略断面図である。即ち、アルミナを主体とする薄層焼結体であるアルミナ焼結体1a~1dからなる絶縁層1と、このアルミナ焼結体1a~1dよりも誘電率の低い誘電体層2が一体的に積層されている。

【0023】

絶縁層1はアルミナ焼結体1層から構成されていてもかまわないが、半導体の高密度実装及び配線並びに小型化を考慮すると複数のアルミナ焼結体1a~1dからなる積層体であることが好ましい。また、図1において、絶縁層1は4層のアルミナ焼結体1a~1dから構成されているが、アルミナ焼結体の数は特に限定されるものではなく、配線の量や半導体の位置等によって適宜決定すればよい。

【0024】

絶縁層1を構成するアルミナ焼結体1a~1dの表面又は界面には、表面導体層3aや内部導体層3bが形成され、誘電体層2とアルミナ絶縁層1間にはグランド導体層3cが設けられている。また、アルミナ焼結体を1枚又は複数貫くピアホール導体3dが設けられている。従って、導体層3は、絶縁基板の表面及び/又は内部に設けられている。

【0025】

絶縁基板の一方の表面側に光半導体素子5が搭載され、光導波路6が形成されている。この光導波路6は、光半導体素子5と光学的に接続された構造を有し、光導波路コア6aの周囲に光導波路クラッド6bが設けられた構造を有している。また、光導波路6は、絶縁層1の一方の表面側少なくとも一部に存在しており、光半導体素子5が光導波路6の外側に位置していても良いが、光半導体素子5の信頼性を高め、誤動作を防ぐため、特に、光半導体素子5が光導波路6の内部に設けられていることが好ましい。

10

20

30

40

50

【0026】

さらに、絶縁層1の他方の表面には、電子半導体素子7が搭載されている。即ち、電子半導体素子7と光半導体素子5とは絶縁基板の対向する表面にそれぞれ搭載されている。このような構成にすることで、多数の電子半導体素子7及び光半導体素子5を一つの絶縁基板上に搭載することができ、より高密度な実装による製品の小型化を推進し、信頼性も高めることができる。

【0027】

ここで、誘電体層2は、絶縁基板を構成するアルミナ焼結体1dの全面に一体的に積層されていてもよいが、図1のように、アルミナ焼結体1dの一部に形成されていることが好ましい。この構成により、絶縁基板の誘電体層2側の表面に絶縁層1の表面も露出することとなり、そこに電子半導体素子7を実装することができ、実装密度を高めることができる。

10

【0028】

また、電子半導体素子7は、光半導体素子5及び光導波路6の設けられた絶縁層1の一方の表面に設けることも可能である。つまり、光導波路6は表面の一部に形成し、光導波路6の設けられていない表面に電子半導体素子7を実装すればよい。

【0029】

この電子半導体素子7は、絶縁基板の表面に設けられたキャビティ8の内部に収納されており、電子半導体素子7は半田等によりボール実装及びノ又はベアチップ実装によってアルミナ焼結体1dの表面に実装されている。また、キャビティ8は、蓋体9によって気密封止され、キャビティ8内部に外気が混入しない構造になっているため、電子半導体素子7の誤動作を防止でき、信頼性を高めることができる。

20

【0030】

また、誘電体層2の表面には、高周波入力用外部接続端子10が設けられている。この高周波入力用外部接続端子10は外部から高周波を入力するためのもので、外部回路と電氣的に接続している。この高周波入力用外部接続端子10が誘電率の低い誘電体層2に形成されているため、高周波入力用外部接続端子10と内部導体層3b間に発生する浮遊容量が低減され、入力信号の反射が抑制され、信号損失を小さくすることができる結果、高周波対応の可能な光電子実装回路基板を実現することができる。

【0031】

絶縁層1は、アルミナを主体とし、所望の焼結助剤を加えた成形体を焼成してなるアルミナ焼結体で構成され、単一又は複数のアルミナ焼結体からなる。実装密度を高めるためには複数のアルミナ焼結体を積層して用いることが好ましい。また、焼結助剤としてシリカ及び Mn_2O_3 を含有することが好ましい。これらの焼結助剤は、低温での焼成を可能とし、導体層3の金属の溶融による流出を防止し、製品歩留まりを高めることができる。なお、焼結助剤等のアルミナ以外の成分は、アルミナ主結晶相の粒界に非晶質相あるいは結晶相として存在することが望ましい。

30

【0032】

本発明によれば、絶縁層1のアルミナ焼結体は、絶縁基板の熱伝導性および高強度化のため、相対密度が95%以上、特に97%、更には98%以上が望ましく、また熱伝導率が $10W/m \cdot K$ 以上、特に $15W/m \cdot K$ 以上、更には $17W/m \cdot K$ 以上であることが望ましい。

40

【0033】

また、絶縁層1を形成するアルミナ質焼結体の主結晶相は、粒状または柱状の結晶として存在するが、これら主結晶相の平均結晶粒径は、 $1.5 \sim 5 \mu m$ であることが望ましい。なお、主結晶相が柱状結晶からなる場合、上記平均結晶粒径は、短軸径に基づくものである。この主結晶相の平均結晶粒径が $1.5 \mu m$ よりも小さいと、高熱伝導化が難しくなる傾向があり、また平均粒径が $5 \mu m$ よりも大きいと基板材料として用いる場合に要求される十分な強度が得られにくくなる傾向にあるためである。

【0034】

50

誘電体層 2 は、アルミナよりも低誘電率であれば本発明の目的である信号の入力損失を低減できるが、特に、ムライト、フォルステライト、エンスタタイト、シリカ、コーデイエライトのうち少なくとも 1 種を主成分とする焼結体であることがアルミナとの同時焼結性の点で好ましい。これ以外に、その他の成分としてとして Mn_2O_3 、 SiO_2 、 ZnO 、 CaO 、 Nb_2O_5 、 MoO_3 、 WO_3 又はガラス等を添加してもよい。さらに 10 重量%以下のガラスを含有とすることも可能であるが、基板の高強度化を達成するために 10 重量%以下、特に 5 重量%以下であることが望ましい。

【0035】

導体層 3 は、低抵抗化のため、 Au 、 Ag 、 Cu 、 Pt のうち少なくとも 1 種を含むことが好ましい。また、アルミナとの密着性向上のため、 W 及び / 又は Mo を含むことが好ましい。例えば、 Cu を 10 ~ 70 体積%、 W 及び / 又は Mo を 30 ~ 90 体積% を含有する組成とする。

10

【0036】

この導体層 3 のシート抵抗が、導体厚み 15 μm 換算で 8 m / \square 以下であることが好ましい。このような低いシート抵抗を有することによって、配線幅の縮小が可能となり、小型化ができる。

【0037】

次に、本発明の光電子実装回路基板の製造方法について説明する。

【0038】

まず、絶縁層 1 を作製するために、アルミナ粉末、所望の焼結助剤粉末を準備する。アルミナ原料粉末として、平均粒径が 0.5 ~ 2.5 μm 、特に 0.5 ~ 2.0 μm の粉末を用いる。これは、平均粒径は 0.5 μm よりも小さいと、粉末の取扱いが難しく、また粉末のコストが高くなり、2.5 μm よりも大きいと、1500 以下の温度で焼成することが難しくなるためである。

20

【0039】

第 2 の成分として、 Mn_2O_3 粉末を 2 ~ 15 重量%、並びに SiO_2 粉末を 2 ~ 15 重量%の割合で添加する。 Mn_2O_3 粉末等の Mn 化合物粉末の添加によって 1200 ~ 1500 で緻密化が促進され、また、高い絶縁性を維持することができ、 SiO_2 粉末の添加によって緻密化を促進し、高い熱伝導率を維持することができ、また、適宜、第 3 の成分として、 Mg 、 Ca 、 Sr 、 B 、 Nb 、 Cr 、 Co の酸化物、炭酸塩、水酸塩のうち少なくとも 1 種を、 Cu 含有導体との同時焼結性を高めるために、0.1 ~ 4 重量%含有し、第 4 の成分として、 W 、 Mo 、 Cr 等の遷移金属の金属粉末や酸化物粉末を着色成分として金属換算で 2 重量%以下の割合で添加する。

30

【0040】

一方、誘電体層にはムライト、フォルステライト、エンスタタイト、シリカ、コーデイエライトの内から選ばれる 1 種以上の主成分粉末と、第 2 の成分として Mn_2O_3 、 SiO_2 、 ZnO 、 CaO 、 Nb_2O_5 、 MoO_3 、 WO_3 のうち少なくとも 1 種、さらに第 3 の成分として 10 重量%以下のガラスを添加することができる。ガラスの添加を 10 重量%以下にすることにより、焼成時における低誘電率層の変形並びにアルミナ層への拡散による熱伝導率の低下を抑制しながら、焼結性を高めることができる。

40

【0041】

ここで上記の主成分粉末の粒径は 0.5 ~ 5 μm 、特に 0.5 ~ 3 μm の粉末を用いる。これは、粒径が 5 μm よりも大きい場合には焼結後の粒内にクラックが生じ著しく強度が低下するためである。また、0.5 μm よりも小さい場合には粉末の取り扱いが困難になるためである。上記酸化物の添加に当たっては、酸化物粉末以外に、焼成によって酸化物を形成し得る炭酸塩、硝酸塩、酢酸塩等として添加してもよい。

【0042】

そして、各々の混合粉末を用いて絶縁層を形成するためのシート状成形体を作製する。シート状成形体は、周知の成形方法によって作製することができる。例えば、上記混合粉末に有機バインダや溶媒を添加してスラリーを調製した後、ドクターブレード法によって

50

形成したり、混合粉末に有機バインダを加え、プレス成形、圧延成形等により所定の厚みのシート状成形体を作製できる。そしてこのシート状成形体に対して、マイクロドリル、レーザー等によりビアホール導体用スルーホールを形成してもよい。

【0043】

次いで、導体層が低抵抗金属(Au、Ag、Cu、Pt)と高融点金属(W、Mo)とを含むように、導体ペーストが少なくともAu粉末、Ag粉末、Cu粉末及びPt粉末のうち少なくとも1種を含み、更にはW粉末及び/又はMo粉末を含むことが好ましい。例えば、Cu粉末とW粉末、AuとMo粉末等であり、具体的な例として1~10 μ mのCu 10~70体積%、特に30~60体積%、1~10 μ mのW及び/もしくはMoを30~90体積%、40~70体積%の割合で含有してなる導体ペーストを調製する。Cu等の金属は、低抵抗に寄与し、高融点金属は絶縁層1との熱膨張係数差による導体層の剥離を防止するとともに、焼成温度がCuの融点よりも高いため、高融点金属が保型剤としても機能する。

10

【0044】

また、上記導体ペーストには、所望によりNi、Zr、Al、Li、Mg及びZnのうち少なくとも1種を金属元素換算で0.05~3.0重量%含有することが望ましい。これは、導体層の低抵抗化並びに絶縁基板との同時焼結性を改善するとともに、導体層の同時焼成後の保形性を維持するためである。なお、Ni、Zr、Al、Li、Mg及びZnは酸化物、ホウ化物、窒化物或いは炭酸塩として添加してもよく、このときの平均粒径は0.6~4 μ m、特に1.5~3.0 μ mが望ましい。

20

【0045】

また、本発明においては、導体層の抵抗、Cu成分の分離、にじみ等の観点から、W粉末及び/又はMo粉末は平均粒径1~10 μ m、特に1.3~5 μ m、更には1.3~3 μ mの球状あるいは数個の粒子による焼結粒子としてCuからなるマトリックス中に分散するように調製することも重要である。

【0046】

これらの導体ペースト中には、絶縁層との密着性を高めるために、アルミナ粉末や、絶縁層を形成する酸化物セラミック成分と同一の組成物粉末を0.05~2体積%の割合で添加することも可能である。

【0047】

次いで、上記の導体ペーストを各絶縁層1a~1d上にスクリーン印刷、グラビア印刷等の方法により印刷塗布し、導体層3を形成する。また、絶縁層1a~1dに設けられたビアホールの内部に上記導体ペーストを充填し、ビアホール導体層3dを形成する。

30

【0048】

その後、導体ペーストを充填したシート状成形体を位置合わせして積層圧着した後、この積層体を、この焼成を、非酸化性雰囲気中、焼成最高温度が1200~1500の温度となる条件で焼成する。

【0049】

この時の焼成温度が1200より低いと、通常の原料を用いた場合において、アルミナ絶縁基板が相対密度95%以上まで緻密化できず、熱伝導性や強度が低下すると同時に、低誘電率層の緻密化も達成できなくなる。一方、焼成温度が1500よりも高いと、WあるいはMo自体の焼結が進み、Cuの流動により均一組織を維持できなく、強いては低抵抗を維持することが困難となる。好適には、1250~1400の範囲がよい。

40

【0050】

また、この焼成時の非酸化性雰囲気としては、窒素、あるいは窒素と水素との混合雰囲気であることが望ましいが、特に、導体層中のCuの拡散を抑制する上では、水素及び窒素を含み露点+30以下、特に0~25の非酸化性雰囲気であることが望ましい。なお、この雰囲気には所望により、アルゴンガス等の不活性ガスを混入してもよい。焼成時の露点が+30より高いと、焼成中に導体材料と雰囲気中の水分とが反応し酸化膜を形成し、絶縁層とCu含有導体のCuが反応してしまい、導体の低抵抗化の妨げとなるのみで

50

なく、Cuの拡散を助長してしまうためである。

【0051】

さらに、本発明の絶縁基板においては、Cuの融点を越える温度での同時焼成によって、表面導体層3aや内部導体層3b中のCu成分が絶縁層1及び誘電体層2中に拡散する場合があるが、本発明によれば、上記少なくともCuを含む導体層の周囲の絶縁基板のセラミックスへのCuの拡散距離が20 μ m以下、特に10 μ m以下であることが望ましい。これは、Cuのセラミックス中への拡散距離が20 μ mを超えると、導体層間の絶縁性が低下し、配線基板としての信頼性が低下するためである。

【0052】

また、上記の方法により作製した絶縁基板表面に光導波路を形成する方法としては、アルミナ絶縁層上にゾルーゲル法によってシリカ系光導波路を形成したり、ポリイミド、ポリメチルメタクリレート、ポリカーボネート等の有機系材料を用いた光導波路の形成、またはCVD法を用いた光導波路の形成が可能である。

【0053】

また、光半導体素子をアルミナ絶縁層上に設置して、基板の導体層と電氣的に接続すると同時に、光導波路クラッド内に埋設することも可能である。アルミナ絶縁層上に光導波路を形成するのは、光導波路形成層が高強度であることと、光導波路と光学的に接続される素子の熱膨張係数がアルミナと近い為に接続信頼性に優れ、かつ半導体素子の発熱に対し熱伝導性が優れる為である。

【0054】

電子半導体素子はアルミナを絶縁層とする表面に載置することが望ましい。なぜならば、アルミナはガラスセラミック等と異なり熱伝導率が比較的高いことから素子から発生した熱を効率的かつ速やかに発散することが出来るからである。更にポリイミド等の樹脂基板と異なり熱膨張係数が半導体素子に近いことから高い一次実装信頼性を確保することが出来る。このときの基板への半導体素子の実装形態は半田を用いたボール実装又はノ及びベアチップ実装等で行うことができる。

【0055】

また、本発明の実装基板は、プリント基板等の母基板の表面に、コンデンサ、抵抗体及び配線導体を含む電子回路が形成され、上記光電子実装回路基板は、高周波入力用外部接続端子10を介して電子回路に実装されている。本発明によれば、光電子実装回路基板として上記の構成の実装基板を用いることによって、40GHzの高周波信号が前記光電子実装回路基板に入力するときの反射損失を-10.0dB以下、特に-7dB以下、更には-5dB以下とすることができる。従って、本発明の光電子実装回路基板を用いることによって、40GHz以上の高周波信号の入力が可能で、大容量の光通信に対応できる。

【0056】

【実施例】

絶縁層を作製するため、アルミナ粉末(平均粒径1.8 μ m)に対して、Mn₂O₃及びSiO₂をそれぞれ6重量%、MgOを0.5重量%の割合で調合し、これに結合剤(バイнда)用有機樹脂としてアクリル系バイндаと溶媒のトルエンを加えてスラリーを調製した後、ドクターブレード法にて厚さ250 μ mのシート状に成形した。

【0057】

また、誘電体層を作成するため、ムライト、フォルステライト、エンスタタイト、シリカ、コーディエライトの内から選ばれる1種以上を主成分とし、表1に示す添加物を加えて、シート状成形体を作製した。ここで誘電体層の誘電率はシリカ量の調整で行った。そして、所定箇所に焼成後のホール径が100~200 μ mのピアホールを形成した。

【0058】

次に、平均粒径が5 μ mのCu粉末、Ag粉末、Au粉末及びPt粉末のうち1種と、平均粒径が0.8~12 μ mのW粉末又はMo粉末とを表1に示す比率で混合し、この混合粉末とアクリル系バイндаとをアセトンを溶媒として導体ペーストを作製した。

【0059】

10

20

30

40

50

そして、シート状成形体上に上記導体ペーストを印刷塗布し、各シート状成形体のビアホール導体層にも上記導体ペーストを充填した。上記のようにして作製した各シート状成形体を位置合わせして積層圧着して成形体積層体を作製した。その後、この成形体積層体を実質的に水分を含まない酸素含有雰囲気中（ $H_2 + O_2$ ）で脱脂を行った後、露点 20 の窒素水素混合雰囲気、1300 で焼成し、図 1 の光電子実装回路基板を得た。

【0060】

得られた基板の密度をアルキメデス法により測定した。また、回路基板における導体層の電気抵抗（シート抵抗換算）を 4 端子法にて測定した。さらに、比誘電率は、JIS R 1627 に基づいて空洞共振器法により測定周波数 40 GHz で比誘電率を測定した。

【0061】

また、反射損失はネットワークアナライザ とウエハプローブを用い 40 GHz における測定を行った。詳細には、図 2 に示すように、光電子実装回路基板 21 を実装する母基板 22 と光電子実装回路基板 21 内に設けた測定用電極間の値を測定した。このときの測定試料の断面構成を、高周波入力用外部接続端子を表面に形成する誘電体層及び絶縁層の厚みはそれぞれ 0.25 mm、ビア径は 0.1 mm であった。また、高周波入力用外部接続端子を構成する電極パッド（ボールパッド）径は 0.4 mm、半田ボール径は 0.3 mm、ボールピッチ 0.8 mm、光電子実装回路基板を実装する母基板には厚み 0.2 mm で誘電率 3.5 のテフロン（登録商標）基板を用いた。

【0062】

セラミック層の抗折強度は高周波入力用外部接続端子形成層に用いる低誘電率絶縁層厚みが 0.5 mm、該絶縁層以外の絶縁層厚みが 2.5 mm の同時焼成された試料を用いて 3 点曲げ強度を測定した。さらに、セラミック層の熱伝導率に関しても抗折強度測定に用いた積層構造をもつ試料を用いてレーザーフラッシュ法により室温における熱伝導率を測定した。

【0063】

【表 1】

試料 No.	誘電体層			導体層組成				特性						
	種類	量 wt%	添加物	主成分				密度 g/cm ³	抗折強度 MPa	熱伝導率 W/mK	誘電率		シート抵抗 mΩ/□	反射損失 dB
				種類	量 wt%	種類	量 wt%				絶縁層	誘電体層		
* 1	A	87	Mn ₂ O ₃ /SiO ₂	Cu	40	W	60	3.7	400	16	9	9	5	-6.4
2	F	85	Mn ₂ O ₃ /SiO ₂	Cu	40	W	60	3.5	384	15	9	8	5	10
3	F	80	ガラス	Cu	40	W	60	3.4	380	15	9	7.1	5	-11.5
4	E	80	ガラス	Cu	40	W	60	3.4	369	15	9	6.8	5	-13.6
5	E	70	ガラス	Cu	40	W	60	3.3	350	15	9	6.6	5	-14
6	F	70	SiO ₂	Cu	40	W	60	3.3	376	15	9	6.4	6	-14.3
7	E	70	SiO ₂	Cu	40	W	60	3.3	370	14	9	6.2	6	-13.5
8	F	70	C	Cu	40	W	60	3.3	385	14	9	6	5	-15
9	F	60	C	Cu	40	W	60	3.2	346	12	9	5.8	5	-15.4
10	S	60	E	Cu	40	W	60	3.2	360	14	9	5.6	5	-16
11	C	70	SiO ₂	Cu	40	W	60	3.3	341	12	9	5.4	6	-18
12	S	60	C	Cu	40	W	60	3.2	350	13	9	5.2	5	-19.7
13	S	85	ガラス	Cu	40	W	60	3.5	343	14	9	5	6	-21.9
14	F	70	C	Cu	40	Mo	60	3.3	385	14	9	4.8	6	-15
15	F	70	C	Ag	40	W	60	3.3	385	14	9	4.8	5	-15
16	F	70	C	Au	40	W	60	3.3	385	14	9	4.6	5	-15
17	F	70	C	Pt	40	W	60	3.3	385	14	9	4.4	6	-15
18	M	70	C	Cu	40	W	60	3.3	370	14	9	4.4	6	-15
* 19	A	70	Mn ₂ O ₃ /SiO ₂	W	100	-	-	3.6	385	14	9	9	32	-6.5
* 20	A	70	Mn ₂ O ₃ /SiO ₂	Mo	100	-	-	3.6	385	14	9	9	28	-6.5

* 印は本発明の範囲外を示す

A: アルミナ E: エンスタタイト C: コーデイエライト
F: フォルスタ S: シリカ M: ムライト

【0064】

本発明の試料 No. 2 ~ 18 は、誘電体層の誘電率が 4.4 ~ 8 と絶縁層のアルミナの 9

10

20

30

40

50

より小さく、反射損失が - 10 dB 以下であった。

【0065】

一方、絶縁層と誘電体層が同一材質からなる試料 No. 1 は、反射損失が - 6.4 dB であった。

【0066】

また、導体層が W 又は Mo からなる本発明の範囲外の試料 No. 19 及び 20 は、シート抵抗が $28 \text{ m} / \Omega$ 以上と大きく、反射損失が - 6.5 dB と大きかった。

【0067】

【発明の効果】

本発明の光電子実装回路基板は、機械的、熱的特性に優れるアルミナ質絶縁層と低誘電率の誘電体層とを一体的に設けた絶縁基板の絶縁層表面に光導波路、光半導体素子及び電子半導体素子を載置し、誘電体層上に高周波入力用外部接続端子を形成することによって、高周波入力信号の反射損失並びに挿入損失を改善し、高信頼性、小型の光電子実装回路基板を実現できる。

10

【図面の簡単な説明】

【図1】本発明の光電子実装回路基板を示す概略断面図である。

【図2】本発明の実装基板の一部を示す概略断面図である。

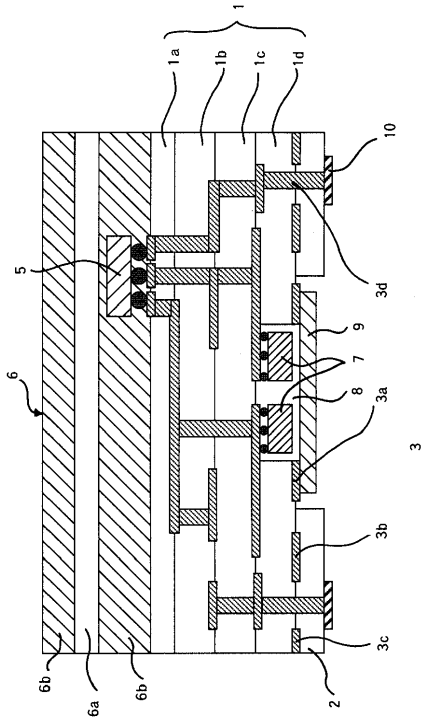
【符号の説明】

- 1・・・絶縁層
- 1 a、1 b、1 c、1 d・・・アルミナ焼結体
- 2・・・誘電体層
- 3・・・導体層
- 3 a・・・表面導体層
- 3 b・・・内部導体層
- 3 c・・・グランド導体層
- 3 d・・・ビアホール導体層
- 5・・・光半導体素子及び / 又は光電子半導体素子
- 6・・・光導波路
- 6 a・・・光導波路コア
- 6 b・・・光導波路クラッド
- 7・・・電子半導体素子
- 8・・・キャビティ
- 9・・・蓋体
- 10・・・高周波入力用外部接続端子

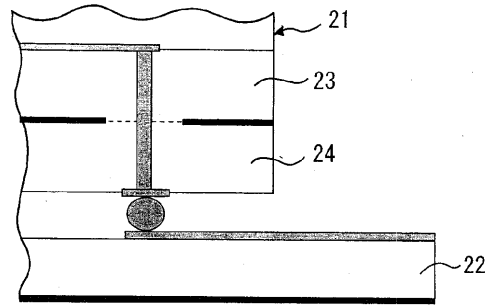
20

30

【 図 1 】



【 図 2 】



フロントページの続き

(51) Int.Cl.

F I

H 0 1 L 23/12

F

(56) 参考文献 特開 2 0 0 0 - 3 5 7 7 7 0 (J P , A)

特開 2 0 0 1 - 4 8 5 6 (J P , A)

特開平 6 - 6 9 4 9 0 (J P , A)

特開平 1 - 1 9 9 4 6 0 (J P , A)

特開平 8 - 5 1 2 8 3 (J P , A)

特開平 8 - 2 2 8 0 7 8 (J P , A)

特開平 1 0 - 1 8 6 1 6 9 (J P , A)

特開平 8 - 1 6 7 6 7 2 (J P , A)

特開 2 0 0 1 - 4 8 8 0 (J P , A)

特開 2 0 0 1 - 1 5 8 7 5 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

H05K 3/46

H05K 1/02

H01L 23/12

G02B 6/12 - 6/14