

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5426921号
(P5426921)

(45) 発行日 平成26年2月26日 (2014. 2. 26)

(24) 登録日 平成25年12月6日 (2013. 12. 6)

(51) Int. Cl.

A 6 3 F 7/02 (2006. 01)

F 1

A 6 3 F 7/02 3 2 6 Z

請求項の数 1 (全 46 頁)

(21) 出願番号	特願2009-109648 (P2009-109648)	(73) 特許権者	000132747
(22) 出願日	平成21年4月28日 (2009. 4. 28)		株式会社ソフィア
(65) 公開番号	特開2010-253186 (P2010-253186A)		群馬県桐生市境野町7丁目201番地
(43) 公開日	平成22年11月11日 (2010. 11. 11)	(74) 代理人	100075513
審査請求日	平成24年2月21日 (2012. 2. 21)		弁理士 後藤 政喜
		(74) 代理人	100114236
			弁理士 藤井 正弘
		(74) 代理人	100120260
			弁理士 飯田 雅昭
		(74) 代理人	100137604
			弁理士 須藤 淳
		(72) 発明者	田中 雅也
			群馬県太田市吉沢町990番地 株式会社 ソフィア内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技に係わる演出を行う複数の演出装置を備える遊技機において、
 前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設けるとともに、
 複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段を設け、
 該各グループ単位制御手段と該グループ統括制御手段とを、複数の接続線を一体化して構成したハーネスによりコネクタを介して接続し、
 該ハーネスは、
 前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、
 前記グループ統括制御手段から前記グループ単位制御手段へ演出制御データを伝達するデータ線と、
 前記グループ単位制御手段に電源電圧を供給するための電源線と、
 を含んでおり、
 前記グループ統括制御手段は、
 前記グループ単位制御手段へのデータ送信を開始する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをハイレベルからロウレベルに変化させることで送信開始を指令する送信開始指令手段と、
 前記送信開始の指令後に、前記データ線の信号レベルを送信データに対応する信号レベ

10

20

ルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記グループ単位制御手段にデータを順次送信するとともに、該データ線の信号レベルの変更を、前記タイミング信号線の信号レベルがロウレベルとなっている状態で行う送信手段と、

前記グループ単位制御手段へのデータ送信を終了する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをロウレベルからハイレベルに変化させることで送信終了を指令する送信終了指令手段と、

を備え、

前記グループ単位制御手段は、

前記ハーネスを構成するデータ線から、当該グループ単位制御手段宛の演出制御データを取り込む取込手段と、

前記ハーネスを構成する電源線からの電源供給が開始された場合に、当該グループ単位制御手段自身の初期化を行う初期化手段と、

を備えるとともに、該演出制御データに基づいて対応するグループに属する演出装置を制御することを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関し、特に、グループ統括制御手段からグループ単位制御手段へのデータ送信方法に関する。

【背景技術】

【0002】

主制御部と周辺制御部との間、特に主制御部から周辺制御部への信号の伝達方式を改良することにより、信号線系統の煩雑化を解消し、電氣的構成の簡略化を図ることができる遊技機が知られている。この遊技機では、主制御部から周辺制御部への指令信号の伝送を、作動指令対象となる周辺制御部を特定可能な状態にて行う。これにより、複数の周辺制御部への信号伝送経路を共通化することが可能となる。その結果、指令信号の伝達経路を個々の周辺制御部毎に形成する態様と比較して信号線の数的大幅に減らすことができ、また、主制御部側の指令信号の出力ポートを統合できるので信号線系統の煩雑化を解消し、電氣的構成の簡略化を図ることができる（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-038021号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示された遊技機では、これ以上に基板間の配線を少なくすることはできなかった。

【0008】

本発明は、グループ統括制御手段とグループ単位制御手段とを接続する接続線の数削減できる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明は、遊技に係わる演出を行う複数の演出装置を備える遊技機において、前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設けるとともに、複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段を設け、該各グループ単位制御手段と該グループ統括制御手段とを、複数の接続線を一体化して構成したハーネスによりコネク

10

20

30

40

50

タを介して接続し、該ハーネスは、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、前記グループ統括制御手段から前記グループ単位制御手段へ演出制御データを伝達するデータ線と、前記グループ単位制御手段に電源電圧を供給するための電源線と、を含んでおり、前記グループ統括制御手段は、前記グループ単位制御手段へのデータ送信を開始する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをハイレベルからロウレベルに変化させることで送信開始を指令する送信開始指令手段と、前記送信開始の指令後に、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記グループ単位制御手段にデータを順次送信するとともに、該データ線の信号レベルの変更を、前記タイミング信号線の信号レベルがロウレベルとなっている状態で行う送信手段と、前記グループ単位制御手段へのデータ送信を終了する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをロウレベルからハイレベルに変化させることで送信終了を指令する送信終了指令手段と、を備え、前記グループ単位制御手段は、前記ハーネスを構成するデータ線から、当該グループ単位制御手段宛の演出制御データを取り込む取込手段と、前記ハーネスを構成する電源線からの電源供給が開始された場合に、当該グループ単位制御手段自身の初期化を行う初期化手段と、を備えるとともに、該演出制御データに基づいて対応するグループに属する演出装置を制御する。

10

【発明の効果】

【0015】

20

本発明によると、タイミング信号線及びデータ線だけを用いて、データの送信開始と送信終了をグループ単位制御手段に通知できるので、基板間の配線をさらに少なくすることができる。

【図面の簡単な説明】

【0021】

【図1】本発明の実施形態の遊技機の説明図である。

【図2】本発明の実施形態の遊技盤の正面図である。

【図3】本発明の実施形態の遊技機の構成を示すブロック図である。

【図4】本発明の実施形態の演出制御装置の構成を示すブロック図である。

【図5】本発明の実施形態の装飾制御装置の接続の説明図である。

30

【図6】本発明の実施形態の装飾制御装置のブロック図である。

【図7】本発明の実施形態のI²C I/Oエクスパンドのブロック図である。

【図8A】本発明の実施形態の装飾装置を制御する装飾制御装置のI²C I/Oエクスパンド周辺の回路図である。

【図8B】本発明の実施形態の役物駆動MOT及び役物駆動SOLを制御する装飾制御装置のI²C I/Oエクスパンド周辺の回路図である。

【図9】本発明の実施形態の中継基板の入出力に関する接続線の回路図である。

【図10】本発明の実施形態の装飾制御装置の入出力に関する接続線の回路図である。

【図11】本発明の実施形態の装飾制御装置の配線基板におけるSDA接続パターン及びSCL接続パターンの説明図である。

40

【図12】本発明の実施形態のI²C I/OエクスパンドのVcc端子への電源の供給方法の説明図である。

【図13】本発明の実施形態の演出制御装置から装飾制御装置に出力されるデータに含まれるアドレスの説明図である。

【図14】本発明の実施形態のI²C I/Oエクスパンドアドレステーブルの説明図である。

【図15】本発明の実施形態の演出制御装置による処理のフローチャートである。

【図16】本発明の実施形態のスレーブ選択順序テーブルの説明図である。

【図17】本発明の実施形態のマスタICによるスレーブ出力処理のフローチャートである。

50

【図１８】本発明の実施形態のマスタＩＣが接続線ＳＤＡ及び接続線ＳＣＬを介して出力するデータのスタート条件及びストップ条件の説明図である。

【図１９】本発明の実施形態のマスタＩＣから出力されたデータが入力された装飾制御装置６１０が返答信号を出力するタイミングチャートである。

【図２０】本発明の実施形態のマスタＩＣが演出制御データを出力する場合の接続線ＳＤＡ及び接続線ＳＣＬの信号レベルのタイミングチャートである。

【図２１】本発明の実施形態のマスタＩＣが装飾制御装置にオールコールアドレスを設定する場合に、マスタＩＣから出力されるデータの説明図である。

【図２２】本発明の実施形態のオールコールアドレスが設定されている装飾制御装置を装飾制御する場合に、演出制御装置から出力されるデータの説明図である。

【図２３】本発明の実施形態の演出制御装置に複数のマスタＩＣが備わる場合のマスタＩＣと装飾制御装置との接続の説明図である。

【発明を実施するための形態】

【００２２】

（第１実施形態）

以下、本発明の実施形態について、図１～図２３を参照して説明する。

【００２３】

図１は、本発明の実施形態の遊技機１の説明図である。

【００２４】

遊技機１の前面枠（遊技枠）３は本体枠（外枠）２にヒンジ４を介して、遊技機１の前面に開閉回動可能に組み付けられる。前面枠３の表側には、遊技盤１０（図２参照）が収装される。また、前面枠３には、遊技盤１０の前面を覆うカバーガラス（透明部材）を備えたガラス枠１８が取り付けられている。

【００２５】

ガラス枠１８のカバーガラスの周囲には、装飾光が発光される装飾部材９が備えられている。この装飾部材９の内部にはランプやＬＥＤ等からなる装飾装置６２０（図３参照）が備えられている。この装飾装置６２０を所定の発光態様によって発光することによって、装飾部材９が所定の発光態様によって発光する。

【００２６】

ガラス枠１８の左右には、音響（例えば、効果音）を発するスピーカ３０が備えられている。また、ガラス枠１８の上方には照明ユニット１１が備えられている。照明ユニット１１の内部には、前述した装飾装置６２０が備えられている。

【００２７】

照明ユニット１１の右側には、遊技機１において異常が発生したことを報知するための異常報知ＬＥＤ２９が備えられている。

【００２８】

前面枠３の下部の開閉パネル２０には図示しない打球発射装置に遊技球を供給する上皿２１が、固定パネル２２には灰皿１５、下皿２３及び打球発射装置の操作部２４等が備えられる。下皿２３には、下皿２３に貯まった遊技球を排出するための下皿球抜き機構１６が備えられる。前面枠３下部右側には、ガラス枠１８を施錠するための鍵２５が備えられている。

【００２９】

また、遊技者が操作部２４を回動操作することによって、打球発射装置は、上皿２１から供給される遊技球を発射する。

【００３０】

また、上皿２１の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン１７が備えられている。

【００３１】

遊技者が演出ボタン１７を操作することによって、遊技盤１０に設けられた表示装置５３（図２参照）における特図変動表示ゲームの演出内容を選択して、表示装置５３にお

10

20

30

40

50

る特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

【 0 0 3 2 】

なお、特図変動表示ゲームは、発射された遊技球が遊技盤 1 0 に備わる第 1 始動入賞口 4 5 (図 2 参照) 又は普通変動入賞装置 3 6 (図 2 参照) の第 2 始動入賞口に入賞した場合に開始される。特図変動表示ゲームでは、表示装置 5 3 において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機 1 の状態が遊技者に有利な状態 (特典が付与される状態) である特別遊技状態に遷移する。

【 0 0 3 3 】

上皿 2 1 の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン 2 6、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン 2 7 が設けられている。これらのボタン 2 6、2 7 の間には、プリペイドカードの残高を表示する残高表示部 2 8 が設けられる。

【 0 0 3 4 】

図 2 は、本発明の実施形態の遊技盤 1 0 の正面図である。

【 0 0 3 5 】

図 1 に示す遊技機 1 は、内部の遊技領域 1 0 a 内に遊技球を発射して (弾球して) 遊技を行うもので、ガラス枠 1 8 のカバーガラスの奥側には、遊技領域 1 0 a を構成する遊技盤 1 0 が設置されている。

【 0 0 3 6 】

遊技盤 1 0 は、各種部材の取付ベースとなる平板状の遊技盤本体 1 0 b (木製又は合成樹脂製) を備え、該遊技盤本体 1 0 b の前面にガイドレール 3 2 で囲まれた遊技領域 1 0 a を有している。また、遊技盤本体 1 0 b の前面であってガイドレール 3 2 の外側には、前面構成部材 3 3、3 3、... が取り付けられている。そして、このガイドレール 3 2 で囲まれた遊技領域 1 0 a 内に発射装置から遊技球 (打球 ; 遊技媒体) を発射して遊技を行うようになっている。

【 0 0 3 7 】

遊技領域 1 0 a の略中央には、特図変動表示ゲームの表示領域となる窓部 5 2 を形成するセンターケース 5 1 が取り付けられている。このセンターケース 5 1 に形成された窓部 5 2 の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置 5 3 が配されるようになっている。この表示装置 5 3 は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 5 3 a がセンターケース 5 1 の窓部 5 2 を介して遊技盤 1 0 の前面側から視認可能となるように配されている。なお、表示装置 5 3 は、液晶ディスプレイを備えるものに限らず、E L、C R T 等のディスプレイを備えるものであってもよい。

【 0 0 3 8 】

センターケース 5 1 の窓部 5 2 の上端付近には、遊技状態に基づいて動作可能な可動役物 6 0 が取り付けられる。

【 0 0 3 9 】

また、遊技盤 1 0 には、普図始動ゲート 3 4 と、普図変動表示ゲームの未処理回数を表示する普図記憶表示器 4 7、普図変動表示ゲームを表示する普図表示器 3 5 が設けられている。また、遊技領域 1 0 a 内には、第 1 の始動入賞領域をなす第 1 始動入賞口 4 5 と、第 2 の始動入賞領域をなす第 2 始動入賞口を有する普通変動入賞装置 3 6 と、が設けられている。そして、遊技球が第 1 始動入賞口 4 5 に入賞した場合は、補助遊技として第 1 特図変動表示ゲームが実行され、遊技球が普通変動入賞装置 3 6 に入賞した場合は、補助遊技として第 2 特図変動表示ゲームが実行されるようになっている。

【 0 0 4 0 】

また、遊技盤 1 0 には、第 1 特図変動表示ゲームを表示する第 1 特図表示器 3 8 と、第 2 特図変動表示ゲームを表示する第 2 特図表示器 3 9 と、が設けられている。また、第 1 特図変動表示ゲームの未処理回数 (第 1 特図始動記憶) を表示する第 1 特図記憶表示器 4

10

20

30

40

50

8と、第2特図変動表示ゲームの未処理回数(第2特図始動記憶)を表示する第2特図記憶表示器49が設けられている。なお、普図記憶表示器47、普図表示器35、第1特図表示器38、第2特図表示器39、第1特図記憶表示器48、第2特図記憶表示器49は、遊技状態を表す遊技状態表示LED(図示略)と併せて、セグメントLEDとして一体に設けられている。

【0041】

さらに遊技領域10aには、上端側が手前側に倒れる方向に回転して開放可能になっているアタッカ形式の開閉扉42aを有し、第1特図変動表示ゲーム、第2特図変動表示ゲームの結果如何によって大入賞口を閉じた状態(遊技者にとって不利な状態)から開放状態(遊技者にとって有利な状態)に変換する特別変動入賞装置42、入賞口などに入賞しなかつた遊技球を回収するアウト穴43が設けられている。その他、遊技領域10aには、一般入賞口44、44、...、打球方向変換部材としての風車46、多数の障害釘(図示略)などが配設されている。

10

【0042】

普図始動ゲート34内には、該普図始動ゲート34を通過した遊技球を検出するためのゲートSW34a(図3参照)が設けられている。そして、遊技領域10a内に打ち込まれた遊技球が普図始動ゲート34内を通過すると、普図変動表示ゲームが行われる。

【0043】

また、普図変動表示ゲームを開始できない状態中に、普図始動ゲート34を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が1加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

20

【0044】

普図変動表示ゲームを開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームが当たって普通変動入賞装置36が開状態に変換されている状態のことをいう。

【0045】

なお、普図変動表示ゲームの始動記憶数は、LEDを備える普図記憶表示器47にて表示される。

【0046】

30

普図変動表示ゲームは、遊技盤10に設けられた普図表示器35で実行されるようになっている。なお、表示装置53の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることにより行うようにする。

【0047】

この普図変動表示ゲームの停止表示が特別の結果態様となれば、普図変動表示ゲームが当たりとなって、普通変動入賞装置36の開閉部材36a、36aが所定時間(例えば、0.5秒間)開放される。これにより、普通変動入賞装置36に遊技球が入賞しやすくなり、第2特図変動表示ゲームの始動が容易となる。

40

【0048】

普通変動入賞装置36は左右一対の開閉部材36a、36aを具備し、第1始動入賞口45の下部に配設される。この開閉部材36a、36aは、常時は遊技球の直径程度の間隔をおいて閉じた状態(遊技者にとって不利な状態)を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合(普図変動表示ゲームが当たりとなった場合)には、駆動装置としてのソレノイド(普電SOL36b、図3参照)によって、逆「ハ」の字状に開いて普通変動入賞装置36に遊技球が流入し易い状態(遊技者にとって有利な状態)に変化させられるようになっている。

【0049】

また、本実施形態の遊技機1は、特図変動表示ゲームの結果態様に基づき、遊技状態と

50

して、表示装置 5 3 における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第 2 動作状態）を発生可能となっている。この時短動作状態（第 2 動作状態）は、普通変動入賞装置 3 6 の動作状態が、通常動作状態（第 1 動作状態）に比べて開放状態となりやすい状態である。

【 0 0 5 0 】

この時短動作状態においては、上述の普図変動表示ゲームの実行時間が、通常動作状態における長い実行時間よりも短くなるように制御され（例えば、10 秒が 1 秒）、これにより、単位時間当りの普通変動入賞装置 3 6 の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームが当り結果となって普通変動入賞装置 3 6 が開放される場合に、開放時間が通常動作状態の短い開放時間より長くされるように制御される（例えば、0.3 秒が 1.8 秒）。また、時短動作状態においては、普図変動表示ゲームの 1 回の当り結果に対して、普通変動入賞装置 3 6 が 1 回ではなく、複数回（例えば、2 回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当り結果となる確率が通常動作状態より高くなるように制御される。すなわち、通常動作状態よりも普通変動入賞装置 3 6 の開放回数が増加され、普通変動入賞装置 3 6 に遊技球が入賞しやすくなり、第 2 特図変動表示ゲームの始動が容易となる。

【 0 0 5 1 】

第 1 始動入賞口 4 5 の内部には第 1 始動口 SW 4 5 a（図 3 参照）が備えられ、この第 1 始動口 SW 4 5 a によって遊技球を検出することに基づき、補助遊技としての第 1 特図変動表示ゲームを開始する始動権利が発生するようになっている。また、普通変動入賞装置 3 6 の内部には第 2 始動口 SW 3 6 d（図 3 参照）が備えられ、この第 2 始動口 SW 3 6 d によって遊技球を検出することに基づき、補助遊技としての第 2 特図変動表示ゲームを開始する始動権利が発生するようになっている。

【 0 0 5 2 】

この第 1 特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば 4）の範囲内で第 1 始動記憶（特図 1 始動記憶）として記憶される。そして、この第 1 始動記憶数は、第 1 特図記憶表示器 4 8 に表示される。また、第 2 特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば 4）の範囲内で第 2 始動記憶（特図 2 始動記憶）として記憶される。そして、この第 2 始動記憶数は、第 2 特図記憶表示器 4 9 にて表示される。

【 0 0 5 3 】

そして、第 1 特図変動表示ゲームが開始可能な状態（第 1 始動記憶数及び第 2 始動記憶数が 0 の状態）で、第 1 始動入賞口 4 5 に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第 1 始動記憶として記憶されて、第 1 始動記憶数が 1 加算されるとともに、直ちに第 1 始動記憶に基づいて、第 1 特図変動表示ゲームが開始され、この際に第 1 始動記憶数が 1 減算される。

【 0 0 5 4 】

また、第 2 特図変動表示ゲームは第 1 特図変動表示ゲームよりも優先して実行されるため、第 1 始動記憶数が 0 でなくても、第 2 始動記憶数が 0 であれば、第 2 始動入賞口をなす普通変動入賞装置 3 6 に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第 2 始動記憶として記憶されて、第 2 始動記憶数が 1 加算されるととともに、実行中の第 1 特図変動表示ゲームが終了後直ちに第 2 始動記憶に基づいて、第 2 特図変動表示ゲームが開始され、この際に第 2 始動記憶数が 1 減算される。

【 0 0 5 5 】

一方、第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームが直ちに開始できない状態、例えば、既に第 1 特図変動表示ゲーム又は第 2 特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、第 1 始動入賞口 4 5 に遊技球が入賞すると、第 1 始動記憶数が上限数未満（例えば、4 個未満）ならば、第 1 始動記憶数が 1 加算されて、第 1 始動入賞口 4 5 に遊技球が入賞したタイミングで抽出された乱数が第 1 始動記憶として一つ記憶される。

【 0 0 5 6 】

同様に、この場合に第2始動入賞口をなす普通変動入賞装置36に遊技球が入賞すると、第2始動記憶数が上限数未満（例えば、4個未満）ならば、第2始動記憶数が1加算されて、第2始動入賞口に遊技球が入賞したタイミングで抽出された乱数が第2始動記憶として一つ記憶される。

【0057】

そして、第1特図変動表示ゲーム又は第2特図変動表示ゲームが開始可能な状態となると、第1始動記憶又は第2始動記憶に基づき第1特図変動表示ゲーム又は第2特図変動表示ゲームが開始される。このとき、第1特図変動表示ゲームと第2特図変動表示ゲームは同時に実行されることはなく、第2特図変動表示ゲームが第1特図変動表示ゲームよりも優先して実行されるようになっている。

10

【0058】

すなわち、第1始動記憶と第2始動記憶がある場合には、第2特図変動表示ゲームが実行される。

【0059】

補助遊技としての第1特図変動表示ゲーム、第2特図変動表示ゲームは、遊技盤10に設けられた第1特図表示器38、第2特図表示器39で実行されるようになっており、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置53にて各特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）を変動表示させる特図変動表示ゲームが実行される。そして、この特図変動表示ゲームの結果として、第1特図表示器38又は第2特図表示器39の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置53の表示態様も特別結果態様（例えば、「7, 7, 7」等のゾロ目数字の何れか）となる。なお、遊技機に第1特図表示器38、第2特図表示器39を備えずに、表示装置53のみで特図変動表示ゲームを実行するようにしてもよい。

20

【0060】

また、本実施形態の遊技機1は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第2確率状態）を発生可能となっている。この確変状態（第2確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第1確率状態）に比べて高い状態である。なお、第1特図変動表示ゲームと第2特図変動表示ゲームのどちらの特図変動表示ゲームの結果態様に基づき確変状態となっても、第1特図変動表示ゲーム及び第2特図変動表示ゲームの両方が確変状態となる。また、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

30

【0061】

図3は、本発明の実施形態の遊技機1の構成を示すブロック図である。

【0062】

遊技機1は、遊技を統括的に制御する遊技制御装置500、各種演出を行うために表示装置53及びスピーカ30等を制御する演出制御装置550、遊技球を払い出すために図示しない払出モータを制御する払出制御装置580を備える。

40

【0063】

まず、遊技制御装置500について説明する。図4では、演出制御装置550について説明する。

【0064】

遊技制御装置500は、遊技用マイコン501、入力I/F（Interface）505、出力I/F（Interface）506、及び外部通信端子507を備える。

【0065】

遊技用マイコン501は、CPU502、ROM（Read Only Memory）503及びRAM（Random Access Memory）504を備える。

【0066】

50

CPU502は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM503は、遊技制御のための不変の情報（プログラム、データ等）を記憶している。RAM504は、遊技制御時にワークエリアとして利用される。

【0067】

外部通信端子507は、遊技制御装置500の設定情報等を検査する検査装置等の外部機器に遊技制御装置500を接続する。

【0068】

CPU502は、入力I/F505を介して各種入力装置（第1始動口SW45a、第2始動口SW36d、一般入賞口SW44a、ゲートSW34a、カウントSW42d、ガラス枠開放SW18a、前面枠開放SW3a、球切れSW54、振動センサ55、及び磁気センサ56）からの検出信号を受けて、大当り抽選等、種々の処理を行う。

10

【0069】

第1始動口SW45aは、第1始動入賞口45に遊技球が入賞したことを検出するスイッチである。第2始動口SW36dは、普通変動入賞装置36の第2始動入賞口に遊技球が入賞したことを検出するスイッチである。

【0070】

一般入賞口SW44a～44nは、一般入賞口44に遊技球が入賞したことを検出するスイッチである。ゲートSW34aは、普図始動ゲート34を遊技球が通過したことを検出するスイッチである。

【0071】

20

カウントSW42dは、特別変動入賞装置42の大入賞口に遊技球が入賞したことを検出するスイッチである。

【0072】

ガラス枠開放SW18aは、ガラス枠18が開放されたことを検出するスイッチである。前面枠開放SW3aは、前面枠3が開放されたことを検出するスイッチである。

【0073】

球切れSW54は、遊技機1の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【0074】

振動センサ55は、遊技機1に与えられた振動を検出するセンサであり、遊技機1に振動を与えて、不当に遊技球を獲得する不正を検出する。磁気センサ56は、第1始動入賞口45、普通変動入賞装置36の第2始動入賞口、一般入賞口44、特別変動入賞装置42の大入賞口、及び普図始動ゲート34付近に設けられ、磁力を検出するセンサである。磁気センサ93は、各入賞口付近に磁石を近づけて、遊技領域10aに発射された遊技球を各入賞口に導く不正を検出する。

30

【0075】

また、CPU502は、出力I/F506を介して、第1特図表示器38、第1特図記憶表示器48、第2特図表示器39、第2特図記憶表示器49、普図表示器35、普電SOL36b、大入賞口SOL42b、払出制御装置580、及び演出制御装置550に指令信号を送信して、遊技を統括的に制御する。

40

【0076】

第1特図表示器38には、第1始動入賞口45に遊技球が入賞した場合に補助遊技として実行される第1特図変動表示ゲームが表示される。第1特図記憶表示器48には、所定の上限数の範囲内で記憶される第1特図変動表示ゲームを開始する始動権利である第1始動記憶数が表示される。

【0077】

第2特図表示器39には、普通変動入賞装置36の大入賞口に遊技球が入賞した場合に補助遊技として実行される第2特図変動表示ゲームが表示される。第2特図記憶表示器49には、所定の上限数の範囲内で記憶される第2特図変動表示ゲームを開始する始動権利である第2始動記憶数が表示される。

50

【0078】

普図表示器35には、遊技球が普図始動ゲート34を通過した場合に行われる普図変動表示ゲームが表示される。

【0079】

普電SOL36bは、普図表示器35で実行される普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材36a、36aを開放し、普通変動入賞装置36の第2始動入賞口を遊技球が入賞しやすい状態にする。

【0080】

大入賞口SOL42bは、第1特図変動表示ゲーム又は第2特図変動表示ゲームの結果が特別の結果態様となり、特別遊技状態となった場合に、特別変動入賞装置42の開閉扉42aを開放して、大入賞口を遊技球が入賞しやすい状態に変換する。

10

【0081】

また、遊技制御装置500は、遊技機データを、外部情報端子508を介して、図示しない情報収集端末装置を介して、図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機1の遊技データを収集管理する計算機である。

【0082】

また、払出制御装置580は、遊技球が一般入賞口44又は大入賞口に入賞した場合に、入賞した入賞口に対応する数の遊技球の払い出し、又は球貸ボタン26が操作された場合に、所定数の遊技球の払い出しを行う払出指令を遊技制御装置500から受信した場合に、受信した払出指令に基づいて、図示しない払出モータを制御する。なお、払出指令には、払い出す遊技球の数が含まれる。

20

【0083】

遊技制御装置500は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力I/F506を介して、演出制御装置550へ送信する。

【0084】

図4は、本発明の実施形態の演出制御装置550の構成を示すブロック図である。

【0085】

演出制御装置550は、遊技制御装置500から入力される遊技データに基づいて、演出内容を決定して、表示装置53、及びスピーカ30を制御するとともに、装飾制御装置610を介して装飾装置620、役物駆動SOL560（ソレノイド）、及び役物駆動MOT（モータ）561を制御する。詳細は後述するが、これら装飾装置620、役物駆動SOL560、及び役物駆動MOT561（総称して演出装置という）によって、遊技の演出が行われる。また、演出制御装置550は、演出ボタン17から当該演出ボタン17が操作されたことを示す信号が入力される。

30

【0086】

演出制御装置550は、CPU551、制御ROM552、RAM553、画像ROM554、音ROM555、VDP556、音LSI557、入出力I/F558、電源投入検出回路559、マスタIC570、及び加算器590を備える。

【0087】

CPU551は、遊技制御装置500に接続され、遊技制御装置500から指令信号が割込信号（INT）として入力され、入力された指令信号に基づいて、各種演出を制御する主制御装置である。また、CPU551には、マスタIC570の後述するコントローラ574から割込信号が入力されるとともに、VDP556から割込信号が入力される。

40

【0088】

なお、CPU551に割込信号が入力されると、CPU551は、現在実行中の処理を中断して、入力された割込信号に対応する処理を実行する。

【0089】

制御ROM552には、演出制御のための不変の情報（プログラム、データ等）が格納されている。RAM553は、演出制御時にワークエリアとして利用される。

50

【0090】

画像ROM554には、表示装置53に表示される画像データが格納され、画像ROM554はVDP556に接続されている。音ROM555には、スピーカ30から出力される音データが格納され、音ROM555は音LSI557に接続されている。

【0091】

VDP556は、表示装置53への画像出力を制御するプロセッサである。音LSI557は、スピーカ30からの音声出力を制御する回路である。

【0092】

なお、VDP556は、表示装置53に表示される画像を更新する周期(1/60秒周期)と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号をCPU551に割込信号として入力する。

10

【0093】

入出力I/F558は、演出ボタン17に接続されるインタフェースである。

【0094】

なお、演出ボタン17は、上皿21の上縁部に設けられ、表示装置53で実行される第1特図変動表示ゲーム又は第2特図変動表示ゲームにおける演出で、遊技者によって操作される。

【0095】

CPU551、VDP556、RAM553、制御ROM552、音LSI557、及び入出力I/F558はバス563を介してそれぞれ接続されている。

20

【0096】

電源投入検出回路559は、演出制御装置550に電源が投入された場合に、マスタIC570の図示しないレジスタをデフォルト状態(すべて0)に初期化するリセット信号を加算器590を介して出力する。

【0097】

また、CPU551は、所定の条件が成立した場合に、リセット信号をバス563を介して入出力I/F558に出力し、入出力I/F558は入力されたりリセット信号を加算器590へ出力する。

【0098】

いずれの場合にもリセット信号は加算器590を介してマスタIC570に入力されるので、電源投入検出回路559及びCPU551の少なくとも一方からリセット信号が出力されていれば、リセット信号がマスタIC570に入力される。

30

【0099】

次に、マスタIC570について説明する。

【0100】

マスタIC570は、制御対象となる演出装置の装飾制御装置610のアドレスを指定して、指定したアドレスの装飾制御装置610に演出装置の制御内容を出力する。

【0101】

マスタIC570は、接続線Vcc、接続線Vact、接続線SDA、接続線SC L、及び接続線GND(図5参照)の5本の接続線を介して、中継基板(装飾制御装置)600に接続される。

40

【0102】

接続線Vccは、中継基板600及び装飾制御装置610に電源を供給するための接続線である。接続線Vactは、演出装置に電源を供給するための接続線である。接続線SDAは、演出制御装置550と装飾制御装置610との間でデータを通信するための接続線であり、本実施形態におけるデータ線として機能する。接続線SC Lは、接続線SDAでのデータ通信に用いられるクロック信号を入出力するための接続線であり、本実施形態におけるタイミング信号線として機能する。図5に示す接続線GNDは、接続線Vcc及び接続線Vactで供給される電源のグランドである。

50

【 0 1 0 3 】

中継基板 6 0 0 と装飾制御装置 6 1 0 との間は、マスタ I C 5 7 0 と中継基板 6 0 0 との間と同じく、接続線 V c c、接続線 V a c t、接続線 S D A、接続線 S C L、及び接続線 G N D を介して接続される。

【 0 1 0 4 】

マスタ I C 5 7 0 と装飾制御装置 6 1 0 とは、接続線 S D A 及び接続 S C L によって 2 ライン双方向通信を行う。

【 0 1 0 5 】

マスタ I C 5 7 0 は、中継基板 6 0 0 及び装飾制御装置 6 1 0 にデータを送信する場合には、まず、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることにより、装飾制御装置 6 1 0 へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置 6 1 0 に対してスタートコンディションを発行する）。

10

【 0 1 0 6 】

この後、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを L O W に変更し、接続線 S C L の信号レベルが L O W である間に接続線 S D A の信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線 S C L の信号レベルを L O W から H I G H に変化させる。接続線 S C L の信号レベルが H I G H に変化すると、装飾制御装置 6 1 0 は接続線 S D A の信号レベルを取り込んで、送信データの最初のビットとして認識する。次いで、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを H I G H から L O W に戻す。

20

【 0 1 0 7 】

この手順を 1 回実行すると、マスタ I C 5 7 0 から装飾制御装置 6 1 0 へ 1 ビットのデータが送信され、最終的にはこの手順が 8 回繰り返されることで、送信データの 8 ビット全てがマスタ I C 5 7 0 から装飾制御装置 6 1 0 へ送信される（1 バイト分のデータが送信される）。

【 0 1 0 8 】

そして、マスタ I C 5 7 0 は、最後の 8 ビット目のデータを送信し終えて、接続線 S C L の信号レベルを H I G H から L O W に戻した際に、接続線 S D A を解放して装飾制御装置 6 1 0 からの返答信号を受信することを待機する受信待機状態にする。

【 0 1 0 9 】

受信待機状態になると、装飾制御装置 6 1 0 は、接続線 S D A を介して 1 ビットの返答信号（後述する A C K 又は N A C K）をマスタ I C 5 7 0 に返す。次いで、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを L O W から H I G H に変化させて返答信号のレベルを取り込み、所定時間後に接続線 S C L の信号レベルを H I G H から L O W に変化させると、装飾制御装置 6 1 0 は接続線 S D A を解放する。

30

【 0 1 1 0 】

マスタ I C 5 7 0 は、このような 1 バイト分のデータ送信と 1 ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置 6 1 0 へ出力すべきデータがすべて出力されるまで継続する。マスタ I C 5 7 0 は、出力すべきデータの出力が終了した場合には、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを L O W から H I G H に変更させることにより、装飾制御装置 6 1 0 へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置 6 1 0 に対してストップコンディションを発行する）。

40

【 0 1 1 1 】

入力用 B U F 5 7 1 は、装飾制御装置 6 1 0 から接続線 S D A を介して入力されたデータが一時的に記憶される記憶装置である。

【 0 1 1 2 】

具体的には、マスタ I C 5 7 0 が入力モードに設定された場合において、装飾制御装置 6 1 0 からマスタ I C 5 7 0 に送信されたデータが、フィルタ 5 7 5 A によりノイズが除去されて入力用 B U F 5 7 1 に一時的に記憶される。

50

【 0 1 1 3 】

出力用 B U F 5 7 2 は、装飾制御装置 6 1 0 に接続線 S D A を介して出力するデータが一時的に記憶される。

【 0 1 1 4 】

リセット R E G 5 7 3 は、バス 5 6 3 に接続され、C P U 5 5 1 からの指令を受けてリセット信号をコントローラ 5 7 4 に出力する。コントローラ 5 7 4 は、マスタ I C 5 7 0 を統括的に制御し、各種処理を実行する。

【 0 1 1 5 】

フィルタ 5 7 5 A は、接続線 S D A から入力されたデータのノイズを除去する。ドライバ 5 7 6 A は、接続線 S D A からデータを出力する場合に、トランジスタ 5 7 8 A が動作可能な電圧をトランジスタ 5 7 8 A に印加する。

10

【 0 1 1 6 】

図 9 に示すように接続線 S D A には、プルアップ抵抗 R によって所定の電圧が印加されて、接続線 S D A はフィルタ 5 7 5 A 及びトランジスタ 5 7 8 A に接続されている。

【 0 1 1 7 】

トランジスタ 5 7 8 A は、電力消費を抑えるために電界効果トランジスタ (F E T) が用いられており、トランジスタ 5 7 8 A のゲートはドライバ 5 7 6 A に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 S D A に接続され、ソースは接地されている。

20

【 0 1 1 8 】

トランジスタ 5 7 8 A のゲートに印加される電圧がトランジスタ 5 7 8 A を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線 S D A に印加された電圧は降下せず、その結果、接続線 S D A は H I G H レベルとなる。一方、トランジスタ 5 7 8 A のゲートに印加される電圧がトランジスタ 5 7 8 A を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 S D A の電圧が低下し、その結果、接続線 S D A は L O W レベルとなる。

【 0 1 1 9 】

なお、トランジスタ 5 7 8 A は、10 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線 S D A には、通常の I² C バス使用で用いられる電流値よりもはるかに大きい 10 ミリアンペア程度の電流を流すことが可能であり、演出制御装置 5 5 0 と装飾制御装置 6 1 0 との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

30

【 0 1 2 0 】

ドライバ 5 7 6 A は、データを接続線 S D A から出力する場合に、トランジスタ 5 7 8 A にドレインとソースとの間に電流を流すためにトランジスタ 5 7 8 A のゲートにトランジスタ 5 7 8 A が動作可能な値の電圧を印加する。そして、ドライバ 5 7 6 A は、接続線 S D A の電圧を、H I G H レベル又は L O W レベルに設定することによって、データを接続線 S D A から出力する。

【 0 1 2 1 】

また、フィルタ 5 7 5 B は、接続線 S C L から入力されたデータのノイズを除去する。ドライバ 5 7 6 B は、接続線 S C L からデータを出力する場合に、トランジスタ 5 7 8 B が動作可能な電圧をトランジスタ 5 7 8 B に印加する。

40

【 0 1 2 2 】

図 9 に示すように接続線 S C L は、プルアップ抵抗 R によって所定の電圧が印加されて、接続線 S D A はフィルタ 5 7 5 B 及びトランジスタ 5 7 8 B に接続されている。

【 0 1 2 3 】

トランジスタ 5 7 8 B は、電力消費を抑えるために電界効果トランジスタ (F E T) が用いられており、トランジスタ 5 7 8 B のゲートはドライバ 5 7 6 B に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 S C L に接続され、ソースは

50

接地されている。

【0124】

トランジスタ578Bのゲートに印加される電圧がトランジスタ578Bを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SCLに印加された電圧は降下せず、その結果、接続線SCLはHIGHレベルとなる。一方、トランジスタ578Bのゲートに印加される電圧がトランジスタ578Bを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SCLの電圧が低下し、その結果、接続線SCLはLOWレベルとなる。

【0125】

なお、トランジスタ578Bは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。そのため、接続線SCLには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0126】

ドライバ576Bは、クロック信号を接続線SCLから出力する場合に、トランジスタ578Bにドレインとソースとの間に電流を流すためにトランジスタ578Bのゲートにトランジスタ578Bが動作可能な値の電圧を印加する。そして、ドライバ578Bは、接続線SCLの電圧を、HIGHレベルとLOWレベルとに繰り返し変化させることによって、クロック信号を接続線SCLから出力する。

【0127】

電源投入リセット回路577は、マスタIC570に電源が投入されて、電源投入リセット回路577内の電圧が所定値に達した場合に、入力用BUF571及び出力用BUF572などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ574に出力する。

【0128】

次に、中継基板600及び装飾制御装置610について説明する。

【0129】

なお、中継基板600は、装飾制御装置610のうちマスタIC570に直接接続される、つまり最も上流側に位置するものである。

【0130】

装飾装置620は、装飾制御装置610に設けたI²C I/Oエクスパンダ615（図6で後述）によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えばLEDなどで構成される。役物駆動ソレノイド（SOL）560は、電流が流れると往復動作する装置であり、遊技盤10に配置される図示しない装飾のための役物を可動させて演出を行う。役物駆動モータ（MOT）561は、電流が流れると回転動作する装置であり、可動役物60を可動させて演出を行う。役物駆動ソレノイド（SOL）560及び役物駆動モータ（MOT）561も、装飾制御装置610に設けたI²C I/Oエクスパンダ615によって制御される。

【0131】

なお、役物駆動SOL560が可動役物60を可動させてもよいし、役物駆動MOT561が図示しない役物を可動させてもよい。

【0132】

演出制御装置550と中継基板600との接続方法、及び中継基板600と中継基板600以外の装飾制御装置610との接続方法は、図5で詳細を説明する。装飾制御装置610は、図6～図10で詳細を説明する。

【0133】

図5は、本発明の実施形態の装飾制御装置610A～610Fの接続の説明図である。なお、説明の都合上、装飾制御装置610として、1個の中継基板600と、6個の装飾

10

20

30

40

50

制御装置 610A ~ 610F を図示しているが、実際には、遊技機の仕様に対応して必要な数の装飾制御装置 610 が接続されている。

【0134】

演出制御装置 550 は、接続線 Vcc、接続線 Vact、接続線 SDA、接続線 SCL、及び接続線 GND（以下、この 5 本の接続線を一つのハーネスという）を介して演出制御装置 550 と接続される。

【0135】

中継基板 600 には、二つの装飾制御装置 610A 及び 610D がそれぞれハーネスによって並列に接続される。

【0136】

装飾制御装置 610A にはハーネスを介して装飾制御装置 610B が接続され、装飾制御装置 610B にはハーネスを介して装飾制御装置 610C が接続される。

【0137】

一方、装飾制御装置 610D にはハーネスを介して装飾制御装置 610E が接続され、装飾制御装置 610E にはハーネスを介して装飾制御装置 610F が接続される。

【0138】

各装飾制御装置 610 は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置 610 で共通であるので、接続線を接続順の誤配線を防止できる。

【0139】

ここで、装飾制御装置 610 に設けた I²C I/O エクスパンダ 615（図 6 で後述）が装飾装置 620 を制御する方法について説明する。

【0140】

演出制御装置 550 は、遊技制御装置 500 から入力された遊技データに基づいて、演出内容を決定する。そして、演出制御装置 550 は、決定された演出内容で装飾制御装置 610 を制御するために、制御対象となる装飾制御装置 610 のアドレス（I²C I/O エクスパンダ 615 のアドレス）と演出内容を示す演出データとを含む演出制御データを中継基板 600 に出力する。このとき、演出制御データは、中継基板 600 を介して演出制御装置 550 に接続されるすべての装飾制御装置 610 に対して接続線 SDA から出力される。このため、マスタ IC 570 は、マスタ IC 570 に接続されるすべての装飾制御装置 610 を制御可能である。

【0141】

各装飾制御装置 610 には、一意なアドレスが予め設定されているので、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されているアドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されているアドレスとが一致すると判定された場合には、装飾制御装置 610 の I²C I/O エクスパンダ 615 は、演出制御データに含まれる演出データに基づいて、装飾装置 620 を制御するとともに、8 ビット目のデータが入力された直後に返答信号をマスタ IC 570 に出力する。

【0142】

このように、装飾制御装置 610 は、演出制御装置 550 からの指令に基づく制御を行うので、演出制御装置 550 と装飾制御装置 610 との関係は、演出制御装置 550 のマスタ IC 570 がマスタであり、装飾制御装置 610 の I²C I/O エクスパンダ 615 がスレーブである。

【0143】

図 5 では、装飾制御装置 610 の制御対象が装飾装置 620 である場合について説明したが、装飾制御装置 610 の制御対象が役物駆動 SOL560 や役物駆動 MOT561 であってもよい。

【0144】

図 6 は、本発明の実施形態の装飾制御装置 610 のブロック図である。

10

20

30

40

50

【 0 1 4 5 】

図 6 では、装飾制御装置 6 1 0 の内部に装飾装置 6 2 0 である L E D を備える装飾制御装置 6 1 0 (図 6 の下側の装飾制御装置 6 1 0) と、外部の装飾装置 6 2 0 に接続される装飾制御装置 6 1 0 (図 6 の中央の装飾制御装置 6 1 0) と、について説明する。

【 0 1 4 6 】

まず、装飾制御装置 6 1 0 の内部に L E D を備える装飾制御装置 6 1 0 について説明する。

【 0 1 4 7 】

図 6 の下側の装飾制御装置 6 1 0 は、 $I^2C I / O$ エクスパンダ 6 1 5 及び L E D (装飾装置 2 0) を備える。接続線 S D A 及び接続線 S C L は、装飾制御装置 6 1 0 内で二つに分岐し、一方は、そのまま次の装飾制御装置 6 1 0 に出力される。他方は、 $I^2C I / O$ エクスパンダ 6 1 5 に接続される。

10

【 0 1 4 8 】

また、 $I^2C I / O$ エクスパンダ 6 1 5 の出力側には、制御対象となる装飾装置 6 2 0 が接続される。 $I^2C I / O$ エクスパンダ 6 1 5 の出力側は、図 7 で説明するポート 0 ~ 1 5 によって構成される。さらに、装飾制御装置 6 1 0 のすべてのポートが、図 8 A で後述する電流制限抵抗 R 0 ~ R 1 5 を介して、内部の L E D に接続されている。なお、この電流制限抵抗 R 0 ~ R 1 5 も、装飾制御装置 6 1 0 に備えられている。

【 0 1 4 9 】

前述したように、 $I^2C I / O$ エクスパンダ 6 1 5 は、演出制御装置 5 5 0 から入力された演出制御データに含まれるアドレスと、当該 $I^2C I / O$ エクスパンダ 6 1 5 に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 $I^2C I / O$ エクスパンダ 6 1 5 に接続されている装飾装置 6 2 0 を制御する。

20

【 0 1 5 0 】

次に、外部の装飾装置 6 2 0 に接続される装飾制御装置 6 1 0 について説明する。

【 0 1 5 1 】

図 6 の中央の装飾制御装置 6 1 0 は、 $I^2C I / O$ エクスパンダ 6 1 5 及び L E D (装飾装置 2 0) を備え、装飾制御装置 6 1 0 の外部に接続される装飾装置基板 6 2 5 に備わる L E D に電流を流すための接続線、装飾装置基板 6 2 5 の L E D に電源電圧を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 6 1 0 と装飾装置基板 6 2 5 とが接続される。

30

【 0 1 5 2 】

装飾装置基板 6 2 5 は、 $I^2C I / O$ エクスパンダ 6 1 5 を備えておらず、L E D のみを備えた基板である。この場合、装飾装置基板 6 2 5 に備えた L E D に接続される電流制限抵抗 (図 8 A) を、装飾装置基板 6 2 5 に設けることになるが、 $I^2C I / O$ エクスパンダ 6 1 5 が備えられた装飾制御装置 6 1 0 に設けてもよい。

【 0 1 5 3 】

なお、装飾装置基板 6 2 5 に設けた L E D の数に対応して、装飾制御装置 6 1 0 から装飾装置基板 6 2 5 へ渡されることになる、これらの L E D に電流を流すための接続線の数が決定される。例えば、装飾装置基板 6 2 5 に二つの L E D を備えた場合には、 $I^2C I / O$ エクスパンダ 6 1 5 のポートと L E D V を接続する 2 本の制御線と、V l e d を供給する電源線が 1 本とが、少なくとも必要となる。

40

【 0 1 5 4 】

そして、中央の装飾制御装置 6 1 0 に設けられた $I^2C I / O$ エクスパンダ 6 1 5 も、演出制御装置 5 5 0 から入力された演出制御データに含まれるアドレスと、当該 $I^2C I / O$ エクスパンダ 6 1 5 に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 $I^2C I / O$ エクスパンダ 6 1 5 に接続されている装飾装置 6 2 0 を制御する。この場合、中央の装飾制御装置 6 1 0 に設けられた装飾装置 6 2 0 と、装飾装置基板 6 2 5 に設けられた装飾装置 6 2 0 の両方が、 $I^2C I / O$ エクスパンダ 6 1 5 によって制御される。

50

【 0 1 5 5 】

このように、装飾装置基板 6 2 5 を設けて、装飾制御装置 6 1 0 から一部の装飾装置 (L E D) を分離させることで、離れた箇所に配置された L E D であっても、共通の I²C I / O エクスパンダ 6 1 5 により制御することができる。

【 0 1 5 6 】

なお、装飾制御装置 6 1 0 は、装飾装置 6 2 0 の代わりに、役物駆動 S O L 5 6 0 や役物駆動 M O T 5 6 1 を接続し、これらを制御してもよいが、詳細は、図 8 B で後述する。

【 0 1 5 7 】

図 7 は、本発明の実施形態の I²C I / O エクスパンダ 6 1 5 のブロック図である。

【 0 1 5 8 】

I²C I / O エクスパンダ 6 1 5 は、接続線 S D A に接続されるトランジスタ 6 3 0、接続線 S D A に接続されるフィルタ 6 3 1、接続線 S D A に接続されるドライバ 6 3 2、接続線 S C L に接続されるフィルタ 6 3 3、バスコントローラ 6 3 4、出力設定レジスタ 6 3 5、出力コントローラ 6 3 6、I²C I / O エクスパンダ 6 1 5 の出力側の各ポート 0 ~ 1 5 に接続されるドライバ 6 3 7、各ポート 0 ~ 1 5 に接続されるトランジスタ 6 3 8 A ~ 6 3 8 P、及びリセット信号発生回路 6 3 9 を備える。

【 0 1 5 9 】

フィルタ 6 3 1 は、接続線 S D A に接続され、接続線 S D A から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。ドライバ 6 3 2 は、返答信号を接続線 S D A から出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【 0 1 6 0 】

ドライバ 6 3 2 は、接続線 S D A からデータ (返答信号) を出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【 0 1 6 1 】

トランジスタ 6 3 0 は、電力消費を抑えるために電界効果トランジスタ (F E T) が用いられており、トランジスタ 6 3 0 のゲートはドライバ 6 3 1 に接続され、ドレインはプルアップ抵抗 R (図 4 参照) により所定の電圧が印加された接続線 S D A に接続され、ソースは接地されている。

【 0 1 6 2 】

トランジスタ 6 3 0 のゲートに印加される電圧がトランジスタ 6 3 0 を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ 6 3 0 のゲートに印加される電圧がトランジスタ 6 3 0 を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 S D A の電圧が低下する。なお、トランジスタ 6 3 0 は、10 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。

【 0 1 6 3 】

ドライバ 6 3 2 は、データ (返答信号) を接続線 S D A から出力する場合に、トランジスタ 6 3 0 にドレインとソースとの間に電流を流すためにトランジスタ 6 3 0 のゲートにトランジスタ 6 3 0 が動作可能な値の電圧を印加する。そして、ドライバ 6 3 2 は、接続線 S D A の電圧を H I G H から L O W へ繰り返し変化させることによって、データを接続線 S D A から出力する。

【 0 1 6 4 】

フィルタ 6 3 3 は、接続線 S C L に接続され、接続線 S C L から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。

【 0 1 6 5 】

また、I²C I / O エクスパンダ 6 1 5 には、当該 I²C I / O エクスパンダ 6 1 5 に備わるアドレス設定用端子 A 0 ~ A 3 によって固有のアドレスが設定されており、バスコントローラ 6 3 4 に入力されている。

【 0 1 6 6 】

バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に設定されたアドレスと一致するか否かを判定し、一致している場合に当該データを取り込み、取り込んだデータにより出力設定レジスタ 635 を更新する。

【0167】

また、バスコントローラ 634 は、SCL 接続線の信号レベルの LOW から HIGH への変化回数が 8 回に達し 8 ビット目のデータを取り込んだ後、SCL 接続線の信号レベルが HIGH から LOW へ変化すると、返答信号を接続線 SDA から マスタ IC 570 に出力する。さらに、SCL 接続線の信号レベルが LOW から HIGH へ変化することが確認され、再度 SCL 接続線の信号レベルが HIGH から LOW へ変化すると、接続線 SDA を開放する。つまり、SCL 接続線の信号レベルの LOW から HIGH への変化回数が 9 回になるタイミングで返答信号を出力する。

10

【0168】

出力設定レジスタ 635 には、当該 I²C I/O エクスパンダ 615 の動作モードやポート 0 ~ 15 の出力状態が設定される。また、リセット信号が出力設定レジスタ 635 に入力されることによって、出力設定レジスタ 635 は、すべてのポート 0 ~ 15 に電流が流れないように初期状態に設定される。

【0169】

出力コントローラ 636 は、出力設定レジスタ 635 に設定されたデータに基づいて、ポートドライバ 637 を介して、各ポート 0 ~ 15 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。

20

【0170】

ドライバ 637 は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ 638 A ~ 638 P が動作可能な電圧を当該トランジスタに印加する。

【0171】

トランジスタ 638 A ~ 638 P のゲートはドライバ 637 に接続され、ドレインは図 8 A 及び図 8 B に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【0172】

トランジスタ 638 A ~ 638 P のゲートに印加される電圧がトランジスタ 638 A ~ 638 P を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、638 A ~ 638 P のゲートに印加される電圧がトランジスタ 638 を動作させる所定値以上であれば、図 8 A に示す電源 V_{led}、又は図 8 B に示す電源 V_{mot} や電源 V_{sol} からゲートに印加されている所定の電圧が、トランジスタ 638 のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

30

【0173】

また、装飾制御装置 610 の I²C I/O エクスパンダ 615 は、I²C I/O エクスパンダ 615 のポート端子に接続された全ての演出装置を同時期に制御することが可能であるので、I²C I/O エクスパンダ 615 のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

40

【0174】

そして、各装飾制御装置 610 に備わる I²C I/O エクスパンダ 615 同士は、互いに異なるアドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。即ち、各装飾制御装置 610 に備わる I²C I/O エクスパンダ 615 は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【0175】

従って、装飾制御装置 610 を統括する演出制御装置 550 は、グループ単位制御手段をグループを統括して制御するグループ統括制御手段として機能している。

50

【0176】

リセット信号発生回路639には、 I^2C I/Oエキスパンダ615に電源を供給する接続線Vccと接続されるVcc端子、及び外部からのリセット信号を受け付けるRESET端子が接続されている。

【0177】

リセット信号発生回路639は、 I^2C I/Oエキスパンダ615に電源が投入され、電圧が所定値まで立ち上がった場合、リセット信号を発生させ、発生させたリセット信号をバスコントローラ634、出力設定レジスタ635、及び出力コントローラ636に入力する。

【0178】

なお、外部からLOWレベルのリセット信号が入力された場合には、リセット信号発生回路639はリセット信号を出力するが、本実施形態では、図8A及び図8Bに示すようにRESET端子はHIGHにプルアップされているため、外部からリセット信号が入力されることはないので、リセット信号発生回路639は外部からの信号が入力されたことによって、リセット信号を発生させることはない。

【0179】

図8Aは、本発明の実施形態の装飾装置620を制御する装飾制御装置610の I^2C I/Oエキスパンダ615周辺の回路図である。

【0180】

I^2C I/Oエキスパンダ615は、入力端子としてNC端子、RESET端子、SCL端子、SDA端子、Vcc端子、A0～A3端子、及びGND端子を備え、出力端子として、PORT0～PORT15を備える。

【0181】

RESET端子には、プルアップ抵抗Rを介して I^2C I/Oエキスパンダ615に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にHIGHに維持されている。

【0182】

SCL端子は接続線SCLに接続され、SDA端子は接続線SDAに接続される。

【0183】

Vcc端子には、 I^2C I/Oエキスパンダ615に供給される電源が接続される。また、Vcc端子には、電源ノイズを除去するコンデンサCPが接続される。

【0184】

A0端子～A3端子は、 I^2C I/Oエキスパンダ615にアドレスを設定するための端子である。なお、通常 I^2C I/Oエキスパンダ615のアドレスは、4ビットで表現され、この端子に I^2C I/Oエキスパンダ615の電源が印加されている場合にはバスコントローラ634に「1」が設定され、この端子がグラウンドに接続されている場合にはバスコントローラ634に「0」が設定される。

【0185】

したがって、図8Aに示す I^2C I/Oエキスパンダ615のアドレスは「0100」であり、図8Bに示す I^2C I/Oエキスパンダ615のアドレスは「0110」である。GND端子は、電圧をグラウンドするための端子である。

【0186】

各PORT0端子～PORT15端子は、電流制限抵抗R0～R15を介して各LED0～LED15からなる装飾装置620に接続される。なお、PORT0のように、ポート1個に対して1個のLEDを接続してもよいが、PORT1～15のように、ポート1個に対して複数個のLEDを接続してもよい。

【0187】

全てのポートにLEDを1個ずつ設ける場合は、1個の I^2C I/Oエキスパンダ615によって、最大で16個のLEDを制御できることになる。また、各ポートに接続されるLEDの個数が異なる場合は、1個のポートに直列に接続された全てのLEDを1種類

10

20

30

40

50

のLEDということにすれば、1個のI²C I/Oエクスパンダ615によって、最大で16種類のLEDを制御できることになる。

【0188】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P(図7参照)のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0189】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

【0190】

なお、I²C I/Oエクスパンダ615のPORT0端子～PORT15端子には、LEDの代わりに、モーターやソレノイドを接続することも可能であるので、I²C I/Oエクスパンダ615を用いて、モーターやソレノイドを駆動する場合について説明する。

【0191】

図8Bは、本発明の実施形態の役物駆動MOT561及び役物駆動SOL560を制御する装飾制御装置610のI²C I/Oエクスパンダ615周辺の回路図である。

【0192】

役物駆動MOT561はステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回動する。本実施形態では、役物駆動MOT561の各相の信号端子が、PORT0端子～PORT3端子に接続される。

【0193】

役物駆動MOT561に接続されているPORT0端子～PORT3端子に接続されるトランジスタ638A～638Dのいずれかのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Dのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT3端子に接続される役物駆動MOT561に電流が流れ、役物駆動MOT561が駆動する。

【0194】

なお、各PORT0端子～PORT3端子と役物駆動MOT561とを接続する接続線は分岐し、分岐した一方の接続線は、役物駆動MOT561に供給される電源にダイオードD及びツェナダイオードZDを介して接続される。

【0195】

また、PORT端子15は、役物駆動SOL560に接続される。役物駆動SOL560に接続されているPORT15端子に接続されるトランジスタ638Pのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638Pのドレインからソースへ電流が流れることが可能になり、PORT15端子に接続される役物駆動SOL560に電流が流れ、役物駆動AOL560が駆動する。

【0196】

なお、図8Bでは、I²C I/Oエクスパンダ615に役物駆動MOT561及び役物駆動SOL560の双方が接続されているが、一つのI²C I/Oエクスパンダ615に対して、役物駆動MOT561及び役物駆動SOL560の少なくとも一方だけを接続した構成でもよい。

【0197】

例えば、ステッピングモーターだけを制御するグループとしてのI²C I/Oエクスパンダ615を専用に設けたり、ソレノイドだけを制御するグループとしてのI²C I/Oエクスパンダ615を専用に設けるようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必

10

20

30

40

50

要な演出装置だけをグループ化して効率よく制御することも可能となる。

【0198】

図9は、本発明の実施形態の中継基板600の入出力に関する接続線の回路図である。

【0199】

中継基板600は、上流コネクタ601、二つの下流コネクタ602A、602B、及びI²C I/Oエクスパンダ615を備える。

【0200】

上流コネクタ601は中継基板600よりも上流のマスタIC570に接続されるコネクタであり、コネクタ602A、602Bは、中継基板600よりも下流の装飾制御装置610に接続される。

【0201】

二つの下流コネクタ602A、602Bに接続線SDAを接続するために、上流コネクタ601から延びる内部接続線SDA911は分岐901で第1接続線SDA921と第2接続線SDA931とに分岐する。第1接続線SDA921は下流コネクタ602Aに接続され、第2接続線SDA931は下流コネクタ602Bに接続される。

【0202】

同じく、上流コネクタ601から延びる内部接続線SCL912は分岐902で第1接続線SCL922と第2接続線SCL932とに分岐する。第1接続線SCL922は下流コネクタ602Aに接続され、第2接続線SCL932は下流コネクタ602Bに接続される。

【0203】

接続線SDAをI²C I/Oエクスパンダ615に接続するために、第2接続線SDA931は分岐903で分岐し、分岐した第2接続線SDA931はI²C I/Oエクスパンダ615の図8A及び図8に示すSDA端子に接続される。また、接続線SCLをI²C I/Oエクスパンダ615に接続するために、第2接続線SCL932は分岐904で分岐し、分岐した第2接続線SCL932はI²C I/Oエクスパンダ615の図8A及び図8Bに示すSCL端子に接続される。

【0204】

なお、I²C I/Oエクスパンダ615には、I²C I/Oエクスパンダ615の電源電圧となる電圧Vccが供給されている。また、図9では図示されていないが、I²C I/Oエクスパンダ615からは、中継基板600に設けたLED（装飾装置200）を駆動する各ポート0～15の信号線（図8A参照）が出力されている。

【0205】

また、I²C I/Oエクスパンダ615は、第2接続線SDA931及び第2接続線SCL932が接続されるとしたが、第1接続線SDA921及び第1接続線SCL922に接続されてもよい。

【0206】

I²C I/Oエクスパンダ615が上流のマスタIC570に接続線SDAを介して出力する信号、及び上流のマスタIC570から中継基板600のI²C I/Oエクスパンダ615へ接続線SDAを介して入力される信号のノイズを除去するために、内部接続線SDA911にはツェナダイオードZD941が接続されている。

【0207】

具体的には、内部接続線SDA911は分岐905で分岐し、分岐した内部接続線SDA911はツェナダイオードZD941のカソード側に接続され、ツェナダイオードZD941のアノード側は接地されている。

【0208】

このため、内部接続線SDA911に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD941によって逃がされる。

【0209】

また、上流のマスタIC570から中継基板600のI²C I/Oエクスパンダ615

10

20

30

40

50

へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 9 1 2 にはツェナダイオード Z D 9 4 2 が接続されている。

【 0 2 1 0 】

具体的には、内部接続線 S C L 9 1 2 は分岐 9 0 6 で分岐し、分岐した内部接続線 S C L 9 1 2 はツェナダイオード Z D 9 4 2 のカソード側に接続され、ツェナダイオード Z D 9 4 2 のアノード側は接地されている。

【 0 2 1 1 】

このため、内部接続線 S C L 9 1 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 9 4 2 によって逃がされる。

【 0 2 1 2 】

中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 が下流コネクタ 6 0 2 A に接続された装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び下流コネクタ 6 0 2 A に接続された装飾制御装置 6 1 0 から中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、第 1 接続線 S D A 9 2 1 にはツェナダイオード Z D 9 4 3 が接続されている。

【 0 2 1 3 】

具体的には、第 1 接続線 S D A 9 2 1 は分岐 9 0 7 で分岐し、分岐した第 1 接続線 S D A 9 2 1 はツェナダイオード Z D 9 4 3 のカソード側に接続され、ツェナダイオード Z D 9 4 3 のアノード側は接地されている。

【 0 2 1 4 】

このため、内部接続線 S D A 9 2 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 9 4 3 によって逃がされる。

【 0 2 1 5 】

また、第 1 接続線 S D A 9 2 1 に接続されるツェナダイオード Z D 9 4 3 と同じく、第 2 接続線 S D A 9 3 1 にもツェナダイオード 9 4 5 が接続される。

【 0 2 1 6 】

また、中継基板 6 0 0 の I²C I / O エクスパンダ 6 1 5 から下流コネクタ 6 0 2 A に接続された装飾制御装置 6 1 0 へ接続線 S C L を介して入力される信号のノイズを除去するために、第 1 接続線 S C L 9 2 2 にはツェナダイオード Z D 9 4 4 が接続されている。

【 0 2 1 7 】

具体的には、第 1 接続線 S C L 9 2 2 は分岐 9 0 8 で分岐し、分岐した第 1 接続線 S C L 9 2 2 はツェナダイオード Z D 9 4 4 のカソード側に接続され、ツェナダイオード Z D 9 4 4 のアノード側は接地されている。

【 0 2 1 8 】

このため、内部接続線 S C L 9 2 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 9 4 4 によって逃がされる。

【 0 2 1 9 】

また、第 1 接続線 S C L 9 2 2 に接続されるツェナダイオード Z D 9 4 4 と同じく、第 2 接続線 S C L 9 3 2 にもツェナダイオード Z D 9 4 6 が接続される。

【 0 2 2 0 】

また、マスタ I C 5 7 0 に接続される上流側の接続線 S D A、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S D A の電圧をプルアップするためのプルアップ抵抗 R 9 5 1 が、第 1 接続線 S D A 9 2 1 に接続される。同じく、マスタ I C 5 7 0 に接続される上流側の接続線 S C L、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S C L の電圧をプルアップするためのプルアップ抵抗 R 9 5 2 が、第 1 接続線 S D A 9 2 2 に接続される。

【 0 2 2 1 】

具体的には、第 1 接続線 S D A 9 2 1 は分岐 9 0 9 で分岐し、分岐した第 1 接続線 S D A 9 2 1 はプルアップ抵抗 R 9 5 1 に接続される。同じく第 1 接続線 S C L 9 2 2 は分岐 9 1 0 で分岐し、分岐した第 1 接続線 S C L 9 2 2 はプルアップ抵抗 R 9 5 2 に接続され

10

20

30

40

50

る。

【0222】

なお、接続線SDA及び接続線SC Lの電圧をブルアップするブルアップ抵抗951、952は、中継基板600が備えなくてもよく、マスタIC570が備えてもよいし、中継基板600以外の装飾制御装置610が備えてもよい。要するに、接続線SDA及び接続線SC Lを駆動するトランジスタのドレインの端子に、電圧Vccを供給できる箇所であれば、どこでもよい。

【0223】

中継基板600のI²C I/Oエキスパンダ615に電源電圧を供給する接続線Vccに接続される上流コネクタ601のVcc端子から延びる内部接続線Vcc971と、上流コネクタ601のGND端子から延び、接地されている内部接続線GND972とは、平滑コンデンサC961及びバイパスコンデンサ962を介して接続されている。

10

【0224】

平滑コンデンサC961は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサCP962は、電源の電圧のノイズを除去するためのコンデンサである。

【0225】

このため、中継基板600のI²C I/Oエキスパンダ615に供給される電源電圧は、平滑コンデンサC961により電圧が平滑化され、バイパスコンデンサ962によりノイズが除去されて、I²C I/Oエキスパンダ615に供給される。

20

【0226】

同じく、下流コネクタ602A、602BのVcc端子から延びる内部接続線Vcc973と、GND端子から延びる内部接続線GND974とは、平滑コンデンサC961及びバイパスコンデンサ962を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置610に接続される接続線Vccに印加される。

【0227】

図10は、本発明の実施形態の装飾制御装置610の入出力に関する接続線の回路図である。

【0228】

装飾制御装置610は、上流コネクタ611、I²C I/Oエキスパンダ615、及び下流コネクタ612を備える。

30

【0229】

上流コネクタ611には、中継基板600又は上流側の装飾制御装置610からバスが接続される。下流コネクタ612には、下流側の装飾制御装置610に接続するバスが接続される。

【0230】

上流コネクタ611のSDA端子と下流コネクタ612のSDA端子とは、内部接続線SDA1011によって接続されている。また、上流コネクタ611のSC L端子と下流コネクタ612のSC L端子とは、内部接続線SC L1012によって接続されている。

40

【0231】

接続線SDAをI²C I/Oエキスパンダ615に接続するために、内部接続線SDA1011は分岐1011で分岐し、分岐した内部接続線SDA1011はI²C I/Oエキスパンダ615の図8A及び図8に示すSDA端子に接続される。また、接続線SC LをI²C I/Oエキスパンダ615に接続するために、内部接続線SC L1012は分岐1002で分岐し、分岐した内部接続線SC L1012はI²C I/Oエキスパンダ615の図8A及び図8Bに示すSC L端子に接続される。

【0232】

なお、I²C I/Oエキスパンダ615には、I²C I/Oエキスパンダ615の電源電圧となる電圧Vccが供給されている。また、図10では図示されていないが、I²C I

50

／Ｏエキスパンダ６１５からは、当該装飾制御装置６１０に係わるＬＥＤ（装飾装置２００）を駆動する各ポート０～１５の信号線（図８Ａ参照）が出力されている。

【０２３３】

図１０に示す装飾制御装置６１０のＩ^２ＣＩ／Ｏエキスパンダ６１５が上流コネクタ６１１に接続された上流の装飾制御装置６１０又は中継基板６００に接続線ＳＤＡを介して出力する信号、及び上流コネクタ６１１に接続された上流の装飾制御装置６１０又は中継基板６００から図１０に示す装飾制御装置６１０のＩ^２ＣＩ／Ｏエキスパンダ６１５へ接続線ＳＤＡを介して入力される信号のノイズを除去するために、内部接続線ＳＤＡ１０１１にはツェナダイオードＺＤ１０４１が接続されている。

【０２３４】

具体的には、内部接続線ＳＤＡ１０１１は分岐１００３で分岐し、分岐した内部接続線ＳＤＡ１０１１はツェナダイオードＺＤ１０４１のカソード側に接続され、ツェナダイオードＺＤ１０４１のアノード側は接地されている。

【０２３５】

このため、内部接続線ＳＤＡ１０１１に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４１によって逃がされる。

【０２３６】

また、上流コネクタ６１１に接続される上流の装飾制御装置６１０又は中継基板６００から図１０に示す装飾制御装置６１０のＩ^２ＣＩ／Ｏエキスパンダ６１５へ接続線ＳＣＬを介して入力される信号のノイズを除去するために、内部接続線ＳＣＬ１０１２にはツェナダイオードＺＤ９４２が接続されている。

【０２３７】

具体的には、内部接続線ＳＣＬ１０１２は分岐１００４で分岐し、分岐した内部接続線ＳＣＬ１０１２はツェナダイオードＺＤ１０４２のカソード側に接続され、ツェナダイオードＺＤ１０４２のアノード側は接地されている。

【０２３８】

このため、内部接続線ＳＣＬ１０１２に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４２によって逃がされる。

【０２３９】

図１０に示す装飾制御装置６２０のＩ^２ＣＩ／Ｏエキスパンダ６１５が下流コネクタ６１２に接続された下流の装飾制御装置６１０に接続線ＳＤＡを介して出力する信号、及び下流コネクタ６１２に接続された下流の装飾制御装置６１０から図１０に示す装飾制御装置のＩ^２ＣＩ／Ｏエキスパンダ６１５へ接続線ＳＤＡを介して入力される信号のノイズを除去するために、内部接続線ＳＤＡ１０１１にはツェナダイオードＺＤ１０４３が接続されている。

【０２４０】

具体的には、内部接続線ＳＤＡ１０１１は分岐１００５で分岐し、分岐した内部接続線ＳＤＡ１０１１はツェナダイオードＺＤ１０４３のカソード側に接続され、ツェナダイオードＺＤ１０４３のアノード側は接地されている。

【０２４１】

このため、内部接続線ＳＤＡ１０１１に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４３によって逃がされる。

【０２４２】

また、図１０に示す装飾制御装置６１０のＩ^２ＣＩ／Ｏエキスパンダ６１５から下流コネクタ６１２に接続された下流の装飾制御装置６１０へ接続線ＳＣＬを介して入力される信号のノイズを除去するために、内部接続線ＳＣＬ１０１２にはツェナダイオードＺＤ１０４４が接続されている。

【０２４３】

具体的には、内部接続線ＳＣＬ１０１２は分岐１００６で分岐し、分岐した内部接続線ＳＣＬ１０１２はツェナダイオードＺＤ１０４４のカソード側に接続され、ツェナダイオ

10

20

30

40

50

ードZ D 1 0 4 4のアノード側は接地されている。

【 0 2 4 4 】

このため、内部接続線S C L 1 0 1 2に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZ D 1 0 4 4によって逃がされる。

【 0 2 4 5 】

装飾制御装置6 1 0のI²C I / Oエキスパンダ6 1 5に電源電圧を供給する接続線V c cに接続される上流コネクタ6 1 1のV c c端子から延びる内部接続線V c c 1 0 7 1と、上流コネクタ6 1 1のG N D端子から延び、接地されている内部接続線G N D 1 0 7 2とは、平滑コンデンサC 1 0 6 1及びバイパスコンデンサ1 0 6 2を介して接続されている。

10

【 0 2 4 6 】

平滑コンデンサC 1 0 6 1は図9に示す平滑コンデンサC 9 6 1と同じコンデンサであり、バイパスコンデンサC P 1 0 6 2は図9に示すバイパスコンデンサ9 6 2と同じコンデンサである。

【 0 2 4 7 】

また、下流コネクタ6 1 2のV c c端子から延びる内部接続線V c c 1 0 7 3と、G N D端子から延びる内部接続線G N D 1 0 7 4とは、平滑コンデンサC 1 0 6 1及びバイパスコンデンサ1 0 6 2を介して接続されている。

【 0 2 4 8 】

図1 1は、本発明の実施形態の装飾制御装置6 1 0の配線基板におけるS D A接続パターン及びS C L接続パターンの説明図である。

20

【 0 2 4 9 】

入力コネクタ6 1 1のS D A端子と出力コネクタ6 1 2とS D A端子は、内部S D A接続線であるS D A接続パターン1 1 0 1によって接続され、入力コネクタ6 1 1のS C L端子と出力コネクタ6 1 2とS C L端子は、内部S C L接続線であるS C L接続パターン1 1 0 2によって接続される。

【 0 2 5 0 】

S D A接続パターン1 1 0 1とS C L接続パターン1 1 0 2とは、略平行であって、ほぼ同じ長さとなるように配設される。

【 0 2 5 1 】

30

また、S D A接続パターン1 1 0 1及びS C L接続パターン1 1 0 2の両側部は、絶縁体によって形成されるG N Dガード1 1 0 3で覆われる。これによって、S D A接続パターン1 1 0 1に印加される電圧とS C L接続パターン1 1 0 2に印加される電圧とが、互いに干渉して、誤った演出制御データが出力されることを防止できる。

【 0 2 5 2 】

なお、中継基板6 0 0の配線基板も、装飾制御装置6 1 0と同じく、S D A接続パターン及びS C L接続パターンが絶縁体で覆われている。

【 0 2 5 3 】

図1 2は、本発明の実施形態のI²C I / Oエキスパンダ6 1 5のV c c端子への電源の供給方法の説明図である。

40

【 0 2 5 4 】

上流の装飾制御装置6 1 0又は中継基板6 0 0から図1 2に示すI²C I / Oエキスパンダ6 1 5を備える装飾制御装置6 1 0に接続される接続線V c cから供給されるI²C I / Oエキスパンダ6 1 5の電源電圧は、I²C I / Oエキスパンダ6 1 5のV c c端子から供給される。

【 0 2 5 5 】

また、図1 0で説明したように、I²C I / Oエキスパンダ6 1 5に供給される電源電圧は、接続線V c cに印加される電圧が平滑コンデンサ1 0 6 1により平滑化されるとともに、バイパスコンデンサ1 0 6 2によりノイズが除去されたものである。

【 0 2 5 6 】

50

バイパスコンデンサ 1062 の一方は図 10 に示すようにグラウンドに接続される。このグラウンドは、装飾制御装置 610 の基板上では絶縁体である GND パターン 1201 により構成される。

【0257】

また、バイパスコンデンサ 1062 の他方は、 I^2C I/O エクスパンダ電源接続パターン 1202 によって I^2C I/O エクスパンダ 615 の Vcc 端子に接続されるとともに、他回路電源接続パターン 1203 によって他の回路（例えば、下流コネクタ 612 の Vcc 端子など）に接続される。

【0258】

この場合、 I^2C I/O エクスパンダ電源接続パターン 1202 の長さが他回路電源接続パターン 1203 の長さよりも短くなるように、 I^2C I/O エクスパンダ 615 とバイパスコンデンサ 1062 とが配置されている。つまり、バイパスコンデンサ 1062 は、他の回路よりも I^2C I/O エクスパンダ 615 に近くに配置される。

【0259】

また、 I^2C I/O エクスパンダ電源接続パターン 1202 上から他回路電源接続パターン 1203 が分岐しないようにする。

【0260】

これらは、 I^2C I/O エクスパンダ 615 にノイズが含まれた電源が供給されることを防止するためである。

【0261】

図 13 は、本発明の実施形態の演出制御装置 550 から装飾制御装置 610 に出力されるデータに含まれるスレーブアドレス 1300 の説明図である。

【0262】

スレーブアドレス 1300 は、上位 3 ビットからなる固定アドレス部 1301 及び下位 5 ビットからなる可変アドレス部 1302 を含む。

【0263】

固定アドレス部 1301 は、「110」が予め設定されていて、 I^2C I/O エクスパンダ 615 が変更できないアドレスである。

【0264】

可変アドレス部 1302 は、 I^2C I/O エクスパンダ 615 に設定可能なアドレスであり、制御対象となる I^2C I/O エクスパンダ 615 の A0 ~ A3 の端子に設定されているパターンに対応した 4 ビットの I^2C I/O エクスパンダアドレス 1303 と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R/W 識別データ 1304 と、が含まれる。

【0265】

演出制御装置 550 から装飾制御装置 610 に出力される演出制御データは、書き込み要求であるので、R/W 識別データ 1304 には、通常「0」が登録される。

【0266】

図 14 は、本発明の実施形態の I^2C I/O エクスパンダアドレステーブル 1400 の説明図である。

【0267】

I^2C I/O エクスパンダアドレステーブル 1400 は、マスタ IC 570 によって管理されるテーブルである。 I^2C I/O エクスパンダアドレステーブル 1400 は、スレーブアドレス 1401 と I^2C I/O エクスパンダアドレス 1402 との対応関係を示している。

【0268】

スレーブアドレス 1401 には、演出制御装置 550 により送受信の対象として指定される装飾制御装置 610 のスレーブアドレスが格納されている。スレーブアドレスは、図 13 で前述したように、上位 3 ビットからなる固定アドレス部と、4 ビットの I^2C I/O エクスパンダアドレスと、1 ビットの R/W 識別データとを組み合わせで構成される。

10

20

30

40

50

【 0 2 6 9 】

I²C I / O エクスパンダ アドレス 1 4 0 2 には、図 8 A や図 8 B で前述したように、各スレーブアドレスに対応する 4 ビットの I²C I / O エクスパンダ アドレスが登録される。

【 0 2 7 0 】

ただし、I²C I / O エクスパンダ アドレスのうち、アドレス「1 0 0 0」及びアドレス「1 0 1 1」は、各 I²C I / O エクスパンダ 6 1 5 を相互に識別するための固有のアドレスとしては使用できない。

【 0 2 7 1 】

「1 0 0 0」は、すべての装飾制御装置 6 1 0 に対する指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。「1 0 1 1」はソフトウェアによってデバイスをリセットする場合に用いられるアドレスである。

10

【 0 2 7 2 】

このように、装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 に設定可能なアドレスは 1 4 個であるために、演出制御装置 5 5 0 は、1 4 個の I²C I / O エクスパンダ 6 1 5 を制御できる。また、一つの装飾制御装置 6 1 0 は、PORT 0 ~ PORT 1 5 を備えるので、1 6 個（言い換えれば 1 6 種類）の LED を制御できる。よって、演出制御装置 5 5 0 は、2 2 4 個（言い換えれば 2 2 4 種類）の LED を制御できる。

【 0 2 7 3 】

20

図 1 5 は、本発明の実施形態の演出制御装置 5 5 0 による処理のフローチャートである。

【 0 2 7 4 】

図 1 5 に示す処理では、例えば、装飾装置 6 2 0 のグループ、役物駆動 SOL 5 6 0 のグループ、及び役物駆動 MOT 5 6 1 のグループのように、演出装置の種類ごとのグループに分割し、装飾制御装置 6 1 0 は、分割されたグループに属する演出装置を制御する。例として、装飾装置 6 2 0 のグループが 8 グループ存在するものとして、それぞれ発光型演出装置のグループ A ~ H ということにする。また、役物駆動 SOL 5 6 0 と役物駆動 MOT 5 6 1 は、同一のグループになっているものとして、これを可動型演出装置のグループということにする。

30

【 0 2 7 5 】

図 1 5 に示す演出制御装置 5 5 0 の処理は、演出制御装置 5 5 0 の CPU 5 5 1 によって実行される。

【 0 2 7 6 】

演出制御装置 5 5 0 は、演出制御装置 5 5 0 に電源が投入されると、まずステップ 1 5 0 1 ~ 1 5 0 9 の処理を実行し、ステップ 1 5 1 0 の処理で VDP 5 5 6 から画像更新周期と同期する同期信号（例えば、1 / 3 0 秒周期の同期信号）が割込信号として CPU 5 5 1 に入力されるまで待機する。そして、VDP 5 5 6 から画像更新周期と同期する同期信号が割込信号として CPU 5 5 1 に入力されると、ステップ 1 5 0 2 ~ 1 5 0 9 の処理を繰り返し実行する。

40

【 0 2 7 7 】

まず、演出制御装置 5 5 0 は、演出制御装置 5 5 0 を初期化する（1 5 0 1）。このとき、入出力 I / F 5 5 8 を介してマスタ IC 5 7 0 が初期化され、さらに、マスタ IC 5 7 0 に指示して、全ての I²C I / O エクスパンダ 6 1 5 をリセットして初期状態にする。

【 0 2 7 8 】

次に、演出制御装置 5 5 0 は、表示装置 5 3 に画像を表示するために、VDP 5 5 6 に画像を表示させる指令となるデータを出力する（1 5 0 2）。

【 0 2 7 9 】

そして、演出制御装置 5 5 0 は、役物駆動 SOL 5 6 0 及び役物駆動 MOT 5 6 1 を遊

50

技状態に応じて制御するための演出制御データを、役物駆動SOL560及び役物駆動MOT561を制御する装飾制御装置610に出力する(1503)。

【0280】

そして、演出制御装置550は、スピーカ30から音を遊技状態に応じて出力させるために、音制御データを音LSI557に出力し、音LSI557に音制御データに基づいてスピーカ30から音を出力させる(1504)。

【0281】

そして、演出制御装置550は、図16に示すスレーブ選択順序テーブル1600を参照し、VDP556からCPU551に同期信号が入力されるごとに更新する時分割カウンタのスレーブ選択順序を選択し、選択したスレーブ選択順序に基づいて、装飾装置620を制御する各グループの装飾制御装置610に演出制御データをマスタIC570から出力する(1505)。

10

【0282】

なお、時分割カウンタは「0」～「3」までの値を取り、CPU551にVDP556から同期信号が入力されると、CPU551は、時分割カウンタをインクリメントする。なお、時分割カウンタが「3」である場合に、VDP556からCPU551に同期信号が入力されると、CPU551は、時分割カウンタを「0」に更新する。

【0283】

次に、演出制御装置550は、VDP556に次に出力されるデータを編集し(1506)、役物駆動SOL560及び役物駆動MOT561を制御する装飾制御装置610に次に出力される演出制御データを編集する(1507)。

20

【0284】

そして、演出制御装置550は、音LSI557に出力される音制御データを編集し(1508)、装飾装置620を制御する各グループの装飾制御装置610に次に出力される演出制御データを編集し(1509)、VDP556から同期信号がCPU551に入力されるまで待機する。

【0285】

なお、CPU551にVDP556から同期信号が入力されると、演出制御装置550は、時分割カウンタを更新し(1510)、ステップ1502の処理に進む。

【0286】

30

このように、図15による処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550のマスタIC570から装飾制御装置610のI²C I/Oエクスパンダ615へ演出制御データを送信し、I²C I/Oエクスパンダ615は受信した演出制御データに基づいて演出装置620を制御するので、表示装置53における演出と演出装置620における演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【0287】

また、図15による処理では、マスタIC570は、先に役物駆動SOL560及び役物駆動MOT561を制御する装飾制御装置610に演出制御データを出力し、後から装飾装置620を制御する装飾制御装置610に演出制御データを出力する。このため、同期信号の発生タイミングからの経過時間のばらつきが、役物駆動MOT561及び役物駆動MOT561に関しては小さく、装飾装置620に関しては大きくなる。そのため、役物駆動MOT561及び役物駆動MOT561が制御されるタイミングがより正確になり、遊技者の注目を集める可動役物60などを遊技状態に対して正確に制御できるので、遊技者に違和感を与えない。

40

【0288】

図16は、本発明の実施形態のスレーブ選択順序テーブル1600の説明図である。

【0289】

スレーブ選択順序テーブル1600は制御ROM552に記憶され、スレーブ選択順序テーブル1600には、時分割カウンタの値ごとに制御対象となる装飾制御装置610の

50

グループの制御順序が登録されている。

【 0 2 9 0 】

なお、以下の説明では、前述したように、可動型演出装置グループは、役物駆動 S O L 5 6 0 及び役物駆動 M O T 5 6 1 を制御する装飾制御装置 6 1 0 のグループであり、発光型演出装置グループ A ~ H は、装飾装置 6 2 0 を制御する装飾制御装置 6 1 0 のグループである。

【 0 2 9 1 】

スレーブ選択順序テーブル 1 6 0 0 は、時分割カウンタ 1 6 0 1 及びスレーブ選択順序 1 6 0 2 を含む。

【 0 2 9 2 】

時分割カウンタ 1 6 0 1 には「 0 」～「 3 」の値が登録されている。スレーブ選択順序 1 6 0 2 は、マスタ I C 5 7 0 が演出制御データを入力する装飾制御装置 6 2 0 の順序が登録されている。ここでは、図 1 5 のステップ 1 5 0 3 における「モータ・ソレノイド関連出力」の処理にて、可動型演出装置グループが制御され、その後、図 1 5 のステップ 1 5 0 5 における「時分割カウンタに対応する発光装置関連出力」の処理にて、発光型演出装置グループ A ~ H のうち、時分割カウンタに対応するグループのみが表の上から下へ向かう順序で制御されることを示している。

【 0 2 9 3 】

時分割カウンタ 1 6 0 1 が「 0 」である場合のスレーブ選択順序 1 6 0 2 には、可動型演出装置グループ、発光型演出装置グループ A、発光型演出装置グループ B、発光型演出装置グループ D、及び発光型演出装置グループ H が登録されている。C P U 5 5 1 は、可動型演出装置グループ、発光型演出装置グループ A、発光型演出装置グループ B、発光型演出装置グループ D、及び発光型演出装置グループ H の順で制御する。

【 0 2 9 4 】

時分割カウンタ 1 6 0 1 が「 1 」である場合のスレーブ選択順序 1 6 0 2 には、可動型演出装置グループ、発光型演出装置グループ A、発光型演出装置グループ C、及び発光型演出装置グループ E が登録されている。

【 0 2 9 5 】

時分割カウンタ 1 6 0 1 が「 2 」である場合のスレーブ選択順序 1 6 0 2 には、可動型演出装置グループ、発光型演出装置グループ A、発光型演出装置グループ B、及び発光型演出装置グループ F が登録されている。

【 0 2 9 6 】

時分割カウンタ 1 6 0 1 が「 3 」である場合のスレーブ選択順序 1 6 0 2 には、可動型演出装置グループ、発光型演出装置グループ A、発光型演出装置グループ C、及び発光型演出装置グループ G が登録されている。

【 0 2 9 7 】

つまり、可動型演出装置グループの装飾制御装置 6 1 0 には、最初にマスタ I C 5 7 0 から演出制御データが出力され、可動型演出装置グループの装飾制御装置 6 1 0 に演出制御データが出力された後に、発光型演出装置グループの装飾制御装置 6 1 0 に演出制御データが出力される。

【 0 2 9 8 】

図 1 7 にて詳細に説明するが、マスタ I C 5 7 0 は、制御対象の装飾制御装置 6 1 0 に演出制御データを初めに出力し、制御対象の装飾制御装置 6 1 0 から A C K の返答信号が入力された場合には、次の制御対象となる装飾制御装置 6 1 0 を選択して演出制御データを出力する。

【 0 2 9 9 】

したがって、A C K の返答信号が無条件に装飾制御装置 6 1 0 からマスタ I C 5 7 0 に入力されるのであれば、同期信号に同期してマスタ I C 5 7 0 から装飾制御装置 6 1 0 に演出制御データを送信できる。しかしながら、データ通信がノイズ等により正しく送信できない場合には、制御対象の装飾制御装置 6 1 0 から A C K の返答信号が入力されない

10

20

30

40

50

NACKの返答信号が入力される) ことになり、この場合には、再度同じデータを制御対象の装飾制御装置 610 に出力する処理を行っている。

【0300】

このため、スレーブ選択順序が後になる装飾制御装置 610 ほど、マスタ IC 570 から送信される演出制御データが入力されるタイミングが周期的にならない傾向がある。言い換えれば、同期信号の発生タイミングと演出制御データの送信タイミングとに時間差があり、この時間差のばらつきがスレーブ選択順序が後になる装飾制御装置 610 ほど大きくなるということになる。

【0301】

また、可動型演出装置グループの装飾制御装置 610 が制御する演出装置は、遊技状態にあわせて可動するため、遊技状態にあわせて発光する装飾装置 620 よりも遊技者の注目を集めるものである。

10

【0302】

したがって、可動型演出装置グループの装飾制御装置 610 が制御する演出装置の制御タイミングに遅れが生じないように、マスタ IC 570 は、可動型演出装置グループの装飾制御装置 610 に最初に演出制御データを出力するようにしている。

【0303】

次に、スレーブ選択順序テーブル 1600 による各グループの装飾制御装置 610 の制御頻度について説明する。

【0304】

20

可動型演出装置グループ、及び発光型演出装置グループ A は、時分割カウンタのすべてに登録されているので、VDP 556 からの同期信号が CPU 551 に入力されるごとに制御される。また、発光型演出装置グループ B 及び発光型演出装置グループ C は、時分割カウンタが「1」である場合と「2」である場合とに登録されているので、VDP 556 から同期信号が CPU 551 に 2 回入力されると、1 回制御される。また、発光型演出装置グループ D ~ H は、時分割カウンタが「0」~「3」のいずれか一つである場合に登録されているので、VDP 556 から同期信号が CPU 551 に 4 回入力されると、1 回制御される。

【0305】

なお、発光型演出装置グループ A ~ H は、グループに属する LED の制御頻度に応じて、適宜割り当てられている。例えば、高速な輝度変化を必要とする LED のグループをグループ A として割り当て、低速な輝度変化で充分な LED のグループはグループ D ~ H を割り当てている。

30

【0306】

これにより、可動型演出装置グループの装飾制御装置 610 の制御頻度が、発光型演出装置グループ B ~ H の装飾制御装置 610 の制御頻度以上になる。このため、遊技者の注目度の高い可動型演出装置グループの装飾制御装置 610 が制御する演出装置の制御間隔を細分化できるため、遊技者に違和感の少ない演出を行うことができる。

【0307】

また、同期信号が発生するたびに、マスタ IC 570 から、発光型演出装置グループ A ~ H の全てに演出制御データを送信するのではなく、時分割カウンタに対応する一部の発光型演出装置グループを選択して演出制御データを送信している。このため、同期信号の周期内に占める演出制御データの送信時間の割合が少なくなり、処理時間を効率化することができる。

40

【0308】

また、本実施形態では、可動型演出装置グループの装飾制御装置 610 の制御頻度が、VDP 556 から出力される画像更新周期と同期する同期信号のタイミングで制御を行っているが、発光型演出装置グループ A ~ H の制御頻度だけを同期信号に同期させ、可動型演出装置グループの装飾制御装置 610 の制御頻度は、より高速（例えば 2 ミリ秒周期）にしてもよい。

50

【 0 3 0 9 】

図 1 7 は、本発明の実施形態のマスタ I C 5 7 0 によるスレーブ出力処理のフローチャートである。

【 0 3 1 0 】

図 1 5 に示すステップ 1 5 0 3 の処理が実行されると、可動型演出装置グループとなるスレーブが選択されて、マスタ I C 5 7 0 のコントローラ 5 7 4 により、このスレーブ出力処理が実行される。また、図 1 5 に示すステップ 1 5 0 5 の処理が実行された場合には、図 1 6 で前述した時分割カウンタに対応する発光型演出装置グループのスレーブが順に選択され、その都度、マスタ I C 5 7 0 のコントローラ 5 7 4 により、このスレーブ出力処理が実行される。

10

【 0 3 1 1 】

まず、マスタ I C 5 7 0 は、装飾制御装置 6 1 0 からの A C K の返答信号が受信できなかった回数を計数するための A C K カウンタを 0 に初期化する (1 7 0 0)。次に、マスタ I C 5 7 0 は、接続線 S D A 及び接続線 S C L の信号レベルを、スタート条件を示す信号レベルに変化させる (1 7 0 1)。

【 0 3 1 2 】

具体的には、マスタ I C 5 7 0 は、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることによってスタート条件を示す信号を出力する。

【 0 3 1 3 】

装飾制御装置 6 1 0 にスタート条件が入力されると、装飾制御装置 6 1 0 は、接続線 S C L の信号レベルをカウントするための図示しない信号変化カウンタを 0 回に初期化する。

20

【 0 3 1 4 】

なお、マスタ I C 5 7 0 は、スタート条件を示す信号を出力後、制御対象となる装飾制御装置 6 1 0 へデータを送るために、接続線 S C L のレベルを L O W に変更する。

【 0 3 1 5 】

次に、マスタ I C 5 7 0 は、制御対象となる装飾制御装置 6 1 0 のスレーブアドレスのデータを、接続線 S C L の信号レベルを変化させながら、接続線 S D A を介して出力する (1 7 0 2)。

30

【 0 3 1 6 】

ステップ 1 7 0 2 の処理で出力されるアドレスデータは図 1 3 に示すように 8 ビットのデータ列であるため、1 回の出力処理 (接続線 S C L が 8 回 H I G H に変化する間の出力) でアドレスデータが出力される。

【 0 3 1 7 】

ステップ 1 7 0 2 の処理で出力されたアドレスデータが装飾制御装置 6 1 0 に入力された場合、装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、入力されたアドレスデータと自身に設定されているアドレスとが一致するか否かを判定する。

【 0 3 1 8 】

入力されたアドレスデータと一致するアドレスが設定されている I²C I / O エクスパンダ 6 1 5 は、接続線 S C L の L O W から H I G H への変更回数が 8 回目になった直後であって、その H I G H レベルとなっている接続線 S C L が L O W レベルへと変化することを契機として、返答信号を接続線 S D A からマスタ I C 5 7 0 に出力する。

40

【 0 3 1 9 】

次に、マスタ I C 5 7 0 は、ステップ 1 7 0 2 の処理でアドレスデータが出力されてから所定時間以内に A C K の返答信号がマスタ I C 5 7 0 に入力されたか否かを確認する (1 7 0 3)。

【 0 3 2 0 】

A C K の返答信号が入力されたか否かによって、処理が以下の三つに分岐する (1 7 0 4)。

50

【 0 3 2 1 】

第 1 に、ステップ 1 7 0 2 の処理でアドレスデータが初めて出力されてから所定時間以内に A C K の返答信号が入力されない場合 (A C K カウンタが 0 の状態で N A C K の返答信号が入力された場合) には、マスタ I C 5 7 0 は、再度アドレスデータを出力するために、ステップ 1 7 1 4 の処理に移行する。ステップ 1 7 1 4 の処理では、A C K の返答信号の受信に失敗したことを計数するために A C K カウンタを + 1 更新し、ステップ 1 7 0 1 の処理に戻る。

【 0 3 2 2 】

第 2 に、初めてステップ 1 7 0 2 の処理で出力されたアドレスデータに対応する A C K の返答信号が所定時間以内に入力されず、再度ステップ 1 7 0 2 の処理でアドレスデータが出力されてから所定時間以内に A C K の返答信号が入力されない場合 (A C K カウンタが 1 の状態で N A C K の返答信号が入力された場合) には、マスタ I C 5 7 0 は、スレーブ出力処理を異常終了する (1 7 0 5)。この場合、今回選択している装飾制御装置 6 1 0 へのデータ送信を中止し、次の装飾制御装置 6 1 0 が選択されて、再度、スレーブ出力処理が先頭から実行されることになる。

【 0 3 2 3 】

第 3 に、ステップ 1 7 0 2 の処理でアドレスデータが初めて出力されてから所定時間以内に A C K の返答信号が入力された場合、又は再度ステップ 1 7 0 2 の処理でアドレスデータが初めて出力されてから所定時間以内に A C K の返答信号が入力された場合には、マスタ I C 5 7 0 は、出力用 B U F 5 7 2 に記憶されているデータから 8 ビット分のデータを 1 番目に出力するデータとして取得し、取得したデータの出力を準備する (1 7 0 6)。

【 0 3 2 4 】

そして、マスタ I C 5 7 0 は、取得したデータを接続線 S D A から出力する (1 7 0 7)。

【 0 3 2 5 】

そして、ステップ 1 7 0 2 の処理で出力されたアドレスデータが自身に設定されたアドレスと一致する装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、ステップ 1 7 0 7 の処理で出力されたデータを、接続線 S C L が L O W から H I G H になったタイミングで取り込む。そして、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、接続線 S C L の 8 回目の L O W から H I G H に変化したことでデータを取り込み、次いで接続線 S C L が H I G H から L O W へ変化することを契機に、返答信号を接続線 S D A からマスタ I C 5 7 0 に出力する。

【 0 3 2 6 】

次に、マスタ I C 5 7 0 は、ステップ 1 7 0 7 の処理でデータが出力されてから所定時間以内に A C K の返答信号がマスタ I C 5 7 0 に入力されたか否かを確認する (1 7 0 8)。

【 0 3 2 7 】

A C K の返答信号が入力されたか否かによって、処理が以下の三つに分岐する (1 7 0 9)。

【 0 3 2 8 】

第 1 に、ステップ 1 7 0 2 の処理でアドレスデータが初めて出力されてから所定時間以内に A C K の返答信号が入力されていない場合 (A C K カウンタが 0 の状態で N A C K の返答信号が入力された場合) には、マスタ I C 5 7 0 は、再度アドレスデータを出力するために、ステップ 1 7 1 4 の処理に移行する。ステップ 1 7 1 4 の処理では、返答信号の受信に失敗したことを計数するために A C K カウンタを + 1 更新し、ステップ 1 7 0 1 の処理に戻る。

【 0 3 2 9 】

第 2 に、初めてステップ 1 7 0 7 の処理で出力されたデータの返答信号が所定時間以内に入力されず、再度ステップ 1 7 0 7 の処理でデータが出力されてから所定時間以内に A

10

20

30

40

50

C Kの返答信号が入力されていない場合（A C Kカウンタが1の状態ではN A C Kの返答信号が入力された場合）には、マスタIC 570はスレーブ出力処理を異常終了する（1710）。この場合、今回選択している装飾制御装置610へのデータ送信を中止し、次の装飾制御装置610が選択されて、再度、スレーブ出力処理が先頭から実行されることになる。

【0330】

第3に、ステップ1707の処理でデータが初めて出力されてから所定時間以内にA C Kの返答信号が入力された場合、又は再度ステップ1707の処理でデータが出力されてから所定時間以内にA C Kの返答信号が入力された場合には、マスタIC 570は、出力用B U F 572に記憶されているすべてのデータを出力したか否かを判定する（1711）。

10

【0331】

ステップ1711の処理で、出力用B U F 572に記憶されているデータが出力されていないと判定された場合、マスタIC 570は、出力用B U F 572に記憶されている次の8ビット分のデータを次に出力するデータとして取得し、取得したデータの出力を準備し（1712）、ステップ1706の処理に戻る。

【0332】

一方、ステップ1711の処理で、出力用B U F 572に記憶されているすべてのデータを出力したと判定された場合、マスタIC 570は、接続線S D A及び接続線S C Lの信号レベルを、ストップ条件を示す信号レベルに変化させ（1713）、スレーブ出力処理を終了する。

20

【0333】

ステップ1713の処理では、具体的には、マスタIC 570は、接続線S C Lの信号レベルをH I G Hに維持したまま、接続線S D Aの信号レベルをL O WからH I G Hに変更させることによりストップ条件を示す信号を出力する。

【0334】

図17による処理では、マスタIC 570は、8ビットのデータを出力後に、装飾制御装置610からの返答信号を取り込むことにより、データ転送の成否を判定し、データ転送が失敗している場合（つまり、N A C Kの返答信号がマスタIC 570に入力された場合）、出力したデータを1回だけ再度出力するので、装飾制御装置610にデータを可能な限り確実に出力することができ、演出装置の誤動作を防止できる。また、出力したデータを1回だけ再度出力することにより、データ送信時間が必要以上に長くなることを防止できる。

30

【0335】

なお、図17による処理で、ステップ1701の処理でマスタIC 570がスタート条件を送信する際には、接続線S D AがH I G Hになっている必要があるが、ノイズ等の影響によって、接続線S D AがL O Wとなったまま変化しない状態が発生する場合がある。

【0336】

本実施形態では、マスタIC 570が装飾制御装置610のI²C I / Oエクスパンダ615に送信するスレーブアドレスには、R / W識別データが「0」（書き込みを意味する）となっているものだけを用いている（図13参照）が、ノイズ等の影響によって、R / W識別データが「1」（読み出しを意味する）となった状態で、I²C I / Oエクスパンダ615へ伝わることもある。

40

【0337】

この場合、I²C I / Oエクスパンダ615は読み出しモードとなり、マスタIC 570によって接続線S C Lの信号レベルが変化することに対応して、I²C I / Oエクスパンダ615からマスタIC 570へ、接続線S D Aを介してデータを1ビットごと伝送する処理を行う。

【0338】

このとき、I²C I / Oエクスパンダ615は、8ビットのデータを伝送するごとに、

50

マスタIC570から接続線SDAを介してアクノリッジ信号を受信する処理を行い、アクノリッジ信号を受信するとさらに8ビットのデータ伝送を行い、以後、この8ビットのデータ伝送とアクノリッジ信号の確認を繰り返すが、この間は、接続線SDAがI²C I/Oエクスパンダ615によって占有されている状態となる。

【0339】

一方で、I²C I/Oエクスパンダ615は、8ビットのデータ伝送後に、マスタIC570から接続線SDAを介してアクノリッジ信号を受信できないときは、接続線SDAを解放してデータ伝送を中止する。なお、I²C I/Oエクスパンダ615は、マスタIC570から接続線SDAを介してアクノリッジ信号を受信する際には、接続線SDAがLOWレベルであればアクノリッジ信号を受信したと解釈し、接続線SDAがHIGHレベルであればアクノリッジ信号を受信しないと解釈する。

10

【0340】

よって、マスタIC570からのデータがノイズ等の影響により変化し、この変化したデータを勝手に受信して読み出しモードとなったI²C I/Oエクスパンダ615が発生してしまうと、接続線SDAがいつまでも解放されないことになる。

【0341】

このような場合に、接続線SDAの信号レベルはLOWに維持されたままになり、マスタIC570と、本来送信を行うことを意図していた装飾制御装置610のI²C I/Oエクスパンダ615との間で接続線SDAを介した通信が行えなくなる。

【0342】

20

そこで、マスタIC570は、ステップ1701の処理でスタート条件を示す信号を出力する前に、接続線SDAからデータが出力できる状態であるか否かを判定するために、接続線SDAの信号レベルがHIGHであるか否かを判定する。

【0343】

接続線SDAの信号レベルがHIGHでないと判定された場合、接続線SDAからデータが出力できないので、ドライバ576Aによりトランジスタ578Aに動作可能な電圧を印加しないことによってトランジスタ578Aをオンさせずに（接続線SDAを解放した状態で）、接続線SDAの信号レベルを少なくとも9回変化させる。

【0344】

このような処理を行うことで、読み出しモードとなったI²C I/Oエクスパンダ615は、接続線SDAの信号レベルの変化に合わせて接続線SDAにデータを出力するが、接続線SDAの信号レベルの変化が少なくとも9回行われる途中において、マスタIC570からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線SDAは解放されているのでHIGHレベルとなり、読み出しモードとなったI²C I/Oエクスパンダ615は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線SDAを解放することになる。

30

【0345】

なお、この処理は、スタート条件を示す信号を出力する前だけでなく、マスタIC570が装飾制御装置610へデータを出力する前に行われるようにしてもよい。具体的には、ステップ1702、1707、及び1713の処理の前に実行されてもよい。

40

【0346】

このようにして、読み出しモードとなった装飾制御装置610のI²C I/Oエクスパンダ615から強制的に接続線SDAを解放させるので、接続線SDAの信号レベルはHIGHに維持されるようになる。

【0347】

図18は、本発明の実施形態のマスタIC570が接続線SDA及び接続線SCLを介して出力するデータのスタート条件及びストップ条件の説明図である。

【0348】

接続線SCLは通常時に信号レベルがHIGHになっており、マスタIC570は、装飾制御装置610にデータを出力する際に、接続線SCLの信号レベルをLOWからHIGH

50

G Hに変化させ、装飾制御装置 6 1 0 が接続線 S D A のデータを取り込むためのストローブ信号として作用させる。

【 0 3 4 9 】

接続線 S D A は通常時に信号レベルが H I G H になっており、接続線 S C L のクロック信号に合わせて接続線 S D A からデータが出力される。

【 0 3 5 0 】

マスタ I C 5 7 0 は、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【 0 3 5 1 】

装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、接続線 S D A 及び接続線 S C L からスタート条件となる信号が入力されると、データの出力が開始することを把握する。

【 0 3 5 2 】

マスタ I C 5 7 0 は、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを L O W から H I G H に変化させることで、データの出力が終了することを示すストップ条件を示す信号を出力する。

【 0 3 5 3 】

装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、ストップ条件が入力されると、データの出力が終了することを把握する。

【 0 3 5 4 】

図 1 9 は、本発明の実施形態のマスタ I C 5 7 0 から出力されたデータが入力された装飾制御装置 6 1 0 が返答信号を出力するタイミングチャートである。

【 0 3 5 5 】

装飾制御装置 6 1 0 は、スタート条件が成立してから接続線 S C L の信号レベルの変化回数を計数し、接続線 S C L のクロック信号に合わせて接続線 S D A から入力されるデータを取り込む。

【 0 3 5 6 】

そして、装飾制御装置 6 1 0 は、スタート条件が成立してから接続線 S C L の信号レベルの変化回数が 9 回に達する直前に、返答信号をマスタ I C 5 7 0 に接続線 S D A を介して出力する。換言すると、装飾制御装置 6 1 0 は、接続線 S D A から 8 ビット目のデータを取り込んだ後に、接続線 S C L の信号レベルが H I G H から L O W に変化することを契機に、返答信号を当該接続線 S D A を介して出力する。

【 0 3 5 7 】

なお、図に示すように、データの受信に成功したことを示す返答信号 (A C K の返答信号) は L O W レベルによって示され、データの受信に失敗したことを示す返答信号 (N A C K の返答信号、図では A C K 出力なしに相当) は H I G H レベルによって示される。

【 0 3 5 8 】

また、マスタ I C 5 7 0 は、スタート条件が成立してから接続線 S C L の信号レベルが 8 回変化すると、接続線 S D A を解放することによって、装飾制御装置 6 1 0 から返答信号の入力を待機する。そして、マスタ I C 5 7 0 は、接続線 S D A を解放したまま、接続線 S C L の信号レベルを変化させて、装飾制御装置 6 1 0 からの返答信号を取り込む。

【 0 3 5 9 】

図 2 0 は、本発明の実施形態のマスタ I C 5 7 0 が演出制御データを出力する場合の接続線 S D A 及び接続線 S C L の信号レベルのタイミングチャートである。

【 0 3 6 0 】

まず、マスタ I C 5 7 0 は、演出制御データの出力を開始する場合には、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることによって、スタート条件を示す信号を出力し、これからデータを出力することを装飾制御装置 6 1 0 に通知する。

10

20

30

40

50

【0361】

次に、マスタIC570は、合計7ビットからなる制御対象となる装飾制御装置610のアドレスを出力する。次に、マスタIC570は、読み出し要求である書き込み要求であるかを示すデータを8ビット目に出力する。

【0362】

そして、マスタIC570は、接続線SCLの信号レベルが9回目にHIGHになるときに、装飾制御装置610から返答信号が入力されるので、ACKの返答信号であれば接続線SDAの信号レベルがLOWに変化し、NACKの返答信号であれば接続線SDAの信号レベルがHIGHに変化する。

【0363】

次に、マスタIC570は、アドレスデータの出力後、演出制御データを、8の倍数となるビット数で出力する。マスタIC570は、演出制御データの8ビット目を出力した後、ACKの返答信号が入力されるのを待って演出制御データの9ビット目を出力する。以降、8の倍数番目に相当するビットのデータを出力すると、ACKの返答信号が入力されるのを確認してから、(8の倍数+1)番目のビットを出力し、全データが出力されるまで繰り返す。

【0364】

なお、マスタIC570は、演出制御データの8の倍数番目となるビットを出力した後、所定時間経過してもACKの返答信号が入力されない場合には、接続線SDAを介して、再度アドレスデータを出力し、ACKの返答信号を確認しながら、もう一度、演出制御データを1ビット目から出力する。

【0365】

また、マスタIC570は、演出制御データの最後のビットのデータを出力した後、ACKの返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

【0366】

なお、図20では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計24ビット(スレーブアドレス8ビット、演出制御データ16ビット)のデータを出力しているが、24ビット以上であってもよいし、24ビット以下であってもよい。

【0367】

図21は、本発明の実施形態のマスタIC570が、スレーブアドレスを指定して装飾制御装置610にデータを設定する場合において、マスタIC570とI²C I/Oエクспанダ615との間で授受されるデータのフォーマットを説明する図である。

【0368】

はじめに出力される8ビットのデータ2101には、データ送信の対象となる装飾制御装置610のアドレス「A0～A6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す1ビットのR/W識別データとが含まれる。このアドレス「A0～A6」のうち、「A4～A6」は値「110」となる固定アドレス部であり、「A0～A3」はI²C I/Oエクспанダ615のA0～A3の端子に設定されているアドレスに相当する(図13参照)。

【0369】

次に、出力される8ビットのデータ2102には、出力設定レジスタ635には、I²C I/Oエクспанダ615の出力設定レジスタ635(図7参照)に割り当てられている領域を指定するコントロールレジスタデータが含まれる。具体的には、5ビットの「D0～D4」からなるレジスタアドレスと、3ビットの「AI0～AI2」からなる自動書込パラメータとからなる。レジスタアドレスは出力設定レジスタ635の領域を指定する情報であり、マスタIC570により書き込み又は読み出しを行う領域のアドレスを指定する。自動書込パラメータは、マスタIC570によって、レジスタアドレスが指定する領域のみをアクセスするのか、指定する領域に隣接する領域も含んでアクセスするのかを指定するパラメータである。

10

20

30

40

50

【0370】

次に、出力される8の倍数となるビットのデータ2103には、コントロールレジスタデータによって指定される出力設定レジスタ635の領域に対して、実際に書き込まれるデータが割り当てられる。

【0371】

図22は、本発明の実施形態の装飾制御装置610を装飾制御する場合において、マスタIC570とI²CI/Oエクスパンダ615との間で授受されるデータの具体的な数値例を示す説明図である。データは、図21のデータフォーマットによって、マスタIC570とI²CI/Oエクスパンダ615との間で送受信される。

【0372】

はじめに出力される8ビットのデータ2201には、装飾制御装置610のI²CI/Oエクスパンダ615のスレーブアドレスを示す「1101100」が割り当てられている。

【0373】

次に出力される8ビットのデータ2202には、LEDの出力データを設定するために割り当てられている装飾制御装置610のI²CI/Oエクスパンダ615の出力設定レジスタ635のアドレスが含まれる。ここでは、I²CI/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を設定するための領域である、LEDOUT0レジスタ(アドレス=10100)を指定することにする。

【0374】

次に、出力される8ビットのデータ2203には、装飾制御装置610が装飾装置620に行う装飾制御の内容を示すデータが含まれる。具体的には、LEDOUT0レジスタに設定されるデータが割り当てられている。これにより、I²CI/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態(点灯、消灯、点滅など)が指定され、指定された状態でLEDが発光する。

【0375】

このようにして、I²CI/Oエクスパンダ615のPORT0端子～PORT3端子のLEDの発光状態が制御されるが、I²CI/Oエクスパンダ615の他のPORT端子(PORT4～PORT15)も、コントロールレジスタデータ2202の値を指定して、出力データ2203を設定することで制御可能である。PORT端子に、モーターやソレノイドが接続されていても、同様に制御される。

【0376】

図23は、本発明の実施形態の演出制御装置550に複数のマスタIC570が備わる場合のマスタIC570と装飾制御装置610との接続の説明図である。

【0377】

図23では、演出制御装置550は、三つのマスタIC570A～570Cを備える。

【0378】

マスタIC570Aは、中継基板600Aと接続され、中継基板600Aは、装飾制御装置610A～610Cと直列に接続されるとともに、装飾制御装置610D～610Fと直列に接続される。

【0379】

マスタIC570Bは、中継基板600Bと接続され、中継基板600Bは、装飾制御装置610G～610Iと直列に接続されるとともに、装飾制御装置610J～610Lと直列に接続される。

【0380】

マスタIC570Cは、中継基板600Cと接続され、中継基板600Cは、装飾制御装置610M～610Oと直列に接続されるとともに、装飾制御装置610P～610Rと直列に接続される。

【0381】

ここで、一つのマスタIC570に接続されている装飾制御装置610群を系統という

10

20

30

40

50

。系統とは、具体的には、マスタＩＣ５７０Ａであれば、中継基板６００Ａ、装飾制御装置６１０Ａ～６１０Ｆである。

【０３８２】

マスタＩＣ５７０は、接続されている装飾制御装置６１０にデータを出力可能であるため、マスタＩＣ５７０は、接続されている装飾制御装置６１０を制御可能である。

【０３８３】

このような構成により、１個のマスタＩＣ５７０で制御できるＩ^２ＣＩ／Ｏエクスパンダ６１５の数の制限（図１４に示すように１４個を上限とする）がなくなり、多彩な演出制御を可能とすることが期待できる。

【０３８４】

なお、今回開示した実施の形態は、全ての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲での全ての変更が含まれることが意図される。

【産業上の利用可能性】

【０３８５】

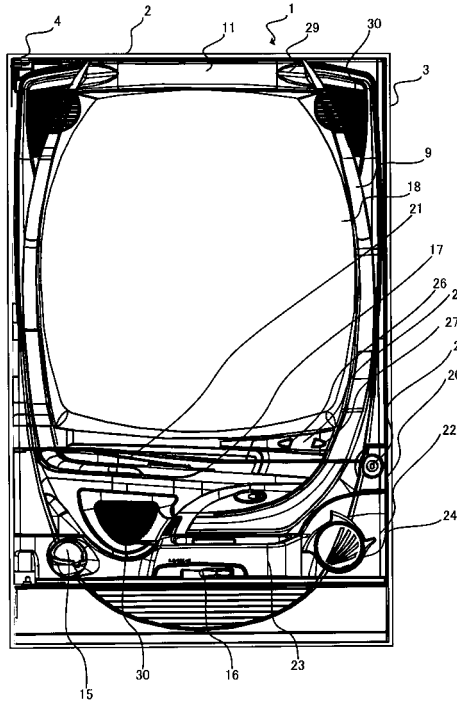
以上のように、本発明は、演出制御装置が装飾制御装置を制御する遊技機に適用可能である。

【符号の説明】

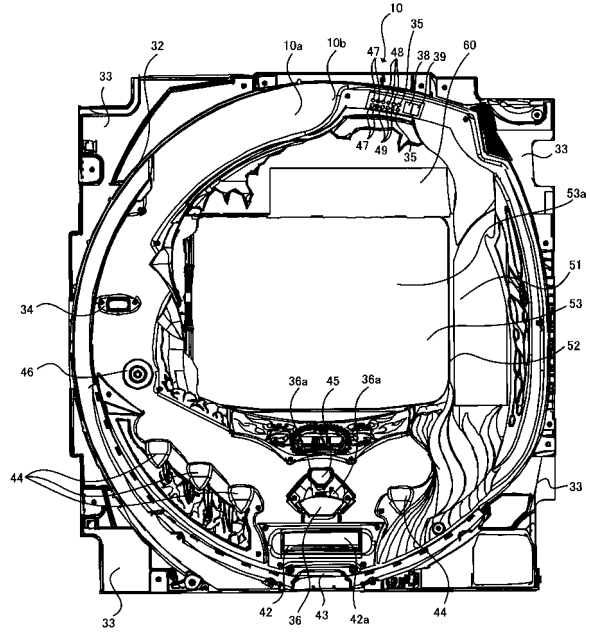
【０３８６】

１	遊技機	20
２	本体枠（外枠）	
３	前面枠	
４	ヒンジ	
１０	遊技盤	
１１	照明ユニット	
１７	演出ボタン	
１８	ガラス枠	
３４	普図始動ゲート	
３６	普通変動入賞装置	
４２	特別変動入賞装置	30
４４	一般入賞口	
４５	第１始動入賞口	
５１	センターケース	
５２	窓部	
５３	表示装置	
５５	振動センサ	
６０	可動役物	
５００	遊技制御装置	
５５０	演出制御装置	
５６０	役物駆動ＳＯＬ	40
５６１	役物駆動ＭＯＴ	
５７０	マスタＩＣ	
５８０	払出制御装置	
６００	中継基板（装飾制御装置）	
６１０	装飾制御装置	
６２０	装飾装置	

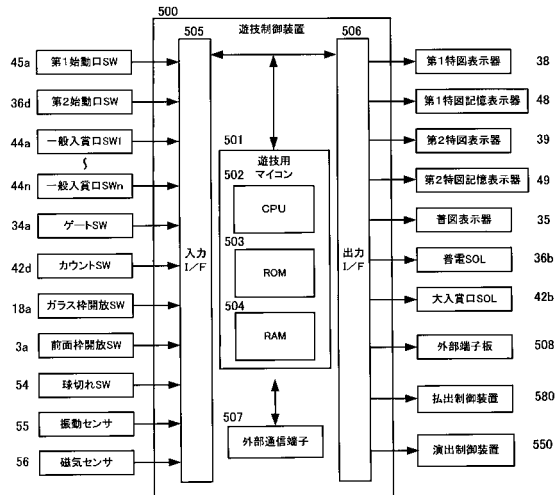
【図1】



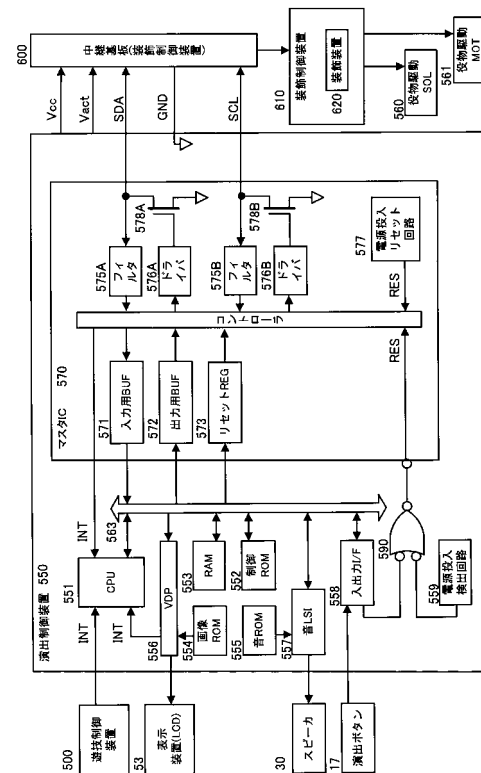
【図2】



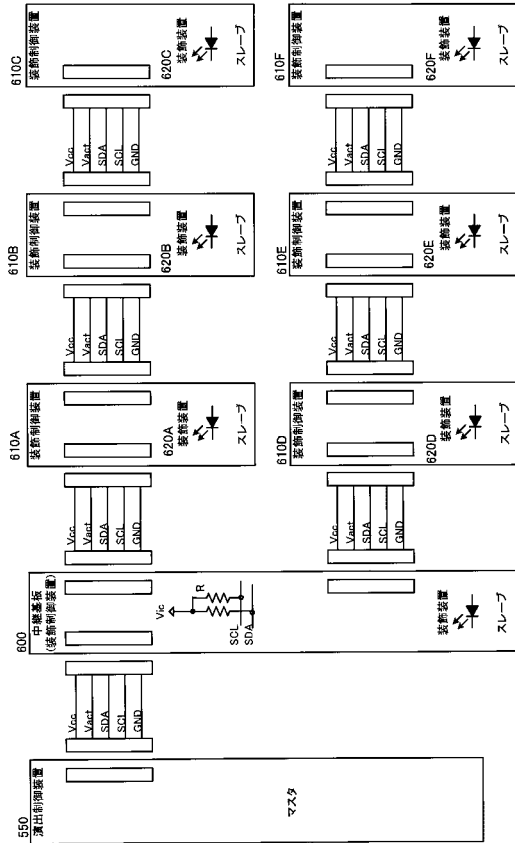
【図3】



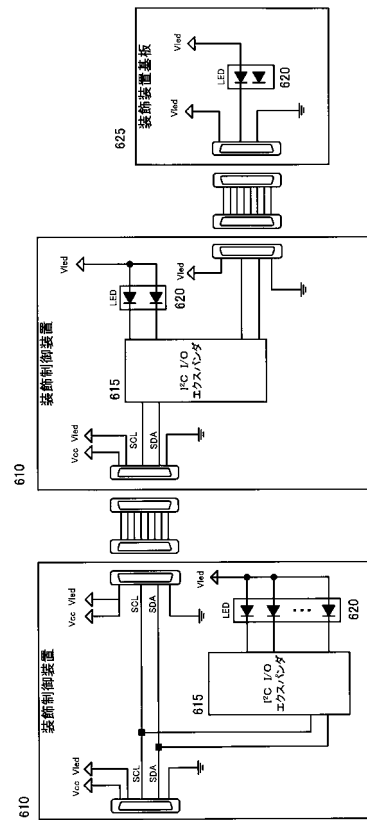
【図4】



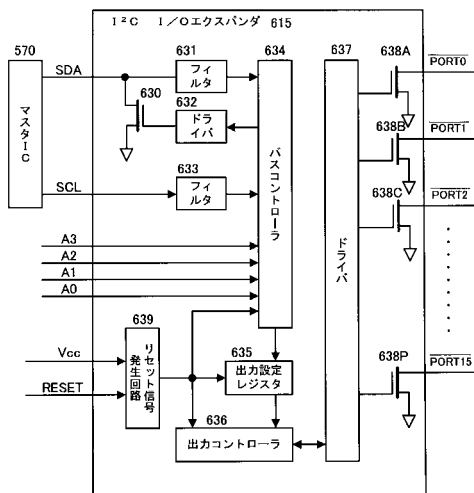
【図 5】



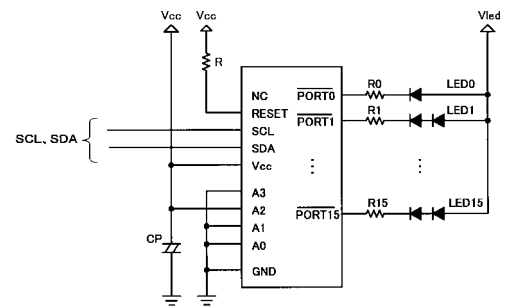
【図 6】



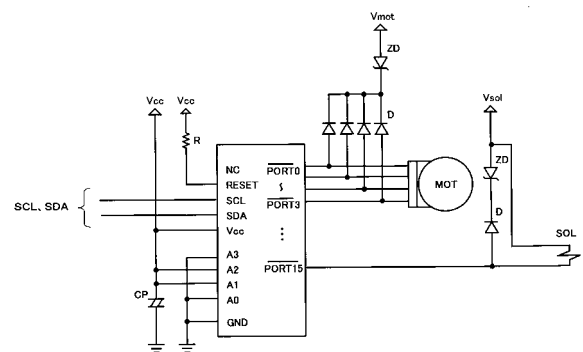
【図 7】



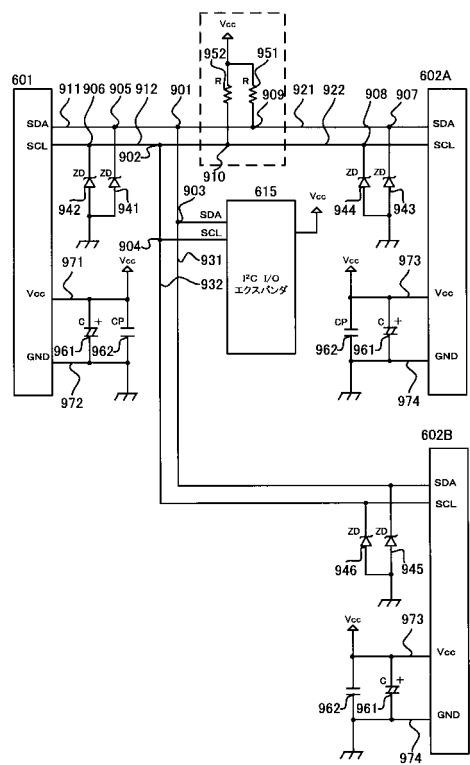
【図 8 A】



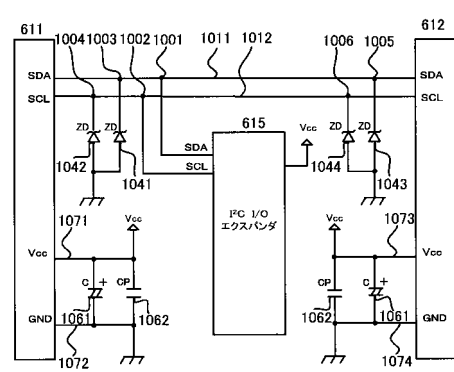
【図 8 B】



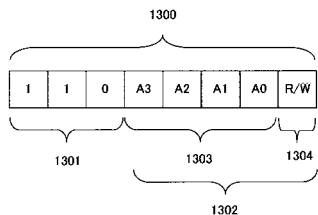
【図 9】



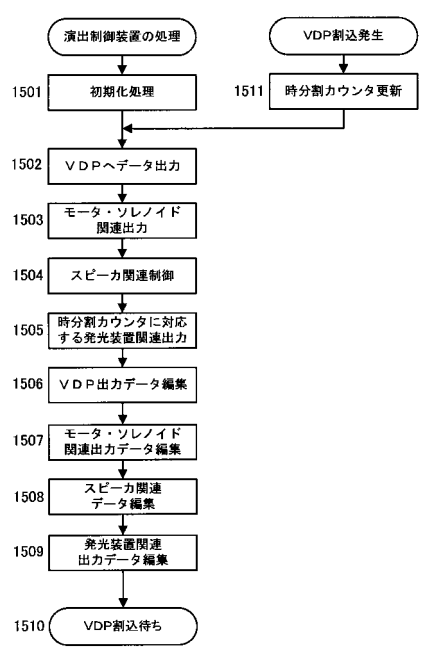
【図 10】



【図 13】



【図 15】



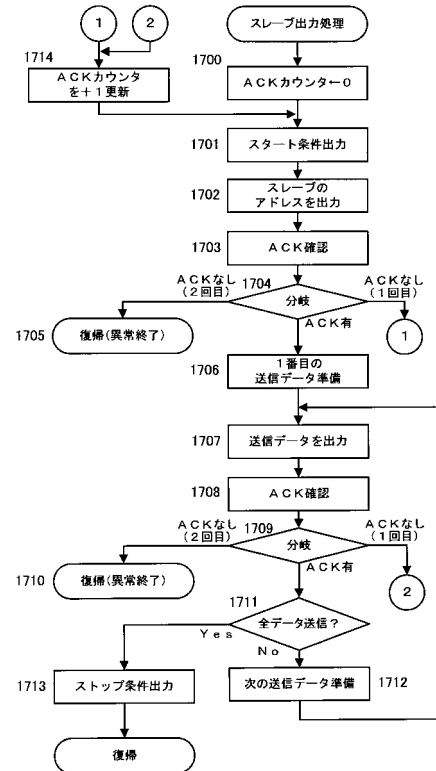
【図 14】

スレーブ アドレス	I ² C I/O エクスパンダアドレス			
	A3	A2	A1	A0
C0h	0	0	0	0
C2h	0	0	0	1
C4h	0	0	1	0
C6h	0	0	1	1
C8h	0	1	0	0
CAh	0	1	0	1
Ch	0	1	1	0
CEh	0	1	1	1
D0h	1	0	0	0
D2h	1	0	0	1
D4h	1	0	1	0
D6h	1	0	1	1
D8h	1	1	0	0
DAh	1	1	0	1
DCh	1	1	1	0
DEh	1	1	1	1

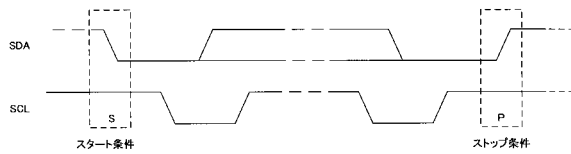
【図 16】

		時分割カウンタ			
		0	1	2	3
1602 スレ イ プ 選 択 順 序 ↓	可動型演出装置グループ	可動型演出装置グループ	可動型演出装置グループ	可動型演出装置グループ	可動型演出装置グループ
	発光型演出装置グループA	発光型演出装置グループA	発光型演出装置グループA	発光型演出装置グループA	発光型演出装置グループA
	発光型演出装置グループB	発光型演出装置グループC	発光型演出装置グループB	発光型演出装置グループC	発光型演出装置グループC
	発光型演出装置グループD	発光型演出装置グループE	発光型演出装置グループF	発光型演出装置グループG	発光型演出装置グループG
	発光型演出装置グループH				

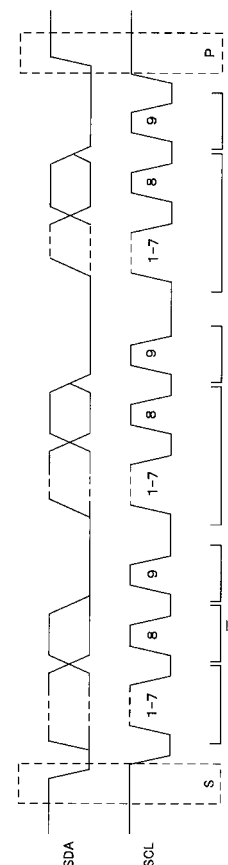
【図 17】



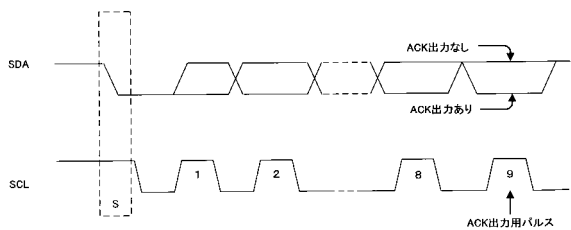
【図 18】



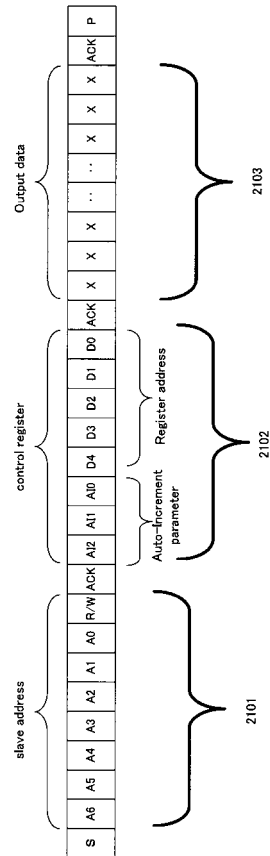
【図 20】



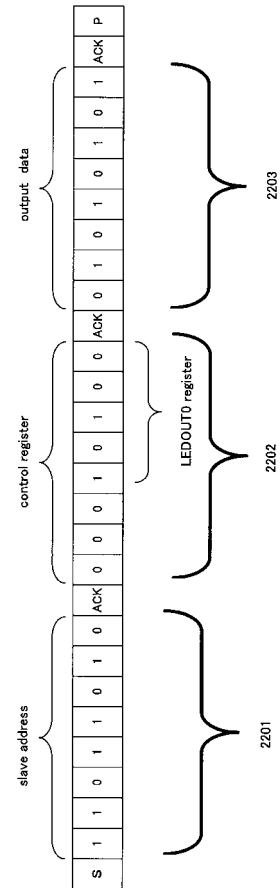
【図 19】



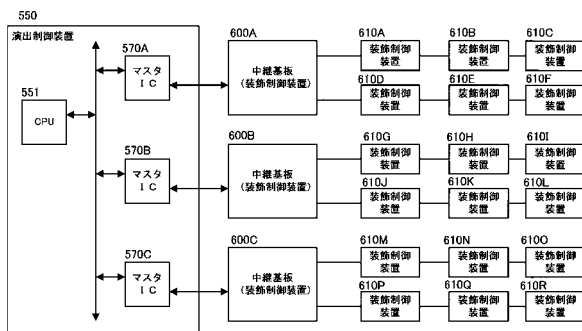
【図 2 1】



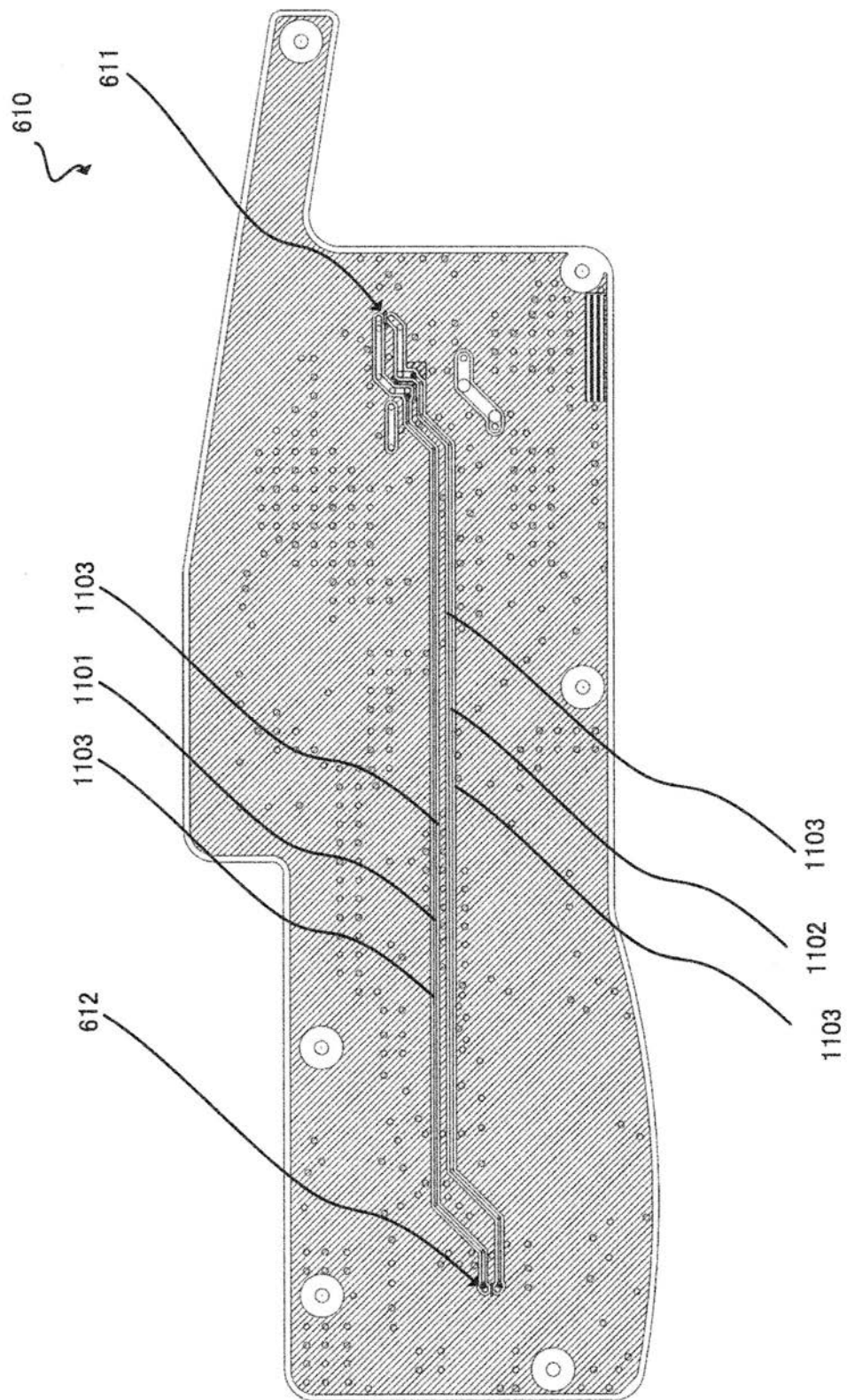
【図 2 2】



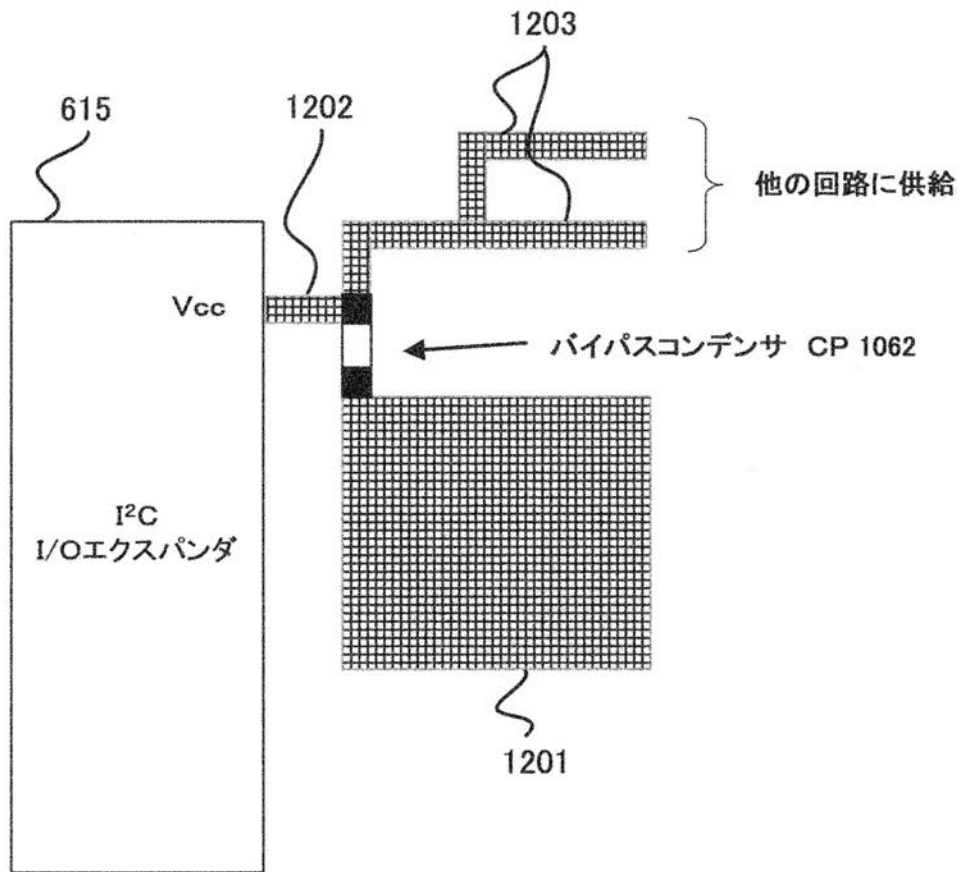
【図 2 3】



【図 11】



【図 12】



フロントページの続き

(72)発明者 松橋 光一
群馬県太田市吉沢町990番地 株式会社ソフィア内

審査官 阿南 進一

(56)参考文献 特開2001-038021(JP,A)
特開平02-170638(JP,A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02