(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020 년 6 월 11 일 (11.06.2020)

WIPO | PCT

(10) 국제공개번호
WO 2020/116718 A1

(51) 국제특허분류:
H01L 29/786 (2006.01) *H01L 21/02* (2006.01)

(21) 국제출원번호: PCT/KR2019/003360

(22) 국제출원일: 2019 년 3 월 22 일 (22.03.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2018-0156556 2018 년 12 월 7 일 (07.12.2018) KR

(71) 출원인: 연세대학교 산학협력단 (**INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY**) [KR/KR]; 03722 서울시 서대문구 연세로 50, Seoul (KR).

(72) 발명자: 김현재 (**KIM, Hyun Jae**); 04129 서울시 마포구 마포대로 195, 402-1101호, Seoul (KR). 강병하 (**KANG, Byung Ha**); 06926 서울시 동작구 장승배기로16길 134, 101동 601호, Seoul (KR). 김원기 (**KIM, Won Gi**); 10257 경기도 고양시 일산동구 성현로 335, Gyeonggi-do (KR).

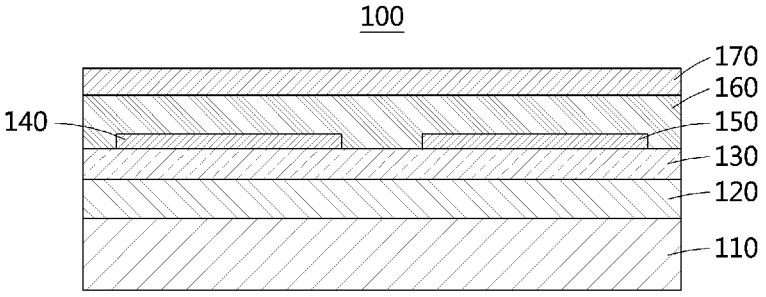
(74) 대리인: 김연권 (**KIM, Youn Gwon**); 05836 서울시 송파구 법원로 127 문정대명벨리온 15층 1501호 및 1502호, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) **Title:** OXIDE SEMICONDUCTOR THIN FILM TRANSISTOR

(54) **발명의 명칭:** 산화물 반도체 박막 트랜지스터



(57) **Abstract:** The present invention relates to an oxide semiconductor thin film transistor including a multi-functional heterogeneous organic passivation layer, and according to one embodiment of the present invention, the oxide semiconductor thin film transistor comprises a gate electrode, a gate insulating layer, a channel layer, a source electrode, a drain electrode, a first passivation layer, and a second passivation layer, wherein the first passivation layer is formed by being vertically deposited on the channel layer, the source electrode, and the drain electrode, and is formed using an organic material having a band gap that prevents a carrier generated by external light from moving to the channel layer, and the second passivation layer is formed by being vertically deposited on the first passivation layer, and is formed using an organic material that exhibits hydrophobicity and prevents adsorption and desorption of external water molecules and oxygen.

WO 2020/116718 A1

[다음 쪽 계속]

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 포함하는 산화물 반도체 박막 트랜지스터에 관한 것으로서, 본 발명의 일실시예에 따르면 산화물 반도체 박막 트랜지스터는 게이트 전극, 게이트 절연층, 채널층, 소스 전극, 드레인 전극, 제1 패시베이션층 및 제2 패시베이션층을 포함하고, 상기 제1 패시베이션층은 상기 채널층, 상기 소스 전극 및 상기 드레인 전극 상에 수직 증착되어 형성되고, 외부의 빛에 의해 생성된 캐리어(carrier)가 상기 채널층으로 이동하는 것을 방지하는 밴드 갭(band gap)을 갖는 유기물질을 이용하여 형성되며, 상기 제2 패시베이션층은 상기 제1 패시베이션층 상에 수직 증착되어 형성되고, 소수성을 나타내며, 외부의 물분자 및 산소와의 흡착 및 탈착을 방지하는 유기물질을 이용하여 형성하는 기술에 관한 것이다.

명세서

발명의 명칭: 산화물 반도체 박막 트랜지스터

기술분야

[1] 본 발명은 서로 다른 유기물질을 이용하여 형성되는 제1 패시베이션층 및 제2 패시베이션층을 포함하는 산화물 반도체 박막 트랜지스터에 관한 것으로서, 보다 상세하게는 서로 다른 유기물질이 순차적으로 증착되어 형성되는 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)에 기반하여 산화물 반도체 박막 트랜지스터의 전기적 성능과 신뢰성을 향상시키는 기술에 관한 것이다.

배경기술

[2] 최근, 디스플레이의 백 플레인(backplane)을 구동하는 박막트랜지스터의 채널 물질로 다결정실리콘(poly-Si)과 산화물 반도체가 널리 사용되고 있다.

[3] 다결정 실리콘과 산화물 반도체는 과거부터 주로 사용되어온 비정질 실리콘(a-Si)과 비교하여 우수한 전기적 특성을 가지기 때문에 고성능의 디스플레이를 구현할 수 있다.

[4] 다결정 실리콘의 전기적 특성(이동도 약 100 cm^2/Vs)은 현재까지 상용화된 박막트랜지스터의 채널 물질 중에 가장 우수한 성능을 보인다.

[5] 이러한 소재 특성으로 인해, 현재 고성능 디스플레이로 대표되는 모바일 OLED(Organic Light Emitting Diode) 디스플레이에는 다결정 실리콘이, 대면적 TV OLED 디스플레이에는 산화물 반도체가 주로 사용되고 있다.

[6] 산화물 반도체 박막 트랜지스터는 투명도, 유연성, 고 이동도, 대면적 적용 용이성, 저온 공정 등 차세대 물질로서의 많은 장점들을 갖고 있지만, 빛, 온도, 외부 응력(stress) 등에 취약하다는 단점도 존재한다.

[7] 특히, 산화물 반도체 박막 트랜지스터가 대기에 노출될 시에 수분 및 산소 원자의 흡착 및 탈착이 발생되고, 이는 산화물 박막 트랜지스터의 신뢰성에 있어 가장 큰 취약점이 될 수 있다.

[8] 종래 기술에 따르면, 상술한 문제점을 해결하기 위해 산화규소(SiO_2), 산화 하프늄(HfO_2), 산화 지르코늄(ZrO) 등의 무기물질 기반 패시베이션(passivation) 층들이 도입되고 있으며, 새로운 무기물질에 대한 연구가 다수 진행되고 있다.

[9] 또한, 플렉시블 디바이스(flexible device) 및 웨어러블 디바이스(wearable device)에 대한 수요가 증가하면서, 이러한 유연 소자의 기능 구현이 가능한 유기물질 기반의 패시베이션층에 대한 연구도 활발히 진행되고 있다.

[10] 또한, 유연 소자를 제작하기 위해서는 패시베이션층의 재료뿐만 아니라, 저온(약 250C°이하) 공정의 개발 또한 필수적이다.

[11] 더 나아가, 최근 연구들에서는 패시베이션층이 단순히 대기 중 수분 및 산소 원자의 흡착 및 탈착을 막아주는 역할을 하는 것뿐만 아니라, 채널(channel) 또는

소스 및 드레인 전극 층의 성능 향상을 돕는 역할을 수행하는 다기능 패시베이션층을 형성하기 위한 물질 및 공정 개발에 대한 연구도 지속적으로 수행되고 있다.

발명의 상세한 설명

기술적 과제

[12] 본 발명은 플렉시블 디바이스(flexible device) 및 웨어러블 디바이스(wearable device) 용 패시베이션층으로, 대기 중 수분 및 산소와의 흡착 및 탈착을 방지하고, 빛에 의한 생성된 캐리어가 채널층으로 이동하는 것을 방지하는 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 제공하는 것을 목적으로 할 수 있다.

[13] 본 발명은 서로 다른 유기물질들(예: C 타입의 파릴렌(parylene-C)과 디케토피롤로피롤계 중합체(DPP-polymer))을 채널층 위에 순차적으로 적층하여 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 형성하는 것을 목적으로 할 수 있다.

[14] 본 발명은 소수성을 나타내어, 대기 중 수분 및 산소의 흡착 및 탈착을 방지하는 유기 물질을 이용하여 제2 패시베이션층을 형성하는 것을 목적으로 할 수 있다.

[15] 본 발명은 제1 패시베이션층의 내부에 생길 수 있는 구멍(pore)을 채워주는 완충제 역할을 수행하는 유기 물질을 이용하여 제2 패시베이션층을 형성하는 것을 목적으로 할 수 있다.

[16] 본 발명은 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)에 기반하여 전기적 성능 및 신뢰성이 향상되고, 우수한 유연성을 갖는 산화물 반도체 박막 트랜지스터를 제공하는 것을 목적으로 할 수 있다.

과제 해결 수단

[17] 본 발명의 일실시예에 따르면 산화물 반도체 박막 트랜지스터는 게이트 전극, 게이트 절연층, 채널층, 소스 전극, 드레인 전극, 제1 패시베이션층 및 제2 패시베이션층을 포함하고, 상기 제1 패시베이션층은 상기 채널층, 상기 소스 전극 및 상기 드레인 전극 상에 수직 증착되어 형성되고, 외부의 빛에 의해 생성된 캐리어(carrier)가 상기 채널층으로 이동하는 것을 방지하는 밴드 갭(band gap)을 갖는 유기물질을 이용하여 형성되며, 상기 제2 패시베이션층은 상기 제1 패시베이션층 상에 수직 증착되어 형성되고, 소수성을 나타내며, 외부의 물분자 및 산소와의 흡착 및 탈착을 방지하는 유기물질을 이용하여 형성될 수 있다.

[18] 상기 제1 패시베이션층은 상기 채널층, 상기 소스 전극 및 상기 드레인 전극 상에 C타입의 파릴렌(parylene-C)을 수직 증착하여 형성될 수 있다.

[19] 상기 제1 패시베이션층은 상기 채널층으로 상기 C타입의 파릴렌(parylene-C)의 Cl 접합(bond)이 확산되고, 상기 확산된 Cl 접합(bond)이 상기 채널층의 산소 공공(oxygen vacancy)과 결합되어 상기 채널층의 결함 영역(defect site)과 상기

채널층과 상기 제1 패시베이션층의 계면 상의 트랩 영역(trap site)을 감소시킬 수 있다.

[20] 상기 제2 패시베이션층은 상기 제1 패시베이션층 상에 디케토피롤로피롤계 중합체(DPP-polymer)를 수직 증착하여 형성될 수 있다.

[21] 상기 제2 패시베이션층은 상기 디케토피롤로피롤계 중합체(DPP-polymer)에 기반하여 상기 물분자와의 흡착 현상을 방지함으로써 오프 전류(off current)를 감소시킬 수 있다.

[22] 상기 제2 패시베이션층은 상기 디케토피롤로피롤계 중합체(DPP-polymer)에 기반하여 상기 제1 패시베이션층 내 복수의 구멍(pore)을 채울 수 있다.

[23] 상기 제1 패시베이션층 및 상기 제2 패시베이션층은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정, 용액 공정(원 드롭(one drop), 스핀 코팅(spin coating), 잉크 젯(ink jet) 및 슬롯 다이(slot die)) 중 적어도 어느 하나의 공정을 이용하여 형성될 수 있다.

[24] 상기 채널층은 단성분계 물질, 단일 성분계 물질 또는 이중 성분계 물질 중 적어도 어느 하나의 산화 물질을 이용하여 형성될 수 있다.

[25] 상기 채널층은 InGaZnO, ZnO, ZrInZnO, InZnO, AlInZnO, ZnO, $InGaZnO_4$, ZnInO, ZnSnO, In_2O_3, Ga_2O_3, HfInZnO, GaInZnO, SnO_2, $In_2O_3SnO_2$, MgZnO, $ZnSnO_3$, $ZnSnO_4$, CdZnO, $CuAlO_2$, 또는 $CuGaO_2$ 중 적어도 어느 하나의 산화 물질을 이용하여 형성될 수 있다.

[26] 상기 제1 패시베이션층 및 상기 제2 패시베이션층은 서로 다른 유기물질이 순차적으로 증착되어 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)으로 형성될 수 있다.

발명의 효과

[27] 본 발명은 플렉시블 디바이스(flexible device) 및 웨어러블 디바이스(wearable device) 용 패시베이션층으로, 대기 중 수분 및 산소와의 흡착 및 탈착을 방지하고, 빛에 의한 생성된 캐리어가 채널층으로 이동하는 것을 방지하는 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 제공할 수 있다.

[28] 본 발명은 서로 다른 유기물질들(예: C 타입의 파릴렌(parylene-C)과 디케토피롤로피롤계 중합체(DPP-polymer))을 채널층 위에 순차적으로 적층하여 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 형성할 수 있다.

[29] 본 발명은 소수성을 나타내어, 대기 중 수분 및 산소의 흡착 및 탈착을 방지하는 유기 물질을 이용하여 제2 패시베이션층을 형성할 수 있다.

[30] 본 발명은 제1 패시베이션층의 내부에 생길 수 있는 구멍(pore)을 채워주는 완충제 역할을 수행하는 유기 물질을 이용하여 제2 패시베이션층을 형성할 수 있다.

[31] 본 발명은 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)에 기반하여 전기적 성능 및 신뢰성이 향상되고, 우수한 유연성을 갖는 산화물 반도체 박막 트랜지스터를 제공할 수 있다.

도면의 간단한 설명

[32] 도 1a 내지 도 1c는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 구조를 설명하는 도면이다.

[33] 도 2a 내지 도 2e는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하는 도면이다.

[34] 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 제1 패시베이션층 및 제2 패시베이션층의 소수성을 설명하는 도면이다.

[35] 도 4는 본 발명의 일실시예에 따른 제1 패시베이션층 및 제2 패시베이션층의 동작 특성을 설명하는 도면이다.

[36] 도 5a는 종래기술에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성을 설명하는 도면이다.

[37] 도 5b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성을 설명하는 도면이다.

[38] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 동작 안정성을 설명하는 도면이다.

[39] 도 7a 내지 도 8은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 기계적 벤딩 응력 대비 결과를 설명하는 도면이다.

발명의 실시를 위한 형태

[40] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[41] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[42] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[43] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고

언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[44] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[45] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[46] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[47] 도 1a 내지 도 1c는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 구조를 설명하는 도면이다.

[48] 구체적으로, 도 1a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 적층 구조를 예시한다.

[49] 도 1a를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 게이트 전극(110), 게이트 절연층(120), 채널층(130), 소스 전극(140), 드레인 전극(150), 제1 패시베이션층(160) 및 제2 패시베이션층(170)을 포함한다.

[50] 본 발명의 일실시예에 따르면 게이트 전극(110)은 기판으로서 P-타입(type)으로 붕소가 고농도로 도핑된 Si 웨이퍼(wafer)가 이용될 수 있다.

[51] 일례로, 게이트 절연층(120)은 게이트 전극(110) 상에 열산화(thermal oxidation) 기법으로 이산화규소(SiO_2)를 성장시켜 형성될 수 있다.

[52] 즉, 게이트 전극(110) 및 게이트 절연층(120)은 P-타입(type)의 불순물이 고농도로 도핑된 Si 웨이퍼(wafer)에서 이산화규소(SiO_2)를 열적으로 성장시켜 형성될 수 있다.

[53] 본 발명의 일실시예에 따르면 채널층(130)은 단성분계 물질, 단일 성분계 물질 또는 이중 성분계 물질 중 적어도 어느 하나의 산화 물질을 이용하여 게이트 절연층(120) 상에 형성될 수 있다.

[54] 보다 구체적으로, 채널층(130)은 InGaZnO, ZnO, ZrInZnO, InZnO, AlInZnO, ZnO, $InGaZnO_4$, ZnInO, ZnSnO, In_2O_3, Ga_2O_3, HfInZnO, GaInZnO, SnO_2, $In_2O_3SnO_2$, MgZnO, $ZnSnO_3$, $ZnSnO_4$, CdZnO, $CuAlO_2$, 또는 $CuGaO_2$ 중 적어도 어느 하나의 산화 물질을 이용하여 형성될 수 있다.

[55] 일례로, 채널층(130)은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정, 용액 공정(원 드롭(one drop), 스핀 코팅(spin coating), 잉크 젯(ink jet) 및 슬롯 다이(slot die)) 중 적어도 어느 하나의 공정을 이용하여 형성될 수 있다.

[56] 본 발명의 일실시예에 따르면 채널층(130) 상에서 소스 전극(140) 및 드레인 전극(150)은 약 200nm의 두께의 알루미늄(Al)을 이용하여 형성될 수 있다.

[57] 일례로, 제1 패시베이션층(160)은 채널층(130), 소스 전극(140) 및 드레인 전극(150) 상에 수직 증착되어 형성되고, 외부의 빛에 의해 생성된 캐리어(carrier)가 채널층으로 이동하는 것을 방지하는 밴드 갭(band gap)을 갖는 유기물질을 이용하여 형성될 수 있다.

[58] 본 발명의 일실시예에 따르면 제1 패시베이션층(160)은 채널층(130), 소스 전극(140) 및 드레인 전극(150) 상에 C타입의 파릴렌(parylene-C)을 수직 증착하여 형성될 수 있다.

[59] 일례로, 제1 패시베이션층(160)은 채널층(130)으로 C타입의 파릴렌(parylene-C)의 Cl 접합(bond)이 확산되고, 채널층(130)으로 확산된 Cl 접합(bond)이 채널층(130)의 산소 공공(oxygen vacancy)과 결합되어 채널층(130)의 결함 영역(defect site)과 채널층(130)과 제1 패시베이션층(160)의 계면 상의 트랩 영역(trap site)을 감소시킬 수 있다.

[60] 본 발명의 일실시예에 따르면 제1 패시베이션층(160)은 파릴렌(parylene-C)에 기반하여 내부에 구멍(pore)이 발생될 수 도 있다. 여기서, 구멍은 제1 패시베이션층(160)에 외부로부터 응력(stress)이 가해질 때, 내구성 문제를 발생시킬 수 도 있다.

[61] 일례로, 제1 패시베이션층(160)은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정, 용액 공정(원 드롭(one drop), 스핀 코팅(spin coating), 잉크 젯(ink jet) 및 슬롯 다이(slot die) 등) 중 적어도 어느 하나의 공정을 이용하여 형성될 수 있다.

[62] 일례로, 제2 패시베이션층(170)은 제1 패시베이션층(160) 상에 수직 증착되어 형성되고, 소수성을 나타내며, 외부의 물분자 및 산소와의 흡착 및 탈착을 방지하는 유기물질을 이용하여 형성될 수 있다.

[63] 본 발명의 일실시예에 따르면, 제2 패시베이션층(170)은 제1 패시베이션층(160) 상에 디케토피롤로피롤계

중합체(diketopyrrolopyrrole-polymer, DPP-polymer)를 수직 증착하여 형성될 수 있다.

[64] 일례로, 제2 패시베이션층(170)은 디케토피롤로피롤계 중합체(DPP-polymer)에 기반하여 물분자와의 흡착 현상을 방지함으로써 오프 전류(off current)를 감소시킬 수 있다.

[65] 또한, 제2 패시베이션층(170)은 디케토피롤로피롤계 중합체(DPP-polymer)에 기반하여 제1 패시베이션층(160) 내 복수의 구멍(pore)을 채우는 완충제 역할을 수행할 수 있다.

[66] 즉, 본 발명은 제1 패시베이션층의 내부에 생길 수 있는 구멍(pore)을 채워주는 완충제 역할을 수행하는 유기 물질을 이용하여 제2 패시베이션층을 형성할 수 있다.

[67] 일례로, 제2 패시베이션층(170)은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정, 용액 공정(원 드롭(one drop), 스핀 코팅(spin coating), 잉크 젯(ink jet) 및 슬롯 다이(slot die) 등) 중 적어도 어느 하나의 공정을 이용하여 형성될 수 있다.

[68] 본 발명의 일실시예에 따르면 제1 패시베이션층(160) 및 제2 패시베이션층(170)은 서로 다른 유기물질이 순차적으로 증착되어 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)으로 형성될 수 있다.

[69] 즉, 본 발명은 서로 다른 유기물질들(예: C 타입의 파릴렌(parylene-C)과 디케토피롤로피롤계 중합체(DPP-polymer))을 채널층 위에 순차적으로 적층하여 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 형성할 수 있다.

[70] 본 발명의 다른실시예에 따라 제1 패시베이션층(160)과 제2 패시베이션층의 적층 순서 및 두께는 변경 적용될 수 도 있다.

[71] 구체적으로, 도 1b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 적층 구조와 관련된 투과 전자 현미경(transmission electron microscopy, TEM) 이미지를 예시한다.

[72] 도 1b를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 게이트 전극(110), 게이트 절연층(120), 채널층(130), 소스 및 드레인 전극(미도시), 제1 패시베이션층(160) 및 제2 패시베이션층(170)을 포함한다.

[73] 일례로, 제1 패시베이션층(160) 및 제2 패시베이션층(170)은 채널층(130)을 이중으로 보호할 수 있다.

[74] 제2 패시베이션층(170)은 외부로 도출되어 외부로부터의 수분 및 산소의 접근을 방지할 수 있고, 제1 패시베이션층(160)은 외부의 빛으로부터 발생되는 캐리어의 이동을 방지할 수 있다.

[75] 구체적으로, 도 1c는 본 발명의 일실시예에 따른 산화물 반도체 박막

트랜지스터의 적층 구조와 입체도를 통하여 예시한다.

[76] 도 1c를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 게이트 전극(110), 게이트 절연층(120), 채널층(130), 소스 전극(140), 드레인 전극(150), 제1 패시베이션층(160) 및 제2 패시베이션층(170)을 포함한다.

[77] 본 발명의 일실시예에 따르면 소스 전극(140) 및 드레인 전극(150)이 채널층(130) 상에 형성된 후, 제1 패시베이션층(160)의 형성 물질이 소스 전극(140) 및 드레인 전극(150)이 채널층(130) 상 증착되어 형성될 수 있다.

[78] 한편, 제2 패시베이션층(170)은 제1 패시베이션층(160) 상에 제1 패시베이션층(160)을 형성하는 물질과 다른 물질이 증착되어 형성될 수 있다.

[79] 본 발명의 일실시예에 따르면 제1 패시베이션층(160)과 제2 패시베이션층(170)은 국부적으로 층을 증착 형성하는 원 드롭(one drop) 방식과 전면에 증착하는 원 드롭(one drop), 스핀 코팅(spin coating), 스프레이 코팅(spray coating), 잉크 젯 프린트(inkjet print) 방식 중 어느 하나의 증착 방식을 이용하여 형성될 수 있다.

[80] 아울러, 제1 패시베이션층(160) 및 제2 패시베이션층(170)을 형성하기 위한 추가 공정이 개발될 경우, 새로운 추가 공정도 도입될 수 있으며, 상술한 내용에 제한 두지 않는다.

[81] 또한, 본 발명은 산화물 반도체 박막 트랜지스터를 구성하는 각 층의 증착 순서, 영역 및 적층 횟수를 달리하여 서로 다른 두 종류 이상의 물질을 이용하여 형성된 이종접합 패시베이션층의 구조를 변형 적용할 수 있으며, 상술한 내용에 제한을 두지 않는다.

[82] 도 2a 내지 도 2e는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하는 도면이다.

[83] 도 2a를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은 p+-Si 기판에 해당하는 게이트 전극(210)위에 열 산화된(thermally oxidized) 산화 규소(SiO_2)를 이용하여 게이트 절연층(220)이 형성된 Si 웨이퍼(wafer)에서 아세톤, 메탄올 순서로 각각 10분간 상온에서 초음파 세척기를 이용해 세척을 진행하여 게이트 전극(210) 및 게이트 절연층(220)을 형성한다.

[84] 도 2b를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은 게이트 절연층(220) 상에 채널층(230)을 형성한다.

[85] 일례로, 산화물 반도체 박막 트랜지스터의 제조 방법은 In_2O_3:Ga_2O_3:ZnO의 조성비가 1:1:1인 산화물층을 사용하는데 이는 스퍼터(sputter)를 이용해서 증착할 수 있다.

[86] 여기서, 스퍼터는 RF 파워(power)를 150W 전원을 사용될 수 있으며, 5.0x10-3 Torr의 동작 압력(working pressure) 조건에서, 특히 산소 분압($[O_2]/[Ar+O_2]$)은 0% 조건으로 기판을 15 rpm의 속도로 회전시키며 5분간 증착하는 동작을 수행할 수

있다.

[87] 예를 들어, 채널층(230)의 두께는 약 40 nm이고, 이후 채널층(130)을 활성화시키기 위하여 핫플레이트(hot plate)를 이용해 300℃의 온도로, 1시간 동안 열처리를 진행하여 활성화 될 수 있다.

[88] 도 2c를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은 채널층(230) 상에 소스 전극(240) 및 드레인 전극(250)을 형성한다.

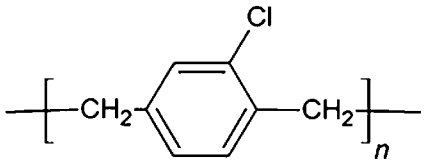
[89] 일례로, 산화물 반도체 박막 트랜지스터의 제조 방법은 쉐도우 마스크(shadow mask)와 증발기(evaporator)를 이용하여 채널의 폭은 1000 um로, 길이는 150 um이 되도록 고정되고, 200 nm 두께를 갖는 소스 전극(240) 및 드레인 전극(250)을 형성할 수 있다.

[90] 도 2d를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은 채널층(230), 소스 전극(240) 및 드레인 전극(250) 상에 제1 패시베이션층(260)을 형성한다.

[91] 일례로, 산화물 반도체 박막 트랜지스터의 제조 방법은 C 타입의 파릴렌(parylene-C)와 같은 유기 물질을 이용하여 제1 패시베이션층(260)을 형성한다.

[92] C 타입의 파릴렌(parylene-C)의 화학 구조는 하기 화학식 1과 같을 수 있다.

[93] [화학식 1]

[94] 

[95] 본 발명의 일실시예에 따르면 산화물 반도체 박막 트랜지스터의 제조 방법은 500 nm 두께의 C 타입의 파릴렌(parylene-C) 기반의 제1 패시베이션층(160)을 형성한다.

[96] 보다 구체적으로, 산화물 반도체 박막 트랜지스터의 제조 방법은 1 g의 C 타입의 파릴렌(parylene-C)의 이합체(dimer)를 챔버 내에서 680℃로 가열하고, 발생한 증기를 25℃ 분위기에서 채널층(230), 소스 전극(240) 및 드레인 전극(250)의 표면 위에 응축 및 폴리머화시켜 치밀하게 코팅된 제1 패시베이션층(260)을 형성할 수 있다.

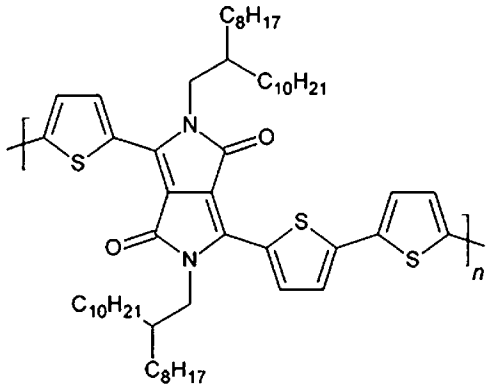
[97] 도 2e를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은 제1 패시베이션층(260) 상에 제2 패시베이션층(270)을 형성한다.

[98] 일례로, 산화물 반도체 박막 트랜지스터의 제조 방법은 디케토피롤로피롤계 중합체(DPP-polymer)와 같은 유기 물질을 이용하여 제2 패시베이션층(270)을 형성한다.

[99] 디케토피롤로피롤계 중합체(DPP-polymer)의 화학 구조는 하기 화학식 2와

같을 수 있다.

[100] [화학식 2]

[101] 

[102] 본 발명의 일실시예에 따르면 산화물 반도체 박막 트랜지스터의 제조 방법은 톨루엔(toluene) 용매(solvent)에 녹인 poly{3-([2,2':5',2''-terthiophen]-5-yl)-2,5-bis(2-octyldodecyl)-2,5-dihydropyrrolo[3,4-c]pyrrole-1,4-dione-6,5''-diyl} [P(DPP2ODT2-T); TE223] 기반의 디케토피롤로피롤계 중합체 (DPP-polymer)를 상온에서 24시간 숙성시킨다.

[103] 또한, 산화물 반도체 박막 트랜지스터의 제조 방법은 제1 패시베이션층(260) 상에 숙성된 디케토피롤로피롤계 중합체 (DPP-polymer)를 드롭(drop)하고, 3000rpm의 속도로 스핀 코팅(spin coating) 방식을 이용하여 제2 패시베이션층(270)을 증착하며, 제1 패시베이션층(260) 및 제2 패시베이션층(270)이 모두 증착된 후, 추가적인 열처리 없이 상온 또는 대기 중에서 산화물 반도체 박막 트랜지스터의 형성 과정을 완료한다.

[104] 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 제1 패시베이션층 및 제2 패시베이션층의 소수성을 설명하는 도면이다.

[105] 도 3a는 IGZO를 이용하여 형성된 채널층의 소수성을 예시하고, 도 3b는 파릴렌(Parylene)을 이용하여 형성된 제1 패시베이션층의 소수성을 예시하며, 도 3c는 디케토피롤로피롤계 중합체(DPP-polymer) 를 이용하여 형성된 제2 패시베이션층의 소수성을 예시한다. 여기서, 소수성은 층 상의 물이 이루는 각도가 클 수 록 강하다.

[106] 도 3a를 참고하면, 채널층 상의 물(300)은 약 22.9도를 나타내고, 도 3b를 참고하면, 제1 패시베이션층 상의 물(310)은 약 91.8도를 나타내며, 도 3c를 참고하면, 제2 패시베이션층 상의 물(320)은 약 102.3도를 나타낼 수 있다.

[107] 즉, 디케토피롤로피롤계 중합체(DPP-polymer)는 상대적으로 강한 소수성 특성을 가지며, 이는 외부 입자와 흡착하는 표면적을 줄임으로써 흡착된 분자에 의한 전하 변형(charge modulation)을 방지함으로써 산화물 반도체 박막 트랜지스터의 신뢰성 향상시킬 수 있다.

[108] 또한, 본 발명은 소수성을 나타내어, 대기 중 수분 및 산소의 흡착 및 탈착을 방지하는 유기 물질을 이용하여 제2 패시베이션층을 형성할 수 있다.

[109] 도 4는 본 발명의 일실시예에 따른 제1 패시베이션층 및 제2 패시베이션층의 동작 특성을 설명하는 도면이다.

[110] 도 4를 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 채널층(400), 제1 패시베이션층(410) 및 제2 패시베이션층(420)을 포함한다.

[111] 산화물 반도체 박막 트랜지스터에 빛(430)이 유입되면 전자(e) 및 정공(h)이 발생된다. 즉, 디케토피롤로피롤계 중합체(DPP-polymer)는 밴드갭 에너지가 작아, 가시광 흡수율이 높아 채널층에 악영향을 미칠 수 있다.

[112] 제2 패시베이션층(420)이 막아내지 못한 빛 자극에 따라 형성된 캐리어들은 큰 밴드갭 에너지를 갖는 제1 패시베이션층(410)을 통해 이동이 방지될 수 있다. 여기서, 캐리어(carrier)는 전자(e) 및 정공(h)을 포함할 수 있다.

[113] 도 5a는 종래기술에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성을 설명하고, 도 5b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성을 설명하는 도면이다.

[114] 도 5a 및 도 5b를 참고하면, 그래프의 가로축은 게이트 전압을 나타내고, 세로축은 드레인 전압을 나타낸다.

[115] 보다 구체적으로, 도 5a는 다기능 이종접합 유기 패시베이션층을 포함하지 않은 산화물 반도체 박막 트랜지스터의 전기적 특성 곡선을 예시하고, 도 5b는 다기능 이종접합 유기 패시베이션층을 포함하는 산화물 반도체 박막 트랜지스터의 전기적 특성 곡선을 예시한다.

[116] 도 5a와 도 5b의 전기적 특성 곡선을 비교하면, 다기능 이종접합 유기 패시베이션층을 적용한 산화물 반도체 박막 트랜지스터에서 임계 전압(V_{th}), 온/오프 유동비율(on/off current ratio), 이동도(mobility) 등의 전기적 특성 개선될 수 있다.

[117] 본 발명의 일실시예에 따르면 산화물 반도체 박막 트랜지스터는 이동도의 경우 박막 내부의 산소 공공(oxygen vacancy) 같은 결함 영역(defect site) 및 계면 상의 트랩 영역(trap site)의 존재와 관련될 수 있다.

[118] 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 C 타입의 파릴렌(parylene-C)을 이용하여 형성된 제1 패시베이션층 내 존재하는 Cl 접합(bond)이 IGZO 산화물을 이용하여 형성된 채널층 안으로 확산되어 채널층의 산소 공공(oxygen vacancy)과 결합하게 되면, 결함 영역(defect site) 및 계면 상의 트랩 영역(trap site)이 감소하여 이동도가 향상될 수 있다.

[119] 또한, 도 5a 및 도 5b를 참고하면, 온/오프 유동비율(on/off current ratio) 관련하여, 오프 전류(off current)의 감소가 두드러지게 나타난다.

[120] 오프 전류의 경우는 대기에서 음으로 대전된 물 분자가 산화물 박막의 백 채널(back channel)에 흡착되면서 캐리어를 제공함에 따라 백 채널 영역에 증가된 캐리어 농도에 의해 상승하게 되는데 디케토피롤로피롤계 중합체(DPP-polymer)를 이용하여 형성된 제2 패시베이션층이 대기로부터의 물 분자의 흡착 현상을 저지함으로써 오프 전류가 감소될 수 있다.

[121] 따라서, 본 발명은 플렉시블 디바이스(flexible device) 및 웨어러블 디바이스(wearable device) 용 패시베이션층으로, 대기 중 수분 및 산소와의 흡착 및 탈착을 방지하고, 빛에 의한 생성된 캐리어가 채널층으로 이동하는 것을 방지하는 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)을 제공할 수 있다.

[122] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 동작 안정성을 설명하는 도면이다.

[123] 도 6a는 양전압 응력 테스트(positive bias stress test)의 기준에 따른 특성 곡선 변화를 예시하고, 도 6b는 음전압 응력 테스트(negative bias illumination stress test)의 기준에 따른 특성 곡선 변화를 예시한다.

[124] 도 6a를 참고하면, 패시베이션층을 증착하지 않은 산화물 반도체 박막 트랜지스터(600), 제1 패시베이션층만 적용한 산화물 반도체 박막 트랜지스터(610), 제1 및 제2 패시베이션층이 적용된 산화물 반도체 박막 트랜지스터(620)에 대한 양전압 응력 테스트(positive bias stress test)를 게이트 바이어스 전압을 20V 인가하고, 드레인 바이어스 전압을 10.1V로 3,600초 동안 인가하여 진행한 특성 곡선의 결과를 나타낸다.

[125] 도 6b를 참고하면, 패시베이션층을 증착하지 않은 산화물 반도체 박막 트랜지스터(630), 제1 패시베이션층만 적용한 산화물 반도체 박막 트랜지스터(640), 제1 및 제2 패시베이션층이 적용된 산화물 반도체 박막 트랜지스터(650)에 대한 음전압 광 응력 테스트(negative bias illumination stress test)를 게이트 바이어스 전압을 -20 V 인가하고, 드레인 바이어스 전압을 10.1V로 20,000초 동안 인가하여 진행한 특성 곡선의 결과를 나타낸다.

[126] 도 6a 및 도 6b에 따르면, 산화물 반도체 박막 트랜지스터(620) 및 산화물 반도체 박막 트랜지스터(650)는 양전압 응력 테스트(positive bias stress test)와 음전압 광 응력 테스트(negative bias illumination stress test)에 대한 신뢰성이 매우 향상된다.

[127] 도 7a 및 도 7b은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 기계적 벤딩 응력 대비 결과를 설명하는 도면이다.

[128] 구체적으로, 도 7a는 채널층(701) 상에 제1 패시베이션층(702)만 적용한 산화물 반도체 박막 트랜지스터(700)의 전자 현미경 이미지를 예시하고, 도 7b는 제1 패시베이션층(702) 상에 제2 패시베이션층(721)이 추가 형성된 산화물 반도체 박막 트랜지스터(720)의 전자 현미경 이미지를 예시한다.

[129] 즉, 도 7a 및 도 7b는 기계적 벤딩 테스트(mechanical bending test)를 5라운드 조건으로 10,000회(cycle)까지 진행한 것을 광학현미경으로 관찰한 결과를 예시한다.

[130] 도 7a를 참고하면, 산화물 반도체 박막 트랜지스터(700)는 극심한 기계적 벤딩 응력(mechanical bending stress)이 가해질 경우, 1000회쯤, 제1 패시베이션층 내의 미세한 구멍(pore)들을 따라 일차 크랙(710)이 발생하고, 10,000회쯤, 크랙(711)이

발생될 수 있다.

[131] 도 7b를 참고하면, 산화물 반도체 박막 트랜지스터(720)는 제2 패시베이션층을 형성하는 디케토피롤로피롤계 중합체가 제1 패시베인션층 내의 미세한 구멍들을 채워주는 완충 역할을 함으로써 기계적 벤딩 응력에 내성이 생기며, 향상된 유연성(flexibility)을 나타낼 수 있다.

[132] 도 8은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 기계적 벤딩 응력 대비 결과를 설명하는 도면이다.

[133] 구체적으로, 도 8은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터에 대한 기계적 벤딩 응력에 대한 특성 곡선을 예시한다.

[134] 도 8을 참고하면, 그래프의 가로축은 게이트 전압을 나타내고, 세로축은 드레인 전압을 나타내며, 곡선들은 응력을 가한 횟수를 나타낼 수 있다.

[135] 영역(800)을 참고하면, 산화물 반도체 박막 트랜지스터는 반지름 5mm의 롤에서 벤딩된 상태로 테스트될 수 있다.

[136] 그래프에 따르면, 기계적 벤딩 테스트를 5 라운드 조건으로 1, 10, 100, 1000, 10000회 진행하고, 그에 따른 특성 곡선을 살펴보면, 극심한 임계 전압 변화(V_{th} shift)가 없으며, 소자가 정상적으로 작동한다.

[137] 즉, 본 발명은 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)에 기반하여 전기적 성능 및 신뢰성이 향상되고, 우수한 유연성을 갖는 산화물 반도체 박막 트랜지스터를 제공할 수 있다.

[138] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[139] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

[청구항 1] 게이트 전극; 게이트 절연층; 채널층; 소스 전극; 드레인 전극; 제1 패시베이션층; 및 제2 패시베이션층을 포함하고,
상기 제1 패시베이션층은 상기 채널층, 상기 소스 전극 및 상기 드레인 전극 상에 수직 증착되어 형성되고, 외부의 빛에 의해 생성된 캐리어(carrier)가 상기 채널층으로 이동하는 것을 방지하는 밴드 갭(band gap)을 갖는 유기물질을 이용하여 형성되며,
상기 제2 패시베이션층은 상기 제1 패시베이션층 상에 수직 증착되어 형성되고, 소수성을 나타내며, 외부의 물분자 및 산소와의 흡착 및 탈착을 방지하는 유기물질을 이용하여 형성되는
산화물 반도체 박막 트랜지스터.

[청구항 2] 제1항에 있어서,
상기 제1 패시베이션층은 상기 채널층, 상기 소스 전극 및 상기 드레인 전극 상에 C타입의 파릴렌(parylene-C)을 수직 증착하여 형성되는
산화물 반도체 박막 트랜지스터.

[청구항 3] 제2항에 있어서,
상기 제1 패시베이션층은 상기 채널층으로 상기 C타입의 파릴렌(parylene-C)의 Cl 접합(bond)이 확산되고, 상기 확산된 Cl 접합(bond)이 상기 채널층의 산소 공공(oxygen vacancy)과 결합되어 상기 채널층의 결함 영역(defect site)과 상기 채널층과 상기 제1 패시베이션층의 계면 상의 트랩 영역(trap site)을 감소시키는
산화물 반도체 박막 트랜지스터.

[청구항 4] 제1항에 있어서,
상기 제2 패시베이션층은 상기 제1 패시베이션층 상에 디케토피롤로피롤계 중합체(DPP-polymer)를 수직 증착하여 형성되는
산화물 반도체 박막 트랜지스터.

[청구항 5] 제4항에 있어서,
상기 제2 패시베이션층은 상기 디케토피롤로피롤계 중합체(DPP-polymer)에 기반하여 상기 물분자와의 흡착 현상을 방지함으로써 오프 전류(off current)를 감소시키는
산화물 반도체 박막 트랜지스터.

[청구항 6] 제4항에 있어서,
상기 제2 패시베이션층은 상기 디케토피롤로피롤계 중합체(DPP-polymer)에 기반하여 상기 제1 패시베이션층 내 복수의 구멍(pore)을 채우는
산화물 반도체 박막 트랜지스터.

[청구항 7] 제1항에 있어서,

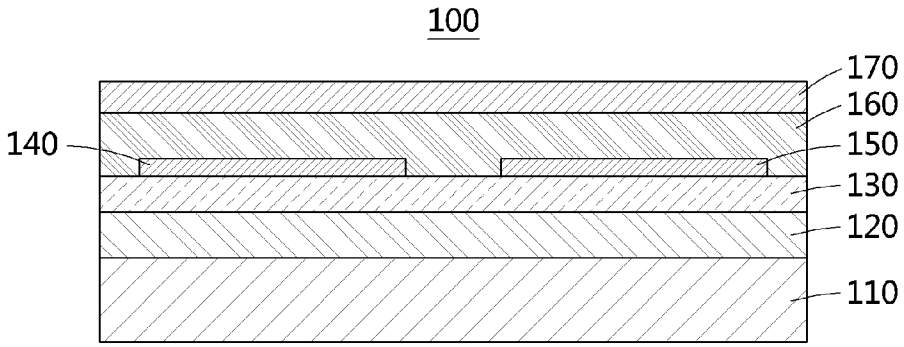
상기 제1 패시베이션층 및 상기 제2 패시베이션층은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정, 용액 공정(원 드롭(one drop), 스핀 코팅(spin coating), 잉크 젯(ink jet) 및 슬롯 다이(slot die)) 중 적어도 어느 하나의 공정을 이용하여 형성되는
산화물 반도체 박막 트랜지스터.

[청구항 8] 제1항에 있어서,
상기 채널층은 단성분계 물질, 단일 성분계 물질 또는 이중 성분계 물질 중 적어도 어느 하나의 산화 물질을 이용하여 형성되는
산화물 반도체 박막 트랜지스터.

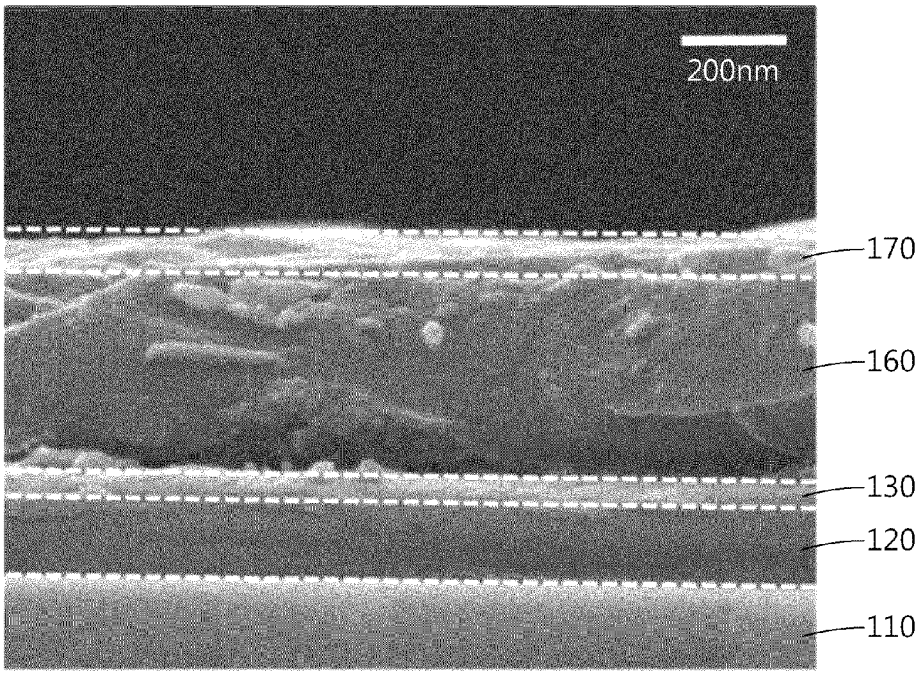
[청구항 9] 제1항에 있어서,
상기 채널층은 InGaZnO, ZnO, ZrInZnO, InZnO, AlInZnO, ZnO, $InGaZnO_4$, ZnInO, ZnSnO, In_2O_3, Ga_2O_3, HfInZnO, GaInZnO, SnO_2, $In_2O_3SnO_2$, MgZnO, $ZnSnO_3$, $ZnSnO_4$, CdZnO, $CuAlO_2$, 또는 $CuGaO_2$ 중 적어도 어느 하나의 산화 물질을 이용하여 형성되는
산화물 반도체 박막 트랜지스터.

[청구항 10] 제1항에 있어서,
상기 제1 패시베이션층 및 상기 제2 패시베이션층은 서로 다른 유기물질이 순차적으로 증착되어 다기능 이종접합 유기 패시베이션층(multi-functional heterogeneous organic passivation layer)으로 형성되는
산화물 반도체 박막 트랜지스터.

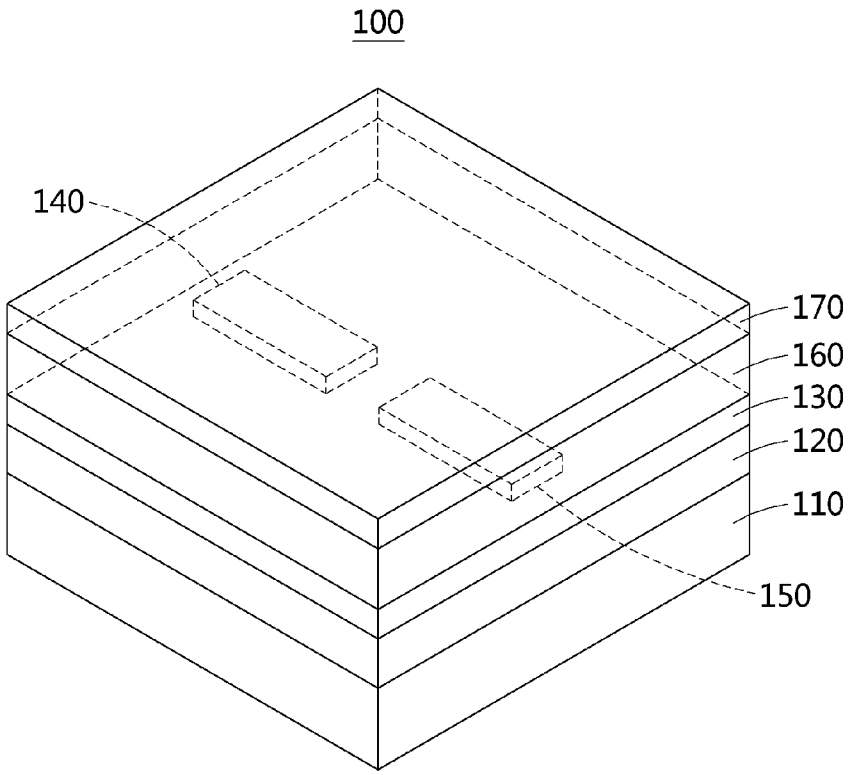
[도1a]



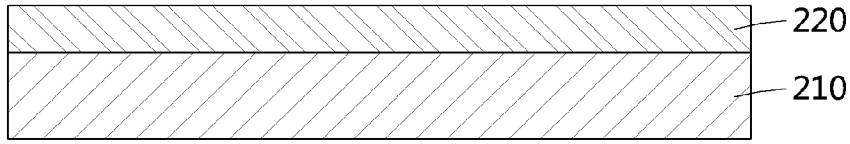
[도1b]



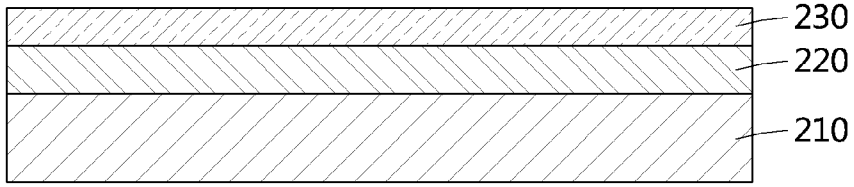
[도1c]



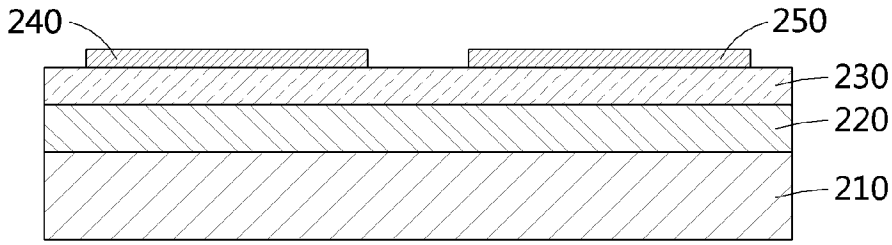
[도2a]



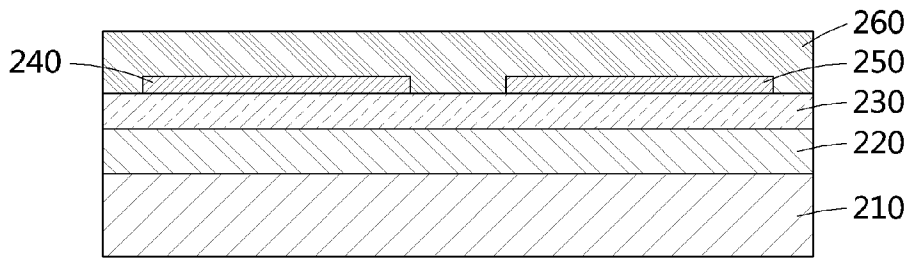
[도2b]



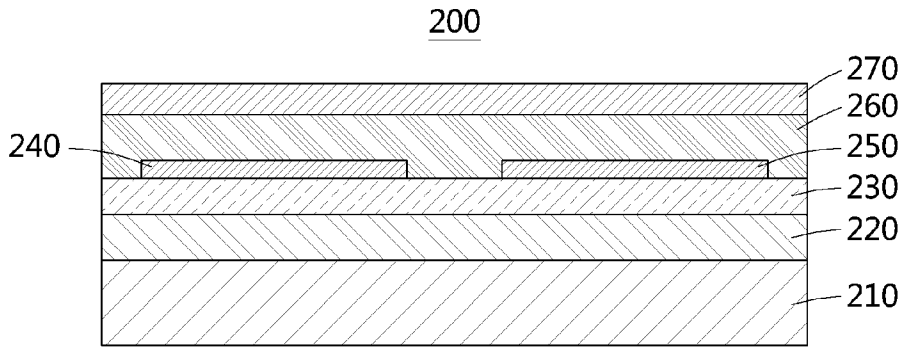
[도2c]



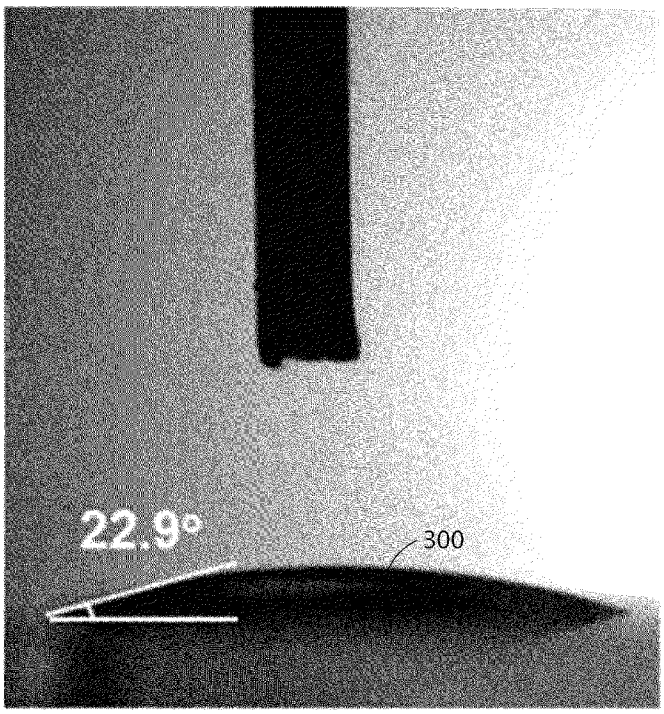
[도2d]



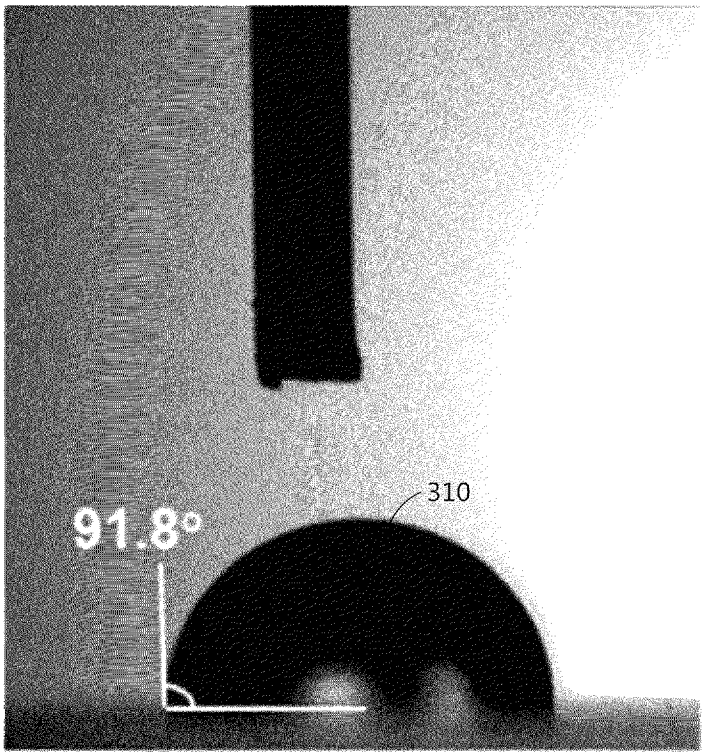
[도2e]



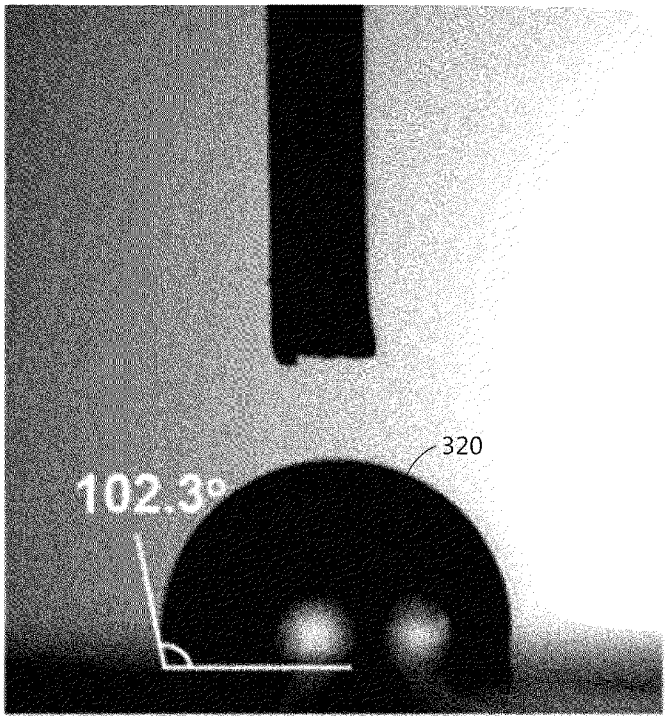
[도3a]



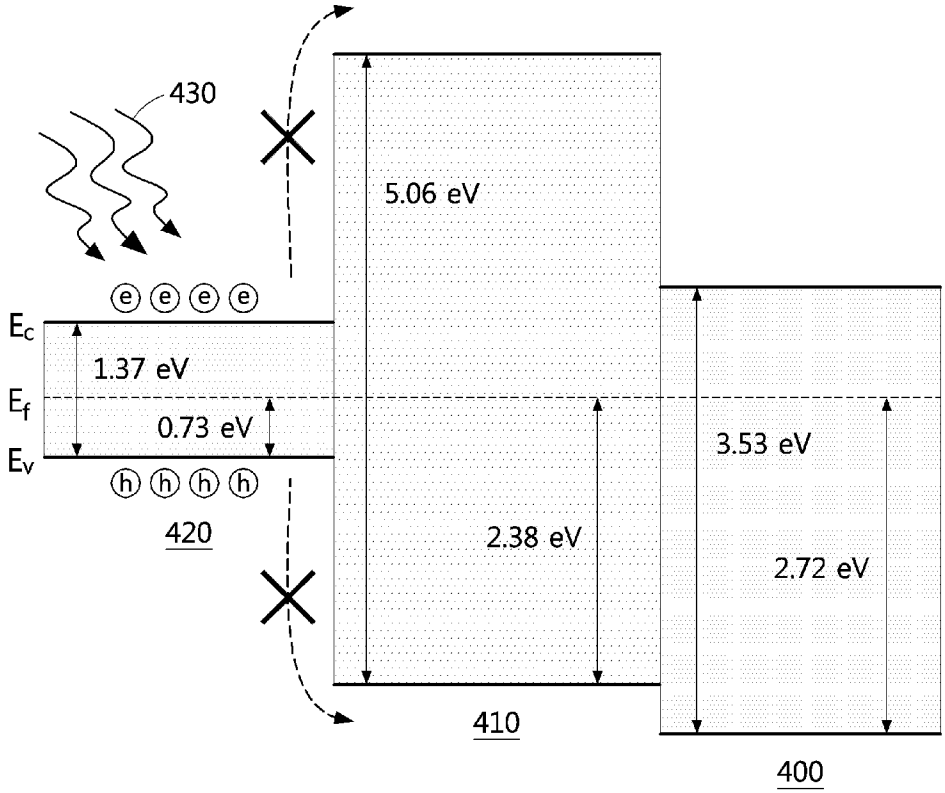
[도3b]



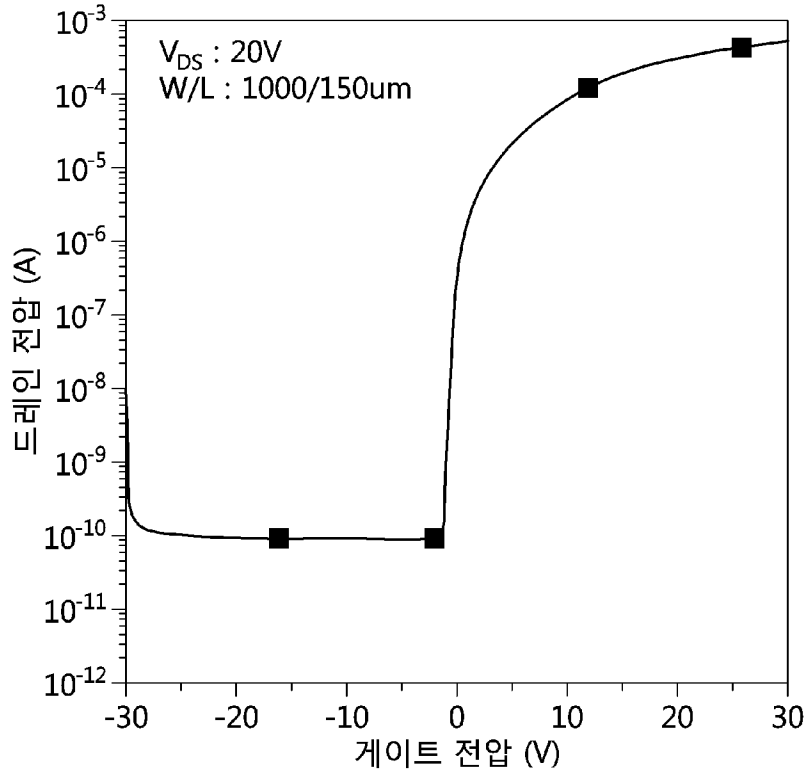
[도3c]



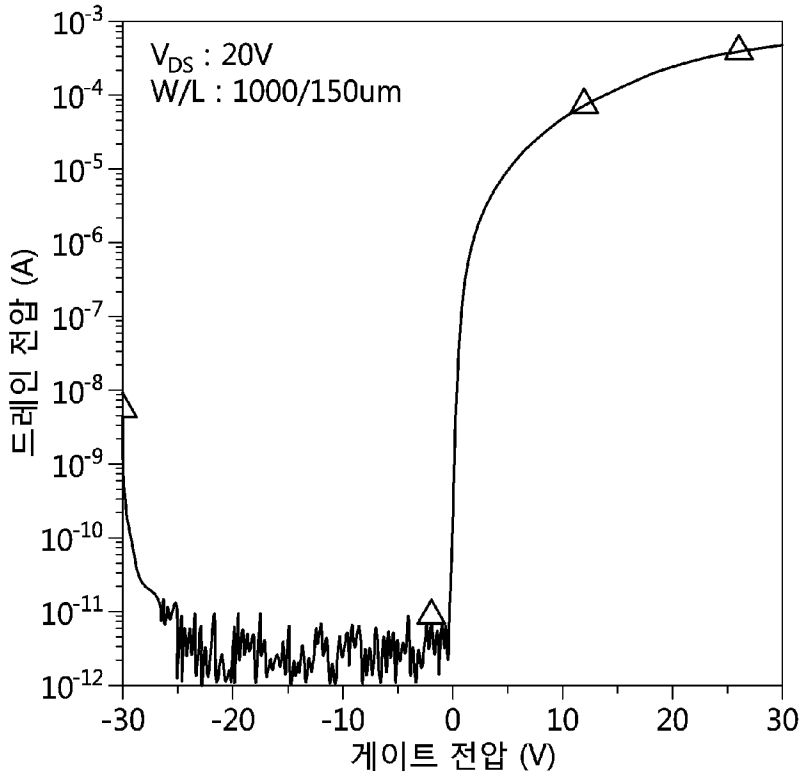
[도4]


430
5.06 eV
e e e e
Ec
1.37 eV
Ef
0.73 eV
Ev
h h h h
420
2.38 eV
3.53 eV
2.72 eV
410
400

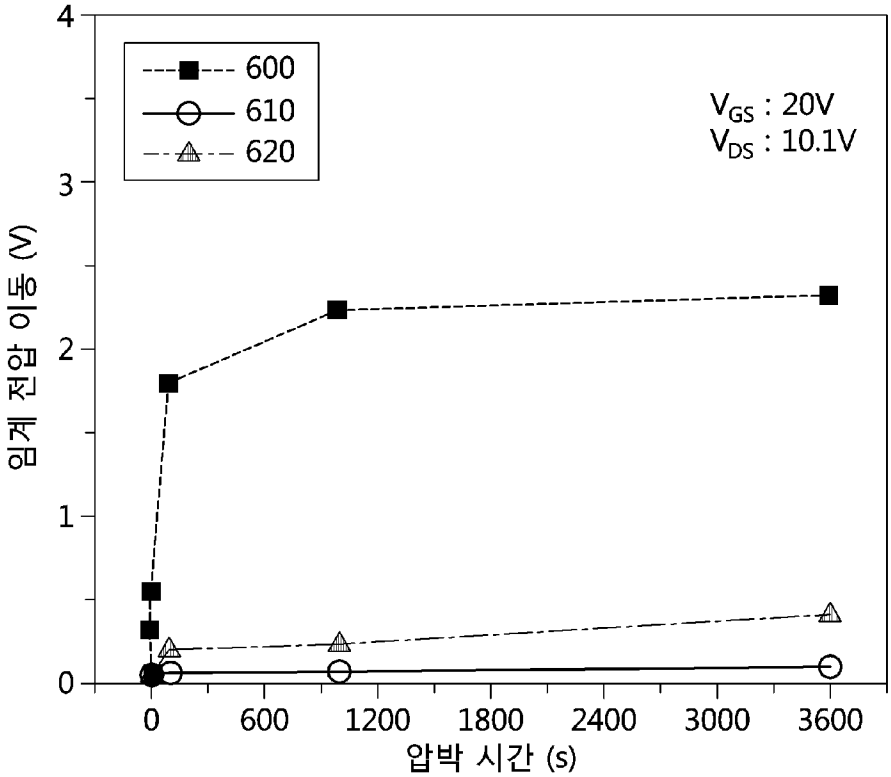
[도5a]


VDS : 20V
W/L : 1000/150um
드레인 전압 (A)
10-3
10-4
10-5
10-6
10-7
10-8
10-9
10-10
10-11
10-12
-30
-20
-10
0
10
20
30
게이트 전압 (V)

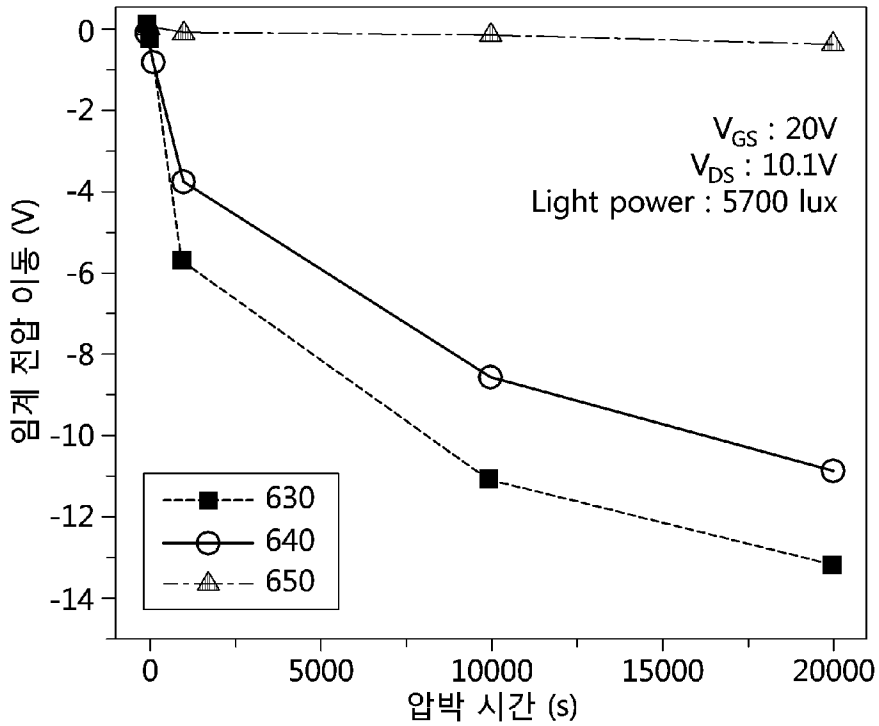
[도5b]


V_{DS} : 20V
W/L : 1000/150um
드레인 전압 (A)
게이트 전압 (V)

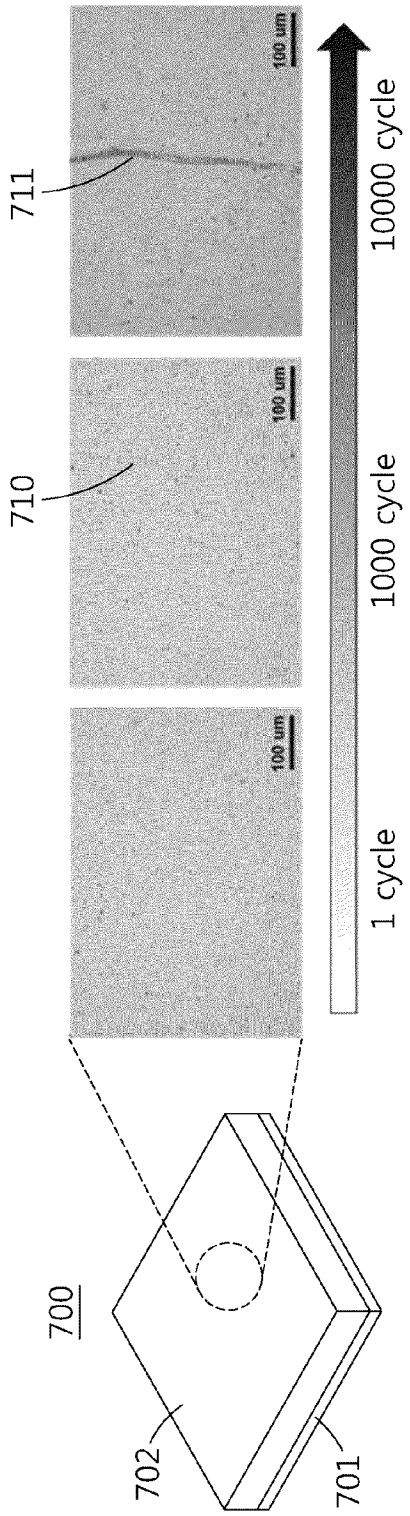
[도6a]


600
610
620
V_{GS} : 20V
V_{DS} : 10.1V
임계 전압 이동 (V)
압박 시간 (s)

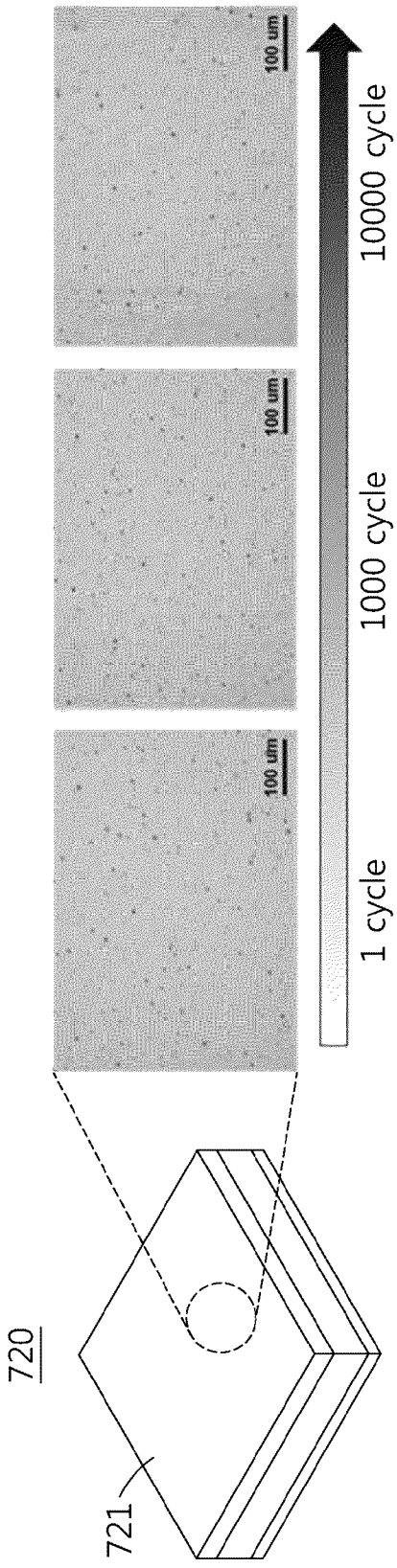
[도6b]


0
-2
-4
-6
-8
-10
-12
-14
임계 전압 이동 (V)
0
5000
10000
15000
20000
압박 시간 (s)
V_{GS} : 20V
V_{DS} : 10.1V
Light power : 5700 lux
630
640
650

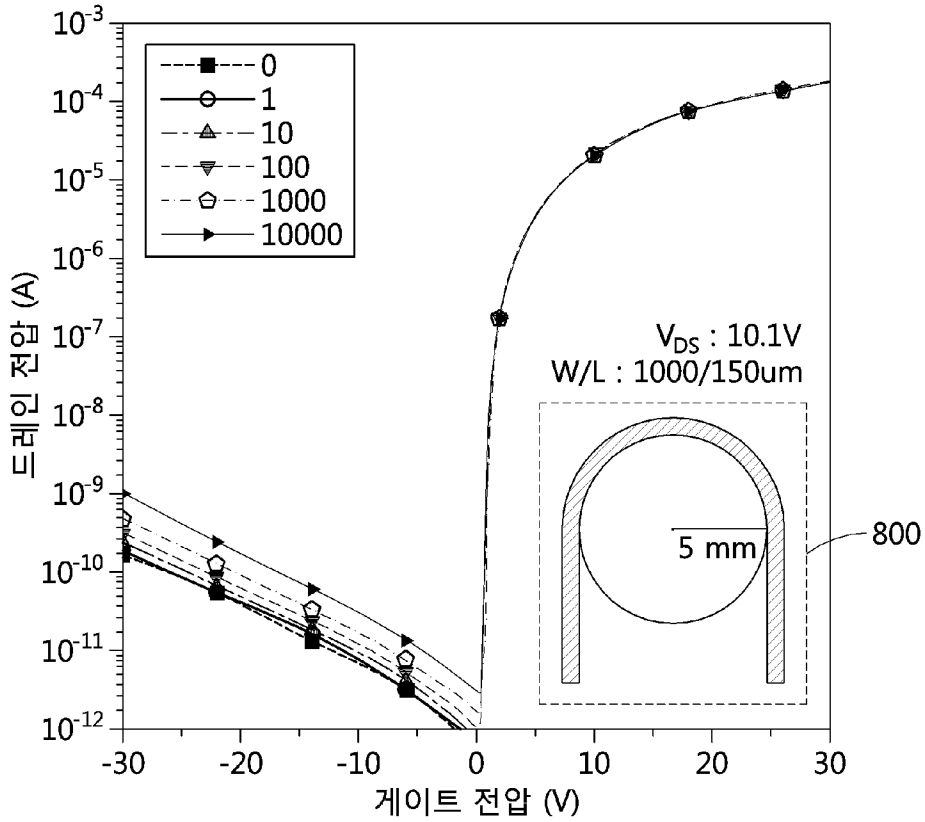
[도7a]


100 um
100 um
100 um
711
710
10000 cycle
1000 cycle
1 cycle
700
702
701

[도7b]



[도8]


0
1
10
100
1000
10000
드레인 전압 (A)
게이트 전압 (V)
V_{DS} : 10.1V
W/L : 1000/150um
5 mm
800

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2019/003360

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i, H01L 21/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; H01L 21/324; H01L 21/336; H01L 51/00; H01L 51/05; H01L 21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: oxide, semiconductor, transistor, passivation, adsorption, prevention

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010-0090220 A1 (KAWASAKI et al.) 15 April 2010 See paragraphs [0010], [0068]-[0069]; claim 21; and figure 2.	1-10
Y	KR 10-2012-0127166 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 21 November 2012 See paragraphs [0026]-[0029]; and figures 1-2.	1-10
Y	KR 10-2018-0113396 A (KONKUK UNIVERSITY INDUSTRIAL COOPERATION CORP.) 16 October 2018 See paragraph [0022]; claim 1; and figure 1.	4-6
A	KR 10-2018-0031979 A (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) 29 March 2018 See figures 1, 3-4.	1-10
A	KR 10-2018-0031945 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 29 March 2018 See figures 1-2.	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 SEPTEMBER 2019 (06.09.2019)	**06 SEPTEMBER 2019 (06.09.2019)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2019/003360

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2010-0090220 A1	15/04/2010	EP 1580811 A2	28/09/2005
		EP 1580811 A3	02/09/2009
		JP 04385812 B2	16/12/2009
		JP 2005-277238 A	06/10/2005
		TW 200532922 A	01/10/2005
		TW 258220 B	11/07/2006
		US 2005-0211975 A1	29/09/2005
KR 10-2012-0127166 A	21/11/2012	KR 10-1849268 B1	18/04/2018
		US 2012-0286271 A1	15/11/2012
KR 10-2018-0113396 A	16/10/2018	None	
KR 10-2018-0031979 A	29/03/2018	KR 10-1856858 B1	10/05/2018
KR 10-2018-0031945 A	29/03/2018	KR 10-1897345 B1	10/09/2018

국 제 조 사 보 고 서

국제출원번호
PCT/KR2019/003360

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/786(2006.01)i, H01L 21/02(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 29/786; H01L 21/324; H01L 21/336; H01L 51/00; H01L 51/05; H01L 21/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 산화물(oxide), 반도체(semiconductor), 트랜지스터(transistor), 패시베이션(passivation), 흡착(absorption), 방지(prevention)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2010-0090220 A1 (KAWASAKI 등) 2010.04.15 단락 [0010], [0068]-[0069]; 청구항 21; 및 도면 2 참조.	1-10
Y	KR 10-2012-0127166 A (한국전자통신연구원) 2012.11.21 단락 [0026]-[0029]; 및 도면 1-2 참조.	1-10
Y	KR 10-2018-0113396 A (건국대학교 산학협력단) 2018.10.16 단락 [0022]; 청구항 1; 및 도면 1 참조.	4-6
A	KR 10-2018-0031979 A (연세대학교 산학협력단) 2018.03.29 도면 1, 3-4 참조.	1-10
A	KR 10-2018-0031945 A (고려대학교 산학협력단) 2018.03.29 도면 1-2 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2019년 09월 06일 (06.09.2019)	2019년 09월 06일 (06.09.2019)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
강성철
전화번호 +82-42-481-8405

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2019/003360

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2010-0090220 A1	2010/04/15	EP 1580811 A2	2005/09/28
		EP 1580811 A3	2009/09/02
		JP 04385812 B2	2009/12/16
		JP 2005-277238 A	2005/10/06
		TW 200532922 A	2005/10/01
		TW 258220 B	2006/07/11
		US 2005-0211975 A1	2005/09/29
KR 10-2012-0127166 A	2012/11/21	KR 10-1849268 B1	2018/04/18
		US 2012-0286271 A1	2012/11/15
KR 10-2018-0113396 A	2018/10/16	없음	
KR 10-2018-0031979 A	2018/03/29	KR 10-1856858 B1	2018/05/10
KR 10-2018-0031945 A	2018/03/29	KR 10-1897345 B1	2018/09/10