

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-10972

(P2005-10972A)

(43) 公開日 平成17年1月13日(2005.1.13)

(51) Int. Cl.<sup>7</sup>

G06F 1/26  
G06F 1/28  
G06F 12/16

F I

G06F 1/00 335C  
G06F 12/16 340G  
G06F 1/00 335A  
G06F 1/00 333D

テーマコード(参考)

5B011

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号

特願2003-172798(P2003-172798)

(22) 出願日

平成15年6月18日(2003.6.18)

(71) 出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石2番1号

(72) 発明者 垣本 尚徳

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

(72) 発明者 高山 茂典

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

Fターム(参考) 5B011 DA01 DA02 EB01 GG04 JB01

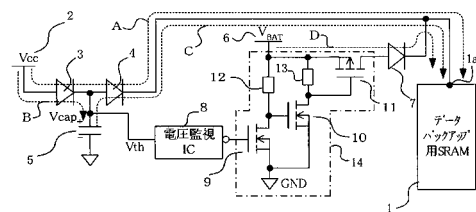
(54) 【発明の名称】 データバックアップ機能を備えた電子機器

(57) 【要約】

【課題】 内部ロジック電源電圧によらずバッテリーを選定することが可能なデータバックアップ機能を備えた電子機器を提供する。

【解決手段】 本発明は電子機器内の回路動作電源となる内部ロジック電源2と、電子機器が電源ON時に充電され、電源OFF直後から該データバックアップ用SRAM1に電源を供給するスーパーキャパシタンス5と、電子機器が電源ON時及びスーパーキャパシタンス5が十分充電されている間に電流を消費しないように、内部ロジック電源2の電圧及びスーパーキャパシタンス5の+端子電圧より高い電圧のバックアップ用バッテリー6と、スーパーキャパシタンス5の電圧低下を検出する電圧監視IC8と、電圧監視IC8から出力されるスーパーキャパシタンス5の電圧低下検出信号により、バックアップ用バッテリー6からSRAM1に電源を供給するバッテリー電源ON/OFF制御回路14を有する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

データバックアップを必要とし、電源 OFF 時に電源保持されるデータバックアップ用 S R A M ( 1 ) を有する電子機器であって、  
 該電子機器内の回路動作電源となる内部ロジック電源 ( 2 ) と、  
 該電子機器が電源 ON 時に充電され、電源 OFF 直後から該データバックアップ用 S R A M ( 1 ) に電源を供給し、バッテリーの消耗防止及びバッテリー交換時の該 S R A M のデータバックアップのために使用されるスーパーキャパシタンス ( 5 ) と、  
 該電子機器が電源 ON 時及び前記スーパーキャパシタンス ( 5 ) が十分充電されている間に電流を消費しないように、前記内部ロジック電源 ( 2 ) の電圧及び前記スーパーキャパシタンス ( 5 ) の + 端子電圧より高い電圧のバックアップ用バッテリー ( 6 ) とから構成されるデータバックアップ機能を備えた電子機器において、  
 前記スーパーキャパシタンス ( 5 ) の電圧低下を検出する電圧監視 I C ( 8 ) と、  
 前記電圧監視 I C ( 8 ) から出力されるスーパーキャパシタンス ( 5 ) の電圧低下検出信号により、前記バックアップ用バッテリー ( 6 ) から前記 S R A M ( 1 ) に電源を供給するためのバックアップ用バッテリー出力を制御するバッテリー電源 ON / OFF 制御回路 ( 1 4 ) とを有することを特徴とするデータバックアップ機能を備えた電子機器。

10

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

20

本発明は、データバックアップ機能を備えた電子機器に関する。

## 【0002】

## 【従来技術】

従来、データバックアップ機能を備えた電子機器は図 2 に示すようになっている (例えば、特許文献 1 および特許文献 2 を参照)。

## 【0003】

## 【特許文献 1】

特開 2000 - 155720 号公報 (明細書 3 頁、第 1 図)

## 【特許文献 2】

特開平 9 - 152919 号公報 (明細書 3 頁、第 1 図)

30

## 【0004】

図 2 は従来データのバックアップ機能を備えた電子機器を示す回路図である。

図 2 において、1 はデータバックアップ用 S R A M、1 a は該 S R A M 1 の電源端子である。データバックアップ用 S R A M 1 は電源端子 1 a に電源が供給されている間はデータを保持し続け、電源供給が停止されるとデータが消失する。2 は内部ロジック電源で、電子機器内の回路動作電源である。5 はスーパーキャパシタンスであり電子機器が電源 ON 時に充電され、電源 OFF 直後からデータバックアップ用 S R A M 1 に電源を供給し、バッテリーの消耗防止及びバッテリー交換時の S R A M 1 のデータバックアップのために使用される。6 はバックアップ用バッテリーであり、電子機器が電源 ON 時及びスーパーキャパシタンス 5 が十分充電されている間に電流を消費しないように、内部ロジック電源電圧及びスーパーキャパシタンスの + 端子電圧より低い電圧である必要がある。3、4、7 はダイオードであり、ダイオード 3 はスーパーキャパシタンス 5 から内部ロジック電源への電流を防止するために使用される。ダイオード 4 及び 7 はスーパーキャパシタンス 5 とバックアップ用バッテリーの電源短絡を防止するのに使用される。

40

## 【0005】

次に、動作について説明する。

内部ロジック電源 2 の電圧を  $V_{CC}$ 、スーパーキャパシタンス 5 の + 端子の電圧を  $V_{CAP}$ 、バックアップ用バッテリー 6 の電圧を  $V_{BAT}$  とすると、内部ロジック電源 2 が ON の時は  $V_{CC} > V_{CAP} > V_{BAT}$  となるため、内部ロジック電源 2 がダイオード 3、4 を経由してデータバックアップ用 S R A M 1 の電源端子 1 a に電源を供給する (図 2 の A の

50

経路)。この時スーパーキャパシタンス5は、ダイオード3を経由して内部ロジック電源2により充電される(図2のBの経路)。内部ロジック電源2がOFFした直後は $V_{CC} = 0$ 、 $V_{CAP} > V_{BAT}$ であるため、スーパーキャパシタンス5がダイオード4を経由してデータバックアップ用SRAM1の電源端子1aに電源を供給する(図2のCの経路)。スーパーキャパシタンス5の出力電圧 $V_{CAP}$ が低下し $V_{CAP} < V_{BAT}$ となると、ダイオード7を経由してデータバックアップ用SRAM1の電源端子1aにバックアップ用バッテリー6から電源が供給される(図2のDの経路)。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、近年、電子機器の内部ロジック電圧は低下傾向にある。従来技術では、 $V_{CC} < V_{BAT}$ の場合バックアップ用バッテリー6からデータバックアップ用SRAM1に常に電源が供給されてしまうため、 $V_{CC} > V_{BAT}$ となるようバッテリーを新たに選定する必要があり、従来のバッテリーが使用できなくなるという問題があった。

本発明は、上記課題を解決するためになされたものであり、 $V_{CC} < V_{BAT}$ の場合においても、電源ON時は内部ロジック電源から、電源OFF時はまずスーパーキャパシタンスからその後バッテリーに切り替えてSRAMに電源が供給できると共に、内部ロジック電源電圧によらずバッテリーを選定することが可能なデータバックアップ機能を備えた電子機器を提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記問題を解決するため、本発明は、データバックアップを必要とし、電源OFF時に電源保持されるデータバックアップ用SRAMを有する電子機器であって、該電子機器内の回路動作電源となる内部ロジック電源と、該電子機器が電源ON時に充電され、電源OFF直後から該データバックアップ用SRAMに電源を供給し、バッテリーの消耗防止及びバッテリー交換時の該SRAMのデータバックアップのために使用されるスーパーキャパシタンスと、該電子機器が電源ON時及び前記スーパーキャパシタンスが十分充電されている間に電流を消費しないように、前記内部ロジック電源の電圧及び前記スーパーキャパシタンスの+端子電圧より高い電圧のバックアップ用バッテリーとから構成されるデータバックアップ機能を備えた電子機器において、前記スーパーキャパシタンスの電圧低下を検出する電圧監視ICと、前記電圧監視ICから出力されるスーパーキャパシタンスの電圧低下検出信号により、前記バックアップ用バッテリーから前記SRAMに電源を供給するためのバックアップ用バッテリー出力を制御するバッテリー電源ON/OFF制御回路とを有するものである。

上記手段により、本発明はバックアップ用バッテリー電圧 $V_{BAT}$ が内部ロジック電源電圧 $V_{CC}$ よりも高い場合でも、電子機器の電源がONの場合内部ロジック電源から、電子機器の電源がOFFの場合まずスーパーキャパシタンスから、その後バックアップ用バッテリーからSRAMの電源を供給することができる。

#### 【0008】

##### 【発明の実施の形態】

以下、本発明の実施例を図に基づいて説明する。

図1は本発明の実施例を示すデータバックアップ機能を備えた電子機器の回路図である。なお、本発明の構成要素が従来と同じものについては説明を省略し、異なる点のみ説明する。

図1において、8は電圧監視IC、9、10、11は電界効果トランジスタ(以降FETと略す)、12、13はFETを動作させるためのバイアス用抵抗、14はバッテリー電源ON/OFF制御回路である。

本発明の特徴は以下のとおりである。

すなわち、スーパーキャパシタンス5の電圧低下を検出する電圧監視IC8と、電圧監視IC8から出力されるスーパーキャパシタンス5の電圧低下検出信号により、バックアップ用バッテリー6から前記SRAM1に電源を供給するためのバックアップ用バッテリー出力

10

20

30

40

50

を制御するバッテリー電源 ON / OFF 制御回路 14 とを有した点である。

【0009】

次に、動作について説明する。

内部ロジック電源 2 の電圧を  $V_{CC}$ 、スーパーキャパシタンス 5 の + 端子の電圧を  $V_{CAP}$ 、バックアップ用バッテリー 6 の電圧を  $V_{BAT}$ 、電圧監視 IC 8 の電圧低下検出電圧を  $V_{TH}$  とすると、図 1 において、内部ロジック電源 2 が ON の時、 $V_{CAP} > V_{TH}$  となり、電圧監視 IC 8 は HIGH を出力する。この電圧監視 IC 8 の出力が HIGH の場合バッテリー電源 ON / OFF 制御回路 14 の FET 11 が OFF となり、バックアップ用バッテリー 6 が遮断されることから図 1 の A の経路で内部ロジック電源が SRAM 1 に供給される。

10

内部ロジック電源を OFF した直後は  $V_{CC} = 0$ 、 $V_{CAP} > V_{TH}$  であり電圧監視 IC 8 の出力が HIGH のままであることから FET 11 は OFF のままであり図 1 の C の経路でスーパーキャパシタンス 5 の電源が SRAM 1 に供給される。スーパーキャパシタンス 5 が放電し、 $V_{CC} = 0$ 、 $V_{CAP} < V_{TH}$  となると電圧監視 IC 8 は LOW を出力する。この電圧監視 IC 8 の出力が LOW の場合 FET 11 が ON となり、バックアップ用バッテリー 6 が図 1 の D の経路で SRAM 1 に供給される。さらにスーパーキャパシタンス 5 が放電し電圧監視 IC 8 の出力がハイインピーダンスになった場合も同様な動作となる。

【0010】

したがって、本発明に係るデータバックアップ機能を備えた電子機器は、スーパーキャパシタンス 5 の電圧低下を検出する電圧監視 IC 8 と、電圧監視 IC 8 から出力されるスーパーキャパシタンス 5 の電圧低下検出信号により、バックアップ用バッテリー 6 から前記 SRAM 1 に電源を供給するためのバックアップ用バッテリー出力を制御するバッテリー電源 ON / OFF 制御回路 14 とを備えたので、バックアップ用バッテリー電圧  $V_{BAT}$  が内部ロジック電源電圧  $V_{CC}$  よりも高い場合でも、電子機器の電源が ON の場合内部ロジック電源から、電子機器の電源が OFF の場合まずスーパーキャパシタンスから、その後バックアップ用バッテリー 6 から SRAM 1 の電源を供給することができ、内部ロジック電源電圧によらずバッテリーを選定することができる。

20

【0011】

【発明の効果】

以上述べたように、本発明のデータバックアップ機能を備えた電子機器によれば、スーパーキャパシタンスの電圧低下を検出する電圧監視 IC と、該電圧監視 IC から出力されるスーパーキャパシタンスの電圧低下検出信号により、バックアップ用バッテリーから SRAM に電源を供給するためのバックアップ用バッテリー出力を制御するバッテリー電源 ON / OFF 制御回路とを備えるので、バックアップ用バッテリー電圧  $V_{BAT}$  が内部ロジック電源電圧  $V_{CC}$  よりも高い場合でも、電子機器の電源が ON の場合内部ロジック電源から、電子機器の電源が OFF の場合まずスーパーキャパシタンスから、その後バックアップ用バッテリーから SRAM の電源を供給することができ、内部ロジック電源電圧によらずバッテリーを選定することが可能となる。

30

【図面の簡単な説明】

40

【図 1】本発明の実施例を示すデータバックアップ機能を備えた電子機器の回路図

【図 2】従来のデータバックアップ機能を備えた電子機器の回路図

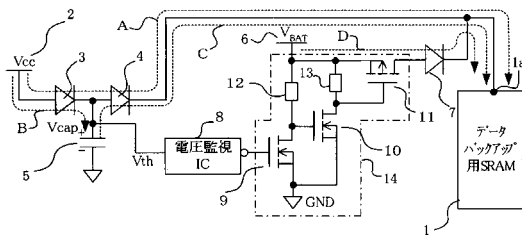
【符号の説明】

- 1 データバックアップ用 SRAM
- 1 a SRAM 電源端子
- 2 内部ロジック電源 ( $V_{CC}$ )
- 3 ダイオード
- 4 ダイオード
- 5 スーパーキャパシタンス
- 6 バックアップ用バッテリー ( $V_{BAT}$ )

50

- 7 ダイオード
- 8 電圧監視 IC
- 9 電界効果トランジスタ ( F E T )
- 10 電界効果トランジスタ ( F E T )
- 11 電界効果トランジスタ ( F E T )
- 12 抵抗
- 13 抵抗
- 14 バッテリ電源 ON / OFF 制御回路
- A 内部ロジック電源から S R A M への電源供給経路
- B 内部ロジック電源からスーパーキャパシタンスへの電源供給経路
- C スーパーキャパシタンスから S R A M への電源供給経路
- D バックアップバッテリーから S R A M への電源供給経路

【 図 1 】



【 図 2 】

