





## 【發明說明書】

【中文發明名稱】用於腔室組件之多層電漿腐蝕保護

【英文發明名稱】MULTI-LAYER PLASMA EROSION PROTECTION FOR CHAMBER COMPONENTS

【技術領域】

【0001】 本公開的實施例大體涉及塗覆陶瓷的製品以及用於將多層陶瓷塗層施加到腔室組件上的製程。

【先前技術】

【0002】 在半導體行業中，元件通過產生不斷減小尺寸的結構的數個製造製程來製造。一些製造製程，諸如電漿蝕刻和電漿清潔製程，將基板暴露於高能電漿以蝕刻或清潔該基板。電漿可能具有高度腐蝕性，並且可能腐蝕暴露於電漿的處理腔室和其他表面。這種腐蝕可能生成顆粒，該顆粒經常污染正被處理的基板，從而導致元件缺陷。

【0003】 隨著元件幾何形狀縮小，對缺陷的敏感性增加並且顆粒和污染物要求變得更加嚴格。相應地，隨著元件幾何形狀縮小，允許的顆粒污染水準可被降低。

【0004】 在半導體蝕刻和選擇性去除腔室中使用的諸如噴頭、電漿源、基座和襯墊的許多腔室組件由裸鋁或陽極化鋁製成。然而，當暴露於氟基電漿時，這些腔室組件變得被氟化並造成顆粒污染。另外，噴頭包含許多供氣體流過的孔。由於氟化物顆粒堆積的積累，這些孔的直徑隨時間變化。孔直徑的變化導致隨時間的製程漂移和蝕刻速率漂移，這縮短了噴頭的壽命。

**【發明內容】**

**【0005】** 本公開的一些實施例針對一種用於形成具有保形的第一抗電漿層和第二抗電漿層的多層抗電漿塗層的製程。一些實施例針對諸如包括多層抗電漿塗層的用於處理腔室的腔室組件的製品。

**【0006】** 在一個實施例中，一種製品包括主體，該主體包括表面和該主體中的多個高深寬比特徵。該多個高深寬比特徵具有約3:1至約300:1的深寬比。在一個實施例中，高深寬比特徵具有1:1至300:1的深寬比或10:1至300:1的深寬比。深寬比是特徵的長度相對特徵的寬度或直徑的度量（例如，孔的深度與孔的直徑的比）。該製品進一步包括在該表面上和該多個高深寬比特徵的壁上的保形的第一抗電漿層。第一抗電漿層具有大約0%的孔隙率和大約100奈米至大約10微米（或約200奈米至約1微米）的厚度。該製品還包括第二抗電漿層（例如，保形的第二抗電漿層），該第二抗電漿層覆蓋該表面一區域處的保形的第一抗電漿層，但不覆蓋該多個高深寬比特徵的壁處的保形的第一抗電漿層。第二抗電漿層可以是具有小於1%的孔隙率和大約1-10微米的厚度的保形的第二抗電漿層。

**【0007】** 在一個實施例中，一種製品包括主體，該主體包括表面和該主體中的多個高深寬比特徵。該多個高深寬比特徵具有約10:1至約300:1的深寬比。該表面的一區域具有大約200-300微吋的表面粗糙度。該製品進一步

包括在該表面上和該多個高深寬比特徵的壁上的保形的第一抗電漿層。第一抗電漿層具有大約0%的孔隙率和大約100奈米至大約10微米（或約200奈米至約1微米）的厚度。該保形的第一抗電漿層的表面具有大約200-300微吋的表面粗糙度。該製品進一步包括第二抗電漿層，該第二抗電漿層覆蓋該表面的該區域處的保形的第一抗電漿層，但不覆蓋該多個高深寬比特徵的壁處的保形的第一抗電漿層。第二抗電漿層具有大約1-5%的孔隙率和大約4-20密耳（例如5-10密耳）的厚度。該保形的第一抗電漿層的表面粗糙度利於第二抗電漿層與保形的第一抗電漿層的黏附。

【0008】 在一個實施例中，一種形成多層抗電漿塗層的方法包括執行塗覆技術，這包括但不限於鍍覆（例如電鍍）和原子層沉積（ALD）以在製品上形成保形的第一抗電漿層。該保形的第一抗電漿層被形成在該製品的表面上以及該製品中多個高深寬比特徵的壁上。該多個高深寬比特徵具有約10:1至約300:1的深寬比。保形的第一抗電漿層具有大約0%的孔隙率和大約100奈米至約10微米（或約200奈米至大約1微米）的厚度。該方法進一步包括執行視線沉積方法，該視線沉積方法包括電子束離子輔助沉積（EB-IAD）、電漿增強化學氣相沉積（PECVD）、氣溶膠沉積或電漿噴塗中的一者，以形成第二抗電漿層，該第二抗電漿層覆蓋該表面的一區域處的保形的第一抗

電漿層，但不覆蓋該多個高深寬比特徵的壁處的保形的第一抗電漿層。

**【圖式簡單說明】**

**【0009】** 在附圖的各圖中，本發明通過示例方式而不是通過限制方式來闡述，在該附圖的各圖中，類同的附圖標記指示類同的要素。應當注意，在本公開中，對「一」或「一個」實施例的不同引用未必是針對相同實施例，且此類引用意味著至少一個。

**【0010】** 第**1A**圖描繪了處理腔室的一個實施例的剖視圖。

**【0011】** 第**1B**圖描繪了用於處理腔室的噴頭的一個實施例的剖視圖。

**【0012】** 第**2**圖示出了用於處理腔室的噴頭的底部的透視圖。

**【0013】** 第**3**圖是用於處理腔室的噴頭的氣體導管的一個實施例的剖視圖。

**【0014】** 第**4**圖示出了根據本發明的實施例的製造系統的示例架構。

**【0015】** 第**5**圖示出了用於在腔室組件上形成多層抗電漿塗層的製程的一個實施例。

**【0016】** 第**6**圖示出了用於在腔室組件上形成多層抗電漿塗層的製程的另一實施例。

【0017】 第7圖是根據一個實施例的具有塗層架構的製品的透射電子能譜（TEM）圖像，該塗層架構包括薄保形應力釋放層、薄保形抗電漿層和厚抗電漿層。

【0018】 第8圖是根據一個實施例的具有塗層架構的製品的TEM圖像，該塗層架構包括薄保形應力釋放層、薄保形抗電漿層和厚抗電漿層。

【0019】 第9圖是第8圖所示製品的能量色散光譜儀（EDS）線掃描。

【0020】 第10圖是根據一個實施例的具有塗層架構的製品的另一TEM圖像，該塗層架構包括製品上的薄保形層和抗電漿層。

【0021】 第11圖是第10圖所示製品的EDS線掃描。

#### 【實施方式】

【0022】 本公開的一些實施例針對一種用於形成具有保形的第一抗電漿層和第二抗電漿層（該第二抗電漿層可以是保形的或者可以不是保形的）的多層抗電漿塗層的製程。在一些實施例中，該多層抗電漿塗層附加地包括保形的第三抗電漿層。如本文所用，對於層所應用的術語「保形」意指以基本上均勻厚度覆蓋製品的三維特徵的層。在一個實施例中，本文討論的保形層具有以均勻厚度塗佈的下層表面（包括塗佈的表面特徵）的共形覆蓋，該均勻厚度具有小於約 $\pm 20\%$ 的厚度變化、 $\pm 10\%$ 的厚度變化、 $\pm 5\%$ 的厚度變化，或者更小的厚度變化。使用諸如鍍覆（例如電鍍）或原子層沉積（ALD）的非現場線

塗覆技術來沉積保形的第一抗電漿層，並且該第一抗電漿層塗覆製品的表面和製品中的高深寬比特徵（例如，孔或導管）的壁兩者。如本文所用地，術語「高深寬比」意指3:1的深寬比到300:1的深寬比。一些示例高深寬比特徵具有10:1、20:1、50:1和100:1的深寬比。使用現場線塗覆技術（諸如電漿噴塗、氣溶膠沉積、離子輔助沉積（例如電子束離子輔助沉積（EB-IAD）、電漿增強ALD（PE-ALD）和電漿增強化學氣相沉積（PE-CVD））沉積第二抗電漿層。可用於沉積第二抗電漿層的其他視線沉積技術包括物理氣相沉積（PVD）、冷噴塗和熱噴塗製程，諸如大氣電漿噴塗、懸浮電漿噴塗、低壓電漿噴塗等等。兩個保護層可以具有不同的厚度和/或密度。本文所公開的製程為腔室組件提供改進的抗電漿效能。

**【0023】** 可以使用本文所述的多層抗電漿塗層塗覆的製品的一個示例是用於諸如電漿蝕刻機的處理腔室的噴頭。該噴頭可以由諸如鋁的金屬或鋁合金（例如A16061）製成。噴頭可以包括許多供氣體在處理期間流過的孔或導管。噴頭可附加地包括一表面，該表面具有在處理期間直接暴露於電漿（例如，基於氟的電漿）中的離子和自由基的轟擊的區域。本文實施例中描述的多層抗電漿塗層包括塗覆孔/導管以及噴頭的表面的薄保形第一抗電漿層。多層抗電漿塗層附加地包括較厚的抗電漿層，該較厚的抗電漿層覆蓋該表面的暴露於電漿的該區域處的保形的第一抗電漿層。

【0024】保形的第一抗電漿層保護噴頭中的孔免受氟化學物質（例如 $\text{NF}_3$ ）腐蝕。另外，保形的第一抗電漿層減輕了在噴頭中的孔的壁上的氟化物顆粒的堆積。因此，保形的第一抗電漿層減少了由於氟化物顆粒堆積引起的孔的直徑的變化所導致的製程和蝕刻速率漂移。此外，保形的第一抗電漿層通過減輕孔壁上的氟化物顆粒堆積並減少孔壁的腐蝕來減少經處理基板（例如晶圓）上的顆粒沉積物。

【0025】第二抗電漿層向噴頭提供500-1500伏特/密耳（ $\text{V/mil}$ ）的擊穿電壓。如果第二抗電漿層是電漿噴塗層或通過氣溶膠沉積而沉積的層，則擊穿電壓可以為約500-1000伏特/密耳。如果第二抗電漿層是通過IAD、PE-CVD或PVD形成的更緻密層，則擊穿電壓可以為約1000-1500伏特/密耳。第二抗電漿層附加地保護噴頭的表面免受電漿（例如，基於氟的電漿）的侵蝕和/或腐蝕。在一些情況下，基於氟的電漿可以穿透第一抗電漿層（例如，如果第一抗電漿層具有垂直裂縫或大於1%的孔隙率）。在這種情況下，第一抗電漿層保護噴頭的表面免受穿透第二抗電漿層的氟電漿的侵蝕和/或腐蝕。

【0026】在一些實施例中，多層抗電漿塗層包括保形的第三抗電漿層。該保形的第三抗電漿層可以通過例如ALD形成。保形的第三抗電漿層可以覆蓋暴露於離子和自由基的轟擊的區域處的第二抗電漿層，並且可以覆蓋孔壁上的保形的第一抗電漿層。在其中第二抗電漿層是電漿

噴塗層或通過氣溶膠沉積而沉積的層的一些實施例中，可以添加保形的第三抗電漿層。該保形的第三抗電漿層可以用作在第二抗電漿層的表面處的裂縫、孔、顆粒和/或其他表面缺陷中進行密封的蓋層。

**【0027】** 在一些實施例中，多層抗電漿塗層包括保形的第三層，該保形的第三層在保形的第一抗電漿層的沉積之前被沉積。保形的第三層可以是非晶層，其可以減輕保形的第一抗電漿層中的應力和開裂。

**【0028】** 多層抗電漿塗層可以對通過基於氟的電漿所進行的電漿蝕刻具有高度抗性。被塗覆製品的效能特性可以包括長壽命以及低的晶圓上顆粒和低的金屬污染。另外，多層抗電漿塗層可以減少通常隨時間發生的製程和蝕刻速率漂移。相應地，各實施例可減少工具停工時間、降低工具成本、減少經處理的基板的顆粒和污染、並提高製程間一致性。

**【0029】** 當本文使用術語「約」和「大約」時，它們旨在表示所呈現的標稱值精確在 $\pm 10\%$ 內。本文參考噴頭描述了實施例，並且對於具有高深寬比特徵和直接暴露於電漿的轟擊的區域的塗覆腔室組件特別有用。然而，本文描述的多層抗電漿塗層也可有利地用於暴露於電漿的許多其他腔室組件上，諸如用於電漿蝕刻機（也稱為電漿蝕刻反應器）的腔室組件或包括壁、襯墊、底座、環、觀察口、蓋子、噴嘴、基板保持框、靜電夾盤（ESC）、面板、

選擇性調制裝置（SMD）、電漿源、基座等等的其他處理腔室。

【0030】此外，本文參考當在用於電漿富集製程的製程腔室中使用時可導致減少的顆粒污染的經塗覆腔室組件和其它製品來描述實施例。然而，應當理解，本文所討論的經塗覆製品還可以在用於諸如非電漿蝕刻機、非電漿清潔器、化學氣相沉積（CVD）腔室、物理氣相沉積（PVD）腔室等的其他製程的製程腔室中時提供減少的顆粒污染。此外，一些實施例是參考具體的抗電漿陶瓷描述的。然而，應該理解，各實施例同樣適用於除了在此討論的那些之外的其他抗電漿陶瓷。

【0031】第1A圖是根據本發明的實施例的具有用多層抗電漿塗層塗覆的一個或多個腔室組件的處理腔室100（例如，半導體處理腔室）的剖視圖。處理腔室100可被用於其中提供腐蝕性電漿環境的製程。例如，處理腔室100可以用於電漿蝕刻反應器（也被稱為電漿蝕刻器）、電漿清潔器等腔室。可包括抗電漿陶瓷塗層的腔室組件的示例是基板支撐元件148、靜電夾盤（ESC）、環（例如，製程套件環或單環）、腔室壁、底座、噴頭130、氣體分配板、襯墊、襯套、防護罩、電漿屏、流量等化器、冷卻底座、腔室觀察口、腔室蓋子、噴嘴、製程套件環等等。

【0032】在一個實施例中，下文更詳細描述的多層抗電漿塗層是多層塗層，其包括通過鍍覆（例如電鍍）或原子

層沉積 (ALD) 而沉積的保形的薄第一抗電漿層以及通過諸如電漿噴塗、氣溶膠沉積、電子束離子輔助沉積 (EB-IAD)、電漿增強化學氣相沉積 (PE-CVD) 或 PVD 的現場線沉積製程而沉積的較厚的第二抗電漿層。在其中通過電漿噴塗或氣溶膠沉積形成第二抗電漿層的一些實施例中，多層塗層附加地包括在第二抗電漿層和第一保形抗電漿層上面的共形的第三抗電漿層。

【0033】 第一抗電漿層可以包括  $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $YF_3$  或  $Ni$ 。第一抗電漿層可附加地包括  $Y_3Al_5O_{12}$  (YAG)、 $Er_3Al_5O_{12}$  (EAG)、 $Y-O-F$  (例如， $Y_5O_4F_7$ )、 $Y_2O_3-ZrO_2$  的固溶體、或包括  $Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物。在一些實施例中，第一抗電漿層包括交替的稀土氧化物 (例如  $Y_2O_3$ ) 和另一種金屬 (例如  $Al_2O_3$ ) 的子層。在一些實施例中，稀土氧化物的子層可以比附加金屬的子層厚大約 2-12 倍。第二抗電漿層可以包括  $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $YF_3$ 、 $Er_3Al_5O_{12}$ 、 $Y-O-F$  (例如  $Y_5O_4F_7$ )、 $Y_2O_3-ZrO_2$  的固溶體、或者包括  $Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物。任何的前述抗電漿陶瓷塗層可以包括痕量的其它材料，諸如  $ZrO_2$ 、 $Al_2O_3$ 、 $SiO_2$ 、 $B_2O_3$ 、 $Er_2O_3$ 、 $Nd_2O_3$ 、 $Nb_2O_5$ 、 $CeO_2$ 、 $Sm_2O_3$ 、 $Yb_2O_3$  或其它氧化物。在一些實施例中，保形的第三抗電漿層由  $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $YF_3$ 、 $Y_3Al_5O_{12}$ 、 $Er_3Al_5O_{12}$ 、 $Y-O-F$  (例如

$Y_5O_4F_7$  )、 $Y_2O_3-ZrO_2$  的固溶體或包括  $Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物構成。由於陶瓷塗層的電漿抗性和減少的晶圓上或基板污染，該多層陶瓷塗層允許更長的工作壽命。

【0034】 在一個實施例中，處理腔室 100 包括圍封內部容積 106 的腔室主體 102 和噴頭 130。噴頭 130 可以包括或可以不包括氣體分配板。例如，噴頭可以是包括噴頭底座和接合到噴頭底座的噴頭氣體分配板的多件式噴頭。可替代地，在一些實施例中，噴頭 130 可以由蓋子和噴嘴替換，或者在其他實施例中，由多個餅形噴頭隔室和電漿生成單元來替換。腔室主體 102 可由鋁、不銹鋼或其他合適的材料製成。腔室主體 102 通常包括側壁 108 和底部 110。噴頭 130（或蓋子和/或噴嘴）、側壁 108 和/或底部 110 中的任一者可包括多層抗電漿塗層。

【0035】 外襯墊 116 可鄰近側壁 108 設置以保護腔室主體 102。外襯墊 116 可以是含鹵素氣體抗性材料，諸如  $Al_2O_3$  或  $Y_2O_3$ 。在一些實施例中，外襯墊 116 可被塗覆有多層抗電漿陶瓷塗層。

【0036】 排放口 126 可被限定在腔室主體 102 中，且可將內部容積 106 耦接到泵系統 128。泵系統 128 可包括一個或多個泵和節流閥，採用該一個或多個泵和節流閥以排空和調節處理腔室 100 的內部容積 106 的壓力。

【0037】 噴頭 130 可以支撐在腔室主體 102 的側壁 108 上和/或腔室主體的頂部上。噴頭 130（或蓋）可被

打開以允許對處理腔室 100 的內部容積 106 的接取，並且在被關閉時可為處理腔室 100 提供密封。氣體面板 158 可被耦接到處理腔室 100 以通過噴頭 130 或者蓋和噴嘴向內部容積 106 提供製程氣體和 / 或清潔氣體。噴頭 130 可針對用於介電質蝕刻（對介電材料的蝕刻）的處理腔室而被使用。噴頭 130 包括遍及噴頭 130 的多個氣體輸送孔 132。噴頭 130 可以由鋁、陽極化鋁、鋁合金（例如 A16061）或陽極化鋁合金製成。在一些實施例中，噴頭包括接合到噴頭的氣體分配板（GDP）。例如，GDP 可以是 Si 或 SiC。GDP 可以附加地包括與噴頭中的孔排成一行的多個孔。

**【0038】** 第 1B 圖示出了第 1A 圖的噴頭 130 的一部分的放大視圖。參考第 1A 至 1B 圖，在實施例中，噴頭 130 被多層抗電漿塗層塗覆。特別地，在一些實施例中，噴頭的表面和噴頭中的孔 132 的壁由多層抗電漿塗層的薄保形第一抗電漿層 150 塗覆。另外，噴頭 130 的背側和噴頭的外側壁也可以被保形的第一抗電漿層 150 塗覆。諸如 ALD 或鍍覆（例如，電鍍）的非現場線沉積技術可以用於將第一抗電漿層 150 沉積在噴頭 130 的表面上和噴頭 130 中的孔 132 的壁上。第一抗電漿層 150 可以是  $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $YF_3$ 、 $Er_3Al_5O_{12}$ 、Y-O-F（例如  $Y_5O_4F_7$ ）、 $Y_3Al_5O_{12}$ 、 $Y_2O_3-ZrO_2$  的固溶體、包括  $Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物、或 Ni。在一些實施例中，第一抗電漿層 150 包括交替的稀

土氧化物（例如  $Y_2O_3$ ）和另一種金屬氧化物（例如  $Al_2O_3$ ）的子層。在一些實施例中，稀土氧化物的子層可以比附加金屬氧化物的子層厚大約 2 至 12 倍。在實施例中，第一抗電漿層 150 可以具有零孔隙率，可以是保形的，並且可以具有約 100 奈米至約 10 微米或約 200 奈米至約 1 微米的厚度。

【0039】 在一些實施例中，可以在沉積第一抗電漿層 150 之前通過 ALD 或鍍覆（例如電鍍）來沉積附加的保形層（未示出）。附加的保形層可以是非晶材料，諸如  $Al_2O_3$ ，且可以是在熱迴圈期間減輕第一抗電漿層 150 中的開裂的應力釋放層。在實施例中，附加的保形層可以具有零孔隙率並且可以具有約 100 奈米至約 10 微米或約 200 奈米至約 1 微米的厚度。

【0040】 多層抗電漿塗層的第二抗電漿層 152 覆蓋噴頭 130 的表面的一些或全部區域處的第一抗電漿層 150。然而，第二抗電漿層 152 使用諸如 PE-CVD、EB-IAD、氣溶膠沉積或電漿噴塗的現場線沉積技術來沉積。相應地，第二抗電漿層 152 不塗覆噴頭 130 中的孔的壁。應該注意，在一些實施例中，孔 132 的壁的靠近噴頭 130 的表面的部分被第二抗電漿層 152 塗覆。然而，在這樣的實施例中，第二抗電漿層 152 不延伸超過約為孔的直徑的 1 至 1.5 倍的深度。在一個實施例中，孔 132 的直徑約為 0.1 至 0.25 吋。相應地，短語「覆蓋表面的一區域處的保形的第一抗電漿層、但不覆蓋多個高深寬比特徵的壁

處的保形的第一抗電漿層的保形的第二抗電漿層」被解釋為涵蓋其中高深寬比特徵的壁的部分均不被第二抗電漿層塗覆的實施例以及其中高深寬比特徵的壁在製品的表面附近的一小部分至少部分地被第二抗電漿層塗覆的實施例兩者。第二抗電漿層 152 可以包括  $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $YF_3$ 、 $Er_3Al_5O_{12}$ 、 $Y-O-F$ （例如  $Y_5O_4F_7$ ）、 $Y_2O_3-ZrO_2$  的固溶體、或者包括  $Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物。如果第二抗電漿層 152 是電漿噴塗層或通過氣溶膠沉積來沉積的層，則在實施例中其可以具有約 4 至 20 密耳（例如 5 至 10 密耳）的厚度。如果第二抗電漿層 152 是 EB-ICD 層或 PE-CVD 層，則在實施例中其可以具有約 1 至 10 微米的厚度。

【0041】 在一些實施例中，保形的第三抗電漿層覆蓋第二抗電漿層 152。另外，保形的第三抗電漿層覆蓋孔 132 上以及噴頭 130 的背側上和噴頭 130 的外側壁上的第一抗電漿層 152。保形的第三抗電漿層可以由上面參考第一抗電漿層 150 描述的任何材料構成。

【0042】 可用於在處理腔室 100 中處理基板的處理氣體的示例包括諸如  $C_2F_6$ 、 $SF_6$ 、 $SiCl_4$ 、 $HBr$ 、 $NF_3$ 、 $CF_4$ 、 $CHF_3$ 、 $CH_2F_3$ 、 $F$ 、 $Cl_2$ 、 $CCl_4$ 、 $BCl_3$  和  $SiF_4$  之類的含鹵素氣體等等，以及諸如  $O_2$  或  $N_2O$  的其他氣體。載氣的示例包括  $N_2$ 、 $He$ 、 $Ar$ ，以及對製程氣體惰性的其他氣體（例如，非反應性氣體）。氟基氣體可能會導

致氟化物沉積物堆積在標準噴頭的孔上。然而，由於多層抗電漿塗層（並且特別是塗覆孔132的壁的第一抗電漿層150），噴頭130的孔132可對這種氟化物堆積具有抗性。

【0043】 基板支撐元件148被設置在處理腔室100的內部容積106中、在噴頭130下方。基板支撐元件148在處理期間固持基板144（例如，晶圓）。基板支撐元件148可以包括在處理期間固定基板144的靜電夾盤、接合到靜電夾盤的金屬冷卻板和/或一個或多個附加部件。內襯墊可覆蓋基板支撐元件148的周邊。內襯墊可以是含鹵素氣體抗性材料，諸如 $Al_2O_3$ 或 $Y_2O_3$ 。在一些實施例中，基板支撐元件、基板支撐元件的部分和/或內襯墊可被塗覆有多層抗電漿陶瓷塗層。

【0044】 第2圖示出了噴頭200的仰視圖的一個實施例。噴頭200可具有同心佈置的一系列氣體導管204（也稱為孔），該導管將電漿氣體直接均勻地分配在待蝕刻的基板或晶圓上面。此處描繪了噴頭，其具有以均勻分佈的同心環佈置的大約1100個氣體導管204以用於均勻分配氣體。在另一實施例中，氣體導管204可以以替代的幾何構造配置在噴頭的下表面205上（或者在黏結到噴頭的GDP的下表面上）。例如，噴頭可以具有有氣體導管204的行和列的正方形或矩形構造。應當理解，其他形狀（例如，三角形、五角形等）可被實現並被塗覆有如上所述的陶瓷塗層（例如，HPM塗層）。如所描繪的，噴頭200

可以具有許多氣體導管 204，或取決於所使用的反應器和 / 或製程的類型適當地具有儘可能少的氣體導管。

【0045】 在一個實施例中，一些或全部氣體導管 204 不包括分支（例如，每個氣體導管可具有單個入口點和單個出口點）。另外，氣體導管可以具有各種長度和定向角度。氣體可以經由一個或多個氣體輸送噴嘴被輸送到氣體導管 204。一些氣體導管 204 可以在其他氣體導管 204 之前接收氣體（例如，由於鄰近氣體輸送噴嘴）。然而，基於對氣體導管 204 的定向角度、直徑和 / 或長度的改變，或者通過使用附加的流量等化器，各氣體導管 204 可以被配置為大致同時將氣體輸送到擱置在噴頭下方的基板。例如，將首先接收氣體的氣體導管 204 可以比將稍晚接收氣體的導管更長和 / 或具有更大的角度（例如，更遠離 90 度的角度）。

【0046】 第 3 圖是示出用於處理腔室的噴頭（或 GDP）301 的氣體導管 304 的一個實施例的剖視圖。在一個實施例中，氣體導管 304 將噴頭的一端（例如，與噴頭的充氣區域連接的一端）與噴頭 301 的下表面 302 流體地耦接。多層抗電漿塗層的第一抗電漿層 320 塗覆噴頭 301 的下表面 302 並且附加地塗覆氣體導管 304 的壁和噴頭 301 的背側。附加地，多層抗電漿塗層的第二抗電漿層 322 覆蓋下表面 302 處以及部分在氣體導管 304 的側壁上的第一抗電漿層 320。然而，第二抗電漿層 322 不延伸到氣體導管 304 中。相應地，第二抗電漿層 322 被認為不塗覆氣

體導管304的壁。另外，第三抗電漿層327覆蓋下表面302上的第二抗電漿層322。第三抗電漿層327附加地覆蓋氣體導管304的壁上和噴頭301的背側上的第一抗電漿層320。

【0047】 一些或全部氣體導管304可以包括上部區域和更窄的下部區域。通過限制氣體可以流過氣體導管304的速率，更窄的下部區域說明促進跨所有氣體導管304的均勻氣流。這可以導致流過各氣體導管304的均勻分佈的氣流。

【0048】 如圖所示，下表面302經受直接電漿暴露340。下表面302上的第二抗電漿層322提供了除了由第一抗電漿層320和第三抗電漿層327提供的保護之外的對防止直接電漿暴露340的附加保護。

【0049】 **第4圖**示出了製造系統400的示例性架構。製造系統400可以是用於將塗層施加到製品的製造系統。在一個實施例中，製造系統400包括連接到裝備自動化層415的製造機器401（例如，處理裝備）。製造機器401可以包括珠粒噴爆器402、一個或多個濕式清潔器403、電漿噴塗系統404、原子層沉積（ALD）系統405、EB-IAD系統406、PE-CVD系統407、電鍍系統408、另一種類型的鍍覆系統（未示出）和/或氣溶膠沉積系統（未示出）。製造系統400還可以包括連接到裝備自動化層415的一個或多個計算裝置420。在可替代的實施例中，製造系統400可以包括更多或更少的部件。例如，製

造系統400可以包括不具有裝備自動化層415或計算設備420的手動操作（例如離線）的製造機器401。

【0050】 珠粒噴爆器402是被配置為使諸如用於處理腔室的腔室組件的製品的表面粗糙化的機器。珠粒噴爆器402可以是珠粒噴爆櫃、掌上型珠粒噴爆器或其他類型的珠粒噴爆器。珠粒噴爆器402可以通過用珠粒或顆粒轟擊基板來使基板粗糙化。在一個實施例中，珠粒噴爆器402向基板發射陶瓷珠粒或顆粒。可以使用的陶瓷珠粒的示例包括SiC珠粒和Al<sub>2</sub>O<sub>3</sub>珠粒。陶瓷珠粒可具有約1至5微米（例如1至3微米）的平均直徑。通過珠粒噴爆器402實現的粗糙度可以基於用於發射珠粒的力、珠粒材料、珠粒尺寸、珠粒噴爆器距基板的距離、處理持續時間等等。

【0051】 在可替代的實施例中，可以使用除珠粒噴爆器402之外的其他類型的表面粗糙化器。例如，可以使用機動研磨墊來使陶瓷基板的表面粗糙化。當研磨墊被壓靠向製品的表面時，磨砂機可以旋轉或振動研磨墊。由研磨墊實現的粗糙度可取決於施加的壓力、振動或旋轉速率和/或研磨墊的粗糙度。

【0052】 濕式清潔器403是使用濕式清潔製程清潔製品（例如製品）的清潔裝置。濕式清潔器403包括充滿液體的濕浴，在其中浸漬基板以清潔基板。濕式清潔器403可以在清潔期間使用超音波攪動濕浴以改善清潔效果。這在本文中被稱為對濕浴進行超聲處理。

【0053】 在一些實施例中，濕式清潔器403包括含有去離子（DI）水的第一濕式清潔器和含有酸溶液的第二濕式清潔器。在實施例中，酸溶液可以是氫氟酸（HF）溶液、鹽酸（HCl）溶液、硝酸（HNO<sub>3</sub>）溶液或前述酸溶液的組合。酸溶液可以從製品移除表面污染物和/或可以從製品的表面移除氧化物。在執行ALD之前用酸溶液清潔製品可以改善使用ALD沉積的塗層的品質。在一個實施例中，使用含有大約0.1至5.0體積%HF的酸溶液來清潔由石英製成的腔室組件。在一個實施例中，使用含有大約0.1至20體積%HCl的酸溶液來清潔由Al<sub>2</sub>O<sub>3</sub>製成的製品。在一個實施例中，使用含有大約5至15體積%HNO<sub>3</sub>的酸溶液來清潔由鋁和其它金屬製成的製品。

【0054】 濕式清潔器103可以在處理期間的多個階段清潔製品。例如，在基板已被粗糙化之後且在執行ALD或鍍覆（例如，電鍍）之前、在第一抗電漿陶瓷層已被施加到製品之後、在第二抗電漿層已被施加到製品之後等等，濕式清潔器103可以清潔製品。

【0055】 在其他實施例中，替代類型的清潔器（諸如乾式清潔器）可被用於清潔製品。乾式清潔器可通過施加熱、通過施加氣體、通過施加電漿等來清潔製品。

【0056】 電漿噴塗系統404是被配置為將陶瓷塗層電漿噴塗到製品的表面的機器。電漿噴塗系統404可以是低壓電漿噴塗（LPPS）系統或大氣壓電漿噴塗（APPS）系統。LPPS系統和APPS系統兩者均可用於沉積多孔低

密度抗電漿層（例如，用於多層抗電漿塗層的第二抗電漿層）。LPPS包括可向下泵至減小的壓強（例如，達到1 Mbar、10 Mbar、35 Mbar等的真空）的真空腔室，而APPs系統不包括任何真空腔室，並且可以替代地包括開放式的腔室或房間。

【0057】在電漿噴塗系統404中，在氣體流過的兩個電極之間形成電弧。隨著氣體被電弧加熱，氣體膨脹並通過電漿焰炬的成形噴嘴加速，從而創建高速電漿射流。由粉末輸送系統將由陶瓷和/或金屬材料構成的粉末佈植電漿射流中。電漿射流的強烈溫度熔化粉末並將熔化的陶瓷和/或金屬材料推向製品。在與製品碰撞時，熔化的粉末變平，迅速固化，並形成黏附在製品上的一層陶瓷塗層。影響電漿噴塗層的厚度、密度和粗糙度的參數包括粉末的類型、粉末尺寸分佈、粉末饋送速率、電漿氣體成分、氣體流速、能量輸入、壓力和吹管偏移距離。在實施例中，電漿噴塗層可具有約1至5%的孔隙率（例如2%、3%、4%等的孔隙率）。孔隙率是材料中孔隙（例如，空的空間）的度量，並且是孔隙的體積佔總體積或材料的分數。

【0058】ALD系統405是執行原子層沉積以在製品上形成薄緻密保形層的系統。ALD允許通過與製品的表面的化學反應來控制材料的自限沉積。除了是保形製程外，ALD還是均勻製程。製品的所有暴露側（包括高深寬比特徵（例如，約10:1至約300:1））將具有相同或近似相同量的所沉積材料。ALD製程的典型反應迴圈從前驅

物（即單一化學品A）被佈植ALD腔室並被吸收到製品表面上開始。然後在將反應物（即單一化學品R）引入ALD腔室並隨後被沖出之前，將過量的前驅物從ALD腔室中沖出。在一些實施例中，可重複該過程以建立具有高達約1微米的厚度的ALD層。

【0059】 與典型地用於在製品上沉積塗層的其他技術（諸如電漿噴塗和離子輔助沉積）不同，ALD技術可以在高深寬比特徵內（即，在特徵的表面上）沉積材料層。另外，ALD技術產生無孔隙（即無針孔）的相對薄（即1微米或更小）的塗層，其可以減弱沉積期間的裂紋形成。如本文所用的術語「無孔隙」意指沿透射電子顯微鏡（TEM）測量的沿著塗層的整個深度沒有任何孔隙、針孔、孔隙或裂縫。

【0060】 由ALD系統405用於形成抗電漿層的前驅物取決於所形成的抗電漿層。在一些實施例中，抗電漿層是 $\text{Al}_2\text{O}_3$ 並且由鋁前驅物形成，該鋁前驅物諸如是二乙基乙醇鋁、三(乙基甲基氨基)鋁、仲丁醇鋁、三溴化鋁、三氯化鋁、三乙基鋁、三異丁基鋁、三甲基鋁或三(二乙基醯氨基)鋁。在一些實施例中，抗電漿層是 $\text{Y}_2\text{O}_3$ 或 $\text{YF}_3$ 並且由鈮前驅物形成，該鈮前驅物諸如是三(N,N-雙(三甲基甲矽烷基)醯胺)鈮(III)、三(2,2,6,6-四甲基-3,5-庚二酮)鈮(III)或鈮(III)丁醇鹽。在一些實施例中，抗電漿層是 $\text{Er}_2\text{O}_3$ ，並由鉺前驅物形成，該鉺前驅物諸如是三甲基環戊二烯基鉺(III)( $\text{Er}(\text{MeCp})_3$ )、硼化鉺

( $\text{Er}(\text{BA})_3$ )、 $\text{Er}(\text{TMHD})_3$ 、三(2,2,6,6-四甲基-3,5-庚二酮酸)銻(III)、和三(丁基環戊二烯基)銻(III)。

【0061】 如果沉積的抗電漿層是氧化物，則由ALD系統405用於形成抗電漿層的反應物可以是氧氣、水蒸氣、臭氧、純氧、氧自由基或另一氧源。如果要形成 $\text{YF}_3$ 抗電漿層，則反應物可以是氟化物（例如， $\text{TiF}_4$ ）。

【0062】 EB-IAD系統406是執行電子束離子輔助沉積的系統。可替代地，其他類型的IAD系統可被用於實施例中，諸如活化反應性蒸發離子輔助沉積(ARE-IAD)或離子束濺射離子輔助沉積(IBS-IAD)。EB-IAD可以通過蒸發執行。IBS-IAD可以通過濺射固體靶材料(例如，固體金屬靶材)來執行。任何IAD方法都可以在存在反應性氣體物質(諸如 $\text{O}_2$ 、 $\text{N}_2$ 、鹵素等)的情況下執行。

【0063】 對於各種類型的IAD，通過存在諸如離子的能量粒子的情況下沉積材料的積累來形成薄膜抗電漿層。沉積材料包括原子、離子、自由基或其混合、混成物。能量粒子可以在其形成時衝擊並壓實薄膜抗電漿層。

【0064】 對於IAD，材料源提供沉積材料的通量，而能量粒子源提供能量粒子的通量，兩者均在整個IAD製程期間撞擊製品。能量粒子源可以是氧氣或其他離子源。能量粒子源還可以提供來自粒子生成源(例如，來自電漿、反應性氣體或來自提供沉積材料的材料源)的其他類型的能量粒子，諸如自由基、原子、離子、和奈米尺寸粒子。

用於提供沉積材料的材料源（例如，靶材體）可以是對應於將組成抗電漿層的相同陶瓷的塊燒結陶瓷。

**【0065】** IAD 可利用一個或多個電漿或束來提供材料和能量離子源。反應性物質也可以在抗電漿塗層沉積期間被提供。通過 IAD 製程，能量粒子可以由能量離子（或其他粒子）源獨立於其他沉積參數來控制。能量離子通量的能量（例如速度）、密度和入射角可以被選擇以實現抗電漿層的目標成分、結構、晶體定向和晶粒尺寸。可以調整的附加參數是沉積期間製品的溫度以及沉積的持續時間。EB-IAD 和 IBS-IAD 沉積在寬範圍的表面條件下都是可行的。然而，在拋光表面上執行的 IAD 可實現增加的擊穿電壓。

**【0066】** PE-CVD 系統 407 是執行 PE-CVD 以將來自蒸汽的薄膜沉積到基板上的固體的系統。PE-CVD 涉及在產生電漿之後發生的化學反應。電漿可以通過在填充有反應物氣體的腔室中的兩個電極之間的射頻（RF）或直接頻率（DC）放電來產生。PE-CVD 產生與 EB-IAD 和其他 IAD 製程所產生的薄緻密膜相似的薄緻密膜。

**【0067】** 電鍍系統 408 是執行（例如 Ni 的）電鍍的系統。電鍍是通過水解將一種金屬鍍覆到另一金屬上的製程。電鍍系統 408 施加電流以減少溶解的金屬陽離子，使得它們在製品上形成薄黏附金屬塗層。具體而言，待鍍製品可以是電路的陰極，而金屬供體可以是電路的陽極。製品和金屬供體可被浸入含有一種或多種增加電解質的導

電性的溶解的金屬鹽和 / 或其他離子的電解質中。來自金屬供體的金屬接著鍍覆製品的表面。

【0068】 可以使用的另一種類型的鍍覆系統是執行無電鍍覆的無電鍍覆系統。無電鍍覆（也稱為化學鍍覆或自動催化鍍覆）是一種非流電鍍覆方法，其涉及水溶液中的若干同時的反應，這些反應在不使用外部電源的情況下發生。當氫通過還原劑（通常為次磷酸鈉或硫脲）被釋放並被氧化時反應完成，從而在該部分的表面上產生負電荷。

【0069】 裝備自動化層415可以將一些或全部製造機器401與計算設備420、與其他製造機器、與計量工具和 / 或其他設備互連。裝備自動化層415可以包括網路（例如，位置區域網（LAN））、路由器、閘道、伺服器、資料存儲等。製造機器401可以經由SEMI裝備通信標準 / 通用裝備模型（SECS/GEM）介面、經由乙太網介面和 / 或經由其他介面連接到裝備自動化層415。在一個實施例中，裝備自動化層415使得能夠將製程資料（例如，在製程運行期間由製造機器401收集的資料）存儲在資料存儲（未示出）中。在可替代的實施例中，計算設備420直接連接到製造機器401中的一個或多個。

【0070】 在一個實施例中，一些或全部製造機器401包括可載入、存儲和執行製程配方的可程式設計控制器。可程式設計控制器可以控制製造機器401的溫度設置、氣體和 / 或真空設置、時間設置等。可程式設計控制器可以包括主記憶體（例如，唯讀記憶體（ROM）、快閃記憶

體、動態隨機存取記憶體（DRAM）、靜態隨機存取記憶體（SRAM）等）和/或次要存放裝置（例如，諸如盤驅動器的資料存放裝置）。主記憶體和/或次要存放裝置可以存儲用於執行本文描述的熱處理製程的指令。

【0071】可程式設計控制器還可以包括耦合到主記憶體和/或次要存放裝置（例如，經由匯流排）以執行指令的處理設備。處理設備可以是諸如微處理器、中央處理單元等的通用處理設備。處理設備也可以是諸如特殊應用積體電路（ASIC）、現場可程式設計閘陣列（FPGA）、數位訊號處理器（DSP）、網路處理器等的專用處理設備。在一個實施例中，可程式設計控制器是可程式設計邏輯控制器（PLC）。

【0072】在一個實施例中，製造機器401被程式設計為執行配方，該配方將導致製造機器使製品粗糙化、清潔製品、塗覆製品等。在一個實施例中，製造機器401被程式設計為執行配方，該配方執行用於製造具有多層抗電漿塗層的製品的多步驟製程的操作，如參考第5至6圖所述的。計算設備420可存儲一個或多個塗覆、清潔和/或粗糙化配方425，該配方可被下載到製造機器401以使製造機器401根據本公開的實施例製造製品。

【0073】第5圖示出了用於在腔室組件上形成多層抗電漿塗層的製程500的一個實施例。製程500可以使用第4圖的製造機器401中的一個或多個來執行。在製程500的框502處，可以將掩模施加到製品的表面。製品可以是

本文討論的任何製品，諸如用於處理腔室的噴頭或其他腔室組件。掩模可以暴露製品的表面的將被粗糙化的區域並且可以覆蓋製品的將不會被粗糙化的部分。當製品安裝在處理腔室中並且處理腔室在使用中時，製品的將被粗糙化的區域可以是直接暴露於電漿的區域。在框504處，執行粗糙化製程，諸如珠粒噴爆，以使製品的表面的暴露區域粗糙化。在一個實施例中，表面的暴露區域被粗糙化為約200至300微吋（例如220微吋）的平均表面粗糙度。在其他實施例中，可將暴露區域粗糙化為50至300微吋、50至200微吋、100至200微吋、150至400微吋、200至240微吋的平均表面粗糙度或其他表面粗糙度。

**【0074】** 在框506處，將掩模從製品移除。在框508處，在酸溶液中清潔製品。在實施例中，酸溶液可以是氫氟酸（HF）溶液、鹽酸（HCl）溶液、硝酸（HNO<sub>3</sub>）溶液或前述酸溶液的組合。酸溶液可以從製品移除表面污染物和/或可以從製品的表面移除氧化物。在執行ALD之前用酸溶液清潔製品可以改善使用ALD沉積的塗層的品質。在一個實施例中，使用含有大約0.1至5.0體積% HF的酸溶液來清潔由石英製成的腔室組件。在一個實施例中，使用含有大約0.1至20體積% HCl的酸溶液來清潔由Al<sub>2</sub>O<sub>3</sub>製成的製品。在一個實施例中，使用含有大約5至15體積% HNO<sub>3</sub>的酸溶液來清潔由鋁和其它金屬製成的製品。

【0075】 在框510處，在去離子水中漂洗製品。在漂洗期間可以通過向去離子水施加超音波來攪動去離子水，以幫助從製品去除顆粒。然後通過向製品施加熱量來乾燥製品（例如，通過將製品加熱至約120至300°C的溫度達10分鐘至3小時）。

【0076】 在框511處，可以執行ALD以在製品的表面上和製品中的高深寬比特徵的壁上形成保形的應力釋放層。該保形的應力釋放層還可以覆蓋製品的背側和製品的外側壁。保形的應力釋放層可以是 $Al_2O_3$ 或另一種非晶材料。優選地，保形的應力釋放層具有熱膨脹係數（CTE），該CTE接近製品的CTE或在製品的CTE與稍後沉積的保形的第一抗電漿層的CTE之間。在實施例中，保形的應力釋放層可以被沉積至約100奈米至約10微米的厚度。在其他實施例中，保形的應力釋放層可以更薄，並且可以具有約10奈米至約200nm的厚度。保形的應力釋放層的一些可能的厚度為10奈米、20奈米、50奈米、80奈米、100奈米、150奈米、200奈米、300奈米、400奈米、500奈米、600奈米、700奈米、800奈米、900奈米和1微米。

【0077】 在框512處，執行電鍍、無電鍍覆或ALD以在製品的表面上和製品的高深寬比特徵的壁上形成保形的第一抗電漿層（例如，具有3:1、5:1、10:1、20:1、50:1、100:1、200:1、300:1等等的深寬比的特徵）。第一抗電漿層還可以覆蓋製品的背側和製品的外側壁。

ALD、無電鍍覆和電鍍是能夠塗覆製品的高深寬比特徵的非現場線沉積製程。在一些實施例中，製品可不具有高深寬比特徵，並且鍍覆或ALD在製品的表面上形成保形的第一抗電漿層。在實施例中，第一抗電漿層可以被沉積至約100奈米至約10微米的厚度。在其他實施例中，第一抗電漿層可以更薄，並且可以具有約10奈米至約200nm的厚度。第一抗電漿層的一些可能的厚度為10奈米、20奈米、50奈米、80奈米、100奈米、150奈米、200奈米、300奈米、400奈米、500奈米、600奈米、700奈米、800奈米、900奈米和1微米。如果執行鍍覆，則第一抗電漿層可以由Ni構成。如果執行ALD，則第一抗電漿層可以由 $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 和/或 $YF_3$ 構成。如果執行ALD，則第一抗電漿層可附加地包括 $Y_3Al_5O_{12}$ 、 $Er_3Al_5O_{12}$ 、Y-O-F（例如， $Y_5O_4F_7$ ）、 $Y_2O_3-ZrO_2$ 的固溶體、或包括 $Y_4Al_2O_9$ 和 $Y_2O_3-ZrO_2$ 的固溶體的陶瓷化合物。第一抗電漿層可具有實際上0%的孔隙率。

【0078】 參考 $Y_2O_3-ZrO_2$ 的固溶體，第一抗電漿層可以包括濃度為10至90摩爾比（摩爾%）的 $Y_2O_3$ 和濃度為10至90摩爾%的 $ZrO_2$ 。在一些示例中， $Y_2O_3-ZrO_2$ 的固溶體可包括10至20摩爾%  $Y_2O_3$ 和80至90摩爾%  $ZrO_2$ ，可包括20至30摩爾%  $Y_2O_3$ 和70至80摩爾%  $ZrO_2$ ，可包括30至40摩爾%  $Y_2O_3$ 和60至70摩爾%  $ZrO_2$ ，可包括40至50摩爾%  $Y_2O_3$ 和50至60摩爾%

ZrO<sub>2</sub>，可包括60至70摩爾% Y<sub>2</sub>O<sub>3</sub>和30至40摩爾% ZrO<sub>2</sub>，可包括70至80摩爾% Y<sub>2</sub>O<sub>3</sub>和20至30摩爾% ZrO<sub>2</sub>，可包括80至90摩爾% Y<sub>2</sub>O<sub>3</sub>和10至20摩爾% ZrO<sub>2</sub>，等等。

【0079】 參考包括Y<sub>4</sub>Al<sub>2</sub>O<sub>9</sub>和Y<sub>2</sub>O<sub>3</sub>-ZrO<sub>2</sub>的固溶體的陶瓷化合物，在一個實施例中，該陶瓷化合物包括62.93摩爾比（摩爾%）的Y<sub>2</sub>O<sub>3</sub>，23.23摩爾%的ZrO<sub>2</sub>和13.94摩爾%的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括50至75摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、10至30摩爾%範圍內的ZrO<sub>2</sub>和10至30摩爾%範圍內的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括40至100摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、0.1至60摩爾%範圍內的ZrO<sub>2</sub>和0.1至10摩爾%範圍內的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括40至60摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、30至50摩爾%範圍內的ZrO<sub>2</sub>和10至20摩爾%範圍內的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括40至50摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、20至40摩爾%範圍內的ZrO<sub>2</sub>和20至40摩爾%範圍內的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括70-90摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、0.1至20摩爾%範圍內的ZrO<sub>2</sub>和10至20摩爾%範圍內的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括60至80摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、0.1至10摩爾%範圍內的ZrO<sub>2</sub>和20至40摩爾%範圍內的Al<sub>2</sub>O<sub>3</sub>。在另一個實施例中，陶瓷化合物可包括40至60摩爾%範圍內的Y<sub>2</sub>O<sub>3</sub>、0.1至20摩爾%範圍內的ZrO<sub>2</sub>和

30至40摩爾%範圍內的 $\text{Al}_2\text{O}_3$ 。在其他實施例中，其他分配也可以用於陶瓷化合物。

**【0080】** 在一個實施例中，第一抗電漿層包括通過ALD形成的交替的稀土氧化物（例如 $\text{Y}_2\text{O}_3$ ）和另一種金屬氧化物（例如 $\text{Al}_2\text{O}_3$ ）的子層。在一些實施例中，稀土氧化物的子層可以比附加金屬的子層厚大約2至12倍。稀土氧化物子層與附加的金屬氧化物子層的一些示例厚度比包括2:1、3:1、4:1、5:1、8:1、10:1和12:1。在一些實施例中，使用約5至12個迴圈的ALD製程來形成稀土金屬氧化物的子層，其中每個迴圈形成含稀土金屬的氧化物的奈米層（或比奈米層略微更少或更多）。每層其它金屬氧化物可以由單個ALD迴圈（或幾個ALD迴圈）形成，並且可以具有小於一個原子到幾個原子的厚度。在實施例中，含稀土金屬的氧化物的層可以各自具有約5至100埃的厚度，並且附加金屬氧化物的層可以各自具有約1至20埃的厚度。在實施例中，附加金屬氧化物子層防止稀土氧化物子層變成結晶。因為附加金屬氧化物子層，稀土氧化物子層保持為多晶態。

**【0081】** 第一抗電漿層是高度保形層。結果，第一抗電漿層的平均表面粗糙度與被塗覆的製品的表面的表面粗糙度近似相同（或幾乎相同）。相應地，製品的被粗糙化的區域處的第一抗電漿層的表面粗糙度具有約200至300微吋（或通過粗糙化製程獲得的其他表面粗糙度）的表面粗糙度。第一抗電漿層並不依賴製品的表面粗糙度來

黏附到製品上。然而，稍後沉積的第二抗電漿層可能依賴表面粗糙度來黏附。發現使第一抗電漿層的表面粗糙化，這導致製品的更短壽命並且在一些情況下導致損壞的第一抗電漿層。因此，通過在沉積第一抗電漿層之前首先使製品粗糙化並且對第一抗電漿層使用高度保形沉積製程，第一抗電漿層的表面可具有增大的表面粗糙度，而無需對第一抗電漿層執行任何表面粗糙化。

【0082】 在框514處，製品在去離子水中被漂洗，且然後被乾燥，類似於框510的過程。可以通過在漂洗期間向去離子水施加超音波來攪拌去離子水。在鍍覆或ALD之後可以不執行酸清潔以免損壞第一抗電漿層。

【0083】 在框516處，將第二掩模施加到製品。第二掩模可以覆蓋製品的由第一掩模覆蓋的那些部分並且可以暴露製品的由第一掩模暴露的相同區域。例如，第二掩模可以覆蓋製品的高深寬比特徵，諸如終止於製品的表面的孔（例如，氣體導管）。

【0084】 在框518處，執行電漿噴塗製程或氣溶膠沉積製程以在製品的未掩蔽區域處的第一抗電漿層上面形成第二抗電漿層。第二抗電漿層可具有約4至20密耳（例如5密耳、6密耳、7密耳、8密耳、9密耳等）的厚度。第二抗電漿層可以由 $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Y_4Al_2O_9$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $YF_3$ 、 $Er_3Al_5O_{12}$ 、Y-O-F（例如 $Y_5O_4F_7$ ）、 $Y_2O_3-ZrO_2$ 的固溶體、或者包括

$Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物構成。第二抗電漿層可具有約 1 至 5 % 的孔隙率。

【0085】 在框 520 處，將第二掩模從製品移除。在框 522 處，製品可以使用去離子水來漂洗，且然後被乾燥。可以通過在漂洗期間向去離子水施加超音波來攪拌去離子水。在電漿噴塗或氣溶膠沉積製程之後可不進行酸清潔，以免損壞第一抗電漿層或第二抗電漿層。對於具有包括第一和第二抗電漿層的多層塗層的製品，可以實現至少 500 伏特/密耳的擊穿電壓。在一個實施例中，擊穿電壓是 500 至 1000 伏特/密耳。

【0086】 在框 524 處，可執行 ALD 以在第二抗電漿層上和第一抗電漿層上形成保形的第三抗電漿層。第三抗電漿層可以覆蓋製品的由第二抗電漿層覆蓋的區域處的第二抗電漿層。在未被第二抗電漿層覆蓋的附加區域（例如，諸如孔的高深寬比特徵的壁、製品的背側等）處，第三抗電漿層覆蓋第一抗電漿層。第三抗電漿層可以由  $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Y_4Al_2O_9$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $YF_3$ 、 $Er_3Al_5O_{12}$ 、Y-O-F（例如  $Y_5O_4F_7$ ）、 $Y_2O_3-ZrO_2$  的固溶體、或者包括  $Y_4Al_2O_9$  和  $Y_2O_3-ZrO_2$  的固溶體的陶瓷化合物構成。在實施例中，第三抗電漿層可以具有與第一抗電漿層相同的材料特性。例如，第三抗電漿層可以具有小於 1 %（例如，小於 0.1 % 或 0 %）的孔隙率，並且可以具有與第一抗電漿層相同的抗電漿特性。第三抗電漿層可以用作填充第二抗電漿

層中的孔隙和裂縫並且在第二抗電漿層的顆粒和/或其他表面缺陷中密封的蓋層。在實施例中，第三抗電漿層可以具有約100奈米至約1微米的厚度。對於具有包括第一、第二和第三抗電漿層的多層塗層的製品，可以實現至少500伏特/密耳的擊穿電壓。在一個實施例中，擊穿電壓是500至1000伏特/密耳。

【0087】可替代地，可以進行鍍覆以形成鍍的保形的第三抗電漿層。

【0088】第6圖示出了用於在腔室組件上形成多層抗電漿塗層的製程600的另一實施例。製程600類似於製程500，除了執行物理氣相沉積（PVD）、IAD（例如EB-IAD）或PE-CVD中的一者以形成第二抗電漿層而非電漿噴塗或氣溶膠沉積。製程600可以使用第4圖的製造機器401中的一個或多個來執行。

【0089】在製程600的框602處，可以將掩模施加到製品的表面。製品可以是本文討論的任何製品，諸如用於處理腔室的噴頭或其他腔室組件。掩模可以暴露製品的表面的將被粗糙化的區域並且可以覆蓋製品的將不會被粗糙化的部分。當製品安裝在處理腔室中並且處理腔室在使用中時，製品的將被粗糙化的區域可以是直接暴露於電漿的區域。在框604處，可執行粗糙化製程，諸如珠粒噴爆，以使製品的表面的暴露區域粗糙化。珠粒噴爆可以移除製品上的表面缺陷和/或凹痕。

【0090】 在框606處，可將掩模從製品移除。在框608處，如參考製程500的框508所述，可以在酸性溶液中清潔製品。在框510處，可在去離子水中漂洗製品。在漂洗期間可以通過向去離子水施加超音波來攪動去離子水，以幫助從製品去除顆粒。然後通過向製品施加熱量來乾燥製品。

【0091】 在一些實施例中，框602至610的操作可以被省略。具體而言，諸如ALD、鍍覆、EB-IAD和PE-CVD的沉積製程可不依賴增大的表面粗糙度來改善黏附。因此，框602至610的操作可以被省略以實現簡化的製程。在一些實施例中，框602被跳過並且製品被拋光而不是在框604處被粗糙化。更光滑的表面對於諸如EB-IAD的一些沉積製程可能是有益的，並且還可以導致增大的擊穿電壓。增大的擊穿電壓對於一些腔室組件（諸如噴頭和靜電夾盤）可能是有益的。

【0092】 在框612處，執行鍍覆或ALD以在製品的表面上和製品的高深寬比特徵的壁上形成保形的第一抗電漿層（例如，具有3:1、5:1、10:1、20:1、50:1、100:1、200:1、300:1等等的深寬比的特徵）。框612的操作可以與方法500的框512的操作相同，並且第一抗電漿層可以具有用於第一抗電漿層的上述成分中的任一者。

【0093】 在框614處，製品在去離子水中被漂洗且隨後被乾燥。可以通過在漂洗期間向去離子水施加超音波來攪

拌去離子水。在鍍覆或ALD之後可以不執行酸清潔以免損壞第一抗電漿層。

【0094】 在框616處，可將掩模施加到製品。掩模可以覆蓋製品的由第一掩模覆蓋的那些部分並且可以暴露製品的由第一掩模暴露的相同區域。例如，掩模可以覆蓋製品的高深寬比特徵，諸如終止於製品的表面的孔（例如，氣體導管）。可替代地，框616的操作可以被跳過，並且可以不施加掩模。（在框618處施加的）第二抗電漿層可具有將不會導致製品中的孔被堵塞的厚度。相應地，在一些實施例中，在第二抗電漿層的沉積之前可以不施加掩模。

【0095】 在框618處，執行PVD製程、IAD製程（例如EB-IAD製程）或PE-CVD製程以在製品的未掩蔽區域處的第一抗電漿層上面（或如果製品沒有被遮蔽的話，則在製品的表面處）形成第二抗電漿層。第二抗電漿層可具有約1至10微米的厚度（例如，2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米等）。第二抗電漿層可以由 $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Y_4Al_2O_9$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $YF_3$ 、 $Er_3Al_5O_{12}$ 、Y-O-F（例如 $Y_5O_4F_7$ ）、 $Y_2O_3-ZrO_2$ 的固溶體、或者包括 $Y_4Al_2O_9$ 和 $Y_2O_3-ZrO_2$ 的固溶體的陶瓷化合物構成。第二抗電漿層可具有小於1%、小於0.1%或基本上0%的孔隙率。然而，在一些情況下，第二抗電漿層可具有垂直裂縫。

【0096】 在框620處，可將掩模從製品移除（如果使用掩模的話）。在框622處，製品可以使用去離子水來漂洗，且然後被乾燥。可以通過在漂洗期間向去離子水施加超音波來攪拌去離子水。對於具有包括第一和第二抗電漿層的多層塗層的製品，可以實現至少500伏特/密耳的擊穿電壓。在一個實施例中，擊穿電壓是1000至1500伏特/密耳。

【0097】 第7圖是根據一個實施例的具有塗層架構的製品的透射電子能譜（TEM）圖像700，該塗層架構包括第一薄保形層710、第二薄保形層715和厚抗電漿層720。在所示出的實施例中，製品705（例如，諸如噴頭的塗覆的腔室組件）是鋁。第一薄保形層710是通過原子層沉積（ALD）形成的非晶 $\text{Al}_2\text{O}_3$ 塗層。第二薄保形層715是抗電漿層，其包括通過ALD形成的交替的 $\text{Y}_2\text{O}_3$ 子層和 $\text{Al}_2\text{O}_3$ 子層的交替疊層。每個 $\text{Y}_2\text{O}_3$ 子層通過10個 $\text{Y}_2\text{O}_3$  ALD沉積的迴圈而形成，並且每個 $\text{Al}_2\text{O}_3$ 子層通過1個 $\text{Al}_2\text{O}_3$  ALD沉積的迴圈而形成。在實施例中， $\text{Al}_2\text{O}_3$ 子層防止 $\text{Y}_2\text{O}_3$ 子層變成結晶。因為 $\text{Al}_2\text{O}_3$ 子層， $\text{Y}_2\text{O}_3$ 子層保持為多晶態。

【0098】 厚抗電漿層720是電漿噴塗的 $\text{Y}_2\text{O}_3$ 塗層。如圖所示，如果執行電漿噴塗以產生厚抗電漿層720，則來自厚抗電漿層720的動能可導致第一薄保形層710和第二薄保形層715在厚抗電漿層720的沉積製程期間開裂。然而，第一薄保形層710和第二薄保形層715僅在它

們被厚抗電漿層 720 撞擊（並且因此被其覆蓋）的位置處具有開裂的可能性。第一薄保形層 710 和第二薄保形層 715 的未被厚抗電漿層 720 覆蓋（例如，不在電漿噴槍的噴嘴的現場線中的特徵，諸如噴頭的氣體輸送孔）的區域不會開裂。相應地，在厚抗電漿層 720 下的第一薄保形層 710 和第二薄保形層 715 的開裂不會不利地影響塗層架構的電漿抗性。此外，氣溶膠沉積不會造成第一薄保形層 710 的開裂。相應地，氣溶膠沉積可以用於厚抗電漿層 720 以避免第一薄抗電漿層 710 中的開裂。

**【0099】 第 8 圖**是根據一個實施例的具有塗層架構的製品的另一 TEM 圖像 800，該塗層架構包括製品 805 上的第一薄保形層 810、第二薄保形層 815 和厚抗電漿層 820。第一薄保形層 810、第二薄保形層 815、厚抗電漿層 820 和製品 805 可對應於**第 7 圖**的類似標記的第一薄保形層 710、第二薄保形層 715、厚抗電漿層 720 和製品 705。**第 9 圖**是**第 8 圖**所示製品的能量色散光譜儀（EDS）線掃描。在所示出的示例中，基板是 Al 6061，第一薄保形層 805 具有 25 奈米的厚度，第二薄保形層 810 具有 100 奈米的厚度，並且厚抗電漿層 820 具有 8 密耳的厚度。

**【0100】 第 10 圖**是根據一個實施例的具有塗層架構的製品的另一 TEM 圖像 1000，該塗層架構包括製品 1005 上的薄保形層 1010 和抗電漿層 1015。**第 11 圖**是**第 10 圖**所示製品的 EDS 線掃描。在所示出的示例中，製品 1005 是鋁製品，薄保形層 1010 是通過 ALD 沉積的  $Y_2O_3$  塗層

並且具有約480至500奈米的厚度，並且抗電漿層1015是氣溶膠沉積塗層。EDS線掃描將抗電漿層1015顯示為具有約120奈米的厚度。然而，如**第10圖**所示，抗電漿層1015可以具有遠大於薄保形層1010厚度的厚度（例如，約8密耳的厚度）。如圖所示，當通過氣溶膠沉積來沉積抗電漿層1015時，薄保形層1010不會開裂。

**【0101】** 前面的描述闡述了許多具體細節，諸如具體系統、部件、方法等的示例，以便提供對本公開的若干實施例的良好理解。然而，對本領域技術人員而言，將顯而易見的是，本公開的至少一些實施例可在沒有這些具體細節的情況下實踐。在其它情況下，公知的部件或方法沒有被詳細描述或者以簡單的框圖形式呈現以免不必要地模糊本公開。因此，所闡述的這些具體細節僅僅是示例性的。特定實現可從這些示例性細節變化而來並且仍被視為在本公開的範圍內。

**【0102】** 縱觀本說明書，對「一個實施例」或「一實施例」的引用意味著聯繫該實施例而描述的特定特徵、結構、或特性被包括在至少一個實施例中。因此，縱觀本說明書，短語「在一個實施例中」或「在一實施例中」在多個位置的出現不一定全部指同一實施例。另外，術語「或」旨在表示包含性「或」而非排除性「或」。

**【0103】** 雖然本文以特定順序示出和描述方法的操作，但每種方法的操作的順序可被改變使得某些操作可以以相反的循序執行或者使得某個操作可與其他操作至少

部分同時地執行。在另一實施例中，不同操作的指令或子操作可以按照間歇和/或交替的方式。

【0104】 要理解的是，上面的描述旨在是說明性的，而非限制性的。對本領域技術人員而言，在閱讀和理解上面的描述後，許多其他實施例將是顯而易見的。因此，本公開的範圍應當參考所附申請專利範圍以及此類申請專利範圍的等同技術方案的全部範圍來決定。

【符號說明】

【0105】

100 處理腔室

102 腔室主體

106 內部容積

108 側壁

110 底部

116 外襯墊

126 排放口

128 泵系統

130 噴頭

132 氣體輸送孔

144 基板

148 基板支撐元件

150 第一抗電漿層

152 第二抗電漿層

158 氣體面板

- 2 0 0 噴 頭
- 2 0 4 氣 體 導 管
- 2 0 5 下 表 面
- 3 0 1 噴 頭
- 3 0 2 下 表 面
- 3 0 4 氣 體 導 管
- 3 2 0 第 一 抗 電 漿 層
- 3 2 2 第 二 抗 電 漿 層
- 3 2 7 第 三 抗 電 漿 層
- 3 4 0 直 接 電 漿 暴 露
- 4 0 0 製 造 系 統
- 4 0 1 製 造 機 器
- 4 0 2 珠 粒 噴 爆 器
- 4 0 3 濕 式 清 潔 器
- 4 0 4 電 漿 噴 塗 系 統
- 4 0 5 原 子 層 沉 積 ( A L D ) 系 統
- 4 0 6 E B - I A D 系 統
- 4 0 7 P E - C V D 系 統
- 4 0 8 電 鍍 系 統
- 4 1 5 裝 備 自 動 化 層
- 4 2 0 計 算 裝 置
- 4 2 5 配 方
- 5 0 0 製 程
- 5 0 2 - 5 2 4 框

- 6 0 0 製程
- 6 0 2 - 6 2 2 框
- 7 0 0 透射電子能譜 ( T E M ) 圖像
- 7 0 5 製品
- 7 1 0 第一薄保形層
- 7 1 5 第二薄保形層
- 7 2 0 厚抗電漿層
- 8 0 0 T E M 圖像
- 8 0 5 製品
- 8 1 0 第一薄保形層
- 8 1 5 第二薄保形層
- 8 2 0 厚抗電漿層
- 1 0 0 0 T E M 圖像
- 1 0 0 5 製品
- 1 0 1 0 薄保形層
- 1 0 1 5 抗電漿層

**【生物材料寄存】**

**【 0 1 0 6 】** 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

**【 0 1 0 7 】** 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無



201903206

**【發明摘要】****【中文發明名稱】**用於腔室組件之多層電漿腐蝕保護**【英文發明名稱】** MULTI-LAYER PLASMA EROSION PROTECTION FOR CHAMBER COMPONENTS**【中文】**

一種在製品上施加多層抗電漿塗層的方法包括執行鍍覆或ALD以在製品上形成保形的第一抗電漿層，其中保形的第一抗電漿層被形成在製品的表面上以及製品中的高深寬比特徵的壁上。保形的第一抗電漿塗層具有大約0%的孔隙率和大約200奈米至大約1微米的厚度。隨後執行電子束離子輔助沉積(EB-IAD)、電漿增強化學氣相沉積(PECVD)、氣溶膠沉積或電漿噴塗中的一者，以形成第二抗電漿層，該第二抗電漿層覆蓋該表面的一區域處的該保形的第一抗電漿層，但不覆蓋該高深寬比特徵的該壁處的該保形的第一抗電漿層。

**【英文】**

A method of applying a multi-layer plasma resistant coating on an article comprises performing plating or ALD to form a conformal first plasma resistant layer on an article, wherein the conformal first plasma resistant layer is formed on a surface of the article and on walls of high aspect ratio features in the article. The conformal first plasma resistant coating has a porosity of approximately 0% and a thickness of approximately 200 nm to approximately 1 micron. One of electron beam ion assisted deposition (EB-IAD), plasma enhanced chemical vapor deposition (PECVD), aerosol

deposition or plasma spraying is then performed to form a second plasma resistant layer that covers the conformal first plasma resistant layer at a region of the surface but not at the walls of the high aspect ratio features.

【指定代表圖】第（ 1B ）圖。

【代表圖之符號簡單說明】

130 噴頭

132 氣體輸送孔

150 第一抗電漿層

152 第二抗電漿層

【特徵化學式】

無

## 【發明申請專利範圍】

【第1項】 一種製品，包括：

一主體，該主體包括一表面和該主體中的多個高深寬比特徵，該多個高深寬比特徵具有約 1:1 至約 300:1 的一深寬比；

一保形的第一抗電漿層，在該表面上和該多個高深寬比特徵的壁上的，該第一抗電漿層具有大約 0% 的一孔隙率和大約 100 奈米至大約 1 微米的一厚度；以及

一第二抗電漿層，該第二抗電漿層覆蓋該表面的一區域處的該保形的第一抗電漿層，但不覆蓋該多個高深寬比特徵的該壁處的該保形的第一抗電漿層，該第二抗電漿層具有小於 1% 的一孔隙率和大約 1 至 10 微米的一厚度。

【第2項】 如請求項 1 所述的製品，其中該製品是用於一電漿蝕刻反應器的一腔室組件，該製品包括一金屬或一燒結陶瓷中的至少一者。

【第3項】 如請求項 1 所述的製品，其中該第一抗電漿層是一原子層沉積( ALD )塗層，該原子層沉積( ALD )塗層選自由下列所組成的群組： $Y_2O_3$ 、 $Al_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$  和  $YF_3$ 。

【第4項】如請求項1所述的製品，其中該第一抗電漿層是包括Ni的一鍍覆塗層。

【第5項】如請求項1所述的製品，其中該第二抗電漿層是一保形的抗電漿層，該保形的抗電漿層選自由下列所組成的群組： $Y_3Al_5O_{12}$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$ 和 $YF_3$ 。

【第6項】如請求項1所述的製品，其中該製品是用於一處理腔室的一噴頭，並且其中該多個高深寬比特徵是該噴頭中的多個孔。

【第7項】如請求項1所述的製品，其中包括該第一抗電漿層和該第二抗電漿層的該製品的一擊穿電壓為大約1000至1500伏特/密耳。

【第8項】一種製品，包括：

一主體，該主體包括一表面和該主體中的多個高深寬比特徵，其中該多個高深寬比特徵具有約1:1至約300:1的一深寬比，並且其中該表面的一區域具有大約200至300微吋的一表面粗糙度；

一保形的第一抗電漿層，在該表面上和該多個高深

寬比特徵的壁上的，該第一抗電漿層具有大約 0% 的一孔隙率和大約 100 奈米至大約 10 微米的一厚度，其中該保形的第一抗電漿層的一表面具有一表面粗糙度，該表面粗糙度基於該表面的該區域處的表面粗糙度；以及

一第二抗電漿層，該第二抗電漿層覆蓋該表面的該區域處的該保形的第一抗電漿層但不覆蓋該多個高深寬比特徵的該壁處的該保形的第一抗電漿層，該第二抗電漿層具有大約 1 至 5% 的一孔隙率和大約 4 至 20 密耳的一厚度，其中該保形的第一抗電漿層的該表面粗糙度利於該第二抗電漿層黏附到該保形的第一抗電漿層。

【第 9 項】 如請求項 8 所述的製品，進一步包括：

一保形的第三抗電漿層，該保形的第三抗電漿層覆蓋該表面的該區域處的該第二抗電漿層並且覆蓋該多個高深寬比特徵的該壁處的該保形的第一抗電漿層，該保形的第三抗電漿層具有大約 100 奈米至大約 10 微米的一厚度和大約 0% 的一孔隙率，其中該保形的第三抗電漿層選自由下列所組成的群組： $Y_2O_3$ 、 $Al_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$  和  $YF_3$ 。

【第10項】 如請求項 8 所述的製品，其中該第一抗電漿層是一原子層沉積（ALD）塗層，該原子層沉積（ALD）塗層選自由下列所組成的群組： $Y_2O_3$ 、 $Al_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$  和  $YF_3$ 。

【第11項】 如請求項 8 所述的製品，其中該第一抗電漿層是包括 Ni 的一鍍覆塗層。

【第12項】 如請求項 8 所述的製品，其中該第二抗電漿層選自由下列所組成的群組： $Y_3Al_5O_{12}$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$  和  $YF_3$ 。

【第13項】 如請求項 8 所述的製品，其中該保形的第一抗電漿層的該表面具有大約 200 至 300 微吋的表面粗糙度。

【第14項】 一種方法，包括：

執行鍍覆或原子層沉積（ALD）以在一製品上形成一保形的第一抗電漿層，其中該保形的第一抗電漿層形成在該製品的一表面上以及該製品中的多個高深寬比特徵的壁上，其中該多個高深寬比特徵具有約 1:1 至約 300:1 的一深寬比，該保形的第一抗電漿層具有

大約 0 % 的一孔隙率和大約 100 奈米至大約 10 微米的一厚度；以及

執行電子束離子輔助沉積 (EB-IAD)、電漿增強化學氣相沉積 (PECVD)、氣溶膠沉積或電漿噴塗中的一者，以形成一第二抗電漿層，該第二抗電漿層覆蓋該表面的一區域處的該保形的第一抗電漿層但不覆蓋該多個高深寬比特徵的該壁處的該保形的第一抗電漿層。

**【第 15 項】** 如請求項 14 所述的方法，進一步包括：

在執行該電鍍或 ALD 之前，將該製品的該表面的該區域粗糙化至大約 200 至 300 微吋的一表面粗糙度，其中該保形的第一抗電漿層具有大約 200 至 300 微吋的表面粗糙度。

**【第 16 項】** 如請求項 15 所述的方法，進一步包括：

在執行該粗糙化之後使用一酸清潔該製品；

在清潔該製品後在超聲處理過的水中執行該製品的一第一次漂洗；

在形成該保形的第一抗電漿層之後並且在形成該第二抗電漿層之前，在水中執行該製品的一第二次漂洗；  
以及

在執行該第二次漂洗之後，將一掩模施加到該製品的該表面，其中該掩模暴露該表面的該區域。

【第17項】 如請求項15所述的方法，其中：

執行 EB-IAD、PECVD、氣溶膠沉積或電漿噴塗中的一者之步驟包括以下步驟：執行電漿噴塗或氣溶膠沉積；

該第二抗電漿層具有大約1至5%的一孔隙率和大約4至20密耳的一厚度；以及

該保形的第一抗電漿層的表面粗糙度利於該第二抗電漿層黏附到該保形的第一抗電漿層。

【第18項】 如請求項17所述的方法，進一步包括：

執行ALD以在該製品的該表面處的該第二抗電漿層上面以及該多個高深寬比特徵的該壁處的該保形的第一抗電漿層上面形成一保形的第三抗電漿層，該保形的第三抗電漿層具有大約0%的一孔隙率和大約100奈米至大約1微米的一厚度。

【第19項】 如請求項14所述的方法，其中：

執行 EB-IAD、PE-CVD、氣溶膠沉積或電漿噴塗中的一者之步驟包括以下步驟：執行 EB-IAD 或

PE-CVD；以及

該第二抗電漿層是一保形塗層，具有小於 1% 的一孔隙率和大約 1 至 10 微米的一厚度。

【第 20 項】 如請求項 14 所述的方法，其中：

該第一抗電漿層選自由下列所組成的群組： $Y_2O_3$ 、 $Al_2O_3$ 、 $Y_3Al_5O_{12}$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$ 、 $YF_3$  和 Ni；以及

該第二抗電漿層選自由下列所組成的群組： $Y_3Al_5O_{12}$ 、 $Y_2O_3$ 、 $Al_2O_3$ 、 $Er_3Al_5O_{12}$ 、 $Y_5O_4F_7$  或  $YF_3$ 。















