



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

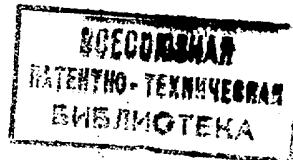
(19) SU (11) 1753614 A2

(51)5 H 04 L 7/08

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 1688434

(21) 4848939/09

(22) 09.07.90

(46) 07.08.92. Бюл. №29

(71) Ленинградский институт авиационного приборостроения и Всесоюзный научно-исследовательский институт телевидения

(72) В.Ю.Васильев, Б.М.Певзнер, В.М.Смирнов, В.Я.Сорин и Р.И.Шутин

(56) Авторское свидетельство СССР
№ 1688434, кл. H 04 L 7/00, 1989.

(54) УСТРОЙСТВО ЦИКЛОВОЙ СИНХРОНИЗАЦИИ БЛОЧНЫХ КОДОВ

(57) Изобретение относится к промышленности средства связи и может быть использовано при построении устройства цикловой синхронизации в системах передачи информации, преимущественно в системах передачи цифровой телевизионной информации. Цель изобретения - уменьшение времени

вхождения в синхронизм. Устройство цикловой синхронизации блочных кодов содержит блок 1 разделения сигналов, дешифратор 2, анализатор 3 кодовых комбинаций (КК), блок 4 определения нарушения чередования инвертируемых КК, элемент ИЛИ-НЕ 5, распределитель 6 циклов, формирователь 7 сдвига фазы, блок 8 управления и блок 9 выбора шага коррекции распределителя. При поступлении ошибок блок 8 управления посредством формирователя 7 изменяет коэффициент деления распределителя с 9 на 10, чем достигается сдвиг цикловой синхронизации на один такт. При этом блок 8 управления посредством блока 9 выбора шага коррекции распределителя устанавливается в состояние, соответствующее поступлению N - 1 ошибки. В последующем каждая вторая ошибка производит сдвиг синхронизации на один такт, 5 ил.

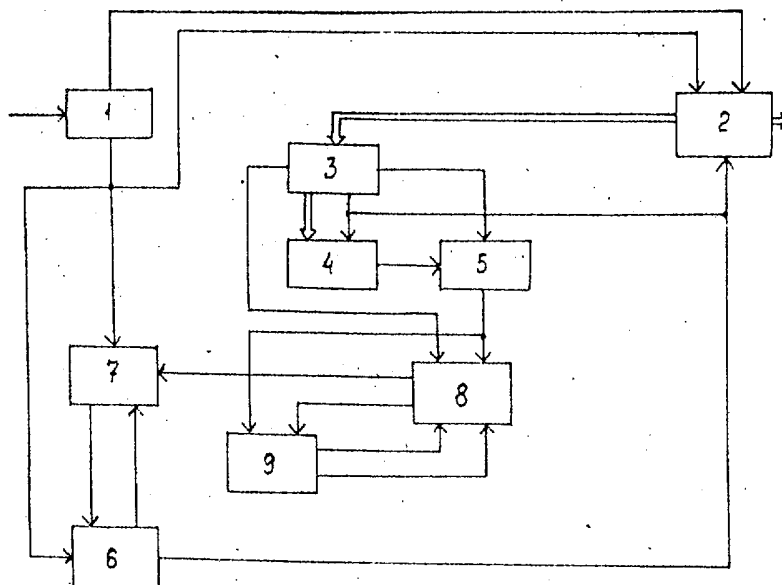


Fig. 1

(19) SU (11) 1753614 A2

Изобретение относится к промышленности средств связи, может быть использовано при построении устройств цикловой синхронизации в системах передачи информации, преимущественно в системах передачи цифровой телевизионной информации, и является усовершенствованием изобретения по авт.св. № 168834.

Известно устройство цикловой синхронизации блочных кодов, содержащее блок разделения сигналов, дешифратор, анализатор кодовых комбинаций, блок определения нарушения чередования инвертируемых кодовых комбинаций, элемент ИЛИ-НЕ, распределитель циклов, формирователь сдвига фазы и блок управления, причем первый выход блока разделения сигналов соединен с первым входом дешифратора, второй его выход соединен с первыми входами распределителя циклов и формирователя сдвига фазы и вторым входом дешифратора, первый выход которого является выходом устройства, а второй выход соединен с первым входом анализатора кодовых комбинаций, второй вход которого объединен с вторым входом блока определения нарушения чередования инвертируемых кодовых комбинаций, третьим входом дешифратора, первым входом блока управления и подключен к первому выходу распределителя циклов, первый выход анализатора кодовых комбинаций соединен с первым входом блока определения нарушения чередования инвертируемых кодовых комбинаций, выход которого соединен с первым входом элемента ИЛИ/НЕ, второй вход которого соединен с вторым выходом анализатора кодовых комбинаций, а выход соединен с вторым входом блока управления, выход которого соединен с вторым входом формирователя сдвига фазы, третий вход которого соединен с вторым выходом распределителя циклов, а выход соединен с вторым входом распределителя циклов.

Недостатком данного устройства является сравнительно большое время вхождения в синхронизм, в частности для телевизионного цифрового сигнала, принятого в МККР, это время составляет 0,1 длительности строки ($T_{стр}$). Это объясняется тем, что каждый сдвиг цикловой синхронизации в распределителе циклов, осуществляемый формирователем сдвига фазы, происходит после прихода девяти ошибок в блок управления, поскольку каждая девятая ошибка одновременно со сдвигом фазы распределителя циклов устанавливает блок управления всегда в нулевое начальное состояние.

Целью изобретения является уменьшение времени установления цикловой синхронизации.

Указанная цель достигается тем, что в устройство введен блок выбора шага коррекции распределителя, при этом дополнительный выход анализатора кодовых комбинаций соединен с первым дополнительным входом блока управления, к двум другим дополнительным входам которого подключены соответствующие выходы блока выбора шага коррекции распределителя, к входам которого подключены выход элемента ИЛИ-НЕ и дополнительный выход блока управления.

Введение блока выбора шага коррекции распределителя, связей между ним и другими блоками устройства, а также наличие дополнительного выхода с анализатора кодовых комбинаций, дополнительно формирующего информацию о наличии синхрослова, позволило устанавливать цикловую синхронизацию, используя не только статистические характеристики цифрового кода, но и имеющиеся в коде синхросигналы. При этом уменьшение времени установления цикловой синхронизации, времени вхождения в синхронизм, обусловлено тем, что благодаря блоку выбора шага коррекции распределителя изменяется начальное состояние блока управления, с которого начинается накопление ошибок, обусловленных сбоем цикловой синхронизации, и максимальное число сдвигов распределителя циклов до восстановления цикловой синхронизации изменяется с m (где m — число разрядов выходного параллельного кода) при первом сбое на 2 при последующих сбоях в пределах между двумя синхросигналами.

На фиг.1 представлена структурная электрическая схема устройства цикловой синхронизации блочных кодов; на фиг.2 — варианты выполнения дешифратора, анализатора кодовых комбинаций, блока определения нарушения чередования инвертируемых кодовых комбинаций, элемента ИЛИ-НЕ; на фиг.3 — варианты выполнения распределителя циклов, формирователя сдвига фазы, блока управления и блока выбора шага коррекции распределителя; на фиг.4 и 5 — временные диаграммы, поясняющие работу устройства цикловой синхронизации блочных кодов.

Устройство цикловой синхронизации блочных кодов содержит блок 1 разделения сигналов, дешифратор 2, анализатор 3 кодовых комбинаций (КК), блок 4 определения нарушения чередования инвертируемых кодовых комбинаций (ИКК), элемент ИЛИ-НЕ.

5, распределитель 6 циклов, формирователь 7 сдвига фазы, блок 8 управления и блок 9 выбора шага коррекции распределителя. При этом в состав дешифратора 2 входят сдвиговой регистр 10, параллельный регистр 11, программируемый постоянный запоминающий блок 12 (ППЗБ) и параллельный регистр 13, в состав анализатора 3 КК входят ППЗБ 14 инвертируемых и запрещенных кодовых комбинаций (ИКК и 3КК) и блок 15 памяти, в состав блока 4 определения нарушения чередования ИКК входят ИК-триггер 16, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 17, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18, элемент ИЛИ-НЕ 19, в состав распределителя 6 циклов входят делитель 20 и инвертор 21, в состав блока 8 управления входят счетчик 22, элементы ИЛИ-НЕ 23 и 24, элемент ИЛИ-НЕ/ИЛИ 25 и элементы ИЛИ-НЕ 26 и 27, в состав блока 9 выбора шага коррекции распределителя входят элемент ИЛИ-НЕ 28 и инверторы 29 и 30.

Устройство цикловой синхронизации блочных кодов работает следующим образом.

В исходном состоянии, когда отсутствуют сбои цикловой синхронизации, счетчик 22 блока 8 управления находится в нулевом состоянии. При сбое цикловой синхронизации анализатор 3 КК в параллельном коде n В, поступающем с второго выхода дешифратора 2, выделяет факт наличия запрещенных комбинаций или с помощью блока 4 обнаружения чередования ИКК факт нарушения чередования инвертируемых кодовых комбинаций и на элементе 5 ИЛИ-НЕ формирует сигнал ошибки, который поступает в блок 8 управления и блок 9 выбора шага коррекции распределителя. Счетчик 22 блока 8 управления считает до N ошибок, при этом вырабатывает сигнал, разрешающий прохождения следующей $(N + 1)$ -й ошибки на вход формирователя 7 сдвига фазы. Формирователь 7 сдвига фазы вырабатывает сигнал, который сдвигает распределитель 6 циклов на один такт. Одновременно после прихода N ошибок счетчик блока 8 управления переводится в режим параллельного приема, $(N + 1)$ -я ошибка через блок 9 выбора шага коррекции распределителя поступает на входы параллельного приема счетчика 22 блока 8 управления таким образом, что устанавливает его в состояние, соответствующее приему $(N - 1)$ -й ошибки, а сам счетчик переводится в режим прямого счета. Следующая, т.е. $(N + 2)$ -я ошибка, переведет счетчик блока 8 управления в состояние, соответствующее приему N ошибок, а по $(N + 3)$ -й ошибке работа устройства повторяет

работу как по $(N + 1)$ -й ошибке. Таким образом первый сдвиг цикловой синхронизации после начального состояния происходит после приема N ошибок, а последующие – после приема каждой второй ошибки. Выделенный анализатором 3 КК сигнал, соответствующий приходу синхросигнала, установит счетчик блока 8 управления в режим параллельного приема, а через блок 9 выбора шага коррекции распределителя установит счетчик 22 блока 8 управления в исходное состояние, когда все разряды счетчика находятся в "0" (нулевое состояние). Этим обеспечивается помехозащищенность цикловой синхронизации. В дальнейшем цикл работы повторяется.

Входной сигнал поступает на вход блока 1 разделения сигналов, усиливается, нормализуется по амплитуде и поступает на вход сдвигового регистра 10 дешифратора 2. Запись информации в сдвиговой регистр дешифратора 2 происходит по положительному фронту тактовой частоты. По положительному фронту частоты, получаемой в распределителе 6 циклов путем деления делителем 20 тактовой частоты на девять и передаваемой через инвертор 21, происходит запись информации из сдвигового регистра 10 в параллельный регистр 11, откуда 9-битный параллельный код поступает в ППЗБ 12 дешифратора 2 и ППЗБ 14 анализатора 3 КК. ППЗБ 12 запрограммирован так, что входным словам 9В ставятся в соответствие выходные слова 8В, которые передаются через параллельный регистр 13 на выход устройства. ППЗБ 14 анализатора 3 КК запрограммирован так, что из всех поступающих на его вход комбинаций выделяет сигнал, соответствующий комбинации FF, в момент прихода синхрослова цикловой синхронизации FF-00-00-XY. Этот сигнал в виде положительного импульса с выхода элемента 15 памяти (дополнительный выход блока 3) поступает на элементы ИЛИ-НЕ 26 и 27 блока 8 управления и с их выходов в виде отрицательных импульсов на входы управления S1 и S2 счетчика 22.

Одновременно отрицательный импульс с выхода элемента 27 ИЛИ-НЕ дважды инвертируется на элементах НЕ 29 и ИЛИ-НЕ 28 блока 9 выбора шага коррекции распределителя и, поступая на вход элемента ИЛИ-НЕ 23, разрешает прохождение импульса частоты с выхода инвертора 21 распределителя 6 циклов, поступающего на второй вход элемента ИЛИ-НЕ 23. Импульс с его выхода подается на С-вход счетчика 22 блока 8 управления, и поскольку счетчик в данный момент находится в режиме параллельного приема, а на его D-входах установ-

лены уровни логического "0", сигнал ошибки с выхода элемента НЕ 30 отсутствует, счетчик 22 сбрасывается в состояние "0" по всем выходам. Это состояние является исходным. При этом счетчик 22 переводится в режим прямого счета, так как на его входах управления установлены потенциал "1" на S2 и потенциал "0" на S1, который определяется двойным инвертированием сигнала с выхода Q3 счетчика 22 на элементах НЕ 24 и ИЛИ-НЕ 26. ППЗБ 14 анализатора 3 КК, кроме комбинации FF, выделяет из поступивших на его вход комбинаций запрещенные комбинации или инвертируемые комбинации 6/3, 3/6, информация о которых записывается в элемент 15 памяти. Появление уровня логической "1" на втором выходе элемента 15 памяти свидетельствует о приеме запрещенной комбинации, которая через элемент ИЛИ-НЕ 5, как сигнал ошибки, поступает на выход. Определение правильности чередования инвертируемых комбинаций 6/3 и 3/6 осуществляется с помощью ИК-триггера 16 и элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 17 и 18. При наличии на входе устройства комбинаций 5/4 или 4/5 на обоих первых выходах элемента 15 памяти Q2 и Q3 существуют уровни логической "1" и, таким образом, объединенные по ИЛИ на элементе ИЛИ-НЕ 19 выходы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 18 и 17 независимо от состояния ИК-триггера 16 дают также уровень логической "1". Состояние элемента 15 памяти записывается в триггер 16 по фронту импульса распределителя 6 циклов. Допустим, что последней была комбинация 6/3, тогда триггер 16 по выходу Q будет в состоянии "1". Если следующая пришедшая комбинация будет 3/6, то появление "0" на выходе Q 2 элемента 15 памяти (фиг.4б) не изменит состояния триггера 16 (фиг.4г), поскольку он опрашивается тем же импульсом, что и элемент 15 памяти (фиг.4а), а информация на его вход придет с задержкой. Поэтому, как показано сплошной линией на временных диаграммах (фиг.4д), состояние объединенных на элементе 19 выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 18 и 17 не изменится. По окончании комбинации 3/6 оба выхода элемента 15 памяти перейдут в состояние "1", но при этом по положительному фронту следующего импульса распределителя 6 циклов триггер 16 (фиг.2) успеет перейти в состояние "0" (фиг.4г) и будет сохранять его до прихода комбинации 6/3 (фиг.4б). Таким образом, чередование комбинаций 6/3 и 3/6 сохраняет постоянный "0" на выходе элемента ИЛИ-НЕ 19. Нарушение этого чередования приведет к появлению положительного им-

пульса (фиг.4д) на выходе элемента ИЛИ-НЕ 19, который поступает на элемент ИЛИ-НЕ 5. Если ошибки отсутствуют, то счетчик 22 блока 8 управления находится в исходном состоянии, поскольку импульсы на С-вход не поступают благодаря запрету на элементе ИЛИ-НЕ 23 сигналом с выхода элемента ИЛИ-НЕ 5, прошедшим инверсию на элементе 28. При этом блок 8 управления не влияет на работу делителя 20 распределителя 6 циклов, а сам счетчик 22 блока 8 управления находится в установленном режиме прямого счета. Положительные импульсы ошибок, поступающие с выхода инвертора 30 на вход элемента ИЛИ-НЕ 28 блока 9 выбора шага коррекции распределителя, разрешают прохождение импульсов от распределителя 6 циклов через элемент ИЛИ-НЕ 23 на С-вход счетчика 22 блока 8 управления. После прихода восьмой ошибки счетчик 22 перейдет в состояние "1" по выходу Q 3, при этом на входах элементов ИЛИ-НЕ 26 и 25 с задержкой t относительно импульса ошибки (фиг.5в) установится отрицательный потенциал (фиг.5г), который разрешает прохождение отрицательных импульсов ошибок (фиг.5в) на выход элемента ИЛИ-НЕ/ИЛИ 25 (фиг.5д, е). Но эти импульсы не влияют на работу счетчика 22 блока 8 управления и делителя 20 распределителя 6 циклов, поскольку приходят с запаздыванием относительно импульса делителя 20 (фиг.5а) и переднего фронта импульса на С-входе счетчика 22 (фиг.5б).

Девятая ошибка в виде отрицательного импульса (фиг.5е) поступает на С-вход триггера (фиг.5е) формирователя 7 сдвига фазы и устанавливает на его выходе Q положительный потенциал по фронту импульса тактовой частоты. Этот потенциал поступает на DR-вход делителя 20 распределителя циклов 6 (фиг.3) и по следующему положительному фронту тактовой частоты дополнительная единица запишется на выход Q7 делителя 20, поэтому состояние "1" сохранится на выходе Q0 делителя 20 не восемь, а девять тактов и коэффициент деления делителя 20 будет равен 10, что ведет к сдвигу цикловой синхронизации на один такт.

Одновременно приход девятой ошибки переводит счетчик 22 блока 8 управления (фиг.3) в режим параллельного приема, так как на входах S1 и S2 устанавливаются уровни логического "0". Поскольку на входах D0, D1, D2 при этом заведен инверсный сигнал ошибки (логическая "1") с выхода инвертора 30, то по фронту импульса на С-входе счетчика 22 сам счетчик 22 будет установлен в состояние, соответствующее приему семи

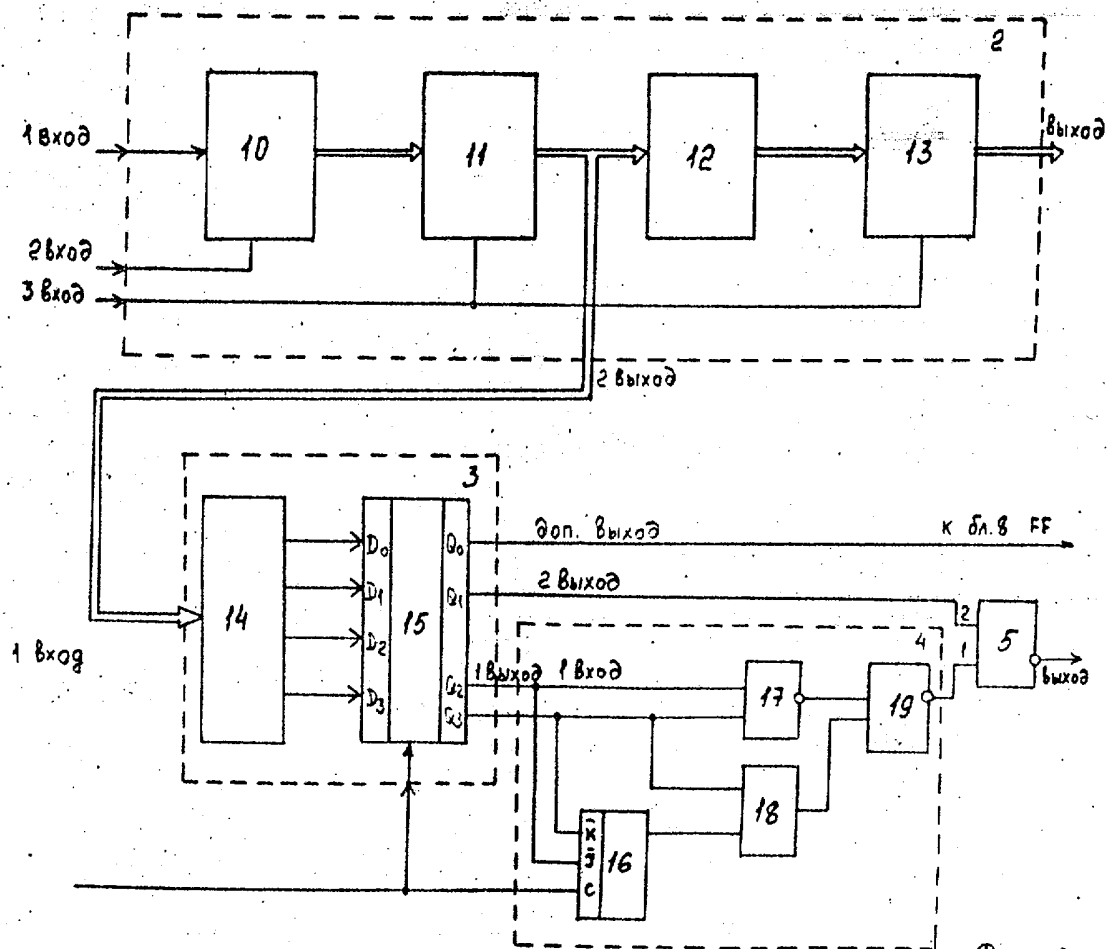
ошибок (0111 по выходам Q3, Q2, Q1, Q0), одновременно в исходное состояние вернется триггер формирователя 7 сдвига фазы.

В дальнейшем каждая вторая ошибка будет осуществлять сдвиг цикловой синхронизации, так как первая ошибка переведет счетчик 22 блока 8 управления в состояние 8 и подготовит устройство цикловой синхронизации к срабатыванию, а работа схемы по второй ошибке идентична описанной работе по девятой ошибке. Установка цикловой синхронизации по второй ошибке обусловлена тем, что информация об ошибке возникает с запаздыванием на один период частоты распределителя 6 циклов по сравнению с моментом ее записи в элемент 15 памяти анализатора 3 КК. Поэтому даже после правильной установки цикловой синхронизации возможен приход одной ошибки, возникающей непосредственно перед установкой цикловой синхронизации. Эта ошибка может вывести систему из цикловой синхронизации и поиск придется вести снова. При сдвиге синхронизации пришедшая

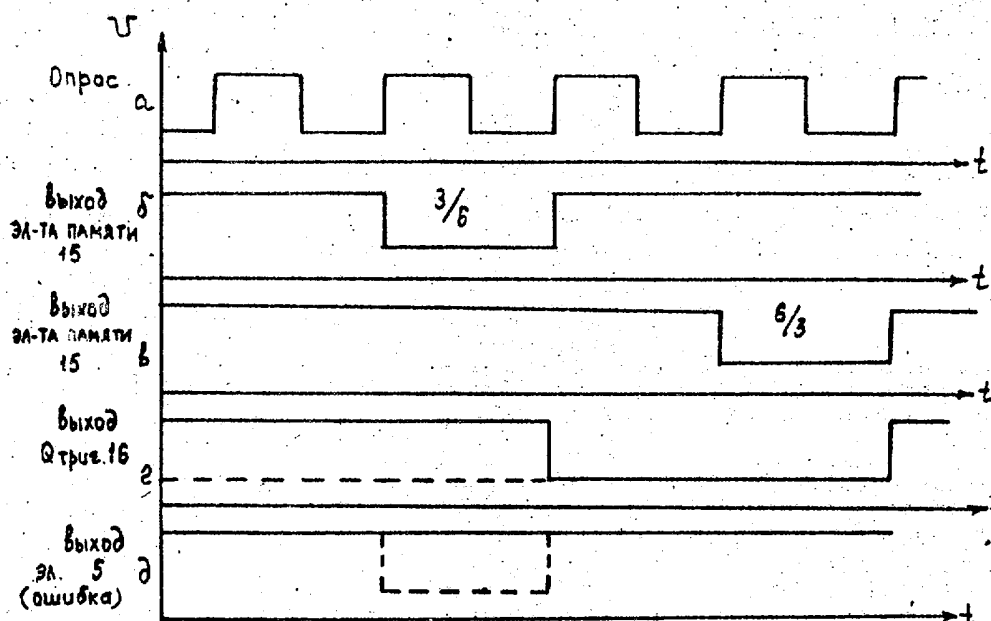
с опозданием ошибка лишь подготовит устройство к сдвигу, но синхронизация сохранится, если до прихода цифрового синхросигнала не возникнет ошибки в канале связи. Пришедший на гасящем строчном интервале сигнал FF установит устройство цикловой синхронизации в исходное состояние.

Формула изобретения

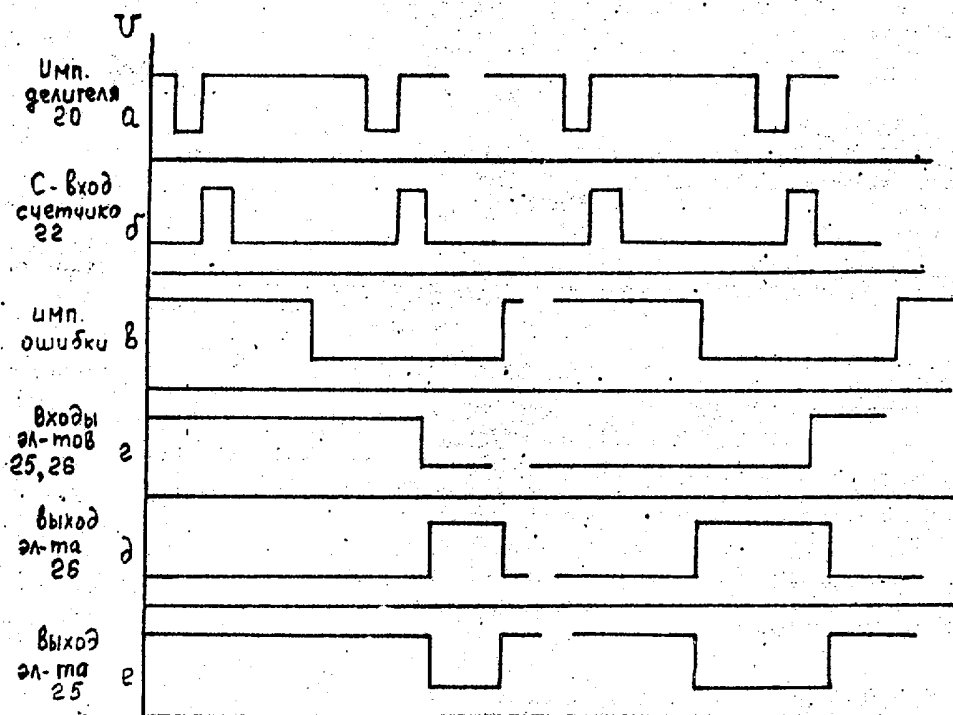
Устройство цикловой синхронизации блочных кодов по авт.св. № 1688434, отличающееся тем, что, с целью уменьшения времени установления цикловой синхронизации, введен блок выбора шага коррекции распределителя, при этом дополнительный выход анализатора кодовых комбинаций соединен с первым дополнительным входом блока управления, к двум другим дополнительным входам которого подключены соответствующие выходы блока выбора шага коррекции распределителя, к входам которого подключены соответственно выход элемента ИЛИ-НЕ и дополнительный выход блока управления.



Фиг. 2



Фиг. 4



Фиг. 5

Редактор С. Пекарь

Составитель В. Смирнов
Техред М. Моргентал

Корректор И. Шулла

Заказ 2776

Тираж $\sqrt{\quad}$

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101