(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 27 日(27.03.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/046052 A1

(51) 国際特許分類:
H01L 23/12 (2006.01)　*H01L 25/065* (2006.01)
H01L 21/52 (2006.01)　*H01L 25/07* (2006.01)
H01L 21/60 (2006.01)　*H01L 25/18* (2006.01)
H01L 23/32 (2006.01)

(21) 国際出願番号: PCT/JP2013/074876

(22) 国際出願日: 2013 年 9 月 13 日(13.09.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-209003 2012 年 9 月 23 日(23.09.2012) JP

(71) 出願人: 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目１番１号 Miyagi (JP).

(72) 発明者: 小柳光正(KOYANAGI, Mitsumasa); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号　国立大学法人東北大学内 Miyagi (JP). 田中徹(TANAKA, Tetsu); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号　国立大学法人東北大学内 Miyagi (JP). 福島誉史(FUKUSHIMA, Takafumi); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号　国立大学法人東北大学内 Miyagi (JP).

(74) 代理人: 片山修平(KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋１－６－１　三井住友海上テプコビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

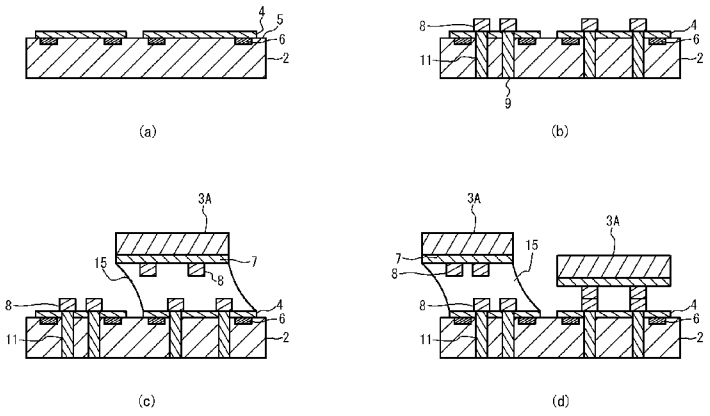
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: CHIP SUPPORT SUBSTRATE, METHOD FOR SUPPORTING CHIP, THREE-DIMENSIONAL INTEGRATED CIRCUIT, ASSEMBLY DEVICE, AND METHOD FOR MANUFACTURING THREE-DIMENSIONAL INTEGRATED CIRCUIT

(54) 発明の名称 : チップ支持基板、チップ支持方法、三次元集積回路、アセンブリ装置及び三次元集積回路の製造方法

[図5]



(57) **Abstract**: The present invention is a chip support substrate provided with a lyophilic region (4) formed on the substrate and holding a chip (3A) using suction, and an electrode (6) formed within the lyophilic region on the substrate, and used for generating electrostatic force on the chip. The present invention is also a method for supporting a chip including: a step for positioning the chip in a lyophilic region of a chip support substrate provided with the lyophilic region, which is formed on the substrate, and an electrode formed within the lyophilic region on the substrate, a fluid (15) being interposed between the chip and the lyophilic region; and a step for generating an electrostatic force on the chip corresponding to the electrode by applying voltage to the electrode.

(57) 要約:

[続葉有]

WO 2014/046052 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本発明は、基板上に形成されチップ３Ａを吸着する親液性領域４と、前記基板上であって前記親液性領域内に形成され、前記チップに静電力を発生させる電極６と、を備えた、チップ支持基板。また、基板上に形成された親液性領域と、前記基板上であって前記親液性領域内に形成された電極と、を備えるチップ支持基板の前記親液性領域上に液体１５を介しチップを配置する工程と、前記電極に電圧を印加することにより前記電極に対応するチップに静電力を発生させる工程と、を含む、チップ支持方法である。

明　細　書

発明の名称 ：

チップ支持基板、チップ支持方法、三次元集積回路、アセンブリ装置及び三次元集積回路の製造方法

技術分野

[0001] 本発明は、チップ支持基板、チップ支持方法、三次元集積回路、アセンブリ装置及び三次元集積回路の製造方法に関する。

背景技術

[0002] 集積回路のチップを複数積層した集積回路は、三次元集積回路と呼ばれている。メモリ等で良品のチップが多数得られるチップを積層した三次元集積回路を製造する場合には、複数のウェハを積層することにより三次元集積回路を製造する方法が用いられる。このような、三次元集積回路の製造方法は、所謂ＷｔＷ（Wafer to Wafer）と呼ばれている。ＷｔＷを用い三次元集積回路を製造する場合には、スループットが高い。しかし、各ウェハに不良チップがある場合には、最終的に良品の三次元集積回路が得られる確率、つまりイールドが低くなる。

[0003] 異なる機能を有しているチップを積層して三次元集積回路とする場合には、各ウェハの良品チップをチップ状態で積層して、異なる機能を有する複数のチップを積層した三次元集積回路を製造する。このような製造方法は、所謂ＣｔＣ（Chip to Chip）と呼ばれている。ＣｔＣを用いた三次元集積回路の製造方法は、スループットが低い。しかしながら、良品チップを使用するので、イールドが高くなる。

[0004] チップをウェハに三次元集積する手法（Chip to Wafer、ＣｔＷと呼ぶ。）を用いた三次元集積回路の製造方法がある。しかし、ＣｔＷでは、低いスループットと低いアライメント（位置合わせともいう）精度が大きな問題である。

[0005] アセンブリのスループットとアライメント精度を劇的に増加させるために

、本発明者等は、液体表面張力を伴うマルチチップの自己組織化を用いた３Ｄ集積技術（マルチチップーウェハ３Ｄ集積、ＳＡ－ＭＣｔＷ：Self Assembly based-Multi Chip to Waferと呼ぶ。）を開発してきた（非特許文献１～４及び特許文献１参照）。

[0006] 特許文献１は、本発明者の一人により出願された発明である。特許文献１には、水溶液の表面張力を用いて支持基板に対しチップを高精度に位置決めすることが開示されている。チップを支持基板上にその水溶液の吸着力を利用して仮固着する。搭載された多数のチップを目的の基板上に張り替える「転写（トランスファーともいう）方式」が開示されている。

[0007] 静電的なチャッキングはウェハの処理方法として良く知られている。C. Landesberger、P. Ramm、K. Bock等により、最近、静電ウェハキャリヤを用いた多目的な薄いウェハの処理システムが報告された（非特許文献５参照）。

先行技術文献

特許文献

[0008] 特許文献1：ＷＯ２００６／０７７７３９号

非特許文献

[0009] 非特許文献1：T. Fukushima et al., IEDM, p.359, 2005

非特許文献2：T. Fukushima et al., IEDM, p.985, 2007

非特許文献3：T. Fukushima et al., IEDM, p.499, 2008

非特許文献4：T. Fukushima et al., IEDM, p.349, 2009

非特許文献5：C. Landesberger et al., EMPC, p.1, 2009

発明の概要

発明が解決しようとする課題

[0010] ＳＡ－ＭＣｔＷ方法では、液体の表面張力だけではチップの支持基板への吸着が十分ではないため、チップの転写工程等の以降の工程において、チップの整列状態が劣化する。このように、チップのアライメント精度が劣化すると、生産性が低くなる。

[0011] 本発明は、上記課題に鑑み、アライメント精度を向上できるチップ支持基板を提供することを第１の目的とし、チップ支持基板を用いた三次元集積回路を提供することを第２の目的とし、チップ支持基板及びそれを用いたチップ支持方法を提供し、チップ支持方法を用いた三次元集積回路の製造方法を提供することを第３の目的とし、さらに、アセンブリ装置を提供することを第４の目的としている。

課題を解決するための手段

[0012] 本発明は、基板上に形成されチップを吸着する親液性領域と、前記基板上であって前記親液性領域内に形成され、前記チップに静電力を発生させる電極と、を備えた、チップ支持基板である。

[0013] 上記構成において、前記親液性領域は、複数の前記チップをそれぞれ吸着する複数の前記親液性領域を含み、前記電極は、前記複数の親液性領域それぞれ内に形成されている構成とすることができる。

[0014] 上記構成において、前記基板は、半導体、ガラス、セラミック、プラスチック、インターポーザ基板の何れかでなる構成とすることができる。

[0015] 上記構成において、前記複数の親液性領域は、絶縁膜から形成されている構成とすることができる。

[0016] 上記構成において、前記基板上の前記親液性領域が配置されていない領域は、前記親液性領域より親液性が低い領域からなる構成とすることができる。

[0017] 上記構成において、前記電極は、前記親液性領域内に形成された陰極と陽極とを含む構成とすることができる。

[0018] 上記構成において、前記親液性領域内において、前記陰極と前記陽極とは、前記基板の上面に平行な第１方向と前記上面に平行であり第１方向に交差する第２方向とに格子状に配列されている構成とすることができる。

[0019] 上記構成において、前記電極のうち、前記陽極と前記陰極と、の配置を任意に設定可能である構成とすることができる。

[0020] 本発明は、上記チップ支持基板と、前記親液性領域に積層されたチップと

、前記チップ上に積層された１層以上の別のチップと、を含む、三次元集積回路である。

[0021] 上記構成において、前記チップは、上面に前記別のチップを吸着する別の親液性領域と前記チップの上面であって前記別の親液性領域内に形成され、前記別のチップに静電力を発生させる別の電極を有する構成とすることができる。

[0022] 本発明は、基板上に形成された親液性領域と、前記基板上であって前記親液性領域内に形成された電極と、を備えるチップ支持基板の前記親液性領域上に液体を介しチップを配置する工程と、前記電極に電圧を印加することにより前記電極に対応するチップに静電力を発生させる工程と、を含む、チップ支持方法である。

[0023] 上記構成において、前記親液性領域は、複数の前記チップをそれぞれ吸着する複数の前記親液性領域を含み、前記電極は、前記複数の親液性領域それぞれ内に形成されており、前記チップを配置する工程は、前記複数の親液性領域上にそれぞれ液体を介し前記複数のチップを配置する工程を含む構成とすることができる。

[0024] 上記構成において、前記チップを前記親液性領域に吸着させる工程を含む構成とすることができる。

[0025] 上記構成において、前記電極は、前記親液性領域内に形成された陰極と陽極とを含み、前記静電力を発生させる工程は、前記液体が存在する状態で前記陰極と前記陽極とに電圧を供給することにより、前記チップの中心が前記陰極と前記陽極との間に配置するように前記静電力を発生させる工程含む構成とすることができる。

[0026] 上記構成において、前記静電力を発生させる工程は、前記チップが前記チップ支持基板に吸着するように前記静電力を発生させる工程を含む構成とすることができる。

[0027] 上記構成において、前記チップが前記チップ支持基板に吸着された状態で、前記チップ上に別のチップを積層する工程を含む構成とすることができる

。

[0028] 上記工程において、前記チップ支持基板に吸着された前記チップを別の基板にトランスファーする工程と、前記別の基板にトランスファーされた前記チップを半導体ウェハにトランスファーする工程と、を含む構成とすることができる。

[0029] 上記構成において、前記チップ支持基板に吸着された前記チップを半導体ウェハ上にトランスファーする工程を含む構成とすることができる。

[0030] 上記構成において、前記基板上の前記親液性領域が配置されていない領域は、前記親液性領域より親液性が低い領域からなる構成とすることができる。

[0031] 上記構成において、前記親液性の低い流域を除去する工程を含む構成とすることができる。

[0032] 本発明は、上記チップ支持方法を含む、三次元集積回路の製造方法である。

[0033] 本発明は、基板上に形成された親液性領域と、前記基板上であって前記親液性領域内に形成された電極と、を備えるチップ支持基板を搭載するステージと、前記親液性領域上に液滴を供給する液滴供給部と、前記親液性領域上に供給された液滴上にチップを供給する搬送ロボットと、前記電極に、前記チップに静電力が発生するように電圧を供給する電源部と、を具備するアセンブリ装置である。

発明の効果

[0034] 本発明によれば、アライメント精度を向上できるチップ支持基板を提供することができる。

[0035] 本発明のチップ支持基板を用いることで、アライメント精度を向上できる高機能の三次元集積回路を提供することができる。

[0036] 本発明のチップ支持方法によれば、アライメント精度を向上できる。

[0037] 本発明のチップ支持方法を用いた三次元集積回路の製造方法によれば、アライメント精度を向上できる。

[0038] 本発明のアセンブリ装置によれば、アライメント精度を向上できる。

図面の簡単な説明

[0039] [図1]図１は比較例１を用いたＷｔＷによる三次元集積回路の製造方法を示す図である。

[図2]図２は比較例２を用いたＳＡ－ＭＣｔＷによる三次元集積回路の製造方法を示す図である。

[図3]図３は三次元集積回路の各製造方法のスループットとイールドの関係を示す図である。

[図4]図４は本実施形態において三次元に集積された集積回路の構造を示す断面図である。

[図5]図５（ａ）から図５（ｄ）は本実施形態の三次元に集積された集積回路の製造方法を示す断面図である。

[図6]図６（ａ）から図６（ｄ）は本実施形態の三次元に集積された集積回路の製造方法を示す断面図である。

[図7]図７（ａ）から図７（ｄ）は本実施形態の三次元に集積された集積回路の製造方法を示す断面図である。

[図8]図８は静電吸着用の電極が形成されたインターポーザ基板の平面図である。

[図9]図９は静電吸着における電圧印加を説明する模式図である。

[図10]図１０は本実施形態のチップ支持基板を用いて製造される別の三次元集積回路の構造を示す断面図である。

[図11]図１１（ａ）から図１１（ｄ）は本実施形態の変形例１のＨＳＡ－ＣｔＷ工程の一例を説明するフロー図である。

[図12]図１２（ａ）から図１２（ｄ）は本実施形態の変形例１のＨＳＡ－ＣｔＷ工程の一例を説明するフロー図である。

[図13]図１３（ａ）から図１３（ｄ）は本実施形態の変形例１のＨＳＡ－ＣｔＷ工程の一例を説明するフロー図である。

[図14]図１４は自己組織的吸着と共に静電吸着を行うハイブリッド組み立て

（Hybrid Assembly）に用いるアセンブリ装置の構成を示すブロック図である。

[図15]図１５はチップ支持基板の構成の一例を示す断面図である。

[図16]図１６はアセンブリ装置でボンディングされたチップの光学像を模式的に示す図である。

[図17]図１７（ａ）および図１７（ｂ）はチップのアライメント精度を示す図であり、図１７（ａ）は本実施形態、図１７（ｂ）は比較例である。

[図18]図１８はチップ支持基板の光学像を模式的に示す図である。

[図19]図１９（ａ）および図１９（ｂ）は静電吸着力におけるパラメータの影響を調べた図であり、図１９（ａ）は印加電圧、図１９（ｂ）は温度との関係を示す。

[図20]図２０（ａ）および図２０（ｂ）はユニポーラ型の静電吸着力におけるパラメータの影響を調べた図であり、図２０（ａ）は印加電圧、図２０（ｂ）は温度との関係を示す。

[図21]図２１（ａ）および図２１（ｂ）はＭＯＳＦＥＴの特性を示す図であり、図２１（ａ）はI_D－V_G特性、図２１（ｂ）はI_D－V_D特性である。

[図22]図２２（ａ）から図２２（ｄ）は静電的な仮ボンディングの後の自己組織化チップを示す図であり、図２２（ａ）は、静電的な仮ボンディングの後の表面、図２２（ｂ）は、チップ支持基板から接着ウェハにトランスファーした後の表面、図２２（ｃ）は、厚さを１４０μｍから２５μｍにしたマルチチップ薄化後の表面、図２２（ｄ）は自己組織化したチップをボッシュプロセスでＳｉビアを形成した断面のＳＥＭ像を模式的に示す図である。

[図23]図２３（ａ）から図２３（ｃ）はＣｕ／ＡｇＳｎからなるマイクロバンプ同士を多数直列接続したDaisy Chainと呼ばれている配線パターンの印加電圧に対する電流（上図）と抵抗の特性を示す図（下図）であり、マイクロバンプのピッチは、図２３（ａ）が４０μｍ、図２３（ｂ）が６０μｍ、図２３（ｃ）が８０μｍである。

[図24]図２４は非導電性フィルムを介してボンディングしたＣｕ／ＡｇＳｎ

からなるマイクロバンプの像を示し、下図はＴＥＭ像、上図はＸ線分析のマップ図である。

[図25]図２５（ａ）および図２５（ｂ）は図２４の下図に示すｐ及びｑの箇所におけるＸ線分析スペクトルを示す図である。

[図26]図２６は３０μｍピッチのマイクロバンプ同士を多数直列接続したDaisy Chainと呼ばれている配線パターンのＩ－Ｖ特性を示す図である。

[図27]図２７（ａ）および図２７（ｂ）は赤外線像を示す図であり、図２７（ａ）は接着ウェハへのトランスファー後、図２７（ｂ）はＮＣＦを介して目標ウェハとなる半導体ウェハへのトランスファー後である。

[図28]図２８はＨＳＡ－ＣｔＷにより３Ｄ積層し、接着ウェハから他の目標ウェハに自己組織化された薄いチップがトランスファーされた後の断面のＳＥＭ像を示す図である。

[図29]図２９（ａ）から図２９（ｄ）は変形例２に係る三次元集積回路の製造方法を示す断面図である。

[図30]図３０（ａ）から図３０（ｄ）は変形例２に係る三次元集積回路の製造方法を示す断面図である。

[図31]図３１（ａ）から図３１（ｄ）は変形例２に係る三次元集積回路の製造方法を示す断面図である。

[図32]図３２（ａ）から図３２（ｄ）は変形例３に係る三次元集積回路の製造方法を示す断面図である。

[図33]図３３（ａ）から図３３（ｄ）は変形例３に係る三次元集積回路の製造方法を示す断面図である。

[図34]図３４（ａ）から図３４（ｄ）は変形例３に係る三次元集積回路の製造方法を示す断面図である。

[図35]図３５（ａ）から図３５（ｃ）はチップをチップ支持基板に吸着させる際の断面図である。

[図36]図３６（ａ）から図３６（ｃ）は変形例４に係る三次元集積回路の製造方法を示す断面図である。

[図37]図３７（ａ）から図３７（ｃ）は変形例４に係る三次元集積回路の製造方法を示す断面図である

[図38]図３８（ａ）から図３８（ｃ）は変形例４に係る三次元集積回路の製造方法を示す断面図である

[図39]図３９（ａ）は、チップ支持基板の平面図、図３９（ｂ）および図３９（ｃ）はＡ－Ａに相当する断面図である。

[図40]図４０（ａ）および図４０（ｂ）は、チップ支持基板の別の例を示す平面図である。

発明を実施するための形態

[0040] まず、比較例について説明する。比較例１は、ＣｔＷを用いた三次元集積回路の製造方法の例である。図１は、比較例１を用いた三次元集積回路の製造方法を示す図である。図１に示すように、ダイシングフレーム１０７に貼り付けられたテープ１０９に多数の良品のチップ（Known Good Dies、以下ＫＧＤチップと呼ぶ。）１０１が貼り付けられている。破線１０８はダイシングラインである。ピックアップツール１１１がチップ１０１を真空吸着し、テープ１０９からピックアップする。ピックアップツール１１１は、チップ１０１を集積回路等が形成された基板１０２上に搬送する。チップ１０１は、基板１０２上に所望のレイアウトで機械的に高精度に位置決めされる。チップ１０１は、基板１０２上に接着剤を介して固着される。ピックアップツール１１１は、次のチップ１０１を基板１０２上に固着する。このように、チップ１０１は、１つずつ基板１０２に固着される。

[0041] 基板１０２上に全ての１層目のＫＧＤチップ１０１が所定のアライメント精度で固着された後、ピックアップツール１１１はチップ１０３を真空吸着しチップ１０１上部に搬送する。チップ１０３は高精度で位置決めされ、チップ１０１上に固着される。チップ１０３は、１つずつチップ１０１上に固着される。３層目のＫＧＤチップ１０４以降も同様な工程を繰り返し行なう。各チップ１０１、及び１０３には、チップ１０１、及び１０３を上下に貫通するシリコン貫通電極（Through Silicon Via、ＴＳＶと呼ぶ）が形成され

ている。ＴＳＶにより、各チップ１０１、１０３および１０４が上下に電気的に接続される。このように、三次元集積回路１００が製造される。

[0042] 比較例１のようなＣｔＷおいては、ピックアップツール１１１がチップ１０１の吸着と脱着を行なうチップアセンブリ方法により基板１０２にボンディングされる。

[0043] しかしながら、比較例１のようなチップの吸着と脱着によるチップアセンブリ方法では、チップ１０１を１つずつ基板１０２に搬送する。このため、低いスループットと低いアライメント精度が大きな問題である。

[0044] 比較例２は、ＳＡ－ＭＣｔＷを用いた三次元集積回路の製造方法の例である。図２は、比較例２を用いた三次元集積回路の製造方法を示す図である。図２に示すように、比較例１と同様に、チップ１０１を１つずつ搬送するシングルチップピックアップツール１１１は、チップ１０１を１つずつ基体１１２上に仮置きする。複数のチップ１０１を搬送するマルチチップピックアップツール１１３は、基体１１２上に仮置きされた複数のチップ１０１を基板１０２上に搬送する。

[0045] 中段の図は基板１０２の拡大図である。基板１０２の上面には複数の親水性領域１１０及び疎水性領域１２０が設けられている。複数の親水性領域１１０に液滴を滴下することにより、複数の親水性領域１１０上に液体１１４を配置する。液体１１４上に良品チップ１０１を配置する。液体１１４が蒸発すると、基板１０２上にチップ１０１が吸着する。このとき、液体１１４の表面張力によりチップ１０１は親水性領域１１０に自己組織的に吸着する。

[0046] 板１１５を用い、ウェハである基板１０２上にチップ１０１を熱圧着する。同様に、チップ１０１上にチップ103、チップ１０３上にチップ１０４を固着する。

[0047] 比較例２によれば、高スループットと高イールドの両方の要求を満足する。しかしながら、比較例２では、液体１１４上に複数のチップ１０１をアセンブリするため、高コストのマルチチップピックアップツール１１３を用い

る。また、液体１１４の表面張力によりチップ１０１を基板１０２に吸着させるため、チップ１０１の基板１０２への吸着が十分ではない。このため、その後の工程において、チップ１０１の移動を抑制するように慎重な作業を行なう。よって、生産性が低い。または、液体１１４の表面張力によりチップ１０１を基板１０２にアライメントするため、チップ１０１の基板１０２へのアライメント精度が低い。このため、生産性が低い。

[0048] 図３は、三次元集積回路の各製造方法のスループットとイールドの関係を示す図である。図３に示すように、上記したＣｔＣ、ＣｔＷ（比較例１）、およびＳＡ－ＭＣｔＷ（比較例２）は何れも機能の異なるチップを三次元集積回路とする方法であり、イールドが高い。しかしながら、スループットが低い。一方、ＷｔＷは、スループットは高いもののイールドが低い。

[0049] 以下、本発明を図面に示す実施形態およびその変形例に基づいて詳細に説明する。

[0050] 図４は、本実施形態において三次元に集積された集積回路１の構造を示す断面図である。

図４に示すように、本実施形態の三次元（３Ｄ）集積された集積回路１は、チップ支持基板２上にチップ３として複数のチップ３Ａ，３Ｂ，及び３Ｃが三次元に積層された集積化構造を有している。

ここで、チップ３は、所定のテストで良品と判断された半導体集積回路チップや発光素子のアレイチップ等であり、ＫＧＤ（Known Good Die）チップとも呼ぶ。

[0051] チップ支持基板２には、液体を介して自己組織化的にチップ３Ａを吸着できる親液性領域４及び親液性領域４よりも親液性の低い領域５が形成されていると共に、静電吸着をするための電極６が形成されている。親液性領域４と親液性領域よりも親液性の低い領域５とは、濡れ（領域上に液体を滴下したときの接触角）が異なる。図４においては、親液性領域４は層により形成され、領域５は層が形成されない領域で示しているが、親液性領域４及び領域５は、それぞれ層で構成してもよい。液体には、表面張力を増すために添

加剤を含有させてもよい。液体としては、無機液体や有機液体を使用することができ、水、グリセリン、アセトン、アルコール、ＳＯＧ（Spin On Glass）等を用いることができる。以下、液体を水とする場合、親液性領域４を親水性領域４、親液性がより低い領域５を疎水性領域５として説明する。以下の変形例においても同様である。

[0052] チップ支持基板２とは、単層または複数の回路層からなるチップが積層された三次元構造を支持するための基板を意味し、半導体、ガラス、セラミック、プラスチック、またはインターポーザ基板等を用いることができる。ガラスとしては、石英ガラスまたはパイレックス（登録商標）ガラスを用いることができる。セラミックとしては、アルミナまたは窒化アルミニウムを用いることができる。インターポーザ基板としては、エポキシ基板またはガラス繊維入りエポキシ基板（ガラエポ基板）を用いることができる。インターポーザ基板は、集積回路が形成されていない、つまり、ベアのシリコンウェハやガラスウェハを指すこともあるが、インターポーザ基板の材質は問わない。

[0053] ここで、チップ支持基板２は、親水性の材料で覆った親水性領域４と、親水性領域４の周囲を疎水性の材料で覆った疎水性領域５を有する。親水性領域４は、複数のＫＧＤチップ３を自己組織化機能によって正確に位置合わせするための領域であり、チップが吸着される搭載領域である。親水性領域４の大きさおよび形状をチップ３Ａとほぼ同じとする。これにより、液体の表面張力により、チップ３Ａが親水性領域４にアライメントされる。例えばチップ支持基板２の上面に平行な２方向（例えばＸ方向、Ｙ方向）および、上面内の回転方向について自己組織的にアライメントされる。チップ支持基板２には、静電的にチップ３を吸着固定できるように親水性の材料（例えば絶縁膜）の下に、例えば絶縁膜を介して陽極６Ａ、陰極６Ｂからなる電極６が設けられている。この電極６は、例えば櫛歯電極である。本実施形態のチップ支持基板２は、櫛歯電極６を配置したチップ支持基板２を用いてＫＧＤチップ３を三次元的に積層できることが特徴である。チップ３の一括吸着固定

のためには、櫛歯電極６に１００Ｖ～数百Ｖ以上の高電圧を印加する。一方、逆の電圧を印加することにより、固定されたチップ３は容易に脱離することができることも大きな特徴である。

[0054] チップ支持基板２（例えばインターポーザ基板）は、半導体からなるＬＳＩ等が搭載されたチップ３を直接搭載する基板である。チップ支持基板２は、プラスチックや樹脂からなる基板を用いることができる。チップ支持基板２は、チップ支持基板２の下面に形成された半田バンプまたは半田ボール等（不図示）を介して、各種のプリント基板（不図示）との接続に用いられる。チップ支持基板２の上面にはマイクロバンプ８が形成されている。半田バンプまたは半田ボールとマイクロバンプ８とはチップ支持基板用貫通電極１１を介し電気的に接続されている。チップ支持基板用貫通電極１１は、貫通孔９内に埋め込まれた電極１０である。チップ支持基板用貫通電極１１は、単にビアとも呼ぶ。

[0055] チップ３Ａは、上記した半導体からなるＬＳＩ等が搭載されたチップであり、その下面には、絶縁層７等とマイクロバンプ８とが形成されている。チップ３Ａの上面には、自己組織化的にチップ３Ａを吸着できる親水性領域４及び疎水性領域５（不図示）が形成されると共に、静電吸着をするための電極６が形成されている。さらに、チップ３Ａ上にマイクロバンプ８が形成されている。チップ３Ａの下面と上面に形成されたマイクロバンプ８はＳｉ貫通電極１７を介し電気的に接続されている。チップ支持基板２上に形成されたマイクロバンプ８とチップ３Ａ下に形成されたマイクロバンプ８とは固着されている。チップ支持基板２とチップ３Ａとはマイクロバンプ８を介し電気的に接続される。半導体は、ＳｉやＧｅのような単元素半導体や化合物半導体からなる。以下、チップ３はＳｉからなるものとして説明する。

[0056] チップ３Ｂ及びチップ３Ｃも、チップ３Ａと同様の構成を有している。

[0057] チップ３Ａ、チップ３Ｂ及びチップ３Ｃは、例えばマイクロプロセッサ、各種メモリ、イメージセンサ、発光素子アレイ、マイクロマシン（ＭＥＭＳ：Micro Electro Mechanical System）等の機能を有している。チップ３Ａ、

チップ３Ｂ及びチップ３Ｃは、同じ機能又は異なる機能のチップを含んでもよい。また、チップ３Ａ、チップ３Ｂ及びチップ３Ｃの積層される各チップは、互いに異なる機能を有した構成でもよい。

[0058] （製造方法）

図５（ａ）から図７（ｄ）は、本実施形態の三次元に集積された集積回路１の製造方法を示す断面図である。

（Ａ）インターポーザ基板の作製

図５（ａ）に示すように、最初にインターポーザ基板であるチップ支持基板２に静電吸着用の電極６を形成する。例えば、チップ支持基板２上にＡｌ／Ｗを蒸着し、次にリソグラフィー法とＡｌ／ＷのＲＩＥ（Reactive Ion Etching）のエッチング等により電極６のパターンを形成する。

次に、チップ３Ａが吸着される箇所を親水性領域４とし、チップ３Ａが吸着されない他の箇所を疎水性領域５とする。親水性領域４は、SiO_2等の酸化膜で形成することができる。親水性領域４は、SiO_2以外にSi_3N_4で形成することができる。また、親水性領域４は、アルミニウムとアルミナの二層膜（Ａｌ／Al_2O_3）、タンタルと酸化タンタルの二層膜（Ｔａ／Ta_2O_5）で形成することが可能である。

[0059] 疎水性領域５は、例えばフッ化炭素からなる膜で形成することができる。疎水性領域５は、基板自体を疎水性を持つ単結晶シリコン（Ｓｉ）、エポキシ樹脂、弗素樹脂、シリコーン樹脂、テフロン（登録商標）樹脂、ポリイミド樹脂、レジスト、ワックス、またはＢＣＢ（ベンゾシクロブテン）等で形成してもよい。疎水性領域５は、チップ支持基板２であるインターポーザ基板のチップ搭載面に、多結晶シリコン、アモルファスシリコン、弗素樹脂、シリコーン樹脂、テフロン（登録商標）樹脂、ポリイミド樹脂、レジスト、ワックス、またはベンゾシクロブテン（ＢＣＢ）等で被覆して形成してもよい。

[0060] （Ｂ）インターポーザ基板用の貫通電極の形成

図５（ｂ）に示すように、チップ支持基板２の所定箇所に基板を貫通する

貫通穴９を形成し、次に貫通穴９に金属等の導電体からなる電極を埋め込んでインターポーザ基板用の貫通電極１１を形成する。貫通穴９の上部には金属等の導電体からなるマイクロバンプ８を形成する。

（Ｃ）自己組織化

図５（ｃ）に示すように、チップ支持基板２のチップ３Ａが載置される親水性領域４に、予め薄化されたチップ３Ａを自己組織的に吸着させる。すなわち、親水性領域４上に液体１５として水を滴下する。液体１５上にチップ３Ａを配置する。液体１５が蒸発することにより、チップ３Ａが親水性領域４上に吸着する。次に、図５（ｄ）に示すように、別の親水性領域４に別のチップ３Ａを自己組織的に吸着させる。

[0061] （Ｄ）静電吸着

図６（ａ）に示すように、静電吸着用の電極６に直流電圧を印加して、チップ支持基板２の親水性領域４にチップ３Ａを静電吸着させて、一括して仮ボンディングを行う。

（Ｅ）樹脂モールド

図６（ｂ）に示すように、インターポーザ基板であるチップ支持基板２と一括固定されたチップ３Ａとの間に樹脂を注入して、樹脂モールド１３を形成する。樹脂モールド１３の材料は、例えばエポキシ樹脂である。樹脂モールド１３の形成は行なわず、チップ３Ａから３Ｃを積層した後に形成してもよい。この場合、疎水性領域は形成しなくともよい。以下、チップ３間を樹脂モールドする工程は、必要のない場合には省略できる工程である。

（Ｆ）チップ３Ａへの静電吸着用電極の形成

図６（ｃ）に示すように、チップ３Ａの表面に静電吸着用の電極６を形成する。静電吸着用の電極６の形成は、工程（Ａ）と同様に行うことができる。なお、図６（ｃ）において、電極６がチップ３Ａに埋め込まれているが、チップ３Ａの平坦な表面上に電極６を形成してもよい。チップ３Ａの上面に樹脂モールド１３が形成されている場合には、樹脂モールド１３が形成されたチップ３Ａの表面を露出してから、静電吸着用の電極６を形成する。

（Ｇ）チップ３ＡへのＳｉ貫通電極及びマイクロバンプの形成

図６（ｄ）に示すように、チップ３Ａを上下に貫通するＳｉ貫通電極（以下、ＴＳＶともいう）１７を形成する。チップ３Ａ上にマイクロバンプ８を形成する。ＴＳＶ１７とマイクロバンプ８との形成は、工程（Ｂ）と同様に行うことができる。

[0062] （Ｈ）チップ３Ａの表面への親水性領域４の形成

図７（ａ）に示すように、チップ３Ａの表面に、親水性領域４と疎水性領域５とを形成する。親水性領域４と疎水性領域５との形成は、工程（Ａ）と同様に行うことができる。親水性領域４の絶縁膜は図示していない。チップ３Ｂのチップサイズがチップ３Ａと同じ場合、チップ３Ａの表面を親水性領域４とし、樹脂モールド１３の表面を疎水性領域５とする。チップ３Ｂのチップサイズがチップ３Ａより小さい場合、チップ３Ａの表面に親水性領域４と疎水性領域５を形成し、樹脂モールド１３上に疎水性領域５を形成する。チップ３Ｂのチップサイズがチップ３Ａより大きい場合、チップ３Ａの表面を全て親水性領域とし、樹脂モールド１３の表面に親水性領域４と疎水性領域５とを形成する。チップ３Ｂおよび３Ｃについても同様である。

（Ｉ）チップ３Ｂの自己組織化

図７（ｂ）に示すように予め薄化されたチップ３Ｂを、チップ３Ａの親水性領域４に自己組織的に吸着させる。この工程は、工程（Ｃ）と同様に行うことができる。

（Ｊ）チップ３Ｂの静電吸着

図７（ｃ）に示すように自己組織的に吸着したチップ３Ｂを、チップ３Ａに静電吸着させる。この工程は、工程（Ｄ）と同様に行うことができる。

（Ｋ）チップ３ＢへのＴＳＶ及びマイクロバンプ形成

図７（ｄ）に示すようにチップ３ＢにＴＳＶ１７とマイクロバンプ８とを形成する。ＴＳＶ１７とマイクロバンプ８との形成は、工程（Ｇ）と同様に行うことができる。

[0063] 上記工程（Ｆ）～（Ｊ）を繰り返して行うことにより、チップ支持基板２

上にチップ３Ａ，３Ｂ、さらには、チップ３Ｃ等を積層することができる。最上層となるチップ３Ｃと下側のチップ３Ｂとだけ接続すればよい場合には、図７（ｄ）に示すように、チップ３Ｃの下面側に絶縁層７とマイクロバンプ８とを形成し、ＴＳＶ１７は形成しなくともよい。

[0064] 図５（ａ）から図７（ｄ）に示すように、本実施形態の三次元集積回路１の製造方法の特徴は、ＫＧＤチップ３を自己組織化の機能を有する水滴の上に落下、もしくは付着させて放した後、その複数のＫＧＤチップ３をチップ支持基板２上に静電的に一括で吸着固定する方法を用いたことにある。この方法によれば、三次元積層構造を持つ三次元集積回路１を高歩留り、高生産性、高精度、かつ低コストで製造することができる。

[0065] （静電吸着電極）

図８は、静電吸着用の電極６が形成されたチップ支持基板２の平面図である。図８に示すように、静電吸着用の電極６は、陽極６Ａ、陰極６Ｂとからなる所謂バイポーラ型の電極である。親水性領域４内には陽極６Ａと陰極６Ｂが形成されている。バイポーラ型の電極６は、例えば図８に示すような櫛歯電極である。図８に示す櫛歯電極６の陽極６Ａには正の電圧、陰極６Ｂには負電圧が印加される。このような、バイポーラ型の電極６を用いてチップ３Ａに加わる静電力は、下記（１）式で与えられる。

[0066] [数1]

$$F_{bp} = \frac{(\varepsilon_0 \varepsilon_r A V^2)}{8d^2} \qquad (1)$$

[0067] ここで、F_{bp}はバイポーラ型の電極６を用いた静電ボンディングで発生する静電力であり、Ａは櫛歯電極の面積、ｄは電極６とチップ３との距離、ε_rは比誘電率、ε_0は真空中の誘電率、Ｖは印加電圧である。

[0068] 図９は、静電吸着における電圧印加を説明する模式図である。図９の上図に示すように、バイポーラ型電極６の場合には、高圧電源２３を用い櫛歯電極の陽極６Ａと陰極６Ｂとの間に高圧の直流（ＤＣ）電圧を印加する。陽極６Ａには正電圧が印加され、陰極６Ｂには負電圧が印加される。陽極６Ａに

は矢印２０のように上向きに電気力線が形成される。陰極６Ｂには矢印２０のように下向きに電気力線が形成される。チップ３Ａ内の絶縁体に電極６と逆の電荷が蓄積される。これにより、矢印２１のように、チップ３Ａに下向きの静電力が発生し、チップ３Ａがチップ支持基板２に静電吸着する。次に、図９の下図に示すように、高圧電源２３を用い陽極６Ａと陰極６Ｂとの間に図９の上図と反対の極性のＤＣ電圧を印加する。陽極６Ａには矢印２０のように下向きに電気力線が形成される。陰極６Ｂには矢印２０のように上向きに電気力線が形成される。電極６はチップ３Ａ内の絶縁体に蓄積された電荷と同じ極性となる。これにより、矢印２１のように、チップ３Ａに上向きの静電力が発生し、チップ３Ａがチップ支持基板２から離脱する。つまり、静電吸着が解除される。

[0069] 図５（ａ）から図７（ｄ）の製造方法で説明したように、本実施形態の三次元集積された集積回路１においては、チップ支持基板２上に複数のチップ３Ａ，３Ｂ，及び３Ｃを積層化することができる。チップ支持基板２及びチップ３Ａ，３Ｂに形成する親水性領域４は酸化膜で形成されている。よって、親水性領域４が形成されても三次元集積された集積回路１のチップ３Ａ，３Ｂ，及び３Ｃには影響を与えない。

同様に、チップ支持基板２，チップ３Ａ，及び３Ｂに形成する疎水性領域５はフッ化炭素からなる膜等で形成されている。よって、疎水性領域５が形成されても三次元集積された集積回路１のチップ３Ａ，３Ｂ，及び３Ｃには影響を与えない。

さらに、チップ支持基板２及びチップ３Ａ，及び３Ｂに形成する静電吸着用の電極６はＴＳＶ１１，１７とは絶縁物を介して絶縁されている。よって、電極６が形成されても三次元集積された集積回路１のチップ３Ａ，３Ｂ，及び３Ｃには影響を与えない。

[0070] 比較例２では、自己組織化機能を有する水溶液の吸着力でチップ３を吸着させる。このため、吸着力が非常に弱い、あるいは強すぎて一度チップ３を固定したら剥がすことができず、転写による積層の歩留りが低いという欠点

がある。本実施形態のチップ支持基板２を用いた三次元集積回路１の製造方法によれば、自己組織化機能と静電的な相互作用を用い、複数のＫＧＤチップ３Ａを同時に強くチップ支持基板２に吸着固定することができる。このため、生産性が高くなり、また、信頼性の高い位置合わせが可能になる。さらに、図９の下図のように、電極６に静電吸着とは逆極性の電圧を印加することにより、チップ３Ａをチップ支持基板２から容易に剥がすことができる。

[0071] （三次元集積された集積回路の変形例１）

本実施形態のハイブリッド自己組織化に基づくチップ支持基板４２を用いて製造することができる、三次元集積された集積回路の変形例１について説明する。

図１０は、本実施形態の変形例１のチップ支持基板４２を用いて製造される三次元集積された集積回路３０の構造を示す断面図である。

図１０に示すように、三次元集積された集積回路３０は、Ｓｉウェハ３２上にチップ３３Ａから３３Ｃが三次元に積層された構造を有している。各チップ３３Ａ，３３Ｂ、及び３３Ｃの上部には、素子形成領域３４が形成されている。素子形成領域３４には、例えばトランジスタまたは発光素子が形成されている。素子形成領域３４上の図示しない層間絶縁膜を介してマイクロバンプ３８が配設されている。各チップ３３Ａ，３３Ｂ、及び３５Ｃの下面にはマイクロバンプ３８が形成されている。

[0072] 三次元集積された集積回路３０では、Ｓｉウェハ３２上に形成されたマイクロバンプ３８とチップ３３Ａの下面に形成されたマイクロバンプ３８とが接合している。これにより、Ｓｉウェハ３２とチップ３３Ａとが電気的かつ機械的に接続される。チップ３３Ｂがチップ３３Ａ上に積層され、チップ３３Ｃがチップ３３Ｂ上に積層されている。チップ３３Ａ、３３Ｂ、及び３３Ｃを上下に貫通するＴＳＶ３７が形成されている。チップ３３Ａ、及び３３Ｂの上下に形成されたマイクロバンプ３８は、ＴＳＶ３７を介し電気的に接続されている。

[0073] 半導体ウェハ３２には、例えば集積回路や発光素子のアレイが形成されて

いる。半導体ウェハ３２は、例えばＳｉウェハである。以下の説明では、半導体ウェハ３２は、Ｓｉウェハとして説明する。

[0074] Ｓｉウェハ３２上に形成された複数のマイクロバンプ３８間には、間隙充填樹脂３９が埋め込まれている。チップ３３Ａのチップ３３Ｂと対向する面上に形成された複数のマイクロバンプ３８間には、間隙充填樹脂３９が埋め込まれており、チップ３３Ａの上面側とチップ３３Ｂの下面側とがマイクロバンプ３８を介して接続されている。

[0075] 同様に、チップ３３Ｂのチップ３３Ｃと対向する面上に形成された複数のマイクロバンプ３８間には、間隙充填樹脂３９が埋め込まれており、チップ３３Ｂの上面側とチップ３３Ｃの下面側とがマイクロバンプ３８を介して接続されている。

[0076] 三次元集積された集積回路３０は、樹脂モールド４１により封止されている。Ｓｉウェハ３２には集積回路が形成されている。

[0077] Ｓｉウェハ３２は、図示しない貫通電極とＳｉウェハ３２の下面にマイクロバンプを備えていてもよい。この場合、三次元集積された集積回路３０は、Ｓｉウェハ３２下面側のマイクロバンプを介して外部回路に接続される。

[0078] 図１１（ａ）から図１３（ｄ）は、本実施形態の変形例１のＨ（Hybrid）ＳＡ－ＣｔＷ工程の一例を説明するフロー図であり、以下に順次説明する。

（Ａ）図１１（ａ）に示すように、最初に、ＫＧＤチップ３３Ａは、直接、ダイシングフレームで囲まれたウェハから選別される。次に、親水性領域及び静電吸着用の電極を備えたマルチチップキャリヤ、即ちチップ支持基板４２が、後述するアセンブリ装置６０のステージ６１に載置される。チップ支持基板４２の上面にはボンディング領域である親水性領域４４（親液性領域）と疎水性領域４５（親液性が低い領域）が形成されている。親水性領域４４は、例えば絶縁膜により形成される。親水性領域４４の絶縁膜下に電極４６が形成されている。

（Ｂ）次に、図１１（ｂ）に示すように、チップ３３Ａは、チップ支持基板４２上に形成された親水性の親水性領域４４に配設された水滴である液体

１５上に放出される。チップ３３Ａの上部には素子形成領域３４が形成され、素子形成領域３４上にマイクロバンプ３８が形成されている。

図１１（ｃ）に示すように、上記工程が繰り返されることにより、多くのチップ３３Ａが、連続的にかつ正確に自己組織的にチップ支持基板４２上に配設される。

（Ｃ）次に、図１１（ｄ）に示すように、電極４６に高電圧ＤＣ電圧を印加する。これにより、チップ３３Ａは、チップ支持基板４２上に仮ボンディングされる。

[0079] （Ｄ）図１２（ａ）に示すように、チップ３３Ａを有しているチップ支持基板４２はアライメントされ、転写用支持基板４３に仮ボンディングされる。アライメントには、例えばウェハボンダーを用いる。

転写用支持基板４３上（図１２（ａ）では下面）には接着層４３Ａが被覆されている。以下、接着層４３Ａが被覆された転写用支持基板４３を接着ウェハ４３と呼ぶ。この工程で使用される耐熱性の接着層４３Ａは新規の材料であり、初めて導入されたものである。この新しい仮止め用の接着層４３Ａは、接着ウェハ４３から可視レーザを用いて容易に剥離することができる。これは、この工程の基本技術である。

（Ｅ）図１２（ｂ）に示すように、ＨＳＡ－ＣｔＷ工程では、仮止めされた多数のチップ３３Ａは、放電することによりチップ支持基板４２から開放されて、接着ウェハ４３に移動される。つまり、トランスファーされる。この工程を第１のトランスファーと呼ぶ。図５（ａ）から図７（ｄ）に示したチップ支持基板２は、三次元集積回路の一部となるが、チップ支持基板４２は、三次元集積された集積回路３０のウェハとはならない。チップ支持基板４２は、第１のトランスファーの後で再利用することができる。

[0080] さらに以下の工程を示す。

（Ｆ）図１２（ｃ）に示すように、接着ウェハ４３上にチップ３３Ａを覆うように樹脂モールド４１を形成する。図１２（ｃ）において樹脂モールド４１の形成は行なわず、チップ３３Ａから３３Ｃを積層した後に形成しても

よい。この場合、疎水性領域は形成されない。

（Ｇ）マルチチップの薄化工程

図１２（ｄ）に示すように、この工程では、三次元集積回路の厚さを調整するために、複数のチップ（マルチチップ）３３Ａを、必要に応じて薄くする。マルチチップ３３Ａの薄化は、素子形成領域３４が形成されていないチップ３３Ａの裏面（図１２（ｄ）では上面）側から研削またはＣＭＰ(Chemical Mechanical Polishing)することにより行なう。接着ウェハ４３により、チップ３３Ａの素子形成領域３４は保護される。チップ３３Ａの上面が樹脂モールド４１から露出する。

[0081] （Ｈ）ＴＳＶ３７とマイクロバンプ３８の形成工程

図１３（ａ）に示すように、チップ３３Ａを上下に貫通するＴＳＶ３７を形成する。チップ３３Ａの上面にマイクロバンプ３８を形成する。

（Ｉ）接着ウェハ４３から半導体ウェハ３２への第２のマルチチップトランスファー工程

図１３（ｂ）に示すように、例えばウェハボンダーを用い、接着ウェハ４３から半導体ウェハ３２にチップ３３Ａを移動させる。半導体ウェハ３２の上部（図１３（ｂ）では下部）には素子形成領域３４が形成されている。素子形成領域３４上にマイクロバンプ３８が形成されている。この工程において、半導体ウェハ３２のマイクロバンプ３８と、チップ３３Ａのマイクロバンプ３８とが、熱圧着用のウェハ接合装置により熱圧着される。熱圧着の工程では、熱圧着用のボンディング装置のステージが、例えば５０℃から２５０℃に加熱された後に５０℃に冷却される熱プロセスで行われる。半導体ウェハ３２には、例えば目標ＬＳＩ、または発光素子アレイ等が搭載されている。半導体ウェハ３２の複数のマイクロバンプ３８間には、間隙充填樹脂３９が埋め込まれている。この間隙充填樹脂３９は、エポキシ樹脂等からなる。間隙充填樹脂３９は非導電性フィルム（Non Conductive Film、ＮＣＦと呼ぶ。）とも呼ばれている。半導体ウェハ３２の半導体はＳｉとして説明する。

（Ｊ）チップ３３Ａの接着ウェハ４３からの剥離工程

図１３（ｃ）に示すように、目標ＬＳＩが搭載されたＳｉウェハ３２のマイクロバンプ３８とチップ３３Ａのマイクロバンプ３８とが熱圧着された後で、チップ３３Ａは、ウェハ接合装置の真空吸着の力を利用して、接着ウェハ４３から剥離される。目標ＬＳＩが搭載されたＳｉウェハ３２にチップ３３Ａのマイクロバンプ３８が熱圧着された後で剥離した接着ウェハは、再利用できる。接着層４３Ａは、接着ウェハ４３から可視レーザを用いて容易に剥離することができるので、接着層４３Ａが載置される接着ウェハ４３の基板は、繰り返しの使用が可能である。つまり、使用した接着ウェハ４３の接着層４３Ａを剥離した後の基板に、新しい接着層４３Ａをスピンコート等で形成することにより、基板を再度使用できる。接着層４３Ａは、可視レーザの他には、加熱、または溶剤による剥離処理、光、または紫外線レーザ等、またはこれらの組み合わせを用いて剥離してもよい。

（Ｋ）チップ３３の繰り返し積層

図１３（ｄ）に示すように、上記工程を繰り返すことにより、半導体ウェハ３２上には複数のＴＳＶ３７を有する薄いチップ３３Ａから３３Ｃを積層することができる。

[0082] 本実施形態およびその変形例１の三次元集積回路の製造方法におけるハイブリッド自己組織化に基づくチップーウェハ３Ｄ集積（ＨＳＡ－ＣｔＷ）にあっては、液体１５の表面張力駆動によるチップ３Ａから３Ｃ、または３３Ａから３３Ｃの自己組織的吸着と、静電吸着による複数のチップ３Ａから３Ｃ、または３３Ａから３３Ｃの仮ボンディング技術とが組み合わされている。静電吸着による複数のチップ３Ａから３Ｃ、または３３Ａから３３Ｃの仮ボンディング技術は、自己組織的に吸着されたチップのストレス無しで直接ボンディングが可能となる。

[0083] 後述するように、チップを自己組織的に吸着し、さらに静電吸着させて仮ボンディングをした後で目的の半導体ウェハ３２上に転写した場合、位置合わせ精度が約１μｍ程度と高く、転写の際に横ずれを起こさず、高い位置合

わせ精度を保つことできる。また、Ｃｕ／ＳｎＡｇからなるマイクロバンプ３８とＣｕを用いた貫通電極１１、１７を使用した三次元集積回路３０では良好な電気的特性を得ることができる。

[0084] 本実施形態およびその変形例１の三次元集積回路の製造方法によれば、比較例２の高コストのマルチチップのピックアップツールを使用しないで生産のスループットを増加させることができる。これにより、１万チップ／時間のチップアセンブリを実現できる。

[0085] 従って、本実施形態およびその変形例１の三次元集積された集積回路１、または３０では、チップ支持基板２または半導体ウェハ３２へのチップ３Ａから３Ｃ、または３３Ａから３３Ｃの積層が位置精度良くでき、高スループットで製造されるので、低コストである。

[0086]（アセンブリ装置）

次に、図４に示す三次元集積回路１及び図１０に示す三次元集積回路３０の製造に使用することができるアセンブリ装置６０について説明する。アセンブリ装置６０は後述する変形例にも用いることができる。

図１４は、自己組織的吸着と共に静電吸着を行うハイブリッド組み立て（Hybrid Assembly）に用いるアセンブリ装置６０の構成を示すブロック図である。

図１４に示すように、アセンブリ装置６０は、チップ支持基板２、または４２が載置されるステージ６１と、チップ３Ａから３Ｃ、または３３Ａから３３Ｃのピックアップツール６２を備えた搬送ロボット６３と、高精度液滴吐出部６４と、液滴供給部６５と、静電吸着用電源６６と、静電吸着用電源６６を基板に供給するプローブ６７と、第１のカメラ６８及び第２のカメラ６９からなりチップ支持基板及びチップを観察する撮像部と、チップ収容トレイ７１と、制御部７２等と、を含んで構成されている。ステージ６１は、傾き補正機構７３をさらに備えていてもよい。アセンブリ装置６０は、図４に示す三次元集積回路１及び図１０に示す三次元集積回路３０の製造に使用することができる。

[0087] インターポーザ基板２又はチップ支持基板４２に形成された静電吸着電極６、または４６には、静電吸着用電源６６に接続されるプローブ６７の針が接触して、静電吸着用電源６６が印加される。プローブ６７は、陽極６Ａと陰極６Ｂに対応し複数設けられていてもよい。

[0088] 搬送ロボット６３は、親水性の液滴とチップ３３とを基板に搬送する搬送ロボットである。搬送ロボット６３は、親水性の液滴を基板に供給する高精度液滴吐出部６４と、チップ３３のピックアップツール６２とを備えている。搬送ロボット６３は、所謂産業ロボットであり、二次元での搬送を行うＸ－Ｙロボットやスカラーロボットを用いることができる。以下の説明では、搬送ロボット６３は、スカラーロボットとして説明する。

[0089] 高精度液滴吐出部６４は、液滴供給部６５に接続され、制御部７２により液滴の量や液滴を吐出する吐出時間が制御される。

[0090] スカラーロボット６３のピックアップツール６２は、チップ３Ａから３Ｃ、または３３Ａから３３Ｃを吸着するためのチャックを備えており、第１及び第２の高解像度カメラ６８、及び６９によりその位置が監視されている。チップ３Ａから３Ｃ、または３３Ａから３３Ｃを吸着するためのチャックは、例えば真空チャックである。第１及び第２のカメラ６８、及び６９は、所謂高解像度カメラである。

[0091] スカラーロボット６３のピックアップツール６２は、最初に、ステージ６１の上方に配設された第１のカメラ６８の監視によりその位置が制御され、チップ支持基板２又はチップ支持基板４２の所定箇所に、例えば純水からなる液滴を吐出する。

[0092] 次に、スカラーロボット６３のピックアップツール６２は、第１の高解像度カメラ６８の下方に配設された第２のカメラ６９の監視によりその位置が制御され、チップ収容トレイ７１に移動するように制御され、チップ収容トレイ７１内のチップ３Ａから３Ｃ、または３３Ａから３３Ｃを真空チャックで吸引する。真空吸引されたチップ３Ａから３Ｃ、または３３Ａから３３Ｃは、第１のカメラ６８の監視によりその位置が制御され、チップ支持基板２

又はチップ支持基板４２の所定箇所に搬送され、真空吸引を停止することで、チップ支持基板２又はチップ支持基板４２上の液滴が滴下された箇所に仮接着される。

[0093] 次に、チップ支持基板２又はチップ支持基板４２の静電吸着用の電極６、または４６に、直流電圧が印加されることにより、チップ３Ａから３Ｃ、または３３Ａから３３Ｃがチップ支持基板２又はチップ支持基板４２に静電吸着される。

[0094] 制御部７２は、上記したハイブリッド自己組織的アセンブリ装置６０の動作を制御する。制御部７２は、図示しないコンピュータ、ディスプレイ装置、記憶装置等を備えて構成されている。コンピュータにより、スカラーロボット６３と、高精度液滴吐出部６４、液滴供給部６５、静電吸着用電源６６、第１及び第２のカメラ６８、及び６９等が、インターフェース回路７２Ａを介して制御される。

[0095] （チップ支持基板の構造）

チップ支持基板４２は、Ｓｉウェハである基板４２Ａ上に標準のリソグラフィー法、ＣＶＤ（Chemical Vapor Deposition）法、ＲＩＥ法等を用いて作製することができる。

図１５は、チップ支持基板４２の構成の一例を示す断面図である。図１５に示すように、チップ支持基板４２は、自己組織的にチップ３３Ａを吸着できるボンディング領域である親水性領域４４を備えると共に、静電吸着をするための電極４６を備えている。この電極４６と、吸着するチップ３３Ａ自体に静電吸着のための直流電圧が印加される。このような電極は、ユニポーラ型の電極と呼ばれている。ユニポーラ型の電極４６の場合には、チップ３３Ａに加わる静電力は、下記（２）式で表される。

[0096] [数2]

$$F_{up} = \frac{(\varepsilon_0 \varepsilon_r A V^2)}{2d^2} \qquad (2)$$

[0097] ここで、F_{up}はユニポーラ型の電極４６を用いた場合の静電ボンディングで

発生する吸着力、Ａは電極４６の面積、ｄは電極４６とチップ３３Ａとの距離、ε_rは比誘電率、ε_0は真空中の誘電率、Ｖは印加電圧である。従って、静電吸着力は、表面電圧の増加により増加する。

[0098] （ユニポーラ型の電極を有しているチップ支持基板の製造例）

（１）最初に、ボロン添加の１０～１５Ω・ｃｍの抵抗率を有しているｐ型Ｓｉ基板４２Ａ上に厚さが１００ｎｍの熱酸化膜４２Ｂを形成する。

（２）熱酸化膜４２Ｂ上にスパッタ法でＡｌ／W膜を堆積する。

（３）リソグラフィー法によりＡｌ／W膜をパターニングする。Ａｌ／W膜により電極４６が形成される。

（４）厚さが６μｍのプラズマＴＥＯＳ（Tetraethyl orthosilicate）酸化膜を堆積する。その後で、ＴＥＯＳ酸化膜をエッチングし親水性領域４４を形成する。

[0099] 図１１（ａ）から図１３（ｄ）に示すＨＳＡ－ＣｔW工程によれば、例えば、ピックと吸着によるアセンブリの性能は、スループットとして０．３秒／チップ（約１万２千チップ／時間）が達成される。

[0100] ここで、８インチＳｉ基板であるチップ支持基板４２上に形成した親水性の親水性領域４４上に１０ｍｍ角のチップ３３Ａを正確にアセンブルするために、２．５μｌ（マイクロリットル、10^{-6}リットル）の純水を使用した。周囲の領域は高い疎水性にされているので、水の接触角は１１５度であった。以下、本実施形態を実施例によりさらに詳細に説明する。

実施例

[0101] 図１４のアセンブリ装置６０を用いて、図１１（ａ）から図１３（ｄ）に示す工程によりＨＳＡ－ＣｔW工程を実施した。特に断らない限り、三次元集積回路は図１１（ａ）から図１３（ｄ）に示す製造方法で作製している。チップ支持基板４２の電極４６はバイポーラ型を用いた。アセンブリ装置６０に用いた主要部を以下に示す。

スカラーロボット６３：ＹＡＭＡＨＡ社製、ＹＫ６００Ｘ

高精度液滴吐出部６４、液滴供給部６５：岩下エンジニアリング社製、

ＡＤ３０００ＣＬＬＬ

静電吸着用電源６６：松定プレシジョン社製、ＨＥＣＡ－３Ｂ１０Ｘ２ＬＰｏ

プローブ６７：日本マイクロニクス社製、７０８ｆＴ－００８

傾き補正機構７３：坂本電機製作所製自動精密整準台（オートステージＡＳ－２１）

第１のカメラ６８及び第２のカメラ６９：キーエンス社製、カメラＣＶ－２００Ｍ及びＣＶ－５５００コントローラ

[0102] （ＴＳＶの形成）

貫通穴の側壁を、SiO_2膜で被覆した。形成されたSiO_2膜上にバリヤ層となるＴｉＮと、銅（Ｃｕ）をスパッタ法で被覆した。

次に、貫通穴にＣｕメッキでＣｕプラグを形成すると共に、自己組織化されたチップ３３Ａの表面にＣｕとＡｇ／Ｓｎからなるマイクロバンプ３８を形成した。マイクロバンプ３８は、ＣｕメッキとＡｇ／Ｓｎの蒸着等の工程により形成した。

[0103] 図１６は、アセンブリ装置６０でボンディングされたチップ３３Ａの光学像を模式的に示す図である。図１６に示すように、チップ支持基板４２となる８インチのＳｉ基板上には、厚さが１４０μｍで大きさが、３ｍｍ角、５ｍｍ角、４ｍｍ×９ｍｍ角、および１０ｍｍ角の４種類のチップ３３Ａが、連続的にかつ正確に自己組織にアセンブルされていることが分かる。

[0104] 図１７（ａ）および図１７（ｂ）はチップのアライメント精度を示す図で、図１７（ａ）は本実施例、図１７（ｂ）は比較例２である。図１７（ａ）に示すように、本実施例の場合には、チップ３３Ａのアライメント精度は１μｍ以内であることが分かる。さらに、図１７（ｂ）に示すように、静電吸着を行なわない比較例２では、チップのアライメント精度は±３μｍとばらつくことが分かる。実施例においては、チップ３３Ａをチップ支持基板４２に静電吸着させることにより、チップ転写等の工程において、チップを固定できる。このため、比較例２に比べアライメント精度を向上できる。

[0105] （静電マルチチップの仮ボンディング技術）

図１８は、チップ支持基板４２の光学像を模式的に示す図である。親水性領域４４は、電極４６が形成された領域に渡り形成されているが、図１８では、親水性領域４４の一部を破線で示した。図１８に示すように、チップ支持基板４２はＡｌ／Ｗからなる櫛歯電極４６と、酸化膜からなる親水性の親水性領域４４と、これを囲む疎水性のフッ化炭素が形成された疎水性領域４５とから構成されている。親水性領域４４には、陽極４６Ａおよび陰極４６Ｂが設けられている。

チップの自己組織化の後で、Ａｌ／Ｗからなる陽極４６Ａおよび陰極４６Ｂに接続される２つの電極パッドの間に１００Ｖ又は２００ＶのＤＣ高電圧が印加される。直流電圧は、静電吸着力を発生する。静電吸着力は、上記（１）式の静電力で表される。

[0106] 図１９（ａ）および図１９（ｂ）は、静電吸着力におけるパラメータの影響を調べた図である。図１９（ａ）は、陽極６４Ａと陰極６４Ｂとの間に印加した直流電圧である印加電圧が静電吸着力に及ぼす影響を示す。図１９（ｂ）は、電圧を印加した後のアニール温度が静電吸着力に及ぼす影響を示す。図１９（ａ）および図１９（ｂ）の横軸は陽極６４Ａと陰極６４Ｂとの間に電圧を印加した後の保持時間（分）、縦軸は陽極４６Ａおよび陰極４６Ｂ間の電圧である。電圧は、静電吸着力に相当する。図１９（ａ）における印加電圧は、１００Ｖ、２００Ｖ、３００Ｖおよび４００Ｖである。図１９（ｂ）におけるアニール温度は、１００℃、２００℃および３００℃であり、アニール時間は１０分である。印加電圧は２００Ｖである。比較のためアニールしない（ベークしない）データも示している。

図１９（ａ）に示すように、印加電圧が１００Ｖ及び２００Ｖの場合、静電吸着力は、１５分迄は保持されていることが分かる。図１９（ｂ）に示すように、静電的な仮ボンディングの後、１００℃のアニール温度においても静電吸着力は影響を受けないことが分かる。

[0107] （ユニポーラ型電極による静電吸着）

静電吸着は、ユニポーラ型電極を用いても可能である。

図２０（ａ）および図２０（ｂ）は、ユニポーラ型電極４６による静電吸着力におけるパラメータの影響を調べた図であり、図２０（ａ）は印加電圧の影響、図２０（ｂ）は温度の影響を示す。図２０（ａ）および図２０（ｂ）の横軸は保持時間（分）であり、縦軸は電圧である。

図２０（ａ）に示すように、印加電圧が１００Ｖ及び２００Ｖの場合、静電吸着力は、１０分迄は低下するが１０分以降は保持されていることが分かる。この場合、基板４２Ａに形成されている熱酸化膜４２Ｂはｐ－ＴＥＯＳ酸化膜とは接触していない。図２０（ｂ）に示すように、静電的な仮ボンディングの後、１００℃のアニール温度においても静電吸着力は影響を受けないことが分かる。この場合、基板４２Ａに形成されている熱酸化膜４２Ｂはｐ－ＴＥＯＳ酸化膜（親水性領域４４）と接触している。

[0108] 図１８に示す、櫛歯電極４６を有しているチップ支持基板４２に高電圧が印加された後に、ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）の特性を測定した。

図２１（ａ）および図２１（ｂ）は、ＭＯＳＦＥＴの特性を示す図である。ＭＯＳＦＥＴのゲート長およびゲート幅はいずれも１０μｍである。ゲート酸化膜の膜厚は３ｎｍである。図２１（ａ）および図２１（ｂ）は、電極４６に電圧を印加する前、電極４６に１００Ｖの電圧を１０分印加した後、電極４６に１００Ｖの電圧を３０分印加した後の特性を示している。図２１（ａ）は、ドレイン電圧が１．０Ｖおよび２．５Ｖのドレイン電流－ゲート電圧（I_D－V_G）特性およびゲート電流－ゲート電圧（I_G－V_G）特性を示す。図２１（ｂ）は、ゲート電圧が１．５Ｖ、２．０Ｖおよび２．５Ｖのドレイン電流－ドレイン電圧（I_D－V_D）特性およびボディ電流－ドレイン電圧特性を示す。

[0109] 図２１（ａ）および図２１（ｂ）に示すように、電圧印加前、電圧を１０分および３０分印加後において、いずれの特性も一致している。このように、ＭＯＳＦＥＴの閾値電圧、ゲート漏れ電流、出力特性及び基板電流は、電

極４６に印加されるＤＣ電圧により影響を受けないことが分かる。

[0110] 図２２（ａ）から図２２（ｄ）は、静電的な仮ボンディングの後の自己組織化チップ３３Ａを示す図である。図２２（ａ）は、静電的な仮ボンディングの後のチップ支持基板４２表面、図２２（ｂ）は、チップ支持基板４２から接着ウェハ４３にトランスファーした後の接着ウェハ４３の表面、図２２（ｃ）は、厚さを１４０μｍから２５μｍにしたマルチチップ薄化後の接着ウェハ４３の表面、図２２（ｄ）は自己組織化したチップ３３Ａにボッシュプロセスを用いＳｉビア（Si Via）３７Ｂ（チップ３３Ａを貫通する貫通孔）を形成した断面のＳＥＭ（Scanning Electron Microscope）像を模式的に示す図である。

図２２（ａ）、および図２２（ｂ）に示すように、放電により自己組織化されたチップ３３Ａは、１５μｍの厚さの熱的に安定な接着層４３Ａがスピンコートされた接着ウェハ４３に転写されることが分かる。

[0111] 図２２（ｄ）に示すように、直径が１０μｍで深さが約２５μｍの深いビア３７Ｂが、トランスファーされたチップ３３Ａの垂直方向に形成されることが分かる。ビア３７Ｂは、ボッシュプロセスで形成される。ビア３７Ｂの形成には、SF_6とC_4F_8ガスによるＩＣＰ（Inductively Coupled Plasma）－ＲＩＥを用いる。ビア３７Ｂの形成後にフォトレジスト３７Ａが剥離される。

[0112] 図２３（ａ）から図２３（ｃ）は、Ｃｕ／ＡｇＳｎからなるマイクロバンプ３８同士を多数直列接続したDaisy Chainと呼ばれる配線パターンの印加電圧に対する電流（上図）と抵抗（下図）の特性を示す図である。マイクロバンプ３８のピッチは、図２３（ａ）が４０μｍ、図２３（ｂ）が６０μｍ、図２３（ｃ）が８０μｍである。

図２３（ａ）から図２３（ｃ）に示すように、これらのＣｕ／ＡｇＳｎからなるマイクロバンプ３８同士は電気的に接続されており、その抵抗は十分に小さいことが分かる。図２３（ａ）のように、４０μｍのピッチの配線パターンは、バンプが５０９６個接続されており、バンプ１個当りのバンプと

配線の抵抗は６７．５ｍΩである。図２３（ｂ）のように、６０μｍのピッチの配線パターンは、バンプが７３２個接続されており、バンプ１個当りのバンプと配線の抵抗は１７３ｍΩである。図２３（ｃ）のように、８０μｍのピッチの配線パターンは、バンプが５６４個接続されており、バンプ１個当りのバンプと配線の抵抗は２７０５ｍΩである。なお、これらの抵抗にはＴＳＶの抵抗は含まない。

[0113] 図２４は、非導電性フィルムである間隙充填樹脂３９を介してボンディングしたＣｕ／ＡｇＳｎからなるマイクロバンプ３８の像の模式図である。図２４の下図はＴＥＭ（Transmission Electron Microscope）像の模式図、図２４の上図はＸ線分析のマップ図を示している。図２５（ａ）および図２５（ｂ）は、図２４の下図に示すｐ及びｑの箇所におけるＸ線分析スペクトルを示す図である。Ｘ線分析は、エネルギー分散型（ＥＤＸ：Energy Dispersive X-ray Spectroscopy）の検出器を用いて行った。

図２４の下図に示すように、ＴＥＭ断面において、Ｓｉ、マイクロバンプおよびＮＣＦ（間隙充填樹脂）が観察される。図２４の上図において、図２４の下図の破線の領域８０におけるＣｕ－Ｋ線、Ｓｎ－Ｌ線、Ｓｉ－Ｋ線およびＣ－Ｋ線の強度の強い領域をクロスで示している。マイクロバンプ領域において、ＣｕおよびＳｎが多く検出される。ＳｉにおいてはＳｉ、ＮＣＦにおいてはＣが多く検出される。図２５（ａ）および図２５（ｂ）に示すように、マイクロバンプのボンディング界面付近であるｐ及びｑの箇所において、ＮＣＦの主成分であるＣはほとんど検出されず、ＳｎとＣｕが検出されている。このように、ボンディング界面では、金属間化合物が形成されている。よって、マイクロバンプ３８同士は構造的に接続されている。非導電性フィルムである間隙充填樹脂３９に由来する炭素は、ボンディング界面では測定されなかった。

[0114] 図２６は、３０μｍピッチのマイクロバンプ３８同士を多数直列接続したDaisy Chainと呼ばれる配線パターンの電流Ｉ－電圧Ｖ特性を示す図である。ＴＳＶパターンを用いることにより、抵抗Ｒ１からＲ３の和が測定できる。

抵抗Ｒ１はウェハ３２上に形成された配線３１の抵抗、抵抗Ｒ２は、マイクロバンプ３８およびチップ３３Ａに形成されたＴＳＶ３７の抵抗、抵抗Ｒ３はチップ３３Ａに形成された配線３１の抵抗である。図２６に示すように、Ｃｕ－ＴＳＶ３７が高イールドで形成され、Ｉ－Ｖ特性は抵抗性電極であることが分かる。

[0115] 第１のトランスファー後と第２のトランスファー後のアライメント精度を赤外線で観察した。

図２７（ａ）および図２７（ｂ）は、赤外線像を模式的に示している。アライメントマーク８２と位置合わせずれ測定パターン８４が図示されている。図２７（ａ）は接着ウェハ４３へのトランスファー後、図２７（ｂ）はＮＣＦを介して目標ウェハとなる半導体ウェハ３２へのトランスファー後の像の模式図である。図２７（ａ）および図２７（ｂ）から、自己組織化と熱圧着によりマルチチップ３３を２回トランスファーした後で、アライメント精度は１μｍ以内であることが分かる。

[0116] 図２８は、ＨＳＡ－ＣｔＷにより３Ｄ積層し、接着ウェハ４３から他の目標ウェハ３２に自己組織化された薄いチップ３３がトランスファーされた後の断面のＳＥＭ像を示す図である。図２８に示すように、ＫＧＤチップ３３ＡがＨＳＡ－ＣｔＷにより３Ｄ積層していることが分かる。

[0117] 表１は、本実施形態の変形例１の製造方法と比較例の製造方法を比較した表である。表１から、変形例１の製造方法によれば、高スループットと高イールドで三次元集積回路３０を製造することができ、低コストであることが分かる。なお、スループットは、１枚のウェハに１万個のチップが形成されている例である。

[表1]

	変形例１	比較例１	比較例２
熱圧着 (加熱と冷却:50℃→250℃→50℃)	20分／ウェハ	8秒／チップ ＋ 10秒／チップ	20分／ウェハ
アラインメント精度	＜1μm	±2μm	＜1μm
アセンブリ装置における 1万チップのスループット	約1．2時間	約60時間	約1．8時間
コスト	低	高	中
応用	多品種・ 少量生産	多品種・ 少量生産	高イールード・ 大量生産

[0118] 表１から分かるように、変形例１の三次元集積回路３０の製造方法によれば、熱圧着工程に要する加熱と冷却時間は、２０分／ウェハ、チップのアライメント精度は１μｍよりも小さく、１万チップのアセンブリのスループットは約１．２時間となり、比較例１のＣｔＷおよび比較例２に比較して、多品種・少量生産の三次元集積回路を低コストで製造することがきる。

（変形例２）

[0119] 以下に本実施形態の別の変形例について説明する。変形例２は、図１１（ａ）から図１３（ｄ）で示した変形例１に対し、チップ３３Ａの液体１５上への配置の方法を変えた例である。図２９（ａ）から図３１（ｄ）は変形例２に係る三次元集積回路の製造方法を示す断面図である。なお、図では１つの三次元集積回路の範囲を図示しているが、例えば図１６のようにチップ支持基板４２、接着ウェハまたは半導体ウェハ３２上に複数のチップ３３Ａが配列している。

[0120] 図２９（ａ）に示すように、チップ支持基板４２を準備する。チップ支持基板４２は、主に基板５１、電極４６、親水性領域４４および疎水性領域４５を備えている。基板５１としては、半導体基板または絶縁体基板を用いることができる。その他、図４において例示した材料を用いることができる。基板５１の上面に電極４６が形成されている。電極４６の材料は、例えばＡ

ｕ、ＡｌまたはＣｕを含む金属、または金属以外の導電体である。チップ支持基板４２の上面には親水性領域４４および疎水性領域４５が形成されている。親水性領域４４は、例えば親水性を有する層であり、例えば酸化シリコン膜または窒化シリコン膜等の絶縁膜である。親水性領域４４および疎水性領域４５として図４で説明した材料を用いることができる。また、基板５１の表面が疎水性の場合、親水性領域４４に形成された親水性の層以外の領域を疎水性領域４５とすることもできる。

[0121] 図２９（ｂ）に示すように、親水性領域４４上に液体１５を適下する。疎水性領域４５には液体１５が吸着しないため、複数の親水性領域４４上にのみそれぞれ液体１５が配置される。液体１５としては水を用いるが、図４で説明した液体を用いることができる。複数の液体１５上にチップ３３Ａをそれぞれ配置する。例えば、図２で説明したようなマルチチップピックアップツールを用いることにより、ウェハ状のチップ支持基板４２上の複数の液体に一度にチップ３３Ａを配置できる。チップ３３Ａは複数回に分けて配置してもよい。チップ３３Ａは例えばシリコンチップであり、上部に素子形成領域３４を有している。素子形成領域３４の上面にマイクロバンプ３８が形成されている。マイクロバンプ３８は、Ｃｕ、Ａｕまたは半田等の金属、金属以外の導電体を主に含み、素子形成領域３４に電気的に接続されている。

[0122] 図２９（ｃ）に示すように、液体１５が蒸発すると、チップ３３Ａは、液体１５の表面張力により、親水性領域４４上に自動的にＸ方向、Ｙ方向および回転方向に位置決めされ、かつ親水性領域４４に吸着する。つまり、チップ３３Ａは親水性領域４４に自己組織的に吸着する。図２９（ｂ）の工程で、疎水性領域４５を除去してもよい。

[0123] 図２９（ｄ）に示すように、電極４６に電圧を印加する。陽極４６Ａに正電圧、陰極４６Ｂに負電圧を印加する。これにより、チップ３３Ａはチップ支持基板４２に静電吸着される。バイポーラ型の静電吸着を行なうため、１つの親水性領域４４には、少なくとも１つの陽極４６Ａと少なくとも１つの陰極４６Ｂが形成されていることが好ましい。

[0124] 図３０（ａ）に示すように、接着ウェハ４３の接着層４３Ａをチップ３３Ａの上面に貼りつける。例えば、チップ支持基板４２上の全てのチップ３３Ａを接着ウェハ４３に貼りつける。

[0125] 図３０（ｂ）に示すように、電極４６に逆電圧を印加する。すなわち陽極４６Ａに負電圧、陰極４６Ｂに正電圧を印加する。これにより、チップ３３Ａは、チップ支持基板４２から離脱する。

[0126] 図３０（ｃ）に示すように、接着ウェハ４３上にチップ３３Ａを覆うように樹脂モールド４１を形成する。樹脂モールド４１はチップ３３Ａを固定するものである。図３０（ｃ）において樹脂モールド４１の形成は行なわず、チップ３３Ａから３３Ｃを積層した後に形成してもよい。この場合、疎水性領域は形成されない。

[0127] 図３０（ｄ）に示すように、樹脂モールド４１の上面を研磨する。これにより、チップ３３Ａの上面が露出する。さらに、研磨を行ない、チップ３３Ａを薄膜化してもよい。

[0128] 図３１（ａ）に示すように、チップ３３Ａを上下に貫通するＴＳＶ３７を形成する。ＴＳＶ３７は、ＣｕまたはＡｕ等の金属または導電材料を主に含む。チップ３３Ａの上面にマイクロバンプ３８を形成する。チップ３３Ａの上下のマイクロバンプ３８はＴＳＶ３７を介し電気的に接続される。

[0129] 図３１（ｂ）に示すように、半導体ウェハ３２を接着ウェハ４３上に位置合わせし配置する。半導体ウェハ３２は、例えばシリコンウェハであり、上部（図３１（ｂ）では下）に素子形成領域３４を備えている。素子形成領域３４上にマイクロバンプ３８が形成されている。マイクロバンプ３８を覆うように間隙充填樹脂３９が形成されている。

[0130] 図３１（ｃ）に示すように、半導体ウェハ３２をチップ３３Ａ上に貼り付ける。チップ３３Ａの上面のマイクロバンプ３８と半導体ウェハ３２のマイクロバンプ３８とを接合させる。接着層４３Ａからチップ３３Ａを剥離する。剥離方法は図１３（ｃ）と同じである。

[0131] 図２９（ａ）から図３１（ｃ）を繰り返すことによりチップ３３Ａ上にチ

ップ３３Ｂを積層する。同様に、チップ３３Ｂ上にチップ３３Ｃを積層する。ダイシング法等を用いウェハ状態の積層体を切断することにより、三次元集積回路が形成される。

[0132] 図１１（ａ）から図１３（ｄ）において説明した変形例１においては、図１１（ｂ）および図１１（ｃ）において、チップ３３Ａを１つずつ液体１５上に配置し、チップ３３Ａを１つずつチップ支持基板２に吸着させる。一方、変形例２においては、図２９（ｂ）および図２９（ｃ）のように、複数のチップ３３Ａを一括して液体１５上に配置し、移動チップ支持基板４２に自己組織的に吸着させる。例えば、異なる種類のチップ３３Ａをチップ支持基板４２に自己組織的に吸着させる。これにより、スループットを高くできる。

（変形例３）

[0133] 変形例３は、図５（ａ）から図７（ｄ）において示した実施形態に対し、チップ３Ａへの静電力の印加方法を変えた例である。図３２（ａ）から図３４（ｄ）は変形例３に係る三次元集積回路の製造方法を示す断面図である。なお、図では１つの三次元集積回路の範囲を図示しているが、例えば図１６のようにチップ支持基板２上に複数のチップ３Ａが配列している。

[0134] 図３２（ａ）に示すように、図５（ａ）と同様に、親水性領域４、疎水性領域５および電極６を備えるチップ支持基板２を準備する。図３２（ｂ）に示すように、チップ支持基板２を上下に貫通する貫通電極１１を形成する。貫通電極１１は、Ｃｕ等の金属または導電材料を主に含む。チップ支持基板２上にマイクロバンプ８を形成する。マイクロバンプ８は、親水性領域４を形成する絶縁膜に埋め込まれている。マイクロバンプ８の表面は絶縁膜から露出している。

[0135] 図３２（ｂ）に示すように、親水性領域４上に液体１５を適下する。疎水性領域５には液体１５が吸着しないため、複数の親水性領域４上にのみに液体１５が配置される。液体１５としては例えば水を用いる。複数の液体１５上にチップ３Ａをそれぞれ配置する。チップ３Ａ上（図では下）には絶縁膜

７が形成されている。絶縁膜７は、例えば酸化シリコン膜または窒化シリコン膜である。絶縁膜７の材料は、親水性領域４を形成する絶縁膜と同じでもよいし、異なっていてもよい。チップ３Ａ上にはマイクロバンプ８が形成されている。マイクロバンプ８は、絶縁膜７に埋められ、マイクロバンプ８の表面は絶縁膜７から露出している。なお、例えば絶縁膜７としてＮＣＦを用いる場合、マイクロバンプ８の表面は絶縁膜から露出していなくともよい。電極６に電圧を印加する。陽極６Ａに正電圧、陰極６Ｂに負電圧を印加する。これにより、チップ３Ａにはアライメント精度が向上するように静電力が生じる。

[0136] 図３２（ｄ）に示すように、液体１５が蒸発することにより、チップ３Ａがチップ支持基板２の親水性領域４上に吸着される。熱圧着することにより、マイクロバンプ８同士を接合する。なお、図６（ｂ）と同様に液体１５が蒸発してから電極に電圧を印加してもよい。また、図３２（ｄ）において、疎水性領域５を除去してもよい。

[0137] 図３３（ａ）に示すように、チップ３Ａの背面（図では上面）を研磨し、チップ３Ａを薄化する。図３３（ｂ）に示すように、チップ３Ａ間に樹脂モールド１３を形成する。図３３（ｂ）において樹脂モールド１３の形成は行なわず、チップ３Ａから３Ｃを積層した後に形成してもよい。この場合、疎水性領域は形成されない。図３３（ｃ）に示すように、チップ３Ａの背面に電極６を形成する。電極６を覆うように、チップ３Ａ上に親水性領域４として絶縁膜を形成する。親水性領域４以外の領域に疎水性領域５を形成する。疎水性領域５は、樹脂モールド１３の表面でもよい。図３３（ｄ）に示すように、チップ３Ａを上下に貫通するＴＳＶ１７を形成する。親水性領域４である絶縁膜内にマイクロバンプ８を形成する。チップ３Ａ上に形成されたマイクロバンプ８とチップ３Ａ上に形成されたマイクロバンプ８は、ＴＳＶ１７を介し電気的に接続される。マイクロバンプ８の表面は絶縁膜から露出される。

[0138] 図３４（ａ）に示すように、チップ３Ａの親水性領域４上に液体１５を滴

下する。液体１５上にチップ３Ｂを一括して配置する。チップ３Ａの電極６に電圧を印加する。これにより液体１５の表面張力と静電力によりチップ３Ｂが自己組織的に位置決めされる。図３４（ｂ）に示すように、液体１５が蒸発した後に、チップ３Ａと３Ｂのマイクロバンプ８を接合する。図３４（ｃ）に示すように、チップ３Ｂを薄化する。チップ３Ｂ内にＴＳＶ１７、チップ３Ｂ上に電極６、親水性領域４、マイクロバンプ８を形成する。チップ３Ｂ間に樹脂モールド１３を形成する。

[0139] 図３４（ｄ）に示すように、同様に、チップ３Ｂ上にチップ３Ｃを積層する。チップ３Ａから３Ｃは樹脂モールド１３に封止される。ダイシング法等を用いウェハ状態の積層体を切断することにより、三次元集積回路が形成される。

[0140] 疎水性領域５は、液体１５を滴下後、除去するか低疎水性に改質してもよい。樹脂モールド１３はチップ３Ａから３Ｃを積層した後に一括して形成してもよい。

[0141] 変形例３では、チップ３Ａから３Ｃはフェースダウンで積層されている。これにより、チップ３Ａまたは３Ｂが積層された後に、チップ３Ａまたは３Ｂを薄化できる。また、チップ３Ａまたは３Ｂ内にＴＳＶ１７を、チップ３Ａまたは３Ｂ上に電極６およびマイクロバンプ８を形成できる。薄化されており、ＴＳＶ、マイクロバンプおよび電極が形成されているチップを用いれば、チップ３Ａから３Ｃをフェースアップで積層してもよい。

[0142] 図３５（ａ）から図３５（ｃ）はチップをチップ支持基板に吸着させる際の断面図である。図３５（ａ）に示すように、変形例１および変形例２のように、チップ支持基板４２上にチップ３３Ａを直接に吸着させる場合、電極４６とチップ３３Ａとの距離Ｌ１は小さい。よって、式１のように、チップ３３Ａに加わる静電力２６ａは大きい。

[0143] 図３５（ｂ）に示すように、実施形態のように、マイクロバンプ８を介しチップ支持基板２とチップ３Ａを吸着する場合、電極６とチップ３Ａとの距離Ｌ２が大きい。例えば、マイクロバンプ８の高さは１０μｍ程度であり、

距離Ｌ２は２０μｍ程度となる。よって、チップ３Ａに加わる電磁力２６ｂは小さく、チップ３Ａに対する静電吸着力が小さくなる。

[0144] 図３５（ｃ）に示すように、変形例３では、マイクロバンプ８は絶縁膜７および親水性領域４を形成する絶縁膜に埋め込まれている。これにより、電極６とチップ３Ａとの距離Ｌ３を小さくできる。よって、チップ３Ａに加わる静電力２６ｃを大きくできる。

[0145] また、図３５（ｂ）のように、電極６とチップ３Ａとが離れている場合、液体１５がある状態で電極６に電圧を印加する。式１から、液体の誘電率が大きいと、チップ３Ａに加わる静電力を大きくできる。

（変形例４）

[0146] 変形例４は、チップ支持基板から半導体ウェハにチップを転写する例である。図３６（ａ）から図３８（ｃ）は変形例４に係る三次元集積回路の製造方法を示す断面図である。なお、図では１つの三次元集積回路の範囲を図示しているが、例えば図１６のようにチップ支持基板４２上または半導体ウェハ３２に複数のチップ３３Ａが配列している。

[0147] 図３６（ａ）に示すように、図２９（ａ）と同様にチップ支持基板４２を準備する。図３６（ｂ）に示すように、親水性領域４４上に液体１５を滴下する。液体１５上にチップ３３Ａを配置する。チップ３３Ａは一括して配置する。チップ３３Ａは上部に素子形成領域３４を備えている。素子形成領域３４上にマイクロバンプ３８が形成されている。マイクロバンプ３８を覆うように素子形成領域３４上に間隙充填樹脂３９が形成されている。チップ３３Ａは、素子形成領域３４の逆の側が液体１５上に配置される。

[0148] 図３６（ｃ）に示すように、液体１５を蒸発させ、電極４６に電圧を印加することにより、チップ３３Ａを液体１５の表面張力と電極４６による静電吸着によりチップ支持基板４２に吸着させる。なお、変形例３の図３２（ｃ）のように、液体１５の存在する状態で電極４６に電圧を印加してもよい。

[0149] 図３７（ａ）に示すように、チップ３３Ａ上に半導体ウェハ３２を位置合わせし配置する。半導体ウェハ３２上には素子形成領域３４が形成され、素

子形成領域３４にマイクロバンプ３８が形成されている。

[0150] 図３７（ｂ）に示すように、チップ３３Ａ上のマイクロバンプ３８を半導体ウェハ３２下のマイクロバンプ３８に接合させる。これにより、チップ３３Ａが半導体ウェハ３２に接合させる。

[0151] 図３７（ｃ）に示すように、電極４６に逆電圧を印加することにより、チップ３３Ａがチップ支持基板４２から離脱する。これにより、チップ支持基板４２から半導体ウェハ３２にチップ３３Ａが一括して転写される。なお、疎水性領域４５は、図３７（ｃ）まで、除去しなくともよい。

[0152] 図３８（ａ）に示すように、上下を逆にし、チップ３３Ａの裏面（上面）を研磨することにより、チップ３３Ａを薄化する。図３８（ｂ）に示すように、チップ３３Ａを貫通するＴＳＶ３７を形成する。チップ３３Ａの上面にマイクロバンプ３８を形成する。

[0153] 図３８（ｃ）に示すように、図３６（ａ）から図３７（ｂ）を繰り返すことにより、チップ３３Ａ上にチップ３３Ｂを積層する。チップ３３Ｂ上にチップ３３Ｃを積層する。その後、チップ３３Ａから３３Ｃを樹脂モールドを用い封止する。積層体を切断することにより三次元集積回路が完成する。

[0154] 変形例４は、変形例２と比べ接着ウェハ４３を用いず、チップ支持基板４２から直接半導体ウェハ３２にチップを転写できる。

[0155] 電極４６の配置の別の例である。図３９（ａ）は、チップ支持基板の平面図、図３９（ｂ）および図３９（ｃ）はＡ－Ａに相当する断面図である。

[0156] 図３９（ａ）に示すように、チップ支持基板４２の上面には複数の電極４６が形成されている。電極４６には陽極４６Ａと陰極４６Ｂが含まれる。電極４６は格子状に配列されている。電極４６は、正方形の格子状でなくとも、例えば菱形格子状、三角格子状でもよい。陽極４６Ａと陰極４６Ｂとは互い違いに配列されている。親水性領域４４内には複数の陽極４６Ａおよび複数の陰極４６Ｂが配列されている。

[0157] 図３９（ｂ）に示すように、親水性領域４４上に液体１５を介しチップ３３Ａが配置されている。陽極４６Ａに正電圧、陰極４６Ｂに負電圧を印加す

ると、陽極４６Ａから陰極４６Ｂに電気力線４７が伸びる。液体１５は空気に比べ比誘電率が高く、電気力線４７が密になる。このため、親水性領域４４の中心の電気力線４７が最も密となる。チップ３Ａの中心が親水性領域４４の中心に移動するように静電力２７が発生する。

[0158] 図３９（ｃ）に示すように、チップ３３Ａは、親水性領域４４に精度よく位置決めされる。このように、液体１５の表面張力に加え静電力により、チップ３３Ａのアライメント精度が向上する。

[0159] 図４０（ａ）および図４０（ｂ）は、チップ支持基板の別の例を示す平面図である。図４０（ａ）および図４０（ｂ）に示すように、チップ支持基板４２上には複数の電極４６が格子状に配列されている。チップ支持基板４２は例えば多層基板である。チップ支持基板４２内には、電極４６間を電気的に接続する配線が形成されている。制御部４９は、電極４６間の配線を任意に接続することができる。例えば、図４０（ａ）に示すように、陽極４６Ａと陰極４６Ｂとが互い違いになるように陽極用配線４８Ａおよび陰極用配線４８Ｂを接続する。これにより、チップに加わる静電力を大きくできる。

[0160] 図４０（ｂ）に示すように、近接する４つの電極４６を陽極４６Ａ、近接する４つの電極４６を陰極４６Ｂとするように、配線する。これにより、チップに加わる静電力を小さくできる。このように、制御部４９が電極４６を任意に配線することで、チップの静電吸着力を制御することができる。

[0161] 本実施形態およびその変形例に係るチップ支持基板２または４２によれば、基板上に複数のチップに対応する複数の親水性領域４または４４（親液性領域）が形成されている。また、基板上であって複数の親水性領域４または４４それぞれ内に、複数のチップに静電力を発生させる電極６または４６が形成されている。

[0162] このようなチップ支持基板を用い、複数の親水性領域４または４４上にそれぞれ液体１５を介し複数のチップ３Ａまたは３３Ａを配置する。電極６または４６に電圧を印加することにより電極６または４６に対応するチップ３Ａまたは３３Ａに静電力を発生させる。

[0163] 例えば、対応するチップ３Ａまたは３３Ａがチップ支持基板２または４２に吸着するように静電力を発生させる。これにより、複数のチップ３Ａまたは３３Ａをチップ支持基板２または４２に吸着するときに、液体１５の表面張力に加え静電吸着により、チップ３Ａまたは３３Ａを吸着できる。よって、転写工程等の以降の工程においてチップの整列状態が悪化することを抑制できる。このように、チップのアライメント精度を向上できる。さらに、電極６または４６に電圧を印加することにより、多くのチップを一括で吸着させることができる。よって、スループットを向上できる。

[0164] 例えば、液体１５が存在する状態で陽極６Ａまたは４６Ａと陰極６Ｂまたは４６Ｂとに電圧を供給することにより、対応するチップ３Ａまたは３３Ａの中心が陰極と陽極との間に配置するように静電力を発生させる。これにより、チップ３Ａまたは３３Ａは液体１５の表面張力に加え、静電力によりチップ３Ａが電極６または４６に位置合わせされる。よって、チップ３Ａまたは３３Ａのチップ支持基板２または４２へのアライメント精度がより向上する。

[0165] 実施形態および変形例３のように、チップ支持基板４２に吸着された複数のチップ３Ａ上にそれぞれチップ３Ｂを積層することにより三次元集積回路を形成することができる。この方法では、チップ３Ａをトランスファーしないため、トランスファーによるチップ３Ａのアライメントずれを抑制できる。また、トランスファー用の基板を用いなくともよい。

[0166] 変形例１および２のように、チップ支持基板４２に吸着された複数のチップ３３Ａを接着ウェハ４３等の別の基板にトランスファーする。接着ウェハ４３にトランスファーされた複数のチップ３３Ａを半導体ウェハ３２にトランスファーする。このように、三次元集積回路を形成することができる。この方法では、実施形態および変形例３のようにチップ３Ａに電極６等を形成しなくともよい。また、実施形態および変形例３においては、基板にストレスが蓄積され易いが、変形例１および２では、基板にストレスが蓄積され難い。

[0167] 変形例４のように、チップ支持基板４２に吸着された複数のチップ３３Ａを半導体ウェハ３２上にトランスファーする。このように、三次元集積回路を形成することができる。この方法では、変形例１および２に比べトランスファーの回数を削減できる。

[0168] また、複数の親水性領域内に陰極と陽極とが形成されている。これにより、図９のように、チップに電圧を印加することなく、チップを静電吸着することができる。

[0169] さらに、図３９（ａ）のように、複数の親水性領域４４それぞれ内に、基板の上面に平行な第１方向（例えば図３９（ａ）の上下方向）に形成された陽極４６Ａと陰極４６Ｂと、上面に平行であり第１方向に交差する第２方向（例えば図３９（ａ）の左右方向）に形成された陽極４６Ａと陰極４６Ｂと、が形成されている。これにより、図３９（ａ）および３５（ｂ）のように、チップ３３Ａのアライメント精度を向上できる。

[0170] また、図４０（ａ）および図４０（ｂ）のように、制御部４９は、電極４６のうち、陽極４６Ａと陰極４６Ｂと、の配置を任意に設定する。これにより、チップに加わる静電力を任意に設定できる。

[0171] 本発明は、上記実施例に限定されることなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

請求の範囲

[請求項1] 基板上に形成されチップを吸着する親液性領域と、

前記基板上であって前記親液性領域内に形成され、前記チップに静電力を発生させる電極と、

を備えた、チップ支持基板。

[請求項2] 前記親液性領域は、複数の前記チップをそれぞれ吸着する複数の前記親液性領域を含み、

前記電極は、前記複数の親液性領域それぞれ内に形成されていることを特徴とする請求項１記載のチップ支持基板。

[請求項3] 前記基板は、半導体、ガラス、セラミック、プラスチック、インターポーザ基板の何れかでなる、請求項１または２に記載のチップ支持基板。

[請求項4] 前記複数の親液性領域は、絶縁膜から形成されている、請求項１から３のいずれか一項記載のチップ支持基板。

[請求項5] 前記基板上の前記親液性領域が配置されていない領域は、前記親液性領域より親液性が低い領域からなる、請求項１から４のいずれか一項記載のチップ支持基板。

[請求項6] 前記電極は、前記親液性領域内に形成された陰極と陽極とを含む、請求項１から５のいずれか一項記載のチップ支持基板。

[請求項7] 前記親液性領域内において、前記陰極と前記陽極とは、前記基板の上面に平行な第１方向と前記上面に平行であり第１方向に交差する第２方向とに格子状に配列されている、請求項６記載のチップ支持基板。

[請求項8] 前記電極のうち、前記陽極と前記陰極と、の配置を任意に設定可能である、請求項６または７記載のチップ支持基板。

[請求項9] 請求項１から８のいずれか一項記載のチップ支持基板と、

前記親液性領域に積層されたチップと、

前記チップ上に積層された１層以上の別のチップと、

を含む、三次元集積回路。

[請求項10] 前記チップは、上面に前記別のチップを吸着する別の親液性領域と前記チップの上面であって前記別の親液性領域内に形成され、前記別のチップに静電力を発生させる別の電極を有する、請求項９記載の三次元集積回路。

[請求項11] 基板上に形成された親液性領域と、前記基板上であって前記親液性領域内に形成された電極と、を備えるチップ支持基板の前記親液性領域上に液体を介しチップを配置する工程と、

前記電極に電圧を印加することにより前記電極に対応するチップに静電力を発生させる工程と、

を含む、チップ支持方法。

[請求項12] 前記親液性領域は、複数の前記チップをそれぞれ吸着する複数の前記親液性領域を含み、

前記電極は、前記複数の親液性領域それぞれ内に形成されており、

前記チップを配置する工程は、前記複数の親液性領域上にそれぞれ液体を介し前記複数のチップを配置する工程を含む、請求項１１記載のチップ支持方法。

[請求項13] 前記チップを前記親液性領域に吸着させる工程を含む請求項１１または１２記載のチップ支持方法。

[請求項14] 前記電極は、前記親液性領域内に形成された陰極と陽極とを含み、

前記静電力を発生させる工程は、前記液体が存在する状態で前記陰極と前記陽極とに電圧を供給することにより、前記チップの中心が前記陰極と前記陽極との間に配置するように前記静電力を発生させる工程含む、請求項１１から１３のいずれか一項記載のチップ支持方法。

[請求項15] 前記静電力を発生させる工程は、前記チップが前記チップ支持基板に吸着するように前記静電力を発生させる工程を含む、請求項１０から１３のいずれか一項記載のチップ支持方法。

[請求項16] 前記チップが前記チップ支持基板に吸着された状態で、前記チップ

上に別のチップを積層する工程を含む、請求項１１から１５のいずれか一項記載のチップ支持方法。

[請求項17] 前記チップ支持基板に吸着された前記チップを別の基板にトランスファーする工程と、

前記別の基板にトランスファーされた前記チップを半導体ウェハにトランスファーする工程と、

を含む請求項１１から１５のいずれか一項記載のチップ支持方法。

[請求項18] 前記チップ支持基板に吸着された前記チップを半導体ウェハ上にトランスファーする工程を含む請求項１１から１５のいずれか一項記載のチップ支持方法。

[請求項19] 前記基板上の前記親液性領域が配置されていない領域は、前記親液性領域より親液性が低い領域からなる、請求項１１から１８のいずれか一項記載のチップ支持方法。

[請求項20] 前記親液性の低い流域を除去する工程を含む、請求項１９記載のチップ支持方法。

[請求項21] 請求項１１から２０のいずれか一項記載のチップ支持方法を含む、三次元集積回路の製造方法。

[請求項22] 基板上に形成された親液性領域と、前記基板上であって前記親液性領域内に形成された電極と、を備えるチップ支持基板を搭載するステージと、

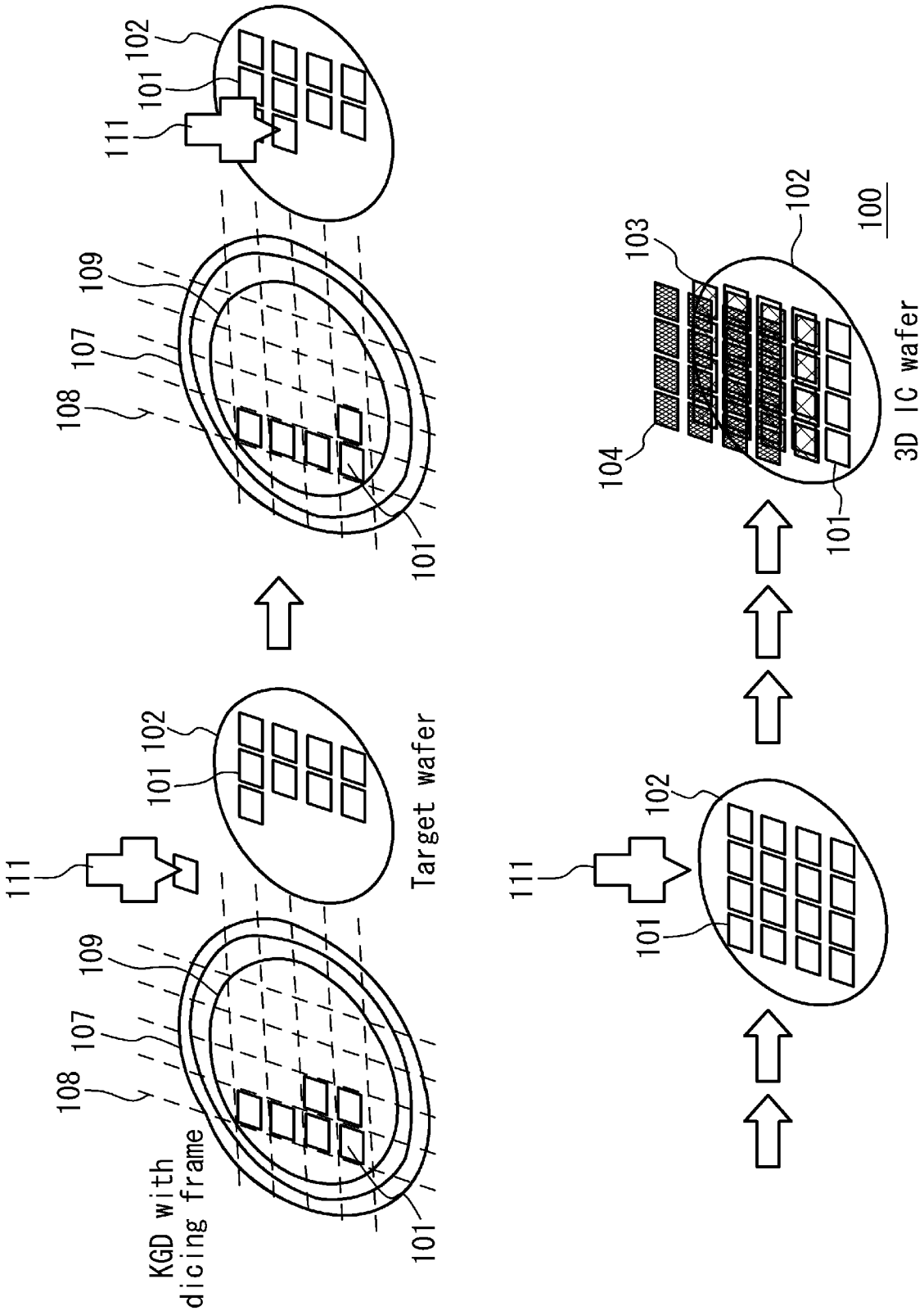
前記親液性領域上に液滴を供給する液滴供給部と、

前記親液性領域上に供給された液滴上にチップを供給する搬送ロボットと、

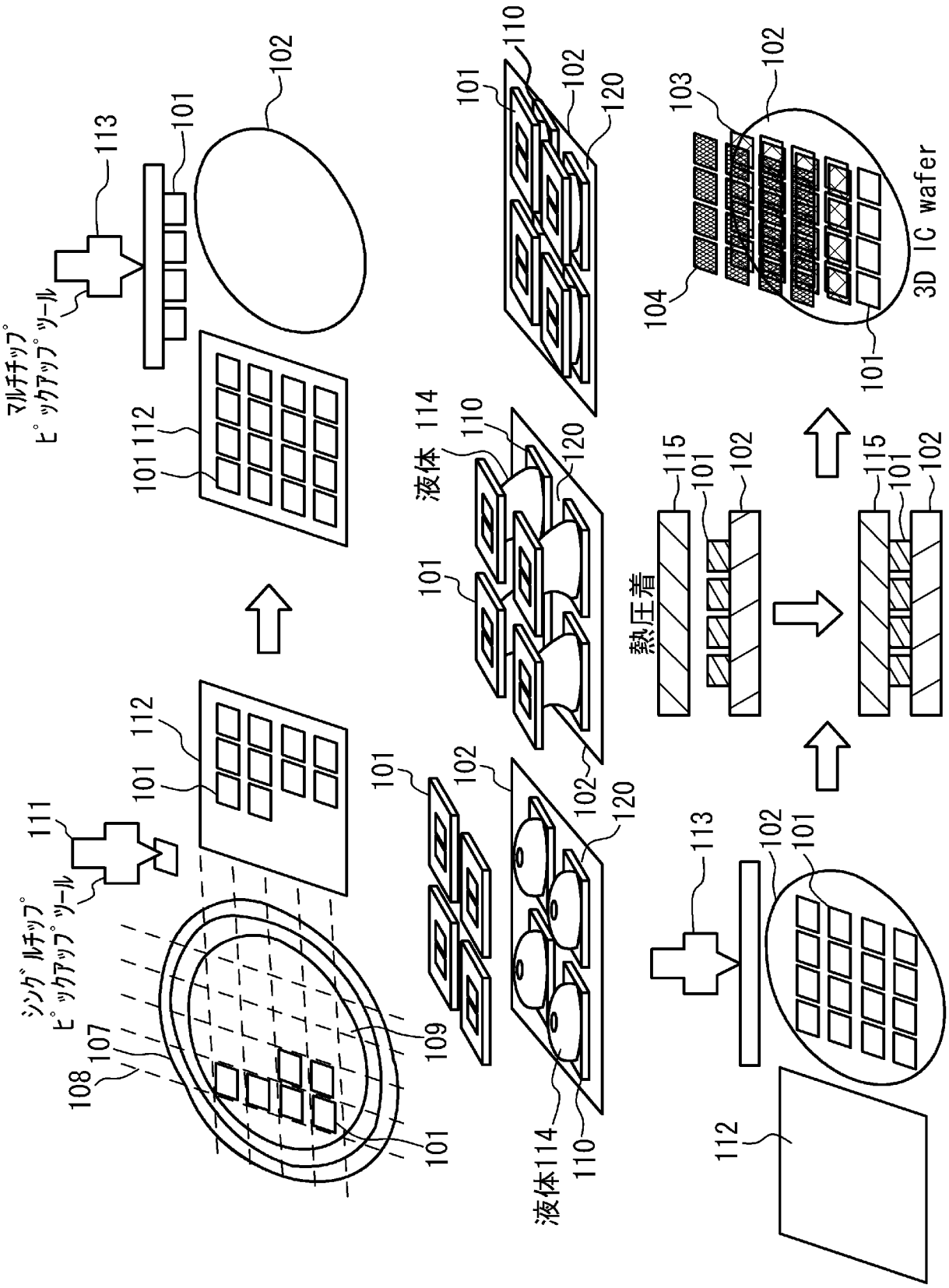
前記電極に、前記チップに静電力が発生するように電圧を供給する電源部と、

を具備するアセンブリ装置。

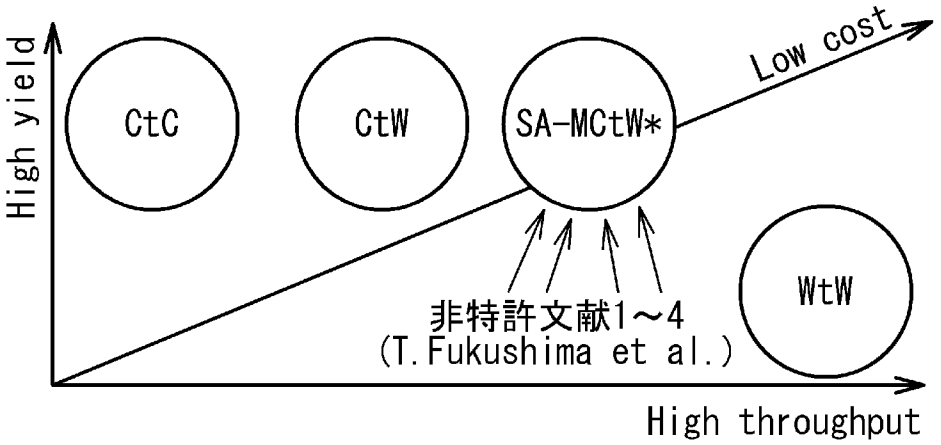
[図1]


KGD with dicing frame
Target wafer
3D IC wafer
100
101
102
103
104
107
108
109
111

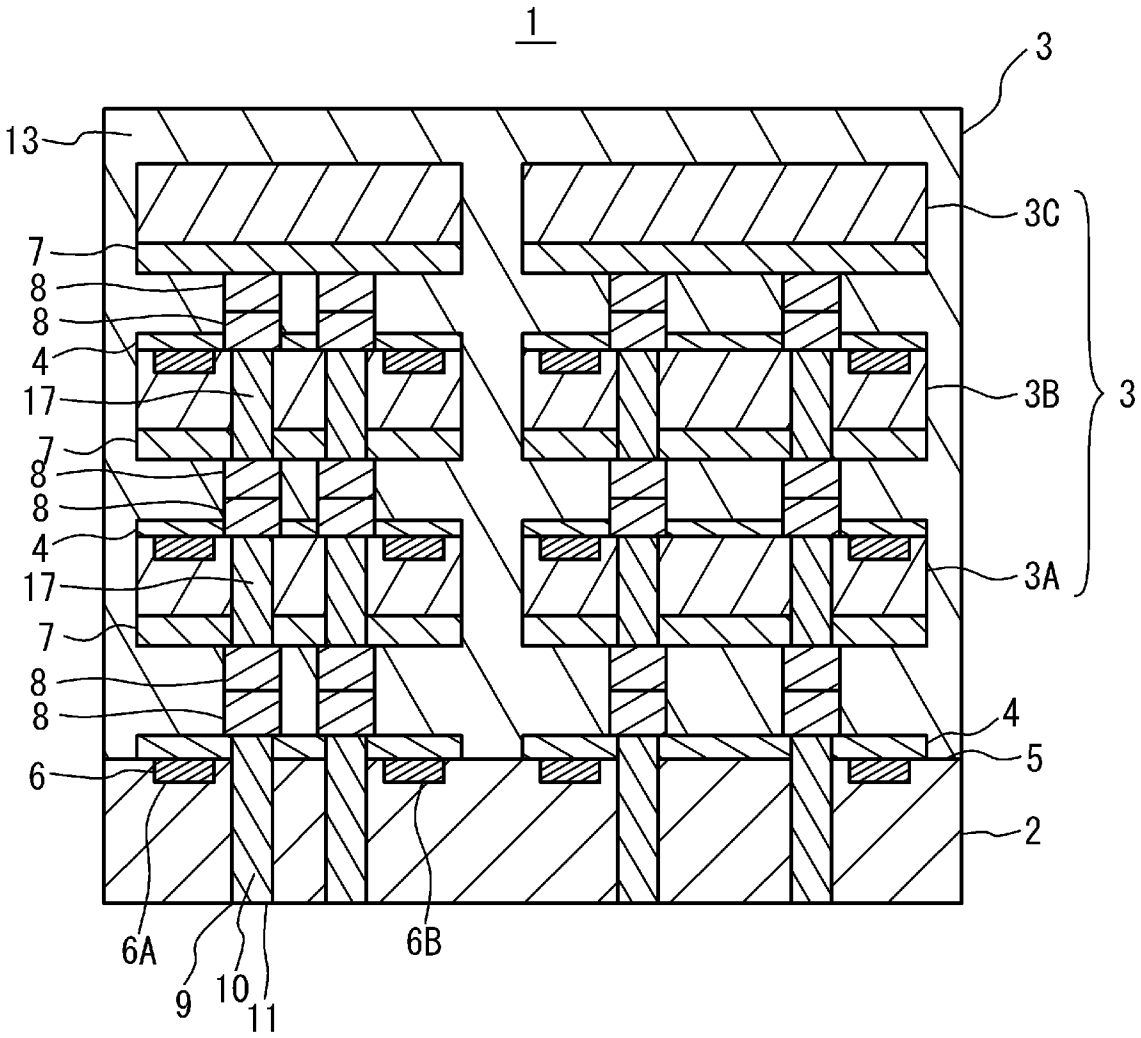
[図2]


マルチチップ
ピックアップツール
シングルチップ
ピックアップツール
液体 114
液体114
熱圧着
3D IC wafer
101
102
103
104
107
108
109
110
111
112
113
114
115
120

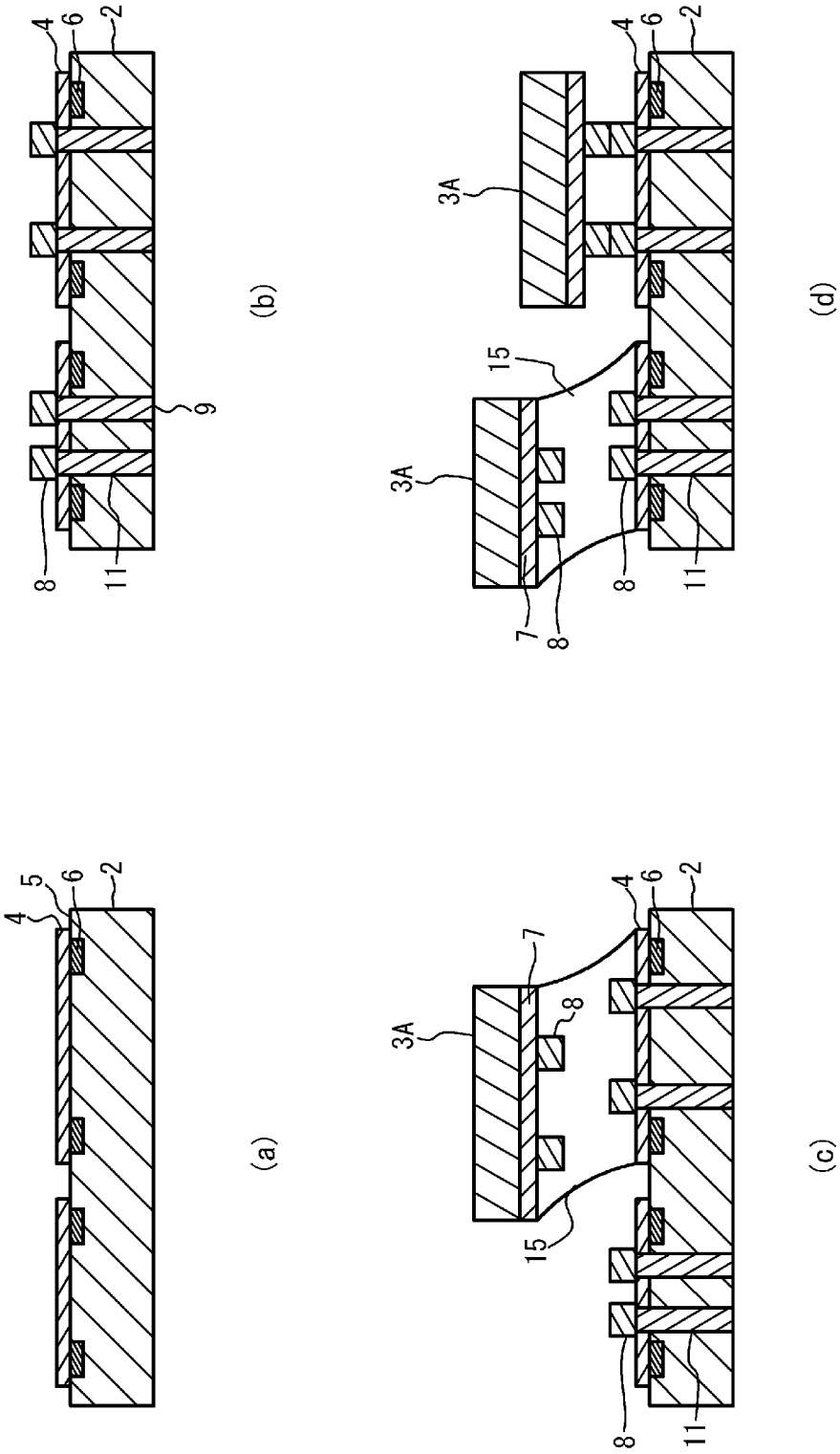
[図3]


High yield
CtC
CtW
SA-MCtW*
Low cost
WtW
非特許文献1～4
(T.Fukushima et al.)
High throughput

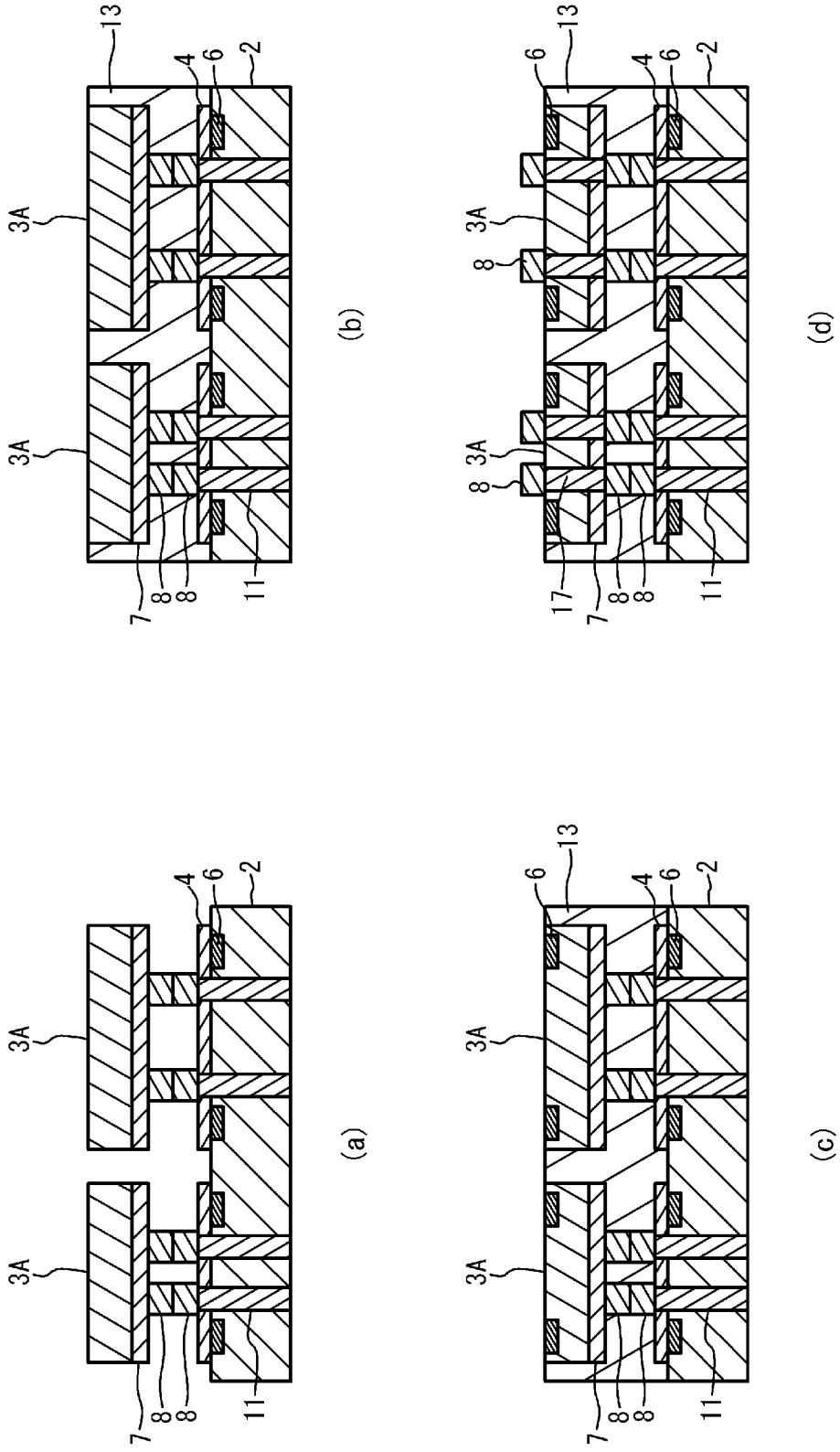
[図4]


1
3
13
3C
7
8
8
4
17
3B
3
7
8
8
4
17
3A
7
8
8
4
5
6
2
6A
6B
9
10
11

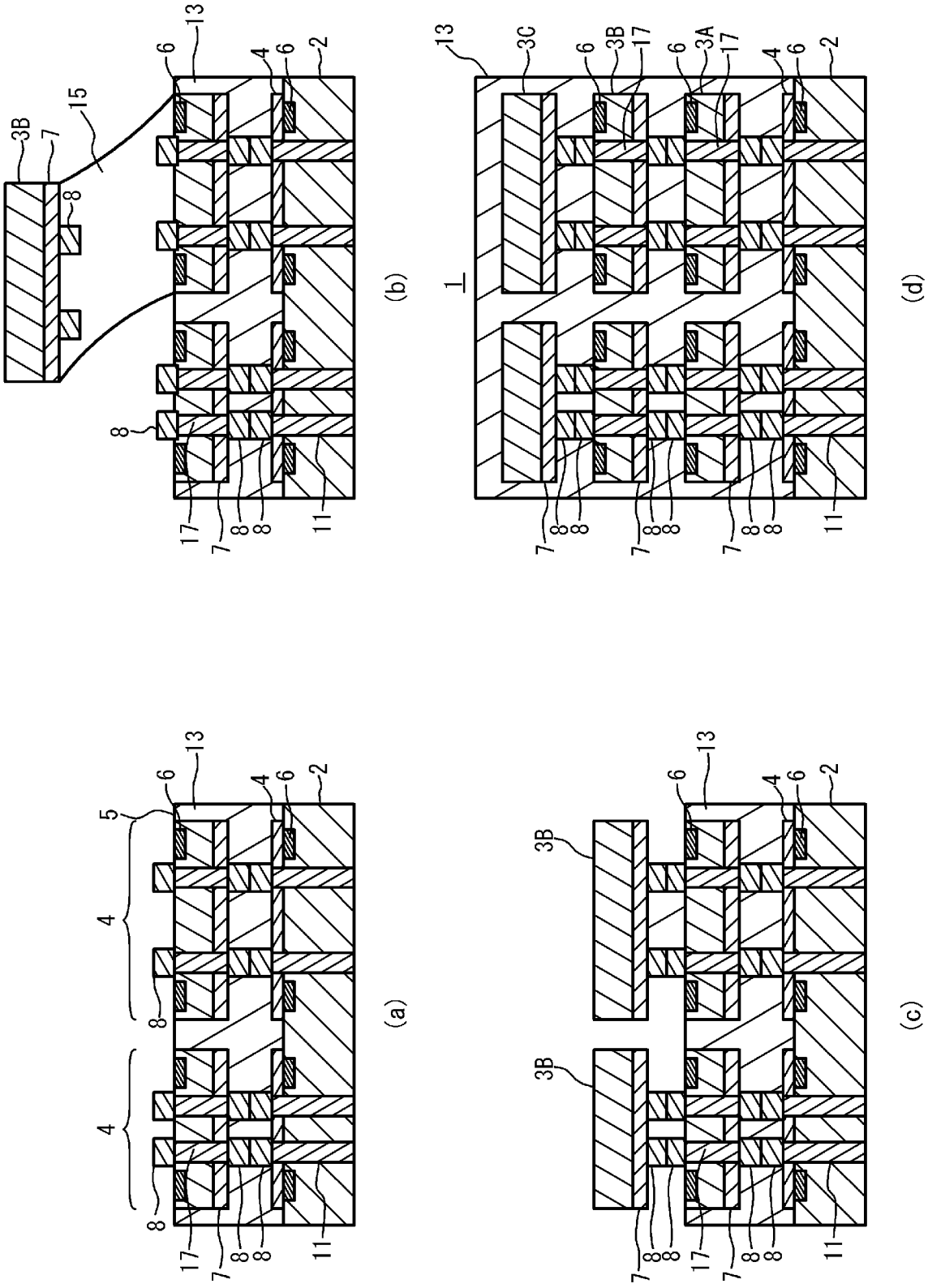
[図5]



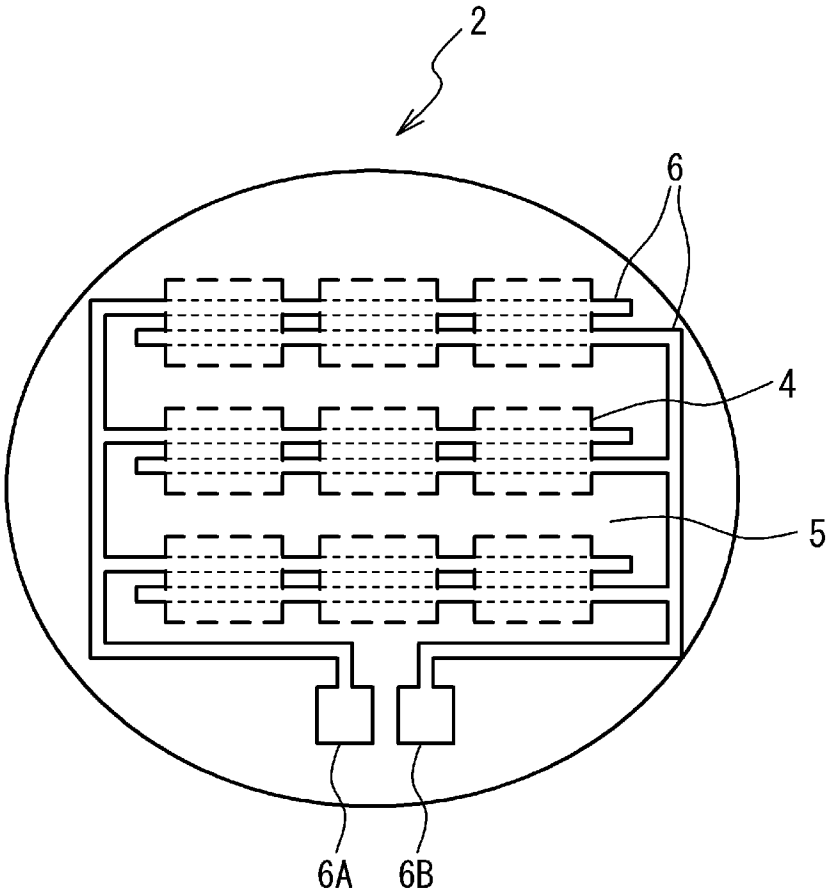
[図6]



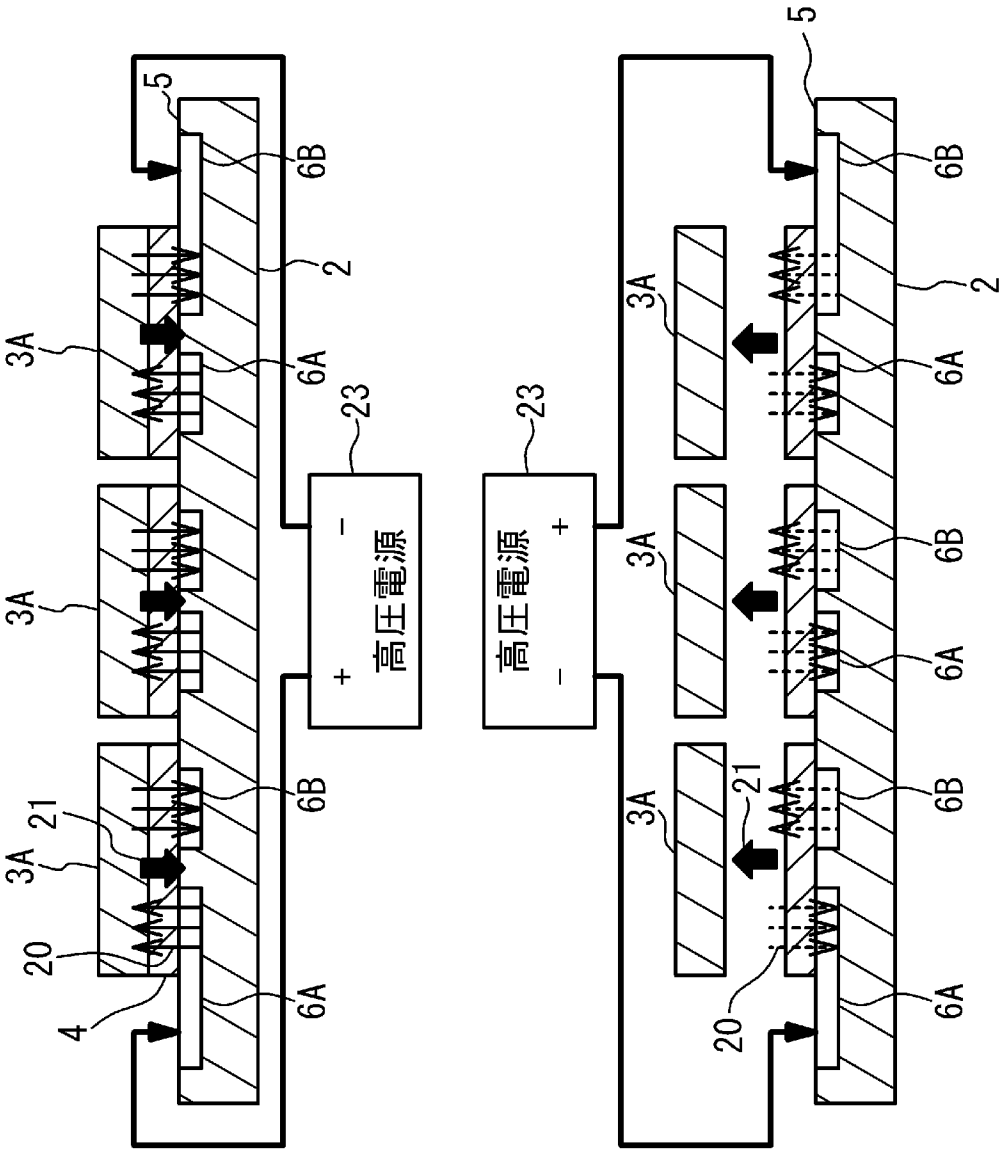
[図7]



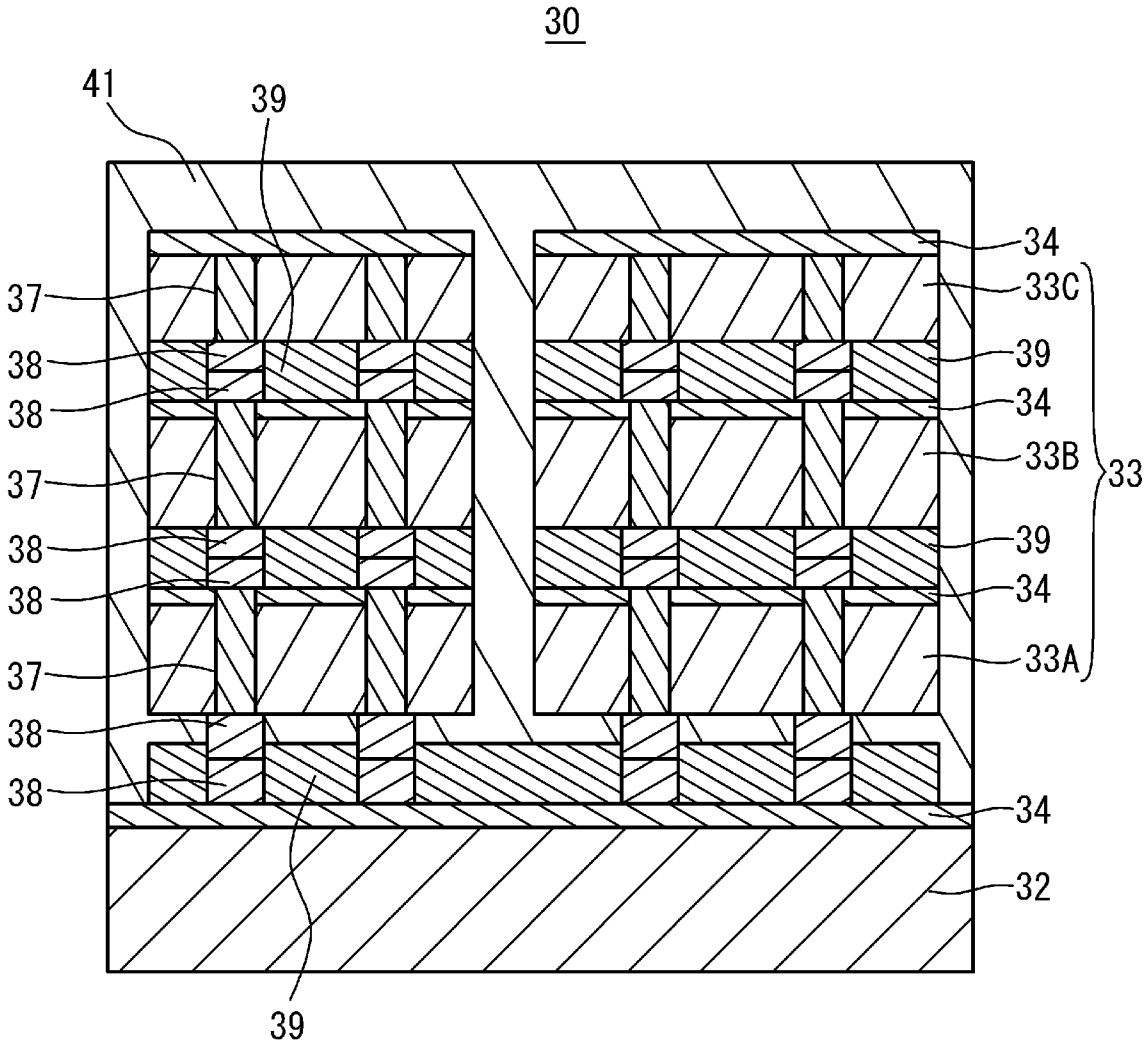
[図8]



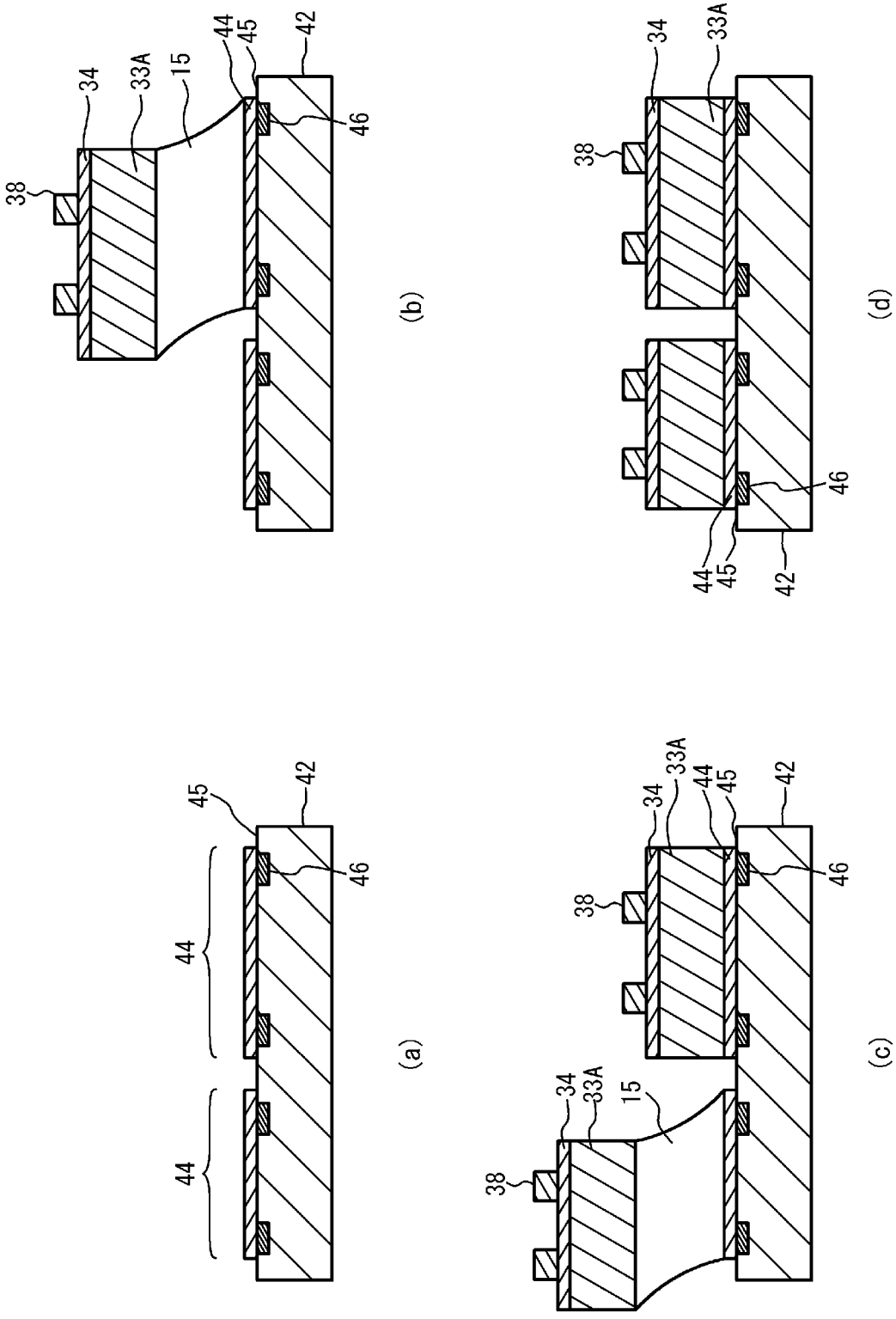
[図9]



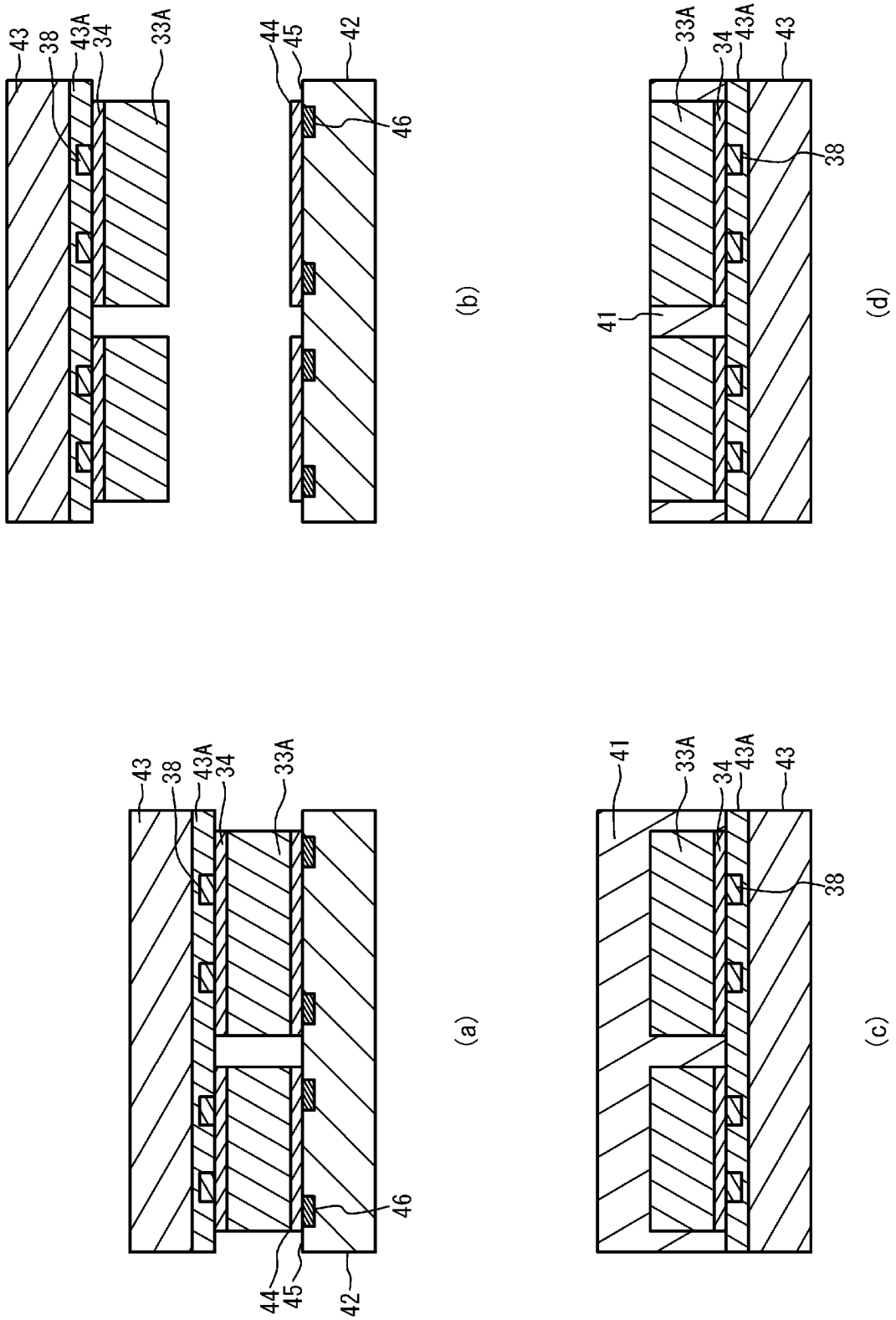
[図10]


30
41
39
37
38
38
37
38
38
37
38
38
39
34
33C
39
34
33B
33
39
34
33A
34
32

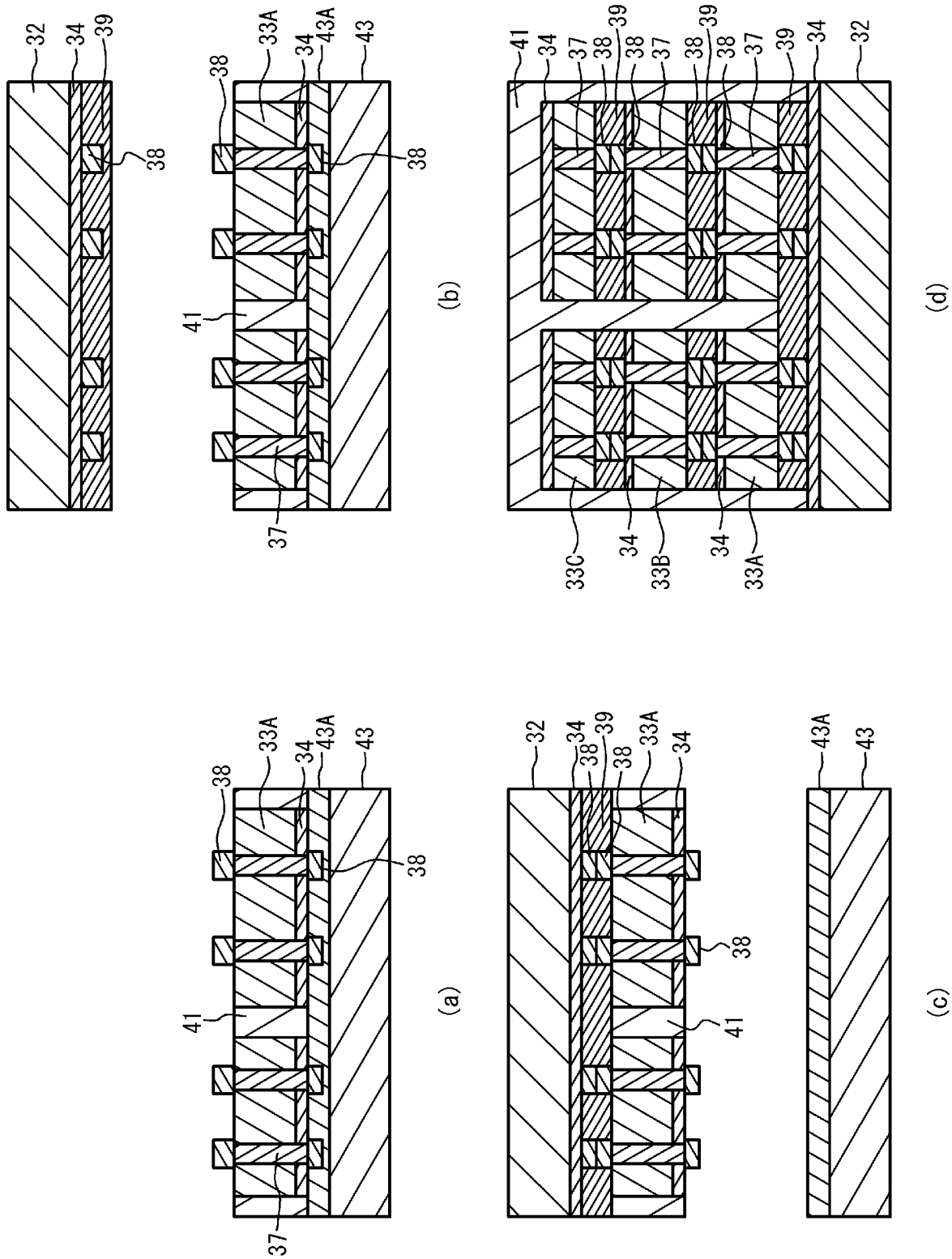
[図11]


(a)
45
42
46
44
44
(b)
34
33A
15
44
45
42
46
38
(c)
34
33A
44
45
42
46
38
34
33A
15
38
(d)
34
33A
38
46
44
45
42

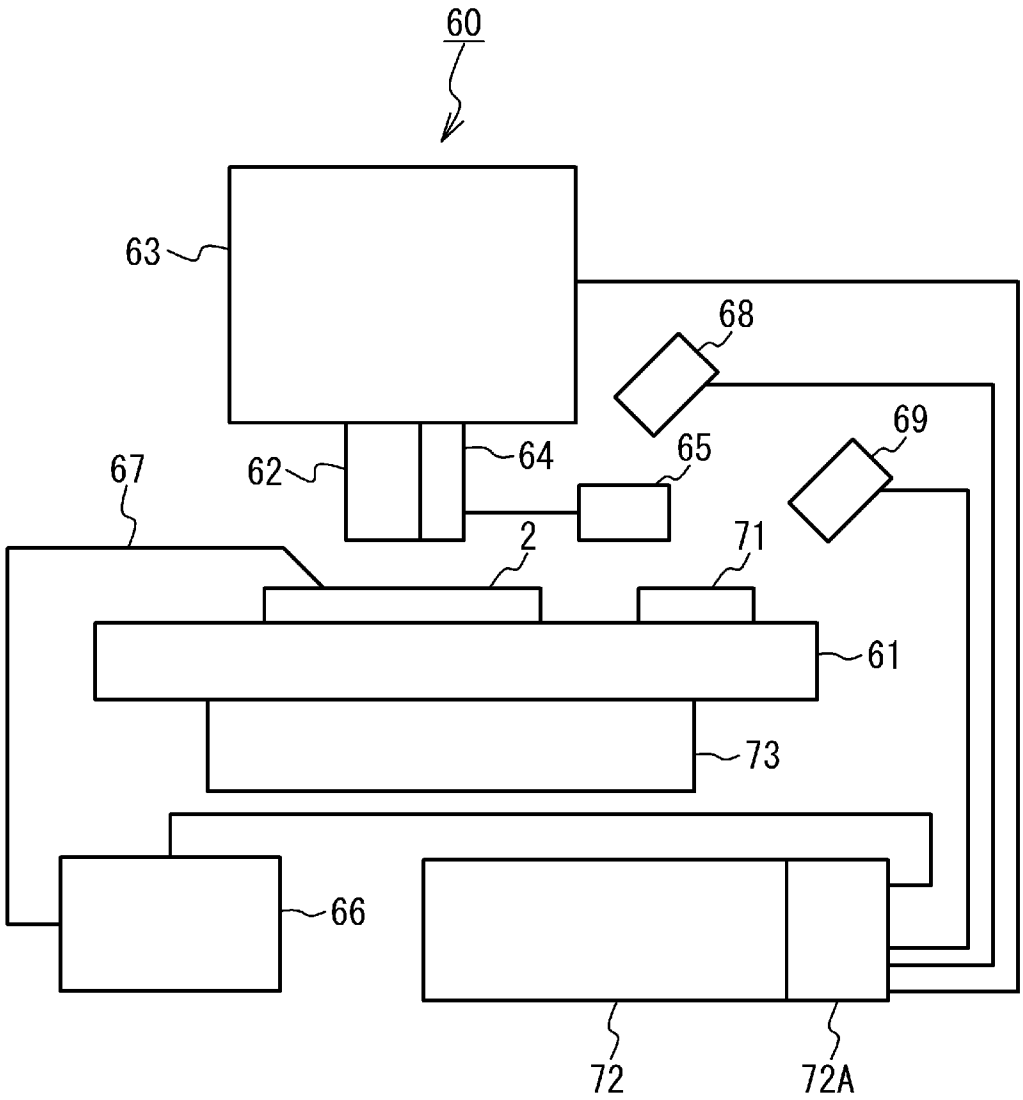
[図12]



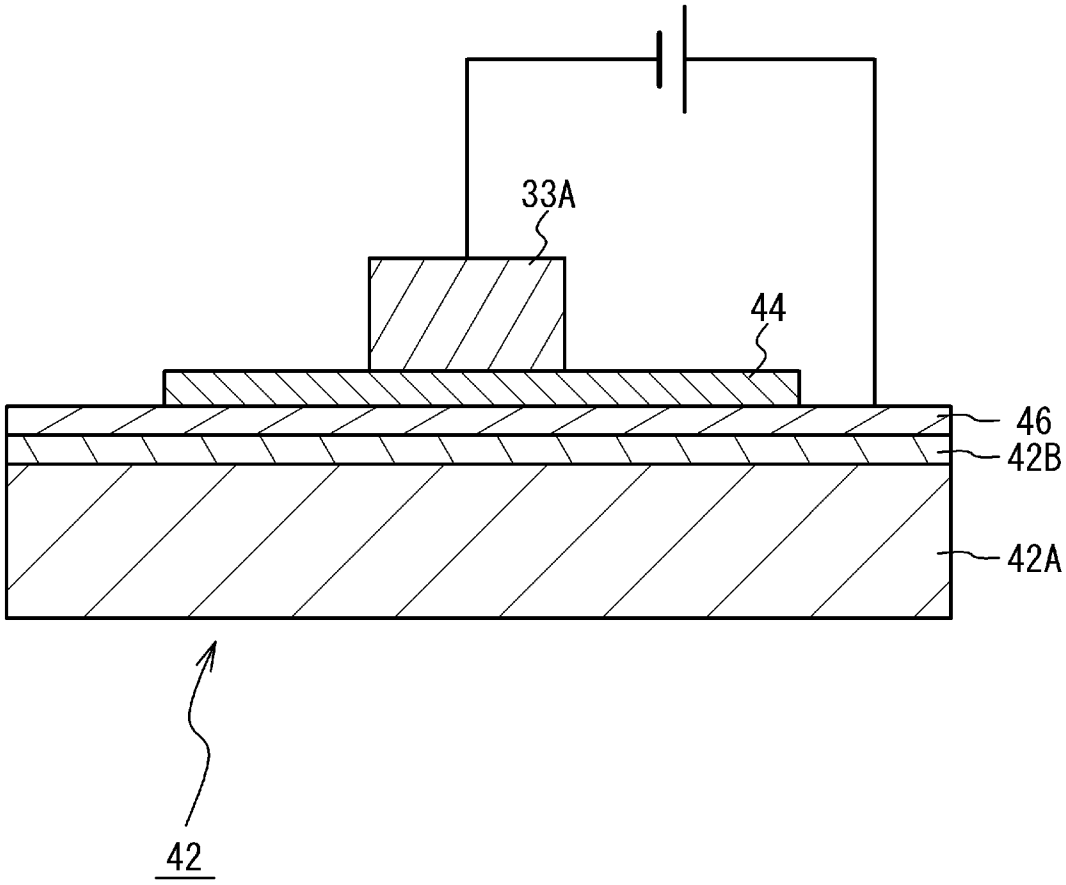
[図13]



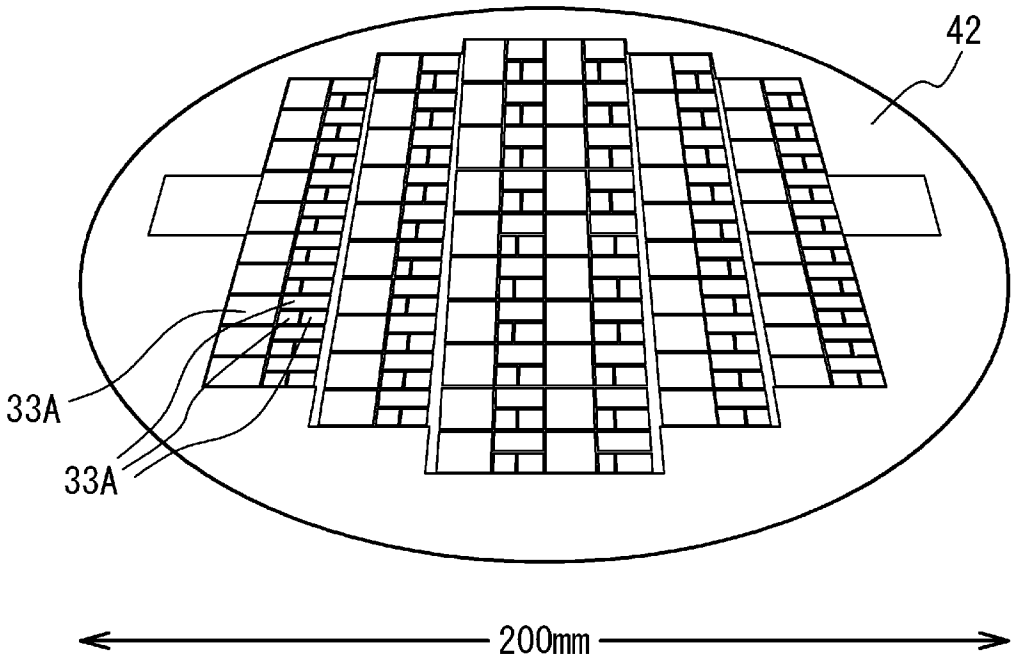
[図14]



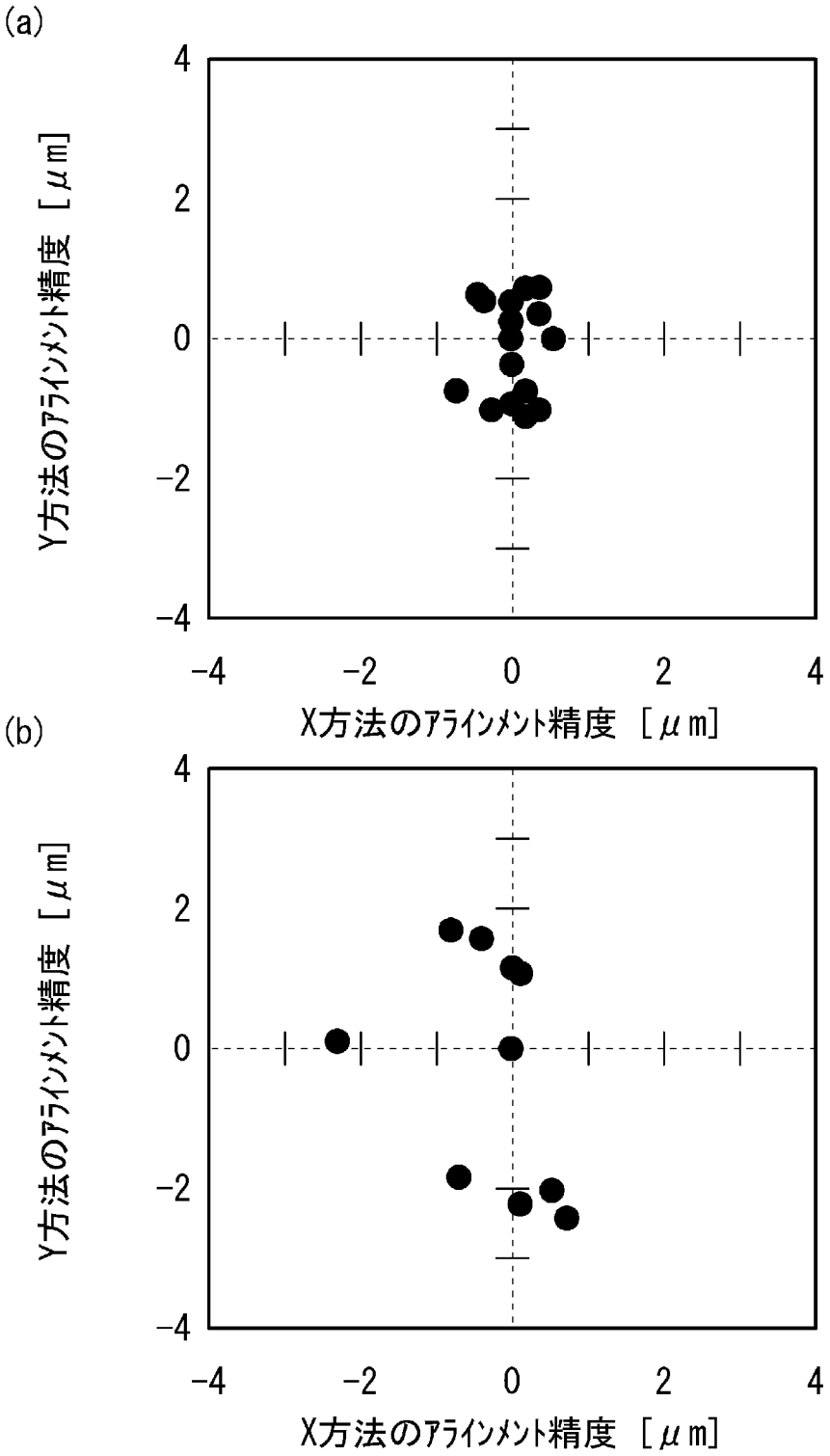
[図15]



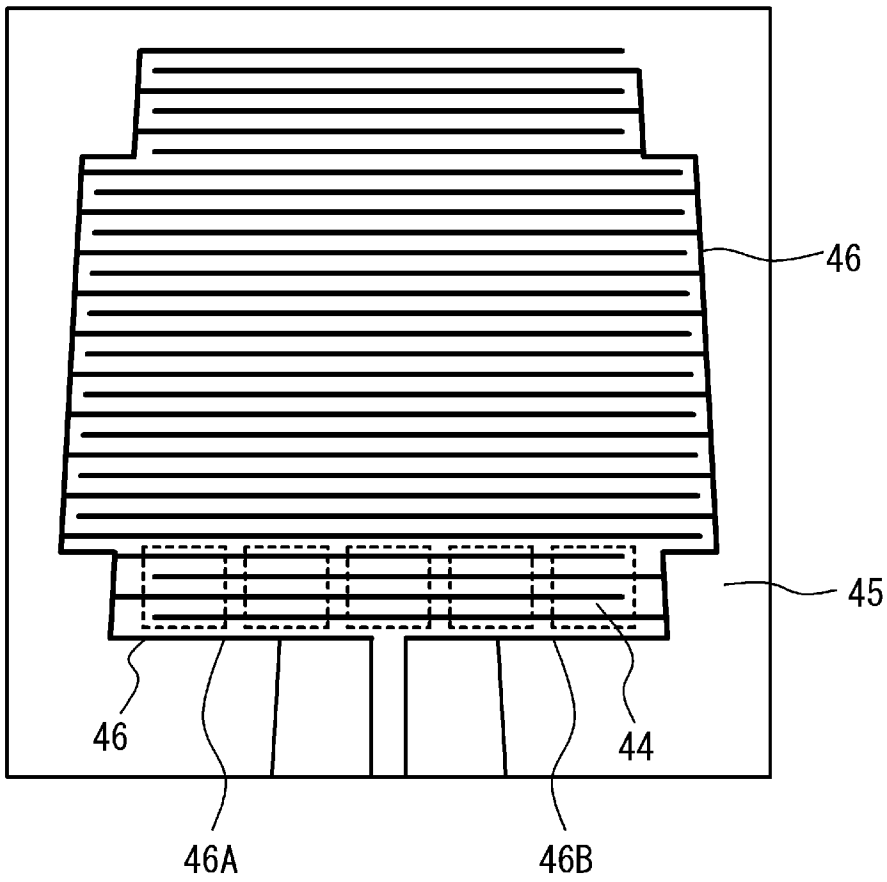
[図16]



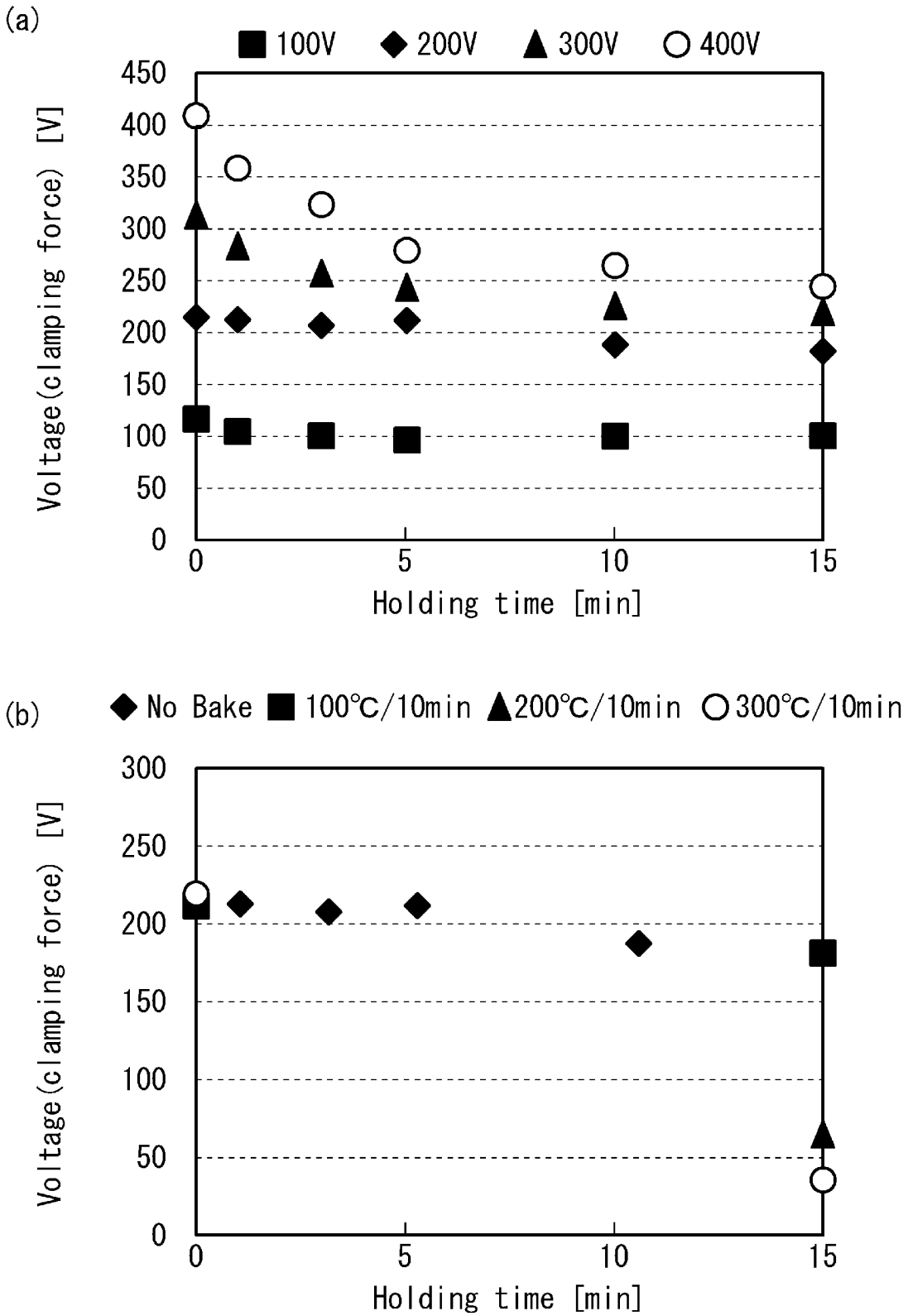
[図17]


(a)
Y方法のアライメント精度 [μm]
4
2
0
−2
−4
−4
−2
0
2
4
X方法のアライメント精度 [μm]
(b)
Y方法のアライメント精度 [μm]
4
2
0
−2
−4
−4
−2
0
2
4
X方法のアライメント精度 [μm]

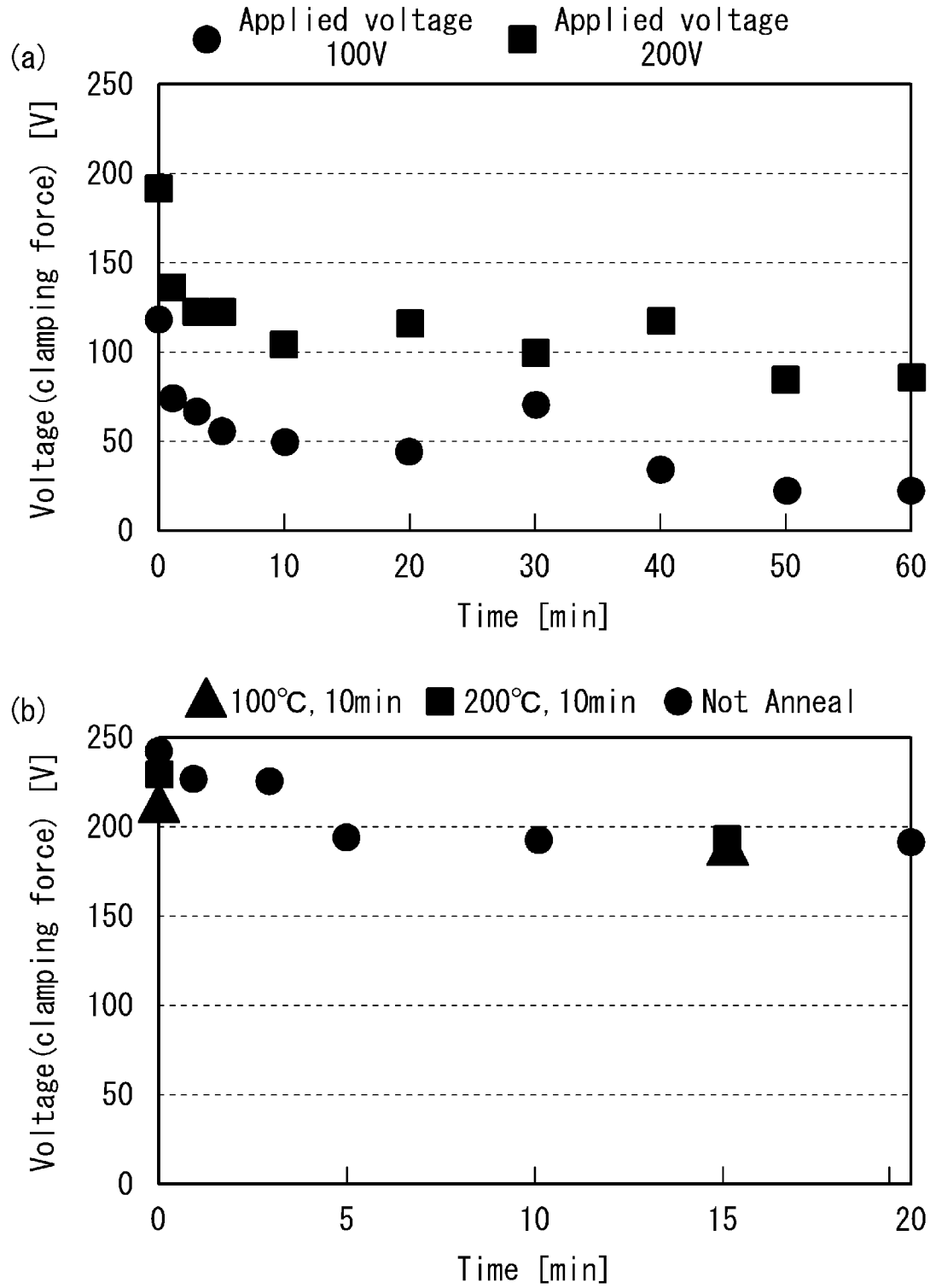
[図18]



[図19]

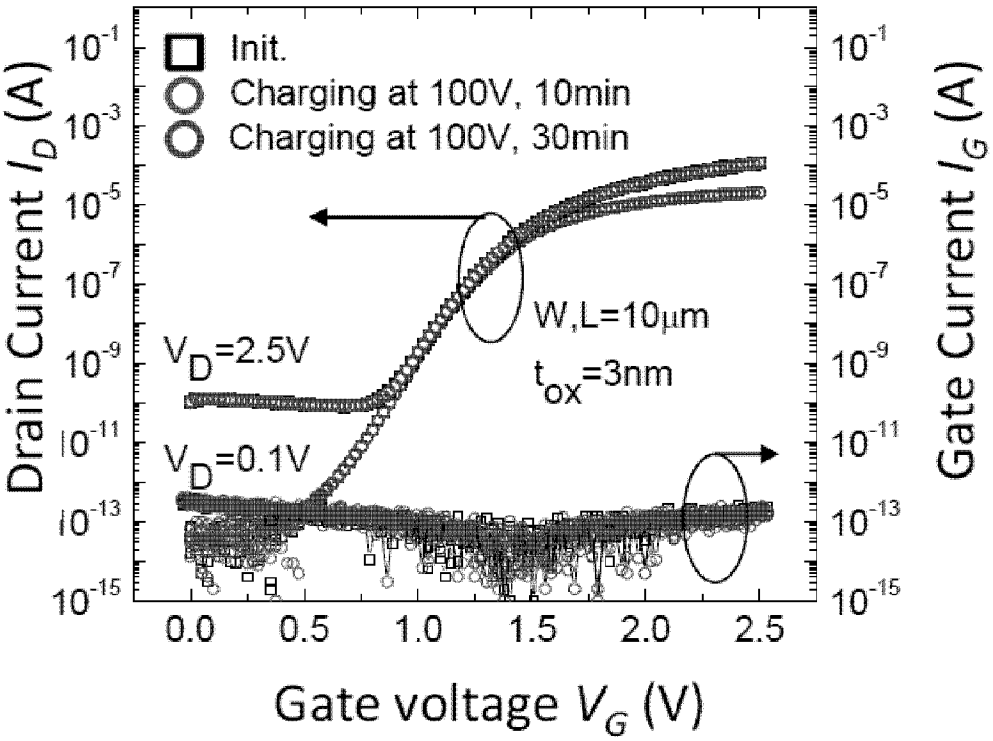

(a)
100V
200V
300V
400V
Voltage(clamping force) [V]
450
400
350
300
250
200
150
100
50
0
0
5
10
15
Holding time [min]
(b)
No Bake
100℃/10min
200℃/10min
300℃/10min
Voltage(clamping force) [V]
300
250
200
150
100
50
0
0
5
10
15
Holding time [min]

[図20]

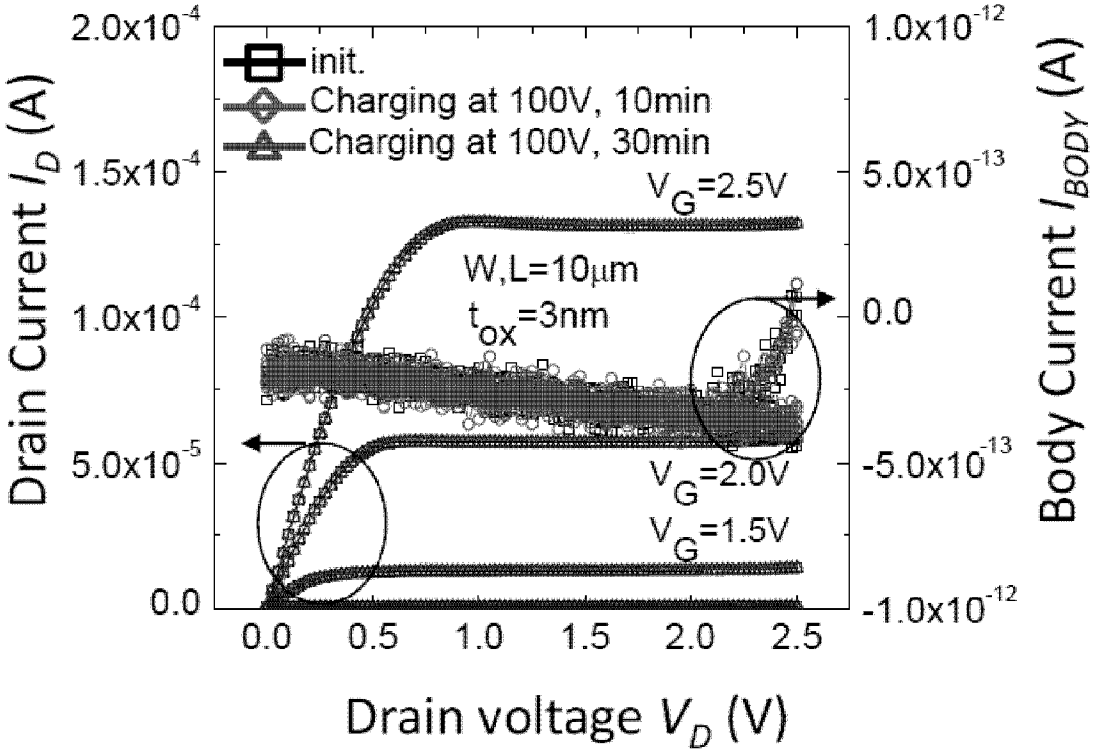

(a)
Applied voltage 100V
Applied voltage 200V
Voltage(clamping force) [V]
250
200
150
100
50
0
0
10
20
30
40
50
60
Time [min]
(b)
100℃, 10min
200℃, 10min
Not Anneal
Voltage(clamping force) [V]
250
200
150
100
50
0
0
5
10
15
20
Time [min]

[図21]

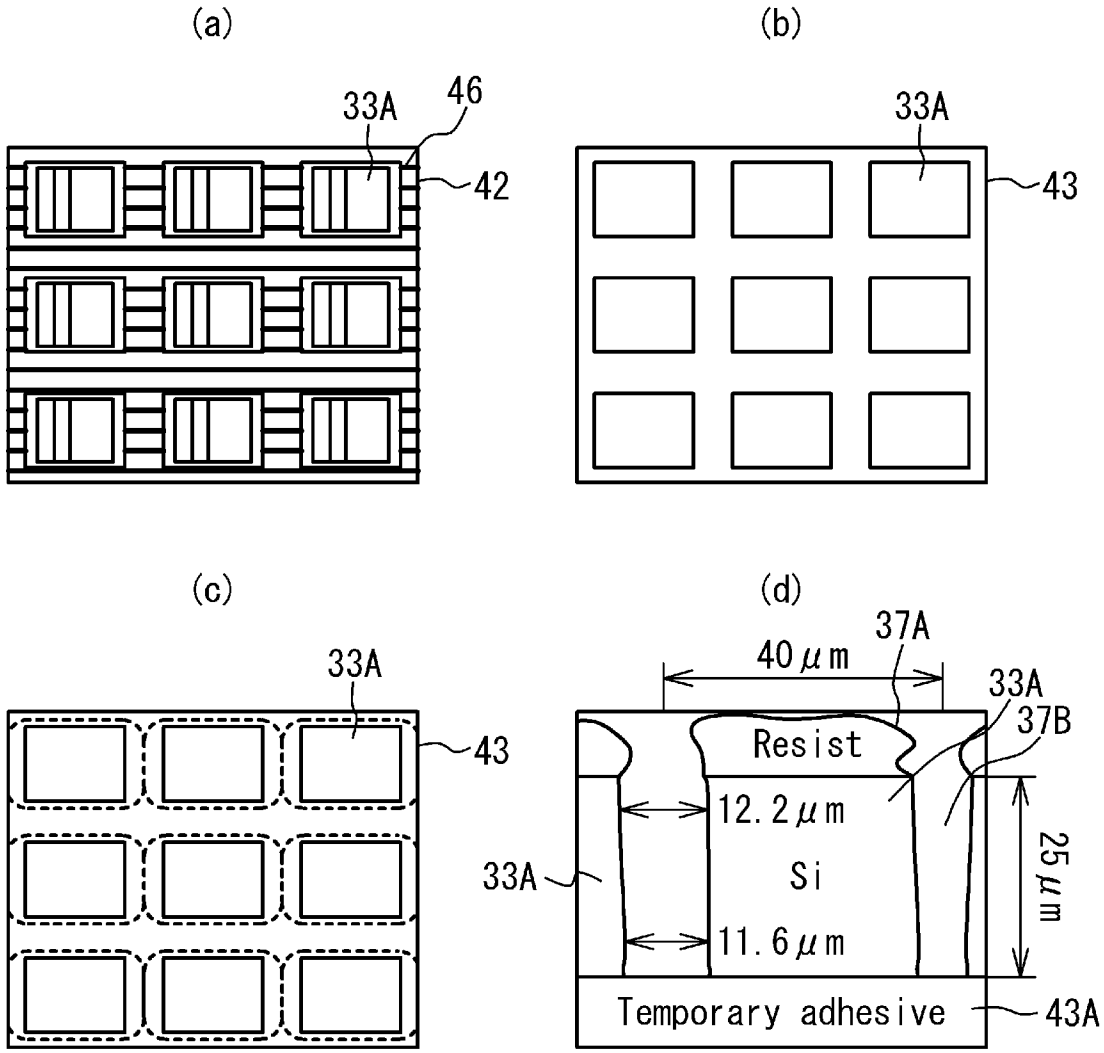
(a)


Init.
Charging at 100V, 10min
Charging at 100V, 30min
W,L=10μm
t_{ox}=3nm
V_D=2.5V
V_D=0.1V
Drain Current I_D (A)
Gate Current I_G (A)
Gate voltage V_G (V)

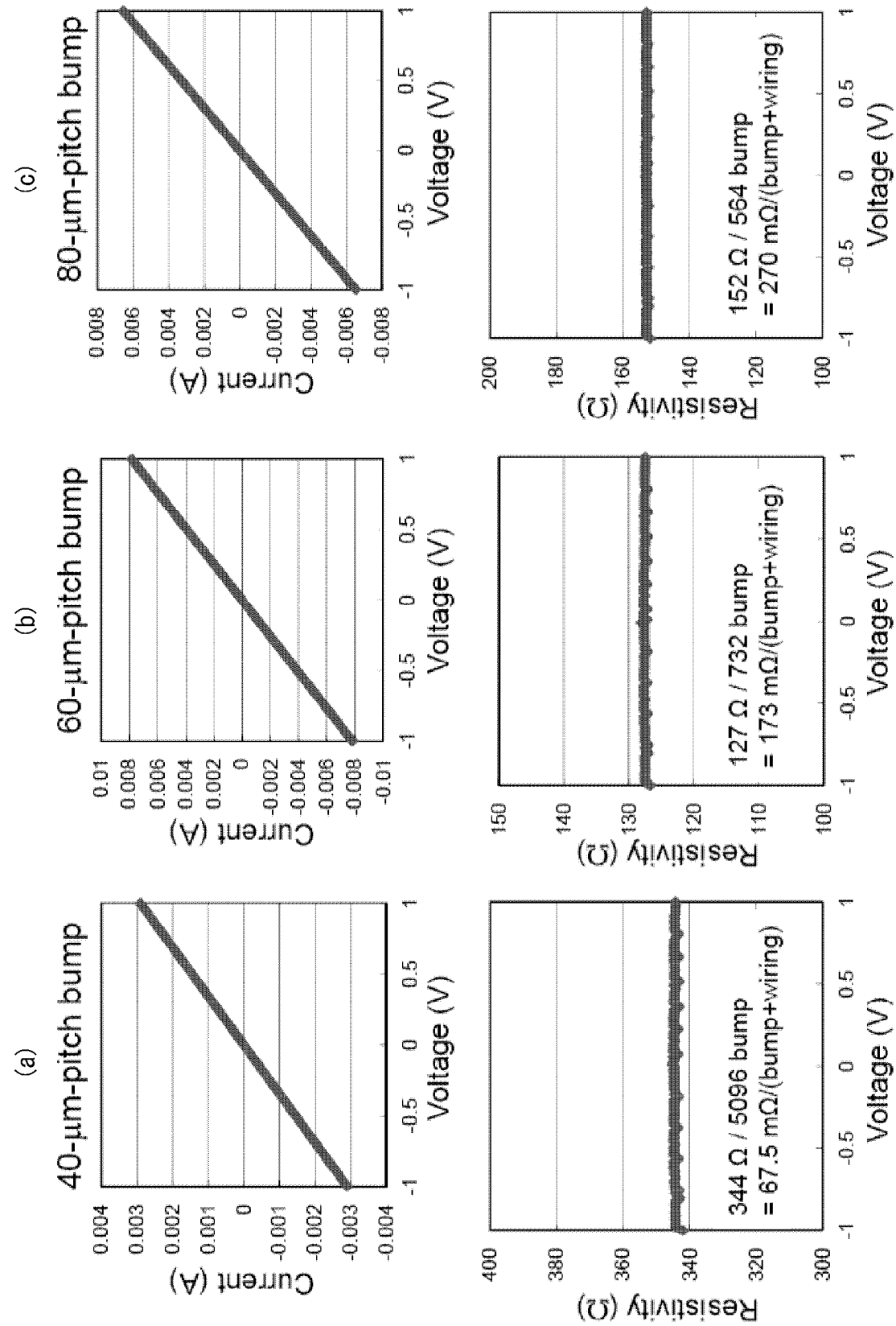
(b)


init.
Charging at 100V, 10min
Charging at 100V, 30min
W,L=10μm
t_{ox}=3nm
V_G=2.5V
V_G=2.0V
V_G=1.5V
Drain Current I_D (A)
Body Current I_{BODY} (A)
Drain voltage V_D (V)

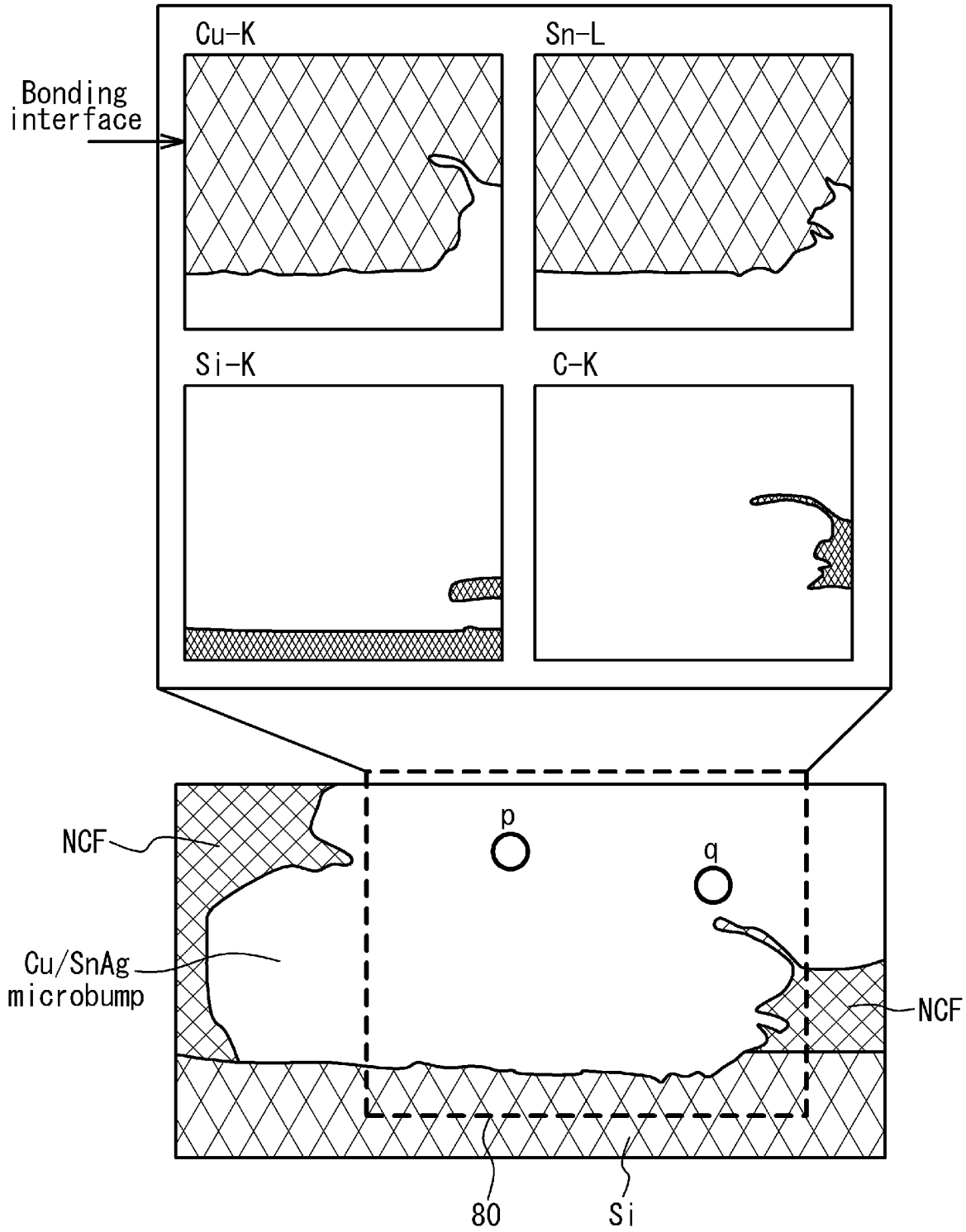
[図22]


(a)
33A
46
42
(b)
33A
43
(c)
33A
43
(d)
37A
40μm
33A
37B
Resist
12.2μm
Si
11.6μm
25μm
33A
Temporary adhesive
43A

[図23]

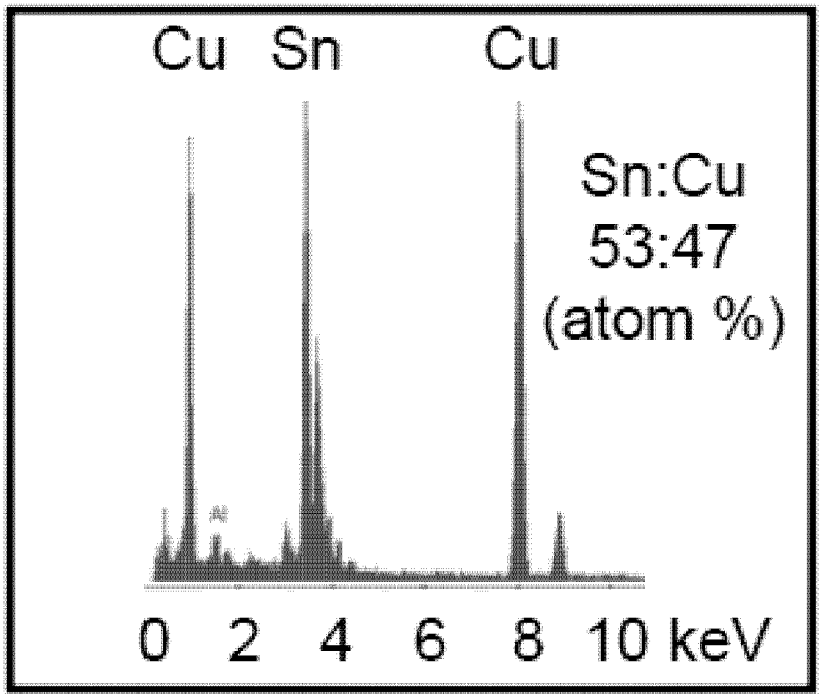

(a)
40-μm-pitch bump
Current (A)
Voltage (V)
Resistivity (Ω)
344 Ω / 5096 bump
= 67.5 mΩ/(bump+wiring)
(b)
60-μm-pitch bump
Current (A)
Voltage (V)
Resistivity (Ω)
127 Ω / 732 bump
= 173 mΩ/(bump+wiring)
(c)
80-μm-pitch bump
Current (A)
Voltage (V)
Resistivity (Ω)
152 Ω / 564 bump
= 270 mΩ/(bump+wiring)

[図24]

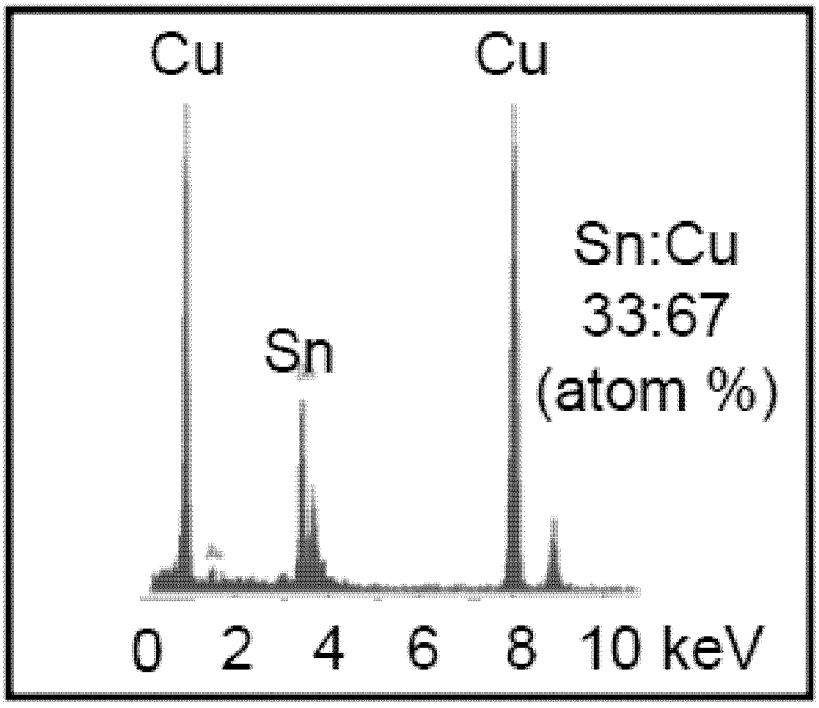

Cu-K
Sn-L
Bonding interface
Si-K
C-K
NCF
p
q
Cu/SnAg microbump
NCF
80
Si

[図25]

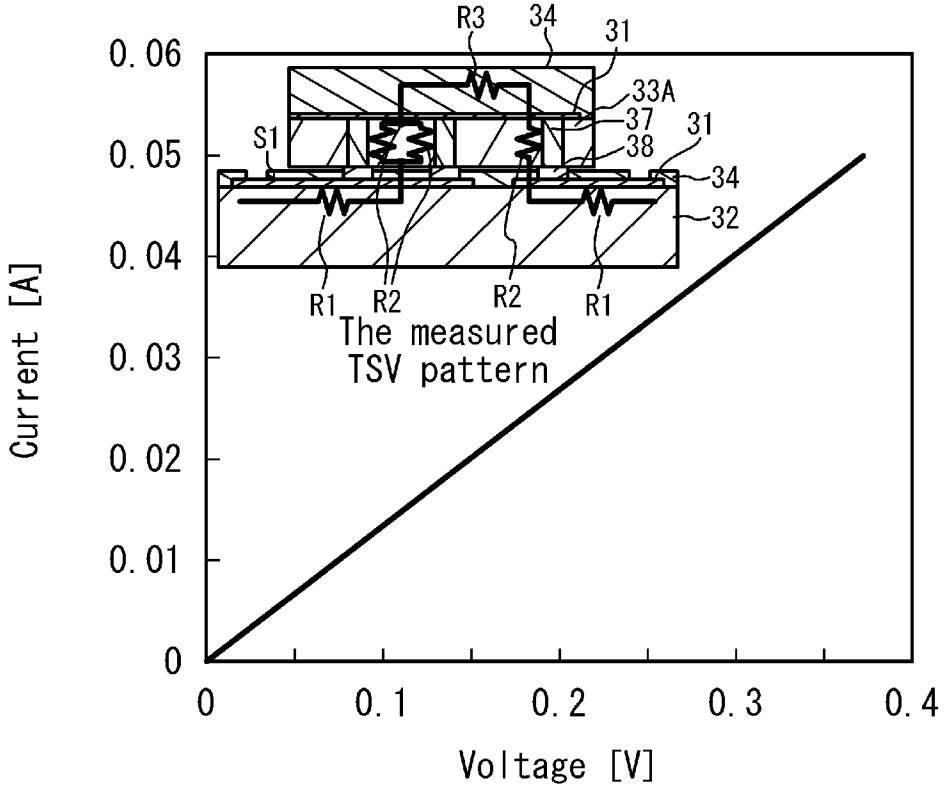
(a)


Cu
Sn
Cu
Sn:Cu
53:47
(atom %)
0 2 4 6 8 10 keV

(b)

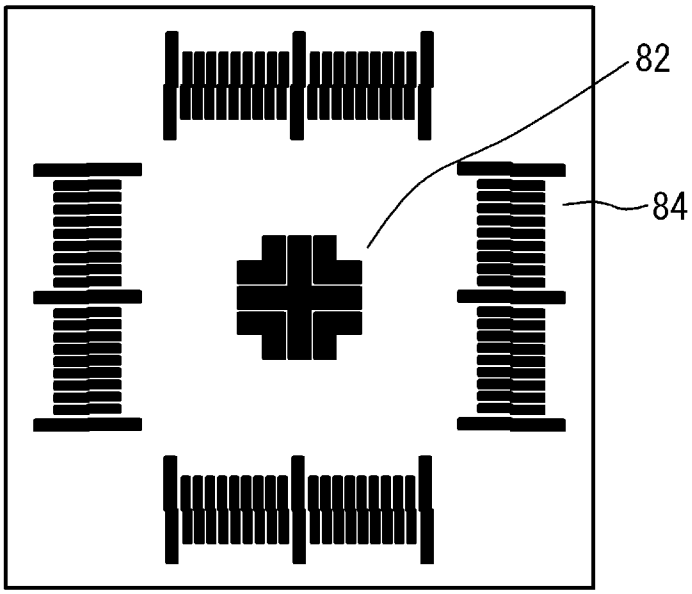

Cu
Cu
Sn
Sn:Cu
33:67
(atom %)
0 2 4 6 8 10 keV

[図26]

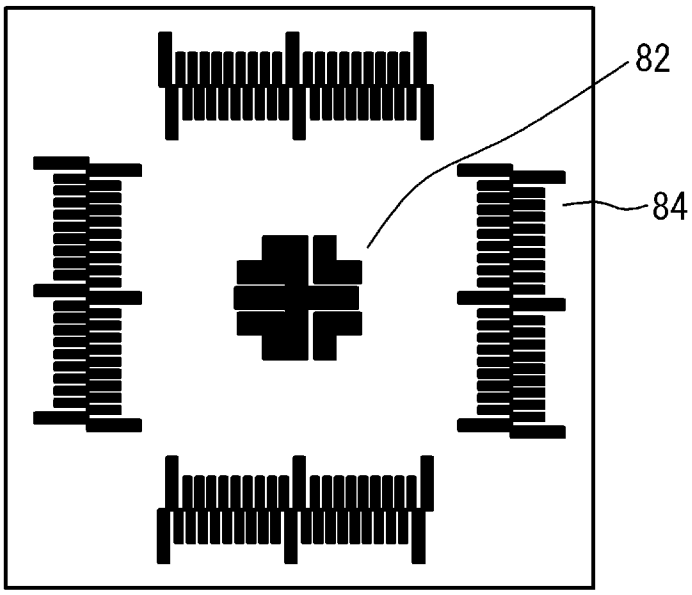

R3
34
31
33A
37
31
S1
38
34
32
R1
R2
R2
R1
The measured
TSV pattern
0.06
0.05
0.04
0.03
0.02
0.01
0
Current [A]
0
0.1
0.2
0.3
0.4
Voltage [V]

[図27]

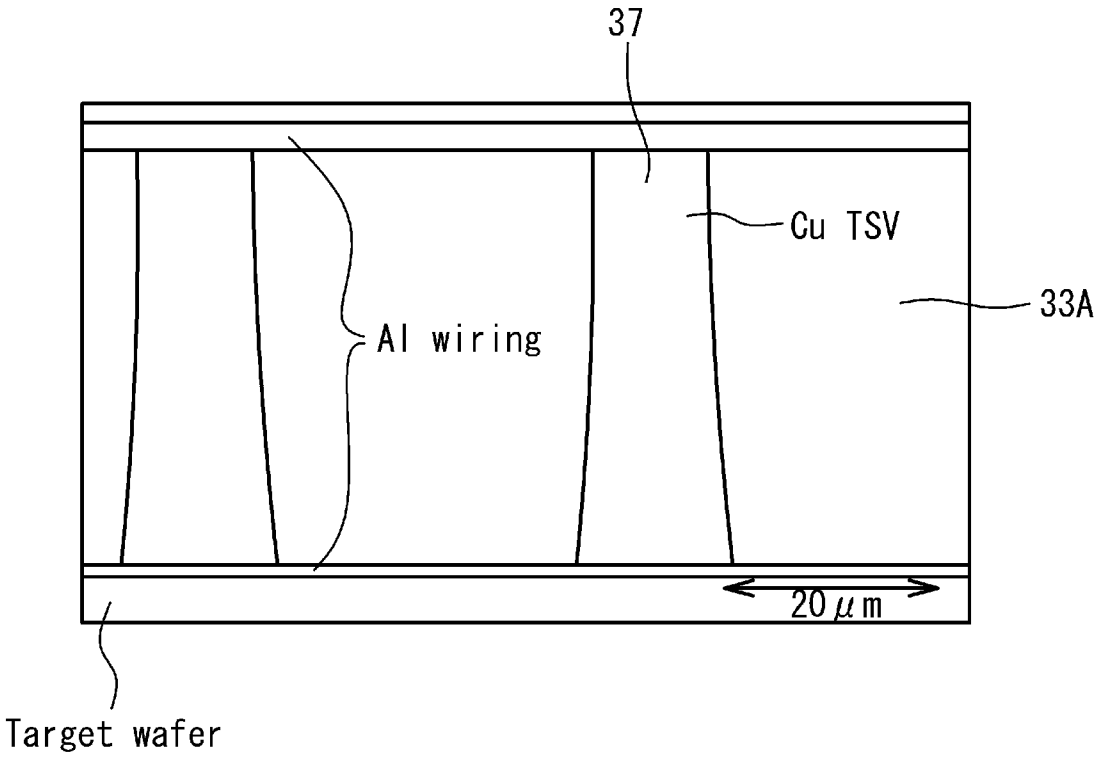
(a)



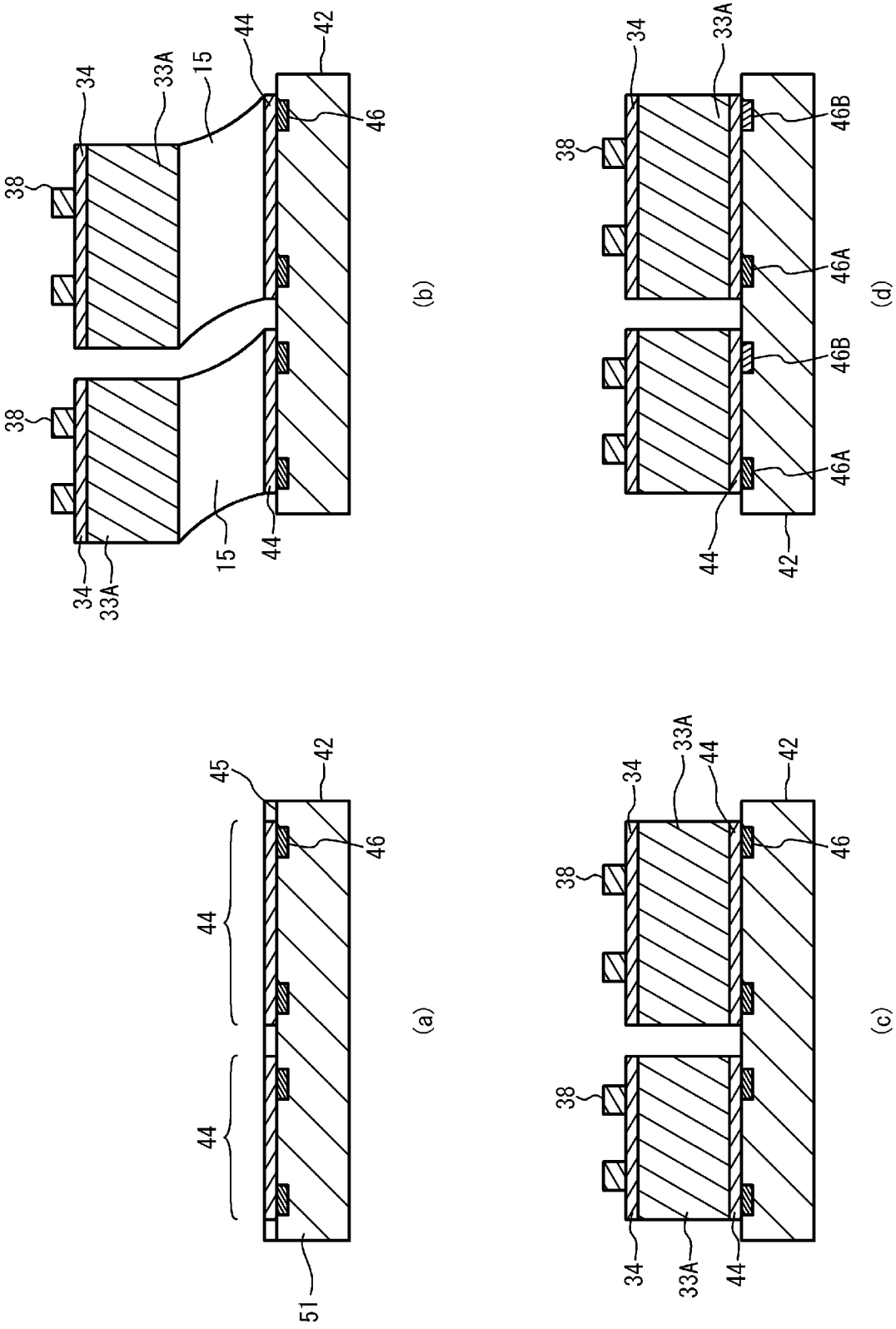
(b)



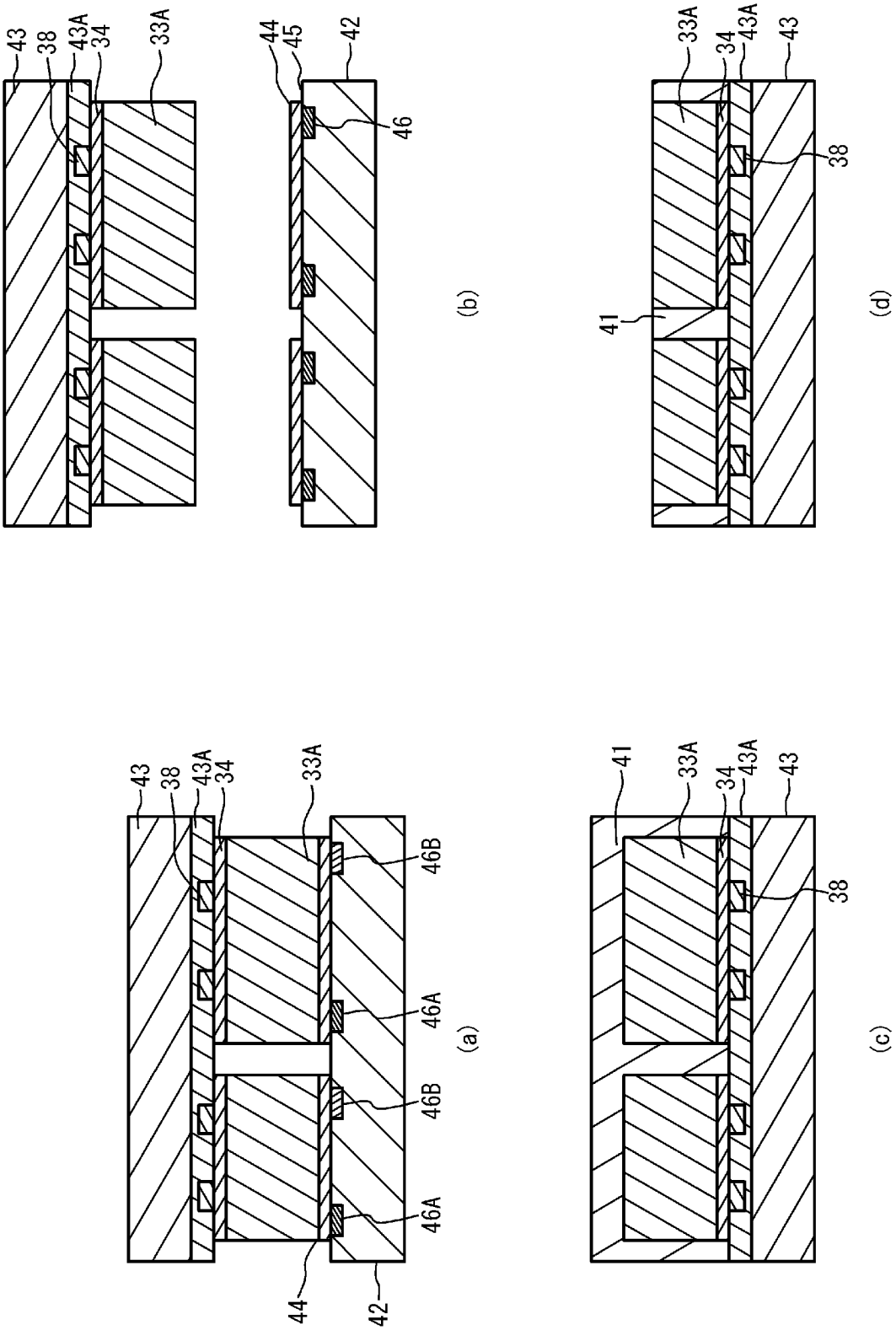
[図28]



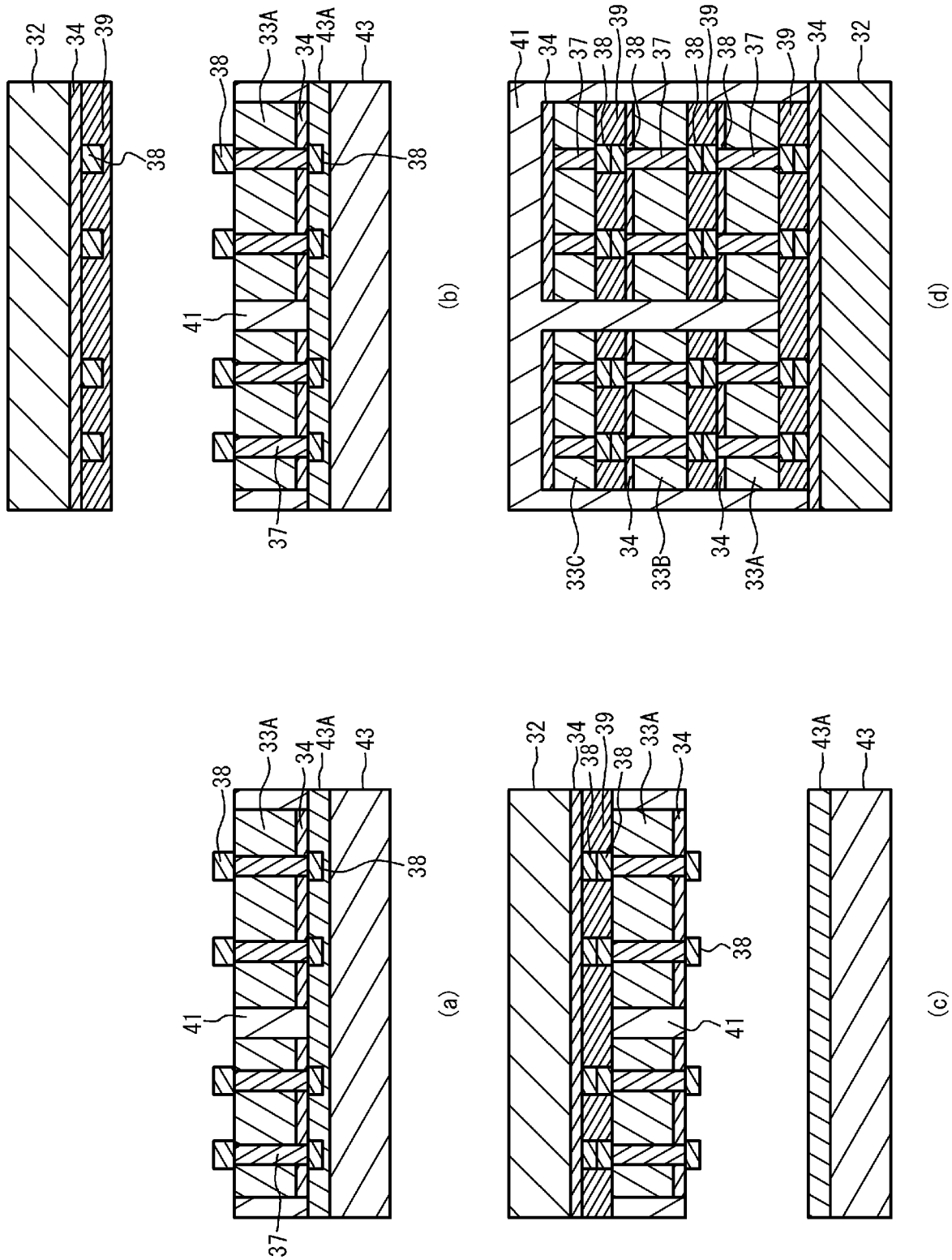
[図29]


(a)
45
42
46
44
44
51
(b)
34
33A
15
44
42
46
38
38
34
33A
15
44
(c)
34
33A
44
42
46
38
38
34
33A
44
(d)
34
33A
46B
38
46A
46B
46A
44
42

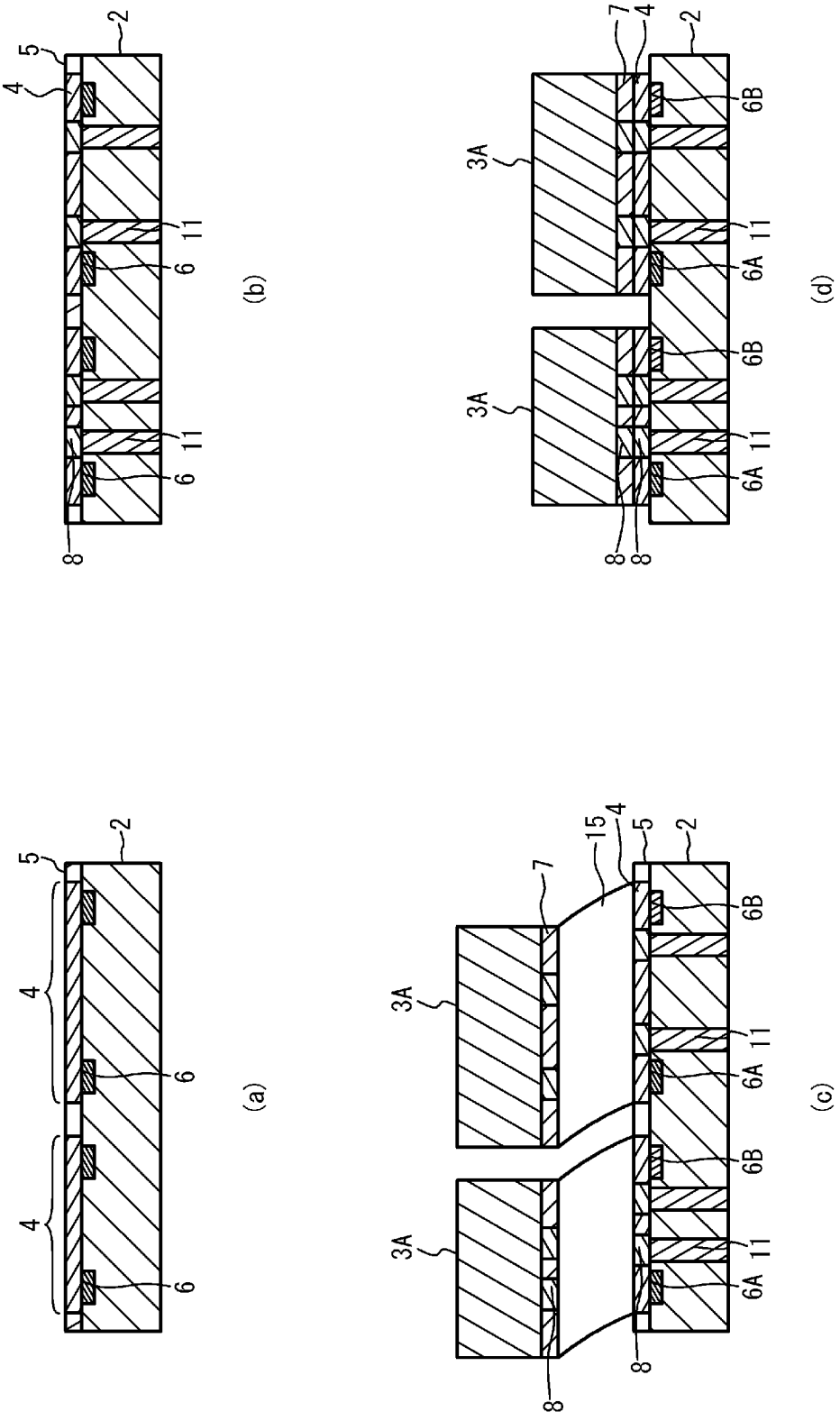
[図30]


43
38
43A
34
33A
44
45
42
46
(b)
33A
34
43A
43
38
41
(d)
43
38
43A
34
33A
46B
46A
46B
46A
44
42
(a)
41
33A
34
43A
43
38
(c)

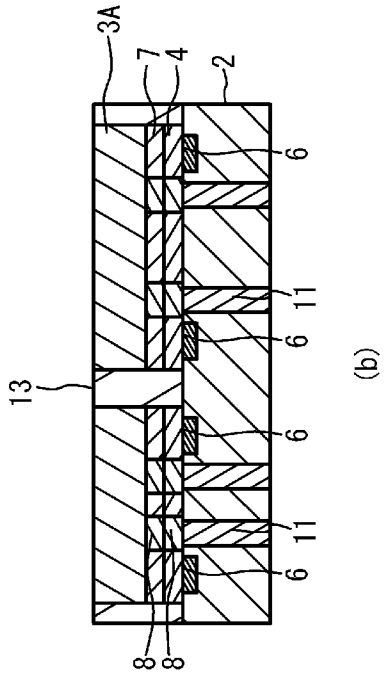
[図31]



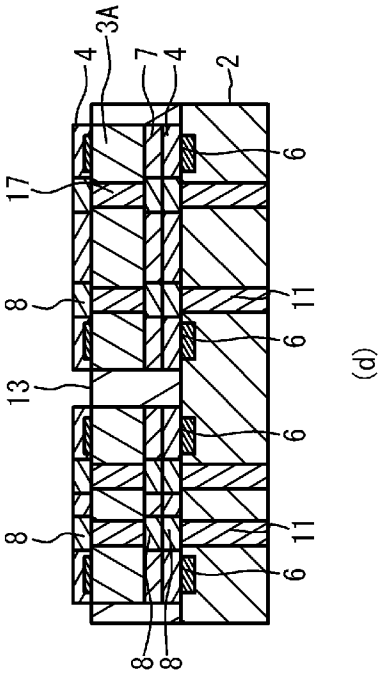
[図32]



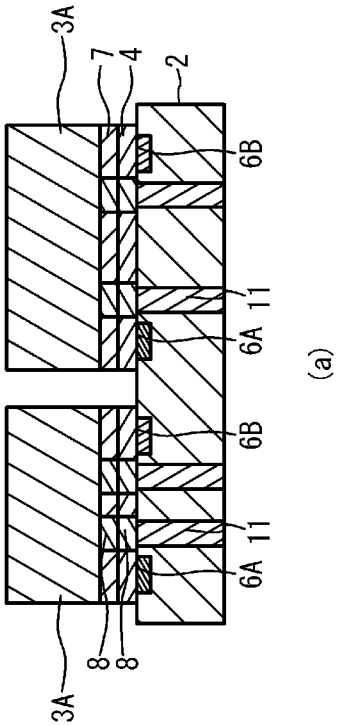
[図33]


3A
7
4
2
6
11
6
13
6
11
6
8
8

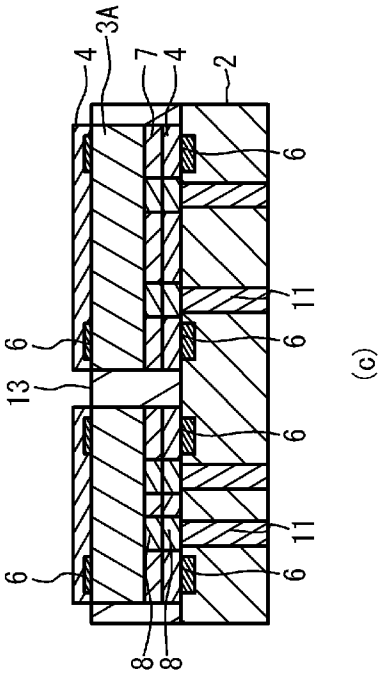
(b)


4
3A
7
4
2
6
17
8
11
6
13
6
8
11
6
8
8

(d)

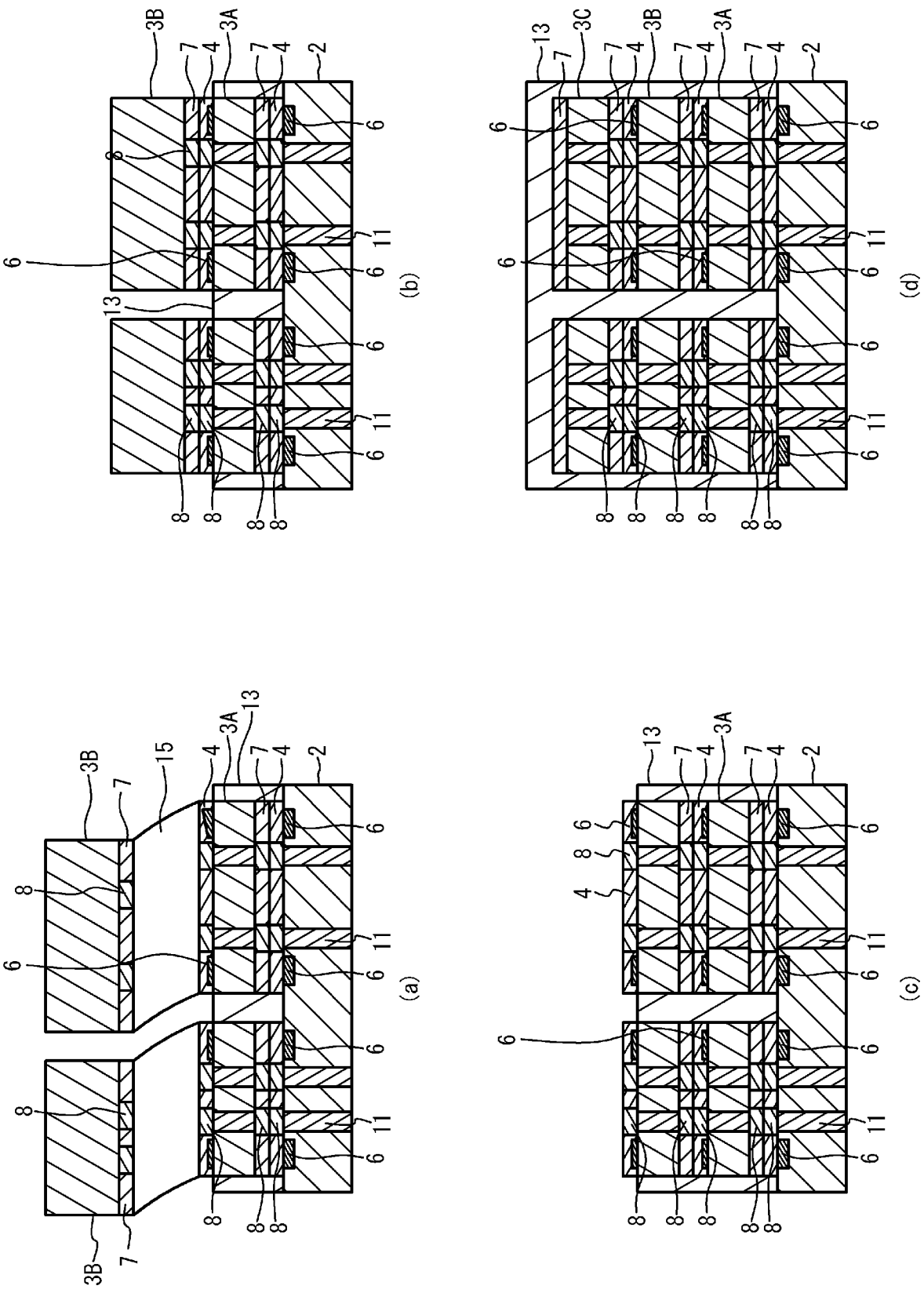

3A
7
4
2
6B
11
6A
6B
11
6A
8
8
3A

(a)

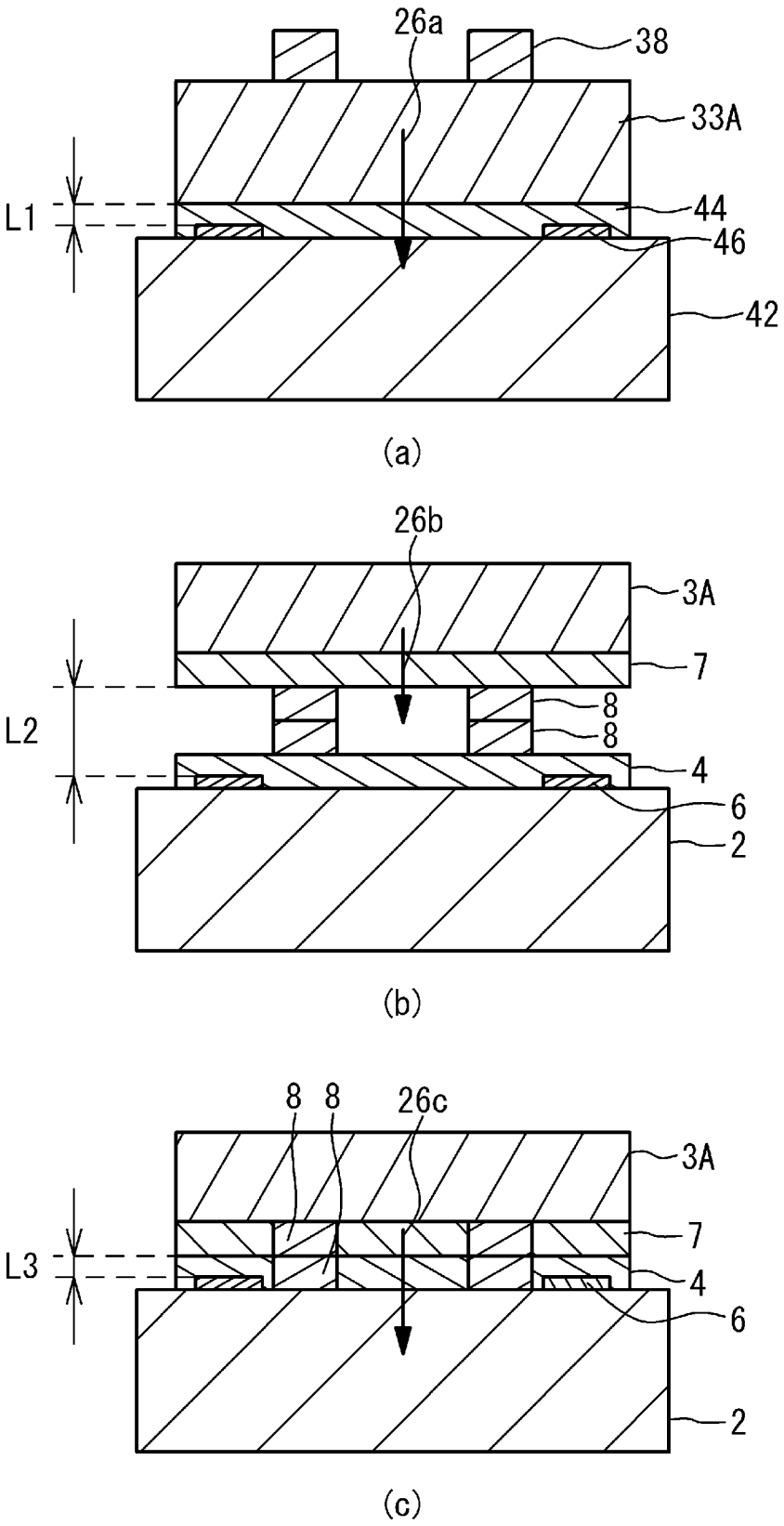

4
3A
7
4
2
6
11
6
13
6
6
11
6
8
8

(c)

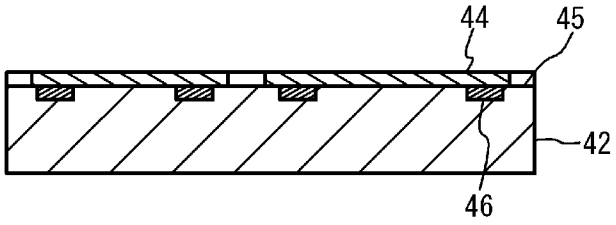
[図34]



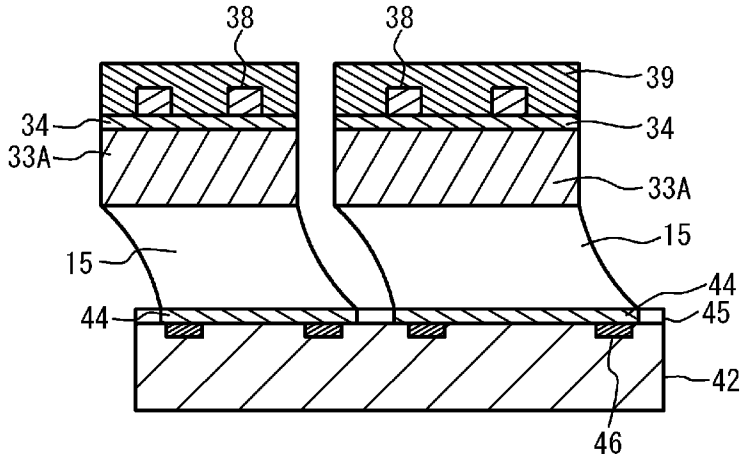
[図35]



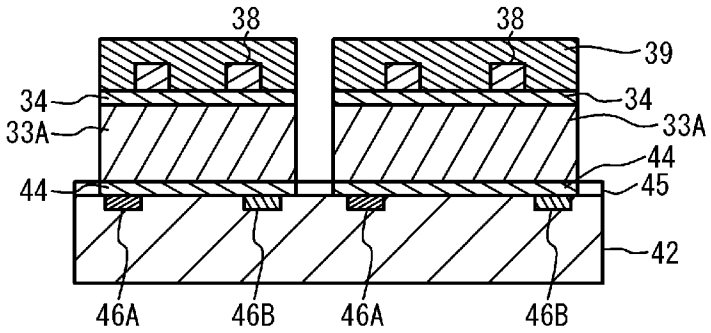
[図36]


44
45
42
46

(a)

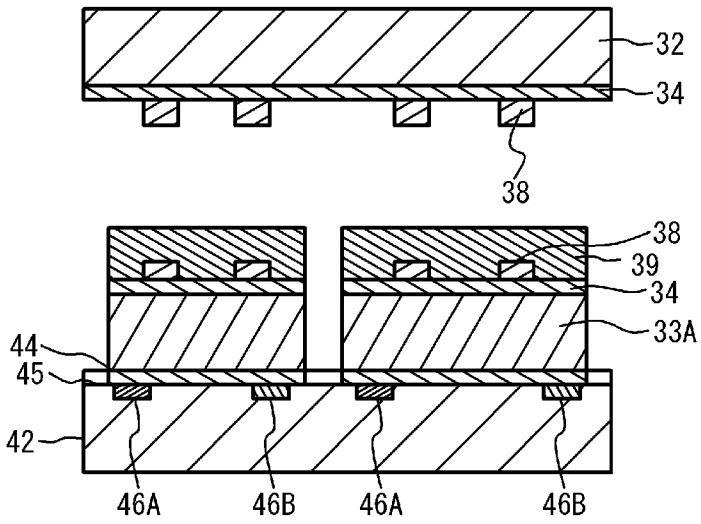

38
38
39
34
34
33A
33A
15
15
44
44
45
42
46

(b)

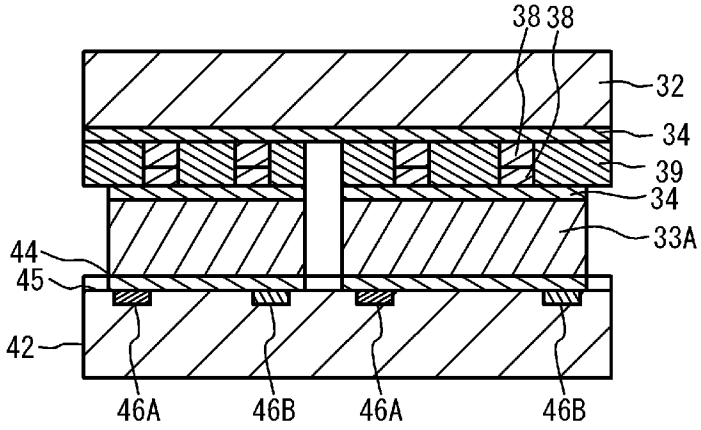

38
38
39
34
34
33A
33A
44
44
45
42
46A
46B
46A
46B

(c)

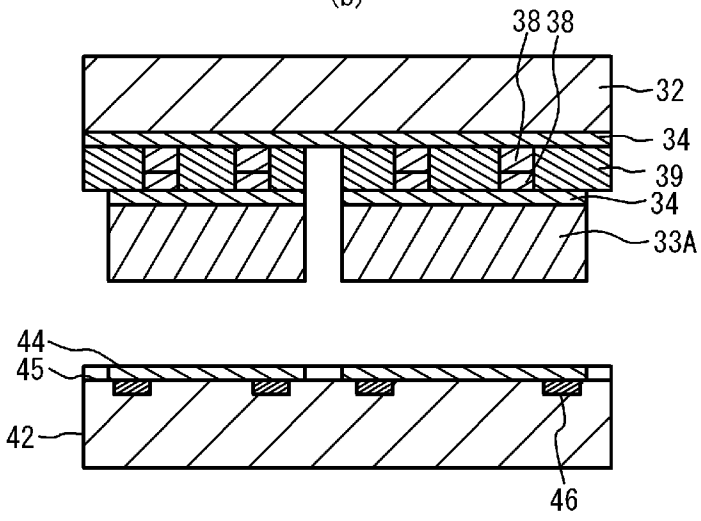
[図37]


32
34
38
38
39
34
33A
44
45
42
46A
46B
46A
46B

(a)

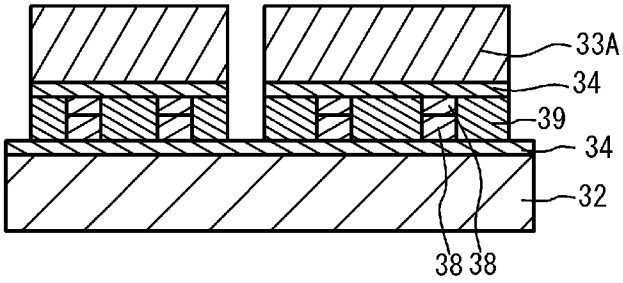

38 38
32
34
39
34
33A
44
45
42
46A
46B
46A
46B

(b)

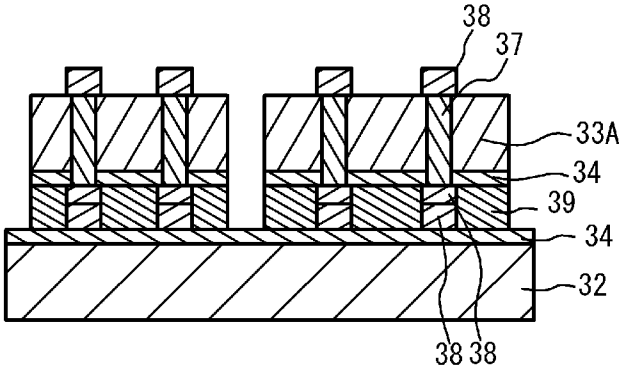

38 38
32
34
39
34
33A
44
45
42
46

(c)

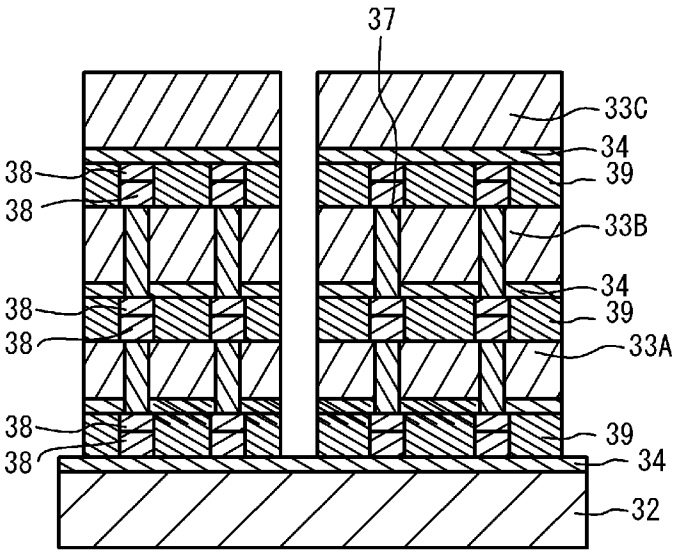
[図38]


33A
34
39
34
32
38 38

(a)


38
37
33A
34
39
34
32
38 38

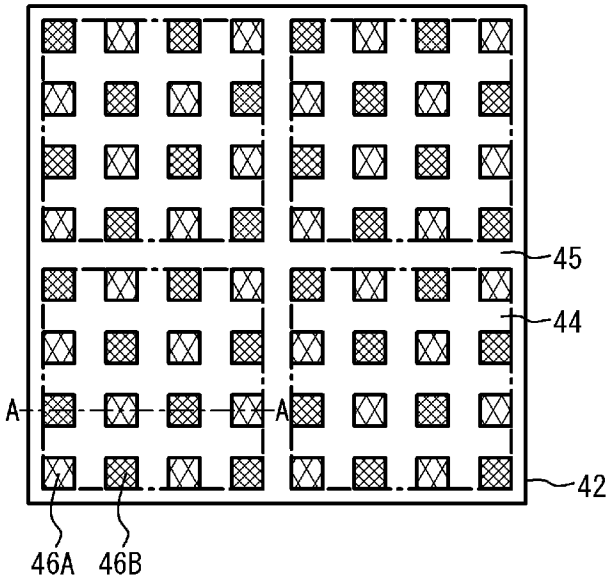
(b)


37
33C
34
39
38
38
33B
34
39
38
38
33A
39
38
38
34
32

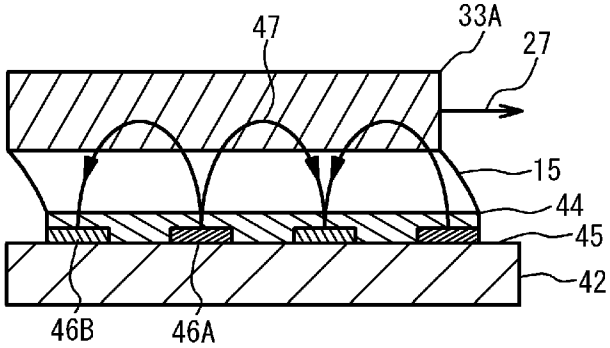
(c)

[図39]

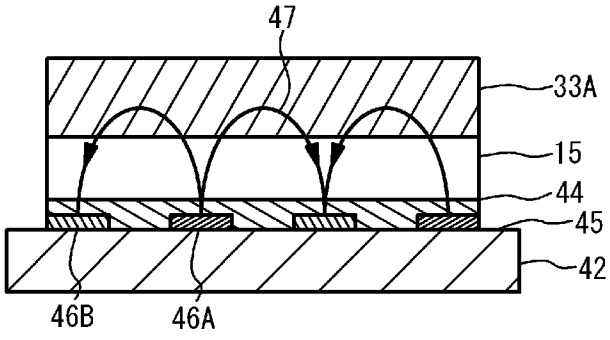
(a)


45
44
A
A
42
46A
46B

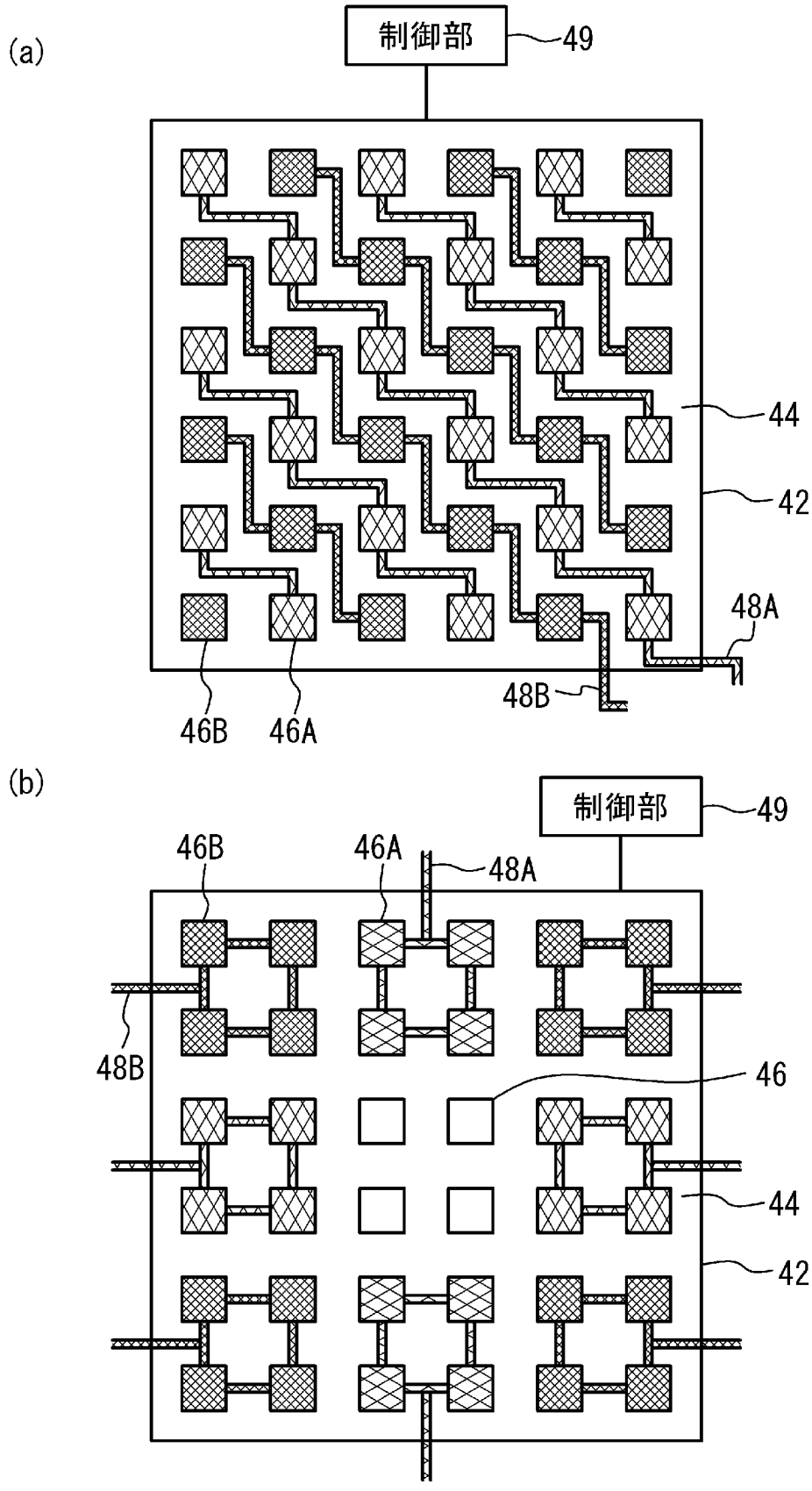
(b)


47
33A
27
15
44
45
42
46B
46A

(c)


47
33A
15
44
45
42
46B
46A

[図40]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/074876

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12(2006.01)i, *H01L21/52*(2006.01)i, *H01L21/60*(2006.01)i, *H01L23/32*(2006.01)i, *H01L25/065*(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/12, H01L21/52, H01L21/60, H01L23/32, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-192663 A (Tokyo Electron Ltd.), 29 September 2011 (29.09.2011), paragraphs [0071] to [0087]; fig. 4A to 4C (Family: none)	1-5,9-13,15, 16,19,21 6-8,14,17, 18,20,22
Y A	JP 2008-177215 A (Sharp Corp.), 31 July 2008 (31.07.2008), paragraphs [0030] to [0053]; fig. 1, 2 (Family: none)	1-5,9-13,15, 16,19,21 6-8,14,17, 18,20,22
A	JP 2010-153645 A (Nikon Corp.), 08 July 2010 (08.07.2010), paragraph [0090] (Family: none)	1-22

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 November, 2013 (13.11.13)	17 December, 2013 (17.12.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/074876

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-206021 A (Panasonic Corp.), 16 September 2010 (16.09.2010), paragraphs [0040] to [0073]; fig. 3 (Family: none)	1-22

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７４８７６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12(2006.01)i, H01L21/52(2006.01)i, H01L21/60(2006.01)i, H01L23/32(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12, H01L21/52, H01L21/60, H01L23/32, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2011-192663 A（東京エレクトロン株式会社）2011.09.29, 段落【００７１】－【００８７】，【図４Ａ】－【図４Ｃ】 （ファミリーなし）	1-5, 9-13, 15, 16, 19, 21 6-8, 14, 17, 18, 20, 22
Y A	JP 2008-177215 A（シャープ株式会社）2008.07.31, 段落【００３０】－【００５３】，【図１】，【図２】 （ファミリーなし）	1-5, 9-13, 15, 16, 19, 21 6-8, 14, 17, 18, 20, 22

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．１１．２０１３	１７．１２．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｒ　４８６２
田代　吉成
電話番号　０３－３５８１－１１０１　内線　３４７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-153645 A（株式会社ニコン）2010.07.08, 段落【００９０】（ファミリーなし）	1-22
A	JP 2010-206021 A（パナソニック株式会社）2010.09.16, 段落【００４０】－【００７３】，【図３】（ファミリーなし）	1-22