(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G06F 13/00 (2006.01)

(45) 공고일자 2006년12월27일
(11) 등록번호 10-0635235
(24) 등록일자 2006년10월11일

(21) 출원번호 10-1998-0030777
(22) 출원일자 1998년07월30일
심사청구일자 2003년07월01일

(65) 공개번호 10-1999-0014284
(43) 공개일자 1999년02월25일

(30) 우선권주장 97-204374 1997년07월30일 일본(JP)

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자
곤도 데츠지로
일본 도쿄도 시나가와쿠 기다시나가와 6-7-35 소니(주) 내

(74) 대리인
정상구
신현문
이범래
이병호

심사관 : 이재근

전체 청구항 수 : 총 12 항

(54) 기억장치및액세스방법

(57) 요약

본 발명의 화상을 기억시키는 메모리와는 별도로, 라인 지연을 행하는 회로를 설치하지 않더라도, 계층 부호화를 행하는 것이 가능하도록 한 기억 장치 및 액세스 방법에 관한 것이다.

구체적으로는, 어드레스 공급 회로(1)는, 제1 계층 메모리(2)에 대하여, 9 비트의 수평 어드레스 및 수직 어드레스를 어드레스로서 공급함과 동시에, 제2 계층 메모리(3)에 대하여, 수평 어드레스 또는 수직 어드레스 각각의 최하위 비트를 제외하는 상위 8비트를 어드레스로서 공급한다. 그 결과, 제1 계층 메모리(2)의 어드레스 (2s, 2t), (2s+ 1, 2t), (2s, 2t+ 1), (2s+ 1, 2t+ 1)에, 제1 계층의 화소가 기록되는 타이밍에서는, 어느 것에 있어서도, 제2 계층 메모리(3)의 동일 어드레스 (s, t)에 액세스가 이루어진다. 이것을 이용하여, RMW 회로(5)에서는, 제1 계층 메모리(2)의 어드레스(2s, 2t), (2s+ 1, 2t), (2s, 2t+ 1), (2s+ 1, 2t+ 1)의 기억치의 가산치가 구해지고, 제2 계층 메모리(3)의 어드레스(s, t)에 기록된다.

대표도

도 1

특허청구의 범위

청구항 1.

화상을 기억하는 기억 장치에 있어서:

적어도 제1 및 제2 어드레스 신호에 의해 어드레스 지정되고, 상기 지정된 어드레스에 입력 화상 데이터를 기억하는 제1 메모리부와;

적어도 상기 제1 및 제2 어드레스 신호의 일부에 의해서 어드레스 지정되고, 상기 지정된 어드레스에 상기 입력 화상 데이터를 처리한 제1 처리 데이터를 기억하는 제2 메모리부와;

상기 제1 및 제2 메모리부에 대한 데이터의 판독 기록을 제어함과 동시에, 상기 데이터에 대하여 소정의 연산처리를 행하는 제어부를 포함하고,

상기 제어부는,

상기 입력 화상 데이터를, 상기 제1 및 제2 어드레스 신호에 의해 지정되는 상기 제1 메모리부의 어드레스에 기록함과 동시에,

상기 제1 및 제2 어드레스 신호의 일부에 의해 지정되는 상기 제2 메모리부의 어드레스로부터, 그 곳에 기억되어 있는 기억 데이터를 판독하고,

상기 기억 데이터와 상기 입력 화상 데이터를 이용하여 가산처리를 행하는 것에 의해, 상기 제1 처리 데이터를 산출하고,

상기 제1 처리 데이터를, 상기 기억 데이터가 기억되어 있던 상기 제2 메모리부의 어드레스에 기록하고,

상기 제2 메모리부에 대한 판독은, 적어도 상기 제1 및 제2 어드레스 신호의 다른 일부에 의해 제어되는 것을 특징으로 하는, 기억 장치.

청구항 2.

제1항에 있어서,

상기 제어부는, 상기 제2 메모리부의 각 어드레스에 상기 각 어드레스에 대응하는 상기 제1 메모리부의 복수의 어드레스 각각에 기록된 데이터의 가산치를 기록하는 것을 특징으로 하는, 기억 장치.

청구항 3.

제1항에 있어서,

상기 제2 메모리부는, 상기 제1 메모리부가 기억할 수 있는 데이터보다도 긴 데이터 길이의 데이터를 기억하는 것을 특징으로 하는, 기억 장치.

청구항 4.

제3항에 있어서,

상기 제1 또는 제2 어드레스 신호는, 상기 입력 화상 데이터를 구성하는 화소의 수평 방향 또는 수직 방향의 위치에 대응한 것인 것을 특징으로 하는, 기억 장치.

청구항 5.

제4항에 있어서,

상기 제1 메모리부는, 상기 입력 화상 데이터의 1화면을 구성하는 화소에 대응하는 수에 대응하는 기억 용량을 갖는 것을 특징으로 하는, 기억 장치.

청구항 6.

제4항에 있어서,

상기 제1 메모리부는, 상기 입력 화상 데이터의 1화면을 구성하는 화소수로부터, 상기 제2 메모리부의 어드레스 수를 감산한 수에 대응하는 기억 용량을 갖는 것을 특징으로 하는, 기억 장치.

청구항 7.

제 4 항에 있어서,

상기 제어부는,

상기 제1 및 제2 어드레스 신호에 의해서 지정된 상기 제1 메모리부의 어드레스에 기억되어 있는 데이터를 판독함과 동시에, 상기 제1 및 제2 어드레스 신호의 일부에 의해서 지정된 상기 제2 메모리부의 어드레스에 기억되어 있는 데이터를 판독하고,

상기 2개의 데이터 중 어느 것인가를 선택하여 출력하는 것을 특징으로 하는, 기억 장치.

청구항 8.

화상을 기억하는 기억 장치에 있어서:

적어도 제1 및 제2 어드레스 신호에 의해 어드레스 지정되고, 상기 지정된 어드레스에 입력 화상 데이터를 기억하는 제1 메모리부와;

적어도 상기 제1 및 제2 어드레스 신호의 일부에 의해 어드레스 지정되고, 상기 지정된 어드레스에 상기 입력 화상 데이터를 처리한 제1 처리 데이터를 기억하는 제2 메모리부와;

상기 제1 및 제2 메모리부에 대한 데이터의 판독 기록을 제어함과 동시에, 상기 데이터에 대하여 소정의 연산처리를 행하는 제어부와;

상기 제1 및 제2 어드레스 신호를 지연한 지연 어드레스 신호를 발생하는 지연부를 포함하고,

상기 제어부는,

상기 제1 및 제2 어드레스 신호에 의해 지정되는 상기 제1 메모리부의 어드레스에 기억되어 있는 상기 입력 화상 데이터를 판독함과 동시에, 상기 제1 및 제2 어드레스 신호의 일부에 의해 지정되는 상기 제2 메모리부의 어드레스에 기억되어 있는 상기 제1 처리 데이터를 판독하고,

상기 입력 화상 데이터와 제1 처리 데이터를 이용하여 가산처리를 행하는 것에 의해 제2 처리 데이터를 산출하고,

상기 제2 처리 데이터를, 상기 제1 처리 데이터가 기억되어 있던 상기 제2 메모리부의 어드레스에 기록함과 동시에,

상기 지연 어드레스 신호에 의해 지정되는 상기 제1 메모리부의 어드레스에 기억되어 있는 상기 입력 화상 데이터를 판독함과 동시에, 상기 지연 어드레스 신호의 일부에 의해서 지정되는 상기 제2 메모리부의 어드레스에 기억되어 있는 상기 제2 처리 데이터를 판독하고,

상기 입력 화상 데이터와 제2 처리 데이터를 이용하여 감산처리를 행하는 것에 의해 원래의 상기 제1 처리 데이터를 산출하고,

상기 제1 처리 데이터를, 상기 제2 처리 데이터가 기억되어 있던 상기 제2 메모리부의 어드레스에 기록하는 것을 특징으로 하는, 기억 장치.

청구항 9.

적어도 제1 및 제2 어드레스 신호에 의해 어드레스 지정되고, 상기 지정된 어드레스에 입력 화상 데이터를 기억하는 제1 메모리부와,

적어도 상기 제1 및 제2 어드레스 신호의 일부에 의해 어드레스 지정되고, 상기 지정된 어드레스에 상기 입력 화상 데이터를 처리한 제1 처리 데이터를 기억하는 제2 메모리부를 포함하는 기억 장치에서의 액세스 방법에 있어서,

상기 입력 화상 데이터를 상기 제1 및 제2 어드레스 신호에 의해 지정되는 상기 제1 메모리부의 어드레스에 기록함과 동시에,

상기 제1 및 제2 어드레스 신호의 일부에 의해 지정되는 상기 제2 메모리부의 어드레스로부터, 그 곳에 기억되어 있는 기억 데이터를 적어도 상기 제1 및 제2 어드레스 신호의 다른 일부에 기초하여 판독하고,

상기 기억 데이터와 상기 입력 화상 데이터를 이용하여 가산처리를 행하는 것에 의해 상기 제1 처리 데이터를 산출하고,

상기 제1 처리 데이터를, 상기 기억 데이터가 기억되어 있던 상기 제2 메모리부의 어드레스에 기록하는 것을 특징으로 하는, 액세스 방법.

청구항 10.

적어도 제1 및 제2 어드레스 신호에 의해 어드레스 지정되고, 상기 지정된 어드레스에 입력 화상 데이터를 기억하는 제1 메모리부와,

적어도 상기 제1 및 제2 어드레스 신호의 일부에 의해 어드레스 지정되고, 상기 지정된 어드레스에 상기 입력 화상 데이터를 처리한 제1 처리 데이터를 기억하는 제2 메모리부와,

상기 제1 및 제2 어드레스 신호를 지연한 지연 어드레스 신호를 발생하는 지연부를 포함하는 기억 장치에서의 액세스 방법에 있어서,

상기 제1 및 제2 어드레스 신호에 의해 지정되는 상기 제1 메모리부의 어드레스에 기억되어 있는 상기 입력 화상 데이터를 판독함과 동시에, 상기 제1 및 제2 어드레스 신호의 일부에 의해 지정되는 상기 제2 메모리부의 어드레스에 기억되어 있는 상기 제1 처리 데이터를 판독하고,

상기 입력 화상 데이터와 제1 처리 데이터를 이용하여 가산처리를 행하는 것에 의해 제2 처리 데이터를 산출하고,

상기 제2 처리 데이터를, 상기 제1 처리 데이터가 기억되어 있던 상기 제2 메모리부의 어드레스에 기록함과 동시에,

상기 지연 어드레스 신호에 의해 지정되는 상기 제1 메모리부의 어드레스에 기억되어 있는 상기 입력 화상 데이터를 판독함과 동시에, 상기 지연 어드레스 신호의 일부에 의해 지정되는 상기 제2 메모리부의 어드레스에 기억되어 있는 상기 제2 처리 데이터를 판독하고,

상기 입력 화상 데이터와 제2 처리 데이터를 이용하여 감산처리를 행하는 것에 의해 원래의 상기 제1 처리 데이터를 산출하고,

상기 제1 처리 데이터를, 상기 제2 처리 데이터가 기억되어 있던 상기 제2 메모리부의 어드레스에 기록하는 것을 특징으로 하는, 액세스 방법.

청구항 11.

제8항에 있어서,

상기 제어부는, 적어도 상기 제1 및 제2 어드레스 신호의 다른 일부에 의해 상기 제2 메모리부에 대한 데이터의 판독을 제어하는 것을 특징으로 하는, 기억 장치.

청구항 12.

제8항에 있어서,

상기 제1 및 제2 어드레스 신호는, 상기 입력 화상 데이터를 구성하는 화소의 수평 방향 또는 수직 방향의 위치에 대응한 것인 것을 특징으로 하는, 기억 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기억 장치 및 액세스 방법에 관한 것으로, 특히 예를 들면, 화상를 화소 수가 상이한 복수의 계층으로 분할하는 계층 부호화를 행할 경우 등에 이용하기에 적합한 기억 장치 및 액세스 방법에 관한 것이다.

예를 들면, 고해상도의 화상 데이터를 최하위 계층 또는 제1 계층의 화상 데이터로서, 그것보다 화소 수가 적은 제2 계층의 화상 데이터를 형성하고, 다시 그것보다 화소 수가 적은 제3 계층의 화상 데이터를 형성하고, 이하, 이와 같이 하여, 최상위 계층까지의 화상 데이터를 형성하는 부호화 방법이 있다. 이러한 부호화는 계층 부호화라 불리며, 각 계층의 화상 데이터는 그 계층에 대응하는 해상도(화소 수)의 모니터로 표시된다. 따라서, 사용자측에서는 계층 부호화된 화상 데이터 중, 자신이 갖는 모니터의 해상도에 대응하는 것을 선택함으로써, 그 화상 데이터를 시청할 수가 있다.

그런데, 어떤 해상도의 화상 데이터를 최하위 계층(제1 계층)의 화상 데이터로서, 상위 계층의 화상 데이터를 순차적으로 형성하며, 그들의 전부를 그대로 기억 또는 전송 등을 하는 경우에는, 최하위 계층의 화상 데이터만을 기억하는 경우와 비교하여, 상위 계층의 화상 데이터 분만큼, 기억 용량이나 전송 용량이 여분으로 필요하게 된다.

그래서, 그러한 기억 용량 등의 증가를 저감하는 계층 부호화 방법을 출원인은 먼저 제안하고 있다.

즉, 예를 들면, 지금, 2×2 화소(가로×세로)의 4화소의 가산치를 상위 계층의 화소(화소치)로 하여, 3계층의 계층 부호화를 행한다고 가정한다. 이 경우, 지금, 최하위 계층의 화상으로서 예를 들면, 도 9a에 도시하는 바와 같이, 8×8 화소를 고려하면, 그 좌측 위의 2×2 화소의 4화소(h00, h10, h01, h11)의 가산치(m0)가 연산되며, 이것이, 제2 계층의 좌측 위의 1

화소가 된다. 이와 같이 하여, 최하위 계층의 화상의 우측 위의 4화소(h20, h31, h21, h31)의 가산치(m1), 좌측 아래의 4화소(h02, h12, h03, h13)의 가산치(m2), 우측 아래의 4화소(h22, h32, h23, h33)의 가산치(m3)가 연산되며, 각각 제2 계층의 우측 위, 좌측 아래, 우측 아래의 한 화소로 된다. 그리고, 제2 계층의 2×2 화소의 4화소(m0, m1, m2, m3)의 가산치(q0)가 연산되어, 이것이, 제3 계층, 즉, 여기서는 최상위 계층의 화상의 화소로 된다.

이상의 화소(h00 내지 h33, m0 내지 m3, q0)를, 그대로 전부 기억시키면, 상술한 바와 같이, 제2 계층의 화소(m0 내지 m3) 및 제3 계층의 q0 분만큼 여분의 기억 용량 등이 필요하게 된다.

그래서, 도 9b에 도시하는 바와 같이, 제3 계층의 화소(q0)를 제2 계층의 화소(m0 내지 m3) 중, 예를 들면, 우측 아래의 화소(m3)의 위치에 배치한다. 이것에 의해, 제2 계층은 화소(m0 내지 m2 및 q0)로 구성되게 된다.

그리고, 도 9c에 도시하는 바와 같이, 제2 계층의 화소(m0)를 그것을 구하는 데 사용한 제1 계층의 화소(h00, h10, h01, h11) 중, 예를 들면, 우측 아래의 화소(h11)의 위치에 배치한다. 제2 계층의 나머지의 화소(m1, m2, q0)도 마찬가지로 제1계층의 화소(h31, h13, h33)로 바꾸어 배치한다. 또, 화소(q0)는 화소(h22, h32, h23, h33)로부터 직접 구해진 것은 아니지만, 그들로부터 직접 구해진 m3에 대신해 바꾸어 제2 계층에 배치되어 있는 것이므로, 화소(h33)의 위치에 화소(m3)를 배치하는 대신에, 화소(q0)를 배치한다.

상기와 같이 하면, 도 9c에 도시하는 바와 같이, 모든 화소 수는 4×4의 16화소로 되어, 도 9a에 도시한 최하위 계층의 화소만의 경우로 바뀌지 않는다. 따라서, 이 경우 기억 용량 등의 증가를 저감할 수가 있다.

또한, 화소 q0로 바뀌어진 화소 m3 및 h33, 화소 m0 내지 m2와 각각 바뀌어진 화소 h11, h31, h13의 복호는 다음과 같이 하여 행할 수 있다.

즉, q0은 m0 내지 m3의 가산치이므로, 식 q0=m0+ m1+ m2+ m3이 성립한다. 따라서, 식 m3=q0-(m0+ m1+ m2)에 의해, m3을 구할 수 있다.

또한, m0은, h00, h10, h01, h11의 가산치이므로, 식 m0=h00+ h10+ h01+ h11이 성립한다. 따라서, 식 h11=m0-(h00+ h10+ h01)에 의해, h11을 구할 수 있다. 이와 같이 하여, h31, h13, h33도 구할 수 있다. 또, h33은 상술한 바와 같이 하여 m3을 구하고 나서 구하게 된다.

발명이 이루고자 하는 기술적 과제

그런데, 이상과 같은 계층 부호화를 행하는데 있어서는, 종래에는, 그 계층 부호화 결과를 기억하는 범용적인 메모리(예를 들면, SRAM(Static Random Access Memory)나 DRAM(Dynamic RAM) 등) 이외에, 제1 계층의 화소(화소치)의 라인 지연을 행하기 위한 지연 회로 등이 필요하였다.

즉, 예를 들면, 도 9a 내지 도 9c에 나타낸 경우에서, 제2 계층의 화소 m0를 구하기 위해, 식 m0 = h00+ h01+ h02+ h03을 연산할 필요가 있는데, 제2 계층의 화소 m0를 구하기 위해서는, 2 라인에 걸치는 제1 계층의 화소 h00, h10, h01, h11이 필요하고, 또한, 메모리에의 화상 데이터의 공급은, 일반적으로, 라인 단위로, 위에서 아래의 방향으로 순차 행하여진다. 그리고, 메모리에 대한 화상 데이터의 판독 기록도 이와 같은 라인 단위로 행하여진다.

따라서, h00으로 시작되는 라인을 1라인분 지연하고, h01로 시작되는 라인이 공급되는 것을 기다려, m0를 계산하여, h00로 시작되는 라인 및 h01로 시작되는 라인의 메모리에의 기록을 행할 필요가 있다.

이와 같이, 종래에는, 계층 부호화 결과를 기억시키기 위한 메모리 이외에, 화상 데이터의 라인 지연을 행하는 지연 회로가 필요하여, 장치가 대형화하는 과제가 있었다.

발명의 구성

본 발명은 이러한 상황에 감안하여 이루어진 것이고, 장치의 소형화를 도모하는 것이 가능하도록 한 것이다.

본 발명의 기억 장치는, 적어도 제1 및 제2 어드레스 신호에 의하여 어드레스 지정되고, 그 지정된 어드레스에 입력 화상 데이터를 기억하는 제1 메모리부와, 적어도 제1 및 제2 어드레스 신호의 일부에 의하여 어드레스 지정되고, 그 지정된 어드레스에 입력 화상 데이터를 처리한 제1 처리 데이터를 기억하는 제2 메모리부, 제1 및 제2 메모리부에 대한 데이터의 판독 기록을 제어함과 동시에, 그 데이터에 대하여 소정의 처리를 시행하는 제어부를 구비하는 것을 특징으로 한다.

본 발명의 액세스 방법은, 입력 화상 데이터를 제1 및 제2 어드레스 신호에 의해서 지정되는 제1 메모리부의 어드레스에 기록함과 동시에, 제1 및 제2의 어드레스 신호의 일부에 의하여 지정되는 제2 메모리부의 어드레스로부터, 그곳에 기억되어 있는 기억 데이터를 판독하고, 그 기억 데이터와 입력 화상 데이터를 이용하여 처리를 행함에 의해, 제1 처리 데이터를 산출하고, 그 제1 처리 데이터를, 기억 데이터가 기억되어 있던 제2 메모리부의 어드레스에 기록하는 것을 특징으로 한다.

본 발명의 액세스 방법은, 제1 및 제2 어드레스 신호에 의하여 지정되는 제1 메모리부의 어드레스에 기억되어 있는 입력 화상 데이터를 판독함과 동시에, 제1 및 제2 어드레스 신호의 일부에 의해서 지정되는 제2 메모리부의 어드레스에 기억되어 있는 제1 처리 데이터를 판독하고, 그 입력 화상 데이터와 제1 처리 데이터를 이용하여 처리를 행함에 의해, 제2 처리 데이터를 산출하고, 그 제2 처리 데이터를, 제1 처리 데이터가 기억되어 있던 제2 메모리부의 어드레스에 기록함과 동시에, 지연 어드레스 신호에 의해서 지정되는 제1 메모리부의 어드레스에 기억되어 있는 입력 화상 데이터를 판독함과 동시에, 지연 어드레스 신호의 일부에 의해서 지정되는 제2 메모리부의 어드레스에 기억되어 있는 제2 처리 데이터를 판독하고, 그 입력 화상 데이터와 제2 처리 데이터를 사용하여 처리를 행함으로써, 원래의 제1 처리 데이터를 산출하고, 그 제1 처리 데이터를, 제2 처리 데이터가 기억되어 있던 제2 메모리부의 어드레스에 기록하는 것을 특징으로 한다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1은 본 발명을 적용한 기억 장치의 일 실시예의 구성예를 도시하고 있다.

이 기억 장치는 예를 들면, 1칩의 CMOS(Complementary Meta1 Oxide Semiconductor) 등으로 구성되어, 거기에 입력되는 입력 화상으로부터 화소 수가 다른, 예를 들면, 세 계층의 화상을 형성하는 계층 부호화를 행하도록 이루어져 있다.

즉, 어드레스 공급 회로(1)에는 기억 장치에 입력되는 화상을 구성하는 화소의 수평 방향 또는 수직 방향의 위치에 대응한 어드레스 각각으로서의 수평 어드레스 또는 수직 어드레스가 공급되도록 이루어져 있다.

또한, 본 실시예에서는 예를 들면, 도 2에 도시하는 바와 같은 수평 방향이 512 화소로, 수직 방향이 512 라인으로 한 화면이 구성되는 화상(디지털 화상 데이터)이 입력되는 것으로 한다. 따라서, 수평 어드레스 및 수직 어드레스는 어느 것이나 9 ($=\log_2 512$) 비트로 나타낸다.

어드레스 공급 회로(1)는, 거기에 공급되는 수평 어드레스 및 수직 어드레스를 필요에 따라서 가공하여, 제1 계층 메모리(2), 제2 계층 메모리(3) 및 제3 계층 메모리(4)에 공급하도록 이루어져 있다. 또, 어드레스 공급회로(1)에는 수평 어드레스 및 수직 어드레스 외에, 클록(후술하는 도 3 내지 도 6 및 도 8에 있어서는 도시하지 않음), R/W(Read/Write) 신호 및 계층 플래그도 공급되도록 이루어져 있고, 어드레스 공급 회로(1)는 그 클록에 동기하여, 제1 계층 메모리(2), 제2 계층 메모리(3) 및 제3 계층 메모리(4)에 어드레스를 공급하도록 이루어져 있다. 또한, 어드레스 공급회로(1)는 R/W 신호나 계층 플래그에 대응하여, 거기에 공급되는 수평 어드레스 및 수직 어드레스를 가공하도록 이루어져 있다. 또한, 어드레스 공급 회로(1)는 필요에 따라서 소정의 제어 신호를 RMW 회로(5)에 공급하도록 이루어져 있다.

여기서, R/W 신호는 기억 장치로부터의 화상 데이터의 판독, 또는 기억 장치로의 화상 데이터의 기록을 지시하는 신호이고, 계층 플래그는 기억 장치에 기억된 화상을 판독하는 경우에, 후술하는 제1 내지 제3 계층의 화상 중 어느 하나를 판독하는가를 지시하기 위한, 예를 들면 2 비트의 플래그이다. 또한, 화상 데이터의 기록은 예를 들면, 제1 계층 메모리(2), 제2 계층 메모리(3) 및 제3 계층 메모리(4)에 대하여 동시에 행하여지도록 이루어져 있고, 따라서, R/W 신호가 기록을 나타내는 경우, 계층 플래그는 무시된다(의미를 갖지 않는다). 또한, 판독은 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4) 각각에 대하여 개별적으로 행하여지도록 되어있고, 따라서, 계층 플래그는 판독시에 있어서만 유효하게 된다. 단, 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4)로부터의 판독도 동시에 행하도록 하는 것이 가능하다. 이 경우, 계층 플래그는 사용할 필요가 없다.

제1 계층 메모리(2)는 어드레스 공급 회로(1)에 의해서 지정되는 어드레스에 RMW 회로(5)로부터 공급되는 화상 데이터를 기억하고, 또한, 그 어드레스에 기억되어 있는 화상 데이터를 판독 RMW 회로(5)에 출력하도록 이루어져 있다. 또한, 제

1 계층 메모리(2)는 제1 계층의 화상, 즉, 여기서는 기억 장치에 입력되는 화상 데이터를 그대로 기억하도록 이루어져 있다. 또한, 제1 계층 메모리(2)는 적어도, 한 화면분의 제1 계층의 화상, 즉, 여기서는, 도 2에 도시한 바와 같이 512×512 화소의 화상 데이터를 기억할 수 있도록 이루어져 있다. 또한, 제1 계층 메모리(2)를 구성하는 메모리 셀은, 적어도, 제1 계층의 화상을 구성하는 화소에 할당된 비트수와 동일한 데이터 길이를 가지고 있다. 즉, 제1 계층의 화상을 구성하는 화소가, 예를 들면, 8비트로 표시될 때, 제1 계층 메모리(2)를 구성하는 메모리 셀은 적어도 8비트의 데이터 길이를 가지고 있다.

제2 계층 메모리(3)는 어드레스 공급 회로(1)에 의해서 지정되는 어드레스에 RMW 회로(5)로부터 공급되는 화상 데이터를 기억하며, 또, 그 어드레스에 기억되어 있는 화상 데이터를 판독 RMW 회로(5)에 출력하도록 이루어져 있다. 또한, 제2 계층 메모리(3)는 제2 계층의 화상을 기억하도록 이루어져 있다. 즉, 본 실시 예에서는 예를 들면, 도 9에 있어서의 경우와 같이 하여, 제1 계층의 화상을 구성하는 2×2(가로×세로)의 4화소로부터, 제2 계층의 1의 화소가 형성되도록 이루어져 있고, 제2 계층 메모리(3)는 그와 같은 화소로 구성되는 제2 계층의 화상을 기억하도록 이루어져 있다. 또, 제2 계층 메모리(3)는 적어도, 1 화면분의 제2 계층의 화상을 기억할 수 있는 기억 용량을 가지고 있다. 즉, 여기서는, 제1 계층의 2×2 화소로부터 제2 계층의 1의 화소가 형성되기 때문에, 제2 계층의 화상의 1화면은, 256×256(=512/2×512/2) 화소로 구성되게 된다. 따라서, 제2 계층 메모리(2)는 그와 같은 수의 화소 수로 구성되는 제2 계층의 화상을 적어도 기억할 수 있도록 이루어져 있다. 또한, 제2 계층 메모리(3)를 구성하는 메모리 셀은 적어도, 제2 계층의 화상을 구성하는 화소의 등급을 떨어뜨리지 않고 기억할 수 있는 데이터 길이를 가지고 있다. 즉, 본 실시 예에서는 제1 계층의 화소가 8비트로 표시되기 때문에, 이와 같은 8비트의 화소의 4개의 가산치인 제2 계층의 화소는 10(=$\log_2(2^8+2^8+2^8+2^8)$) 비트로 표시 된다. 따라서, 제2 계층 메모리(3)를 구성하는 메모리 셀은 적어도 10 비트의 데이터 길이를 가지고 있다.

제3 계층 메모리(4)는 어드레스 공급 회로(1)에 의해서 지정되는 어드레스에 RMW 회로(5)로부터 공급되는 화상 데이터를 기억하며, 또, 그 어드레스에 기억되어 있는 화상 데이터를 판독하여 RMW 회로(5)에 출력하도록 이루어져 있다. 또한, 제3 계층 메모리(4)는 제3 계층의 화상을 기억하도록 이루어져 있다. 즉, 본 실시 예에서는 예를 들면, 도 9에 있어서의 경우와 같이, 제2 계층의 화상을 구성하는 2×2의 4화소, 따라서, 제1 계층의 화상을 구성하는 4×4 화소로부터, 제3 계층의 1의 화소가 형성되도록 이루어져 있고, 제3 계층 메모리(4)는 그와 같은 화소로 구성되는 제3 계층의 화상을 기억하도록 이루어져 있다. 또한, 제3 계층 메모리(4)는 적어도 1화면만큼의 제3 계층의 화상을 기억할 수 있는 기억 용량을 가지고 있다. 즉, 여기서는, 제2 계층의 2×2 화소로부터 제3 계층의 1의 화소가 형성되기 때문에, 제2 계층의 화상의 1화면은 128×128(=256/2×256/2) 화소로 구성되게 된다. 따라서, 제3 계층 메모리(4)는 그와 같은 수의 화소 수로 구성되는 제3 계층의 화상을 적어도 기억할 수 있도록 이루어져 있다. 또한, 제3 계층 메모리(4)를 구성하는 메모리 셀은 적어도 제3 계층의 화상을 구성하는 화소의 등급을 떨어뜨리지 않고 기억할 수 있는 데이터 길이를 가지고 있다. 즉, 본 실시 예에서는 제2 계층의 화소가 상술한 바와 같이 10 비트로 나타내기 때문에, 그와 같은 10 비트 화소의 4개의 가산치인 제3 계층의 화소는 1 2(=$\log_2(2^{10}+2^{10}+2^{10}+2^{10})$) 비트로 나타내게 된다. 따라서, 제3 계층 메모리(4)를 구성하는 메모리 셀은 적어도 12 비트의 데이터 길이를 가지고 있다.

또한, 제1 계층 메모리(2), 제2 계층 메모리(3) 및 제3 계층 메모리(4)에는 클록이 공급되도록 이루어져 있고, 이 클록에 동기하여 데이터의 판독 기록이 행하여지도록 이루어져 있다.

RMW 회로(5)는 기억 장치에 공급되는 화상 데이터를 제1 계층의 화상으로서 제1 계층 메모리(2)에 기록하도록 이루어져 있다. 또, RMW 회로(5)는 제1 계층의 화상으로부터 제2 계층의 화상을 산출하는 처리를 행하여, 제2 계층 메모리(3)에 기록하도록 이루어져 있다. 또한, RMW 회로(5)는 제1 계층의 화상(또는 제2 계층의 화상)으로부터 제3 계층의 화상을 산출하는 처리를 행하여, 제3 계층 메모리(4)에 기록하도록 이루어져 있다. 또한, RMW 회로(5)는 제1 계층 메모리(2), 제2 계층 메모리(3) 또는 제3 계층 메모리(4)에 각각 기억된 화상 데이터를 판독 출력하도록 이루어져 있다. 또한, RMW 회로(5)에는 클록, R/W 신호, 계층 플래그, 어드레스 공급 회로(1)가 출력하는 제어 신호가 공급되도록 이루어져 있고, RMW 회로(5)는 클록에 동기하여 R/W 신호, 계층 플래그, 제어 신호에 근거하여 각종 처리를 행하도록 이루어져 있다.

다음에, 그 동작에 관해서, 도 3 내지 도 5를 참조하여 설명한다.

또한, 여기서는 상술한 도 2에 도시한 바와 같이, 1화면이 512×512 화소로 구성되어, 각 화소가 8비트로 표시되는 화상 데이터가 제1 계층의 화상으로서 기억 장치에 공급되는 것으로 한다. 또한, 화상 데이터는 이른바 순차적으로 주사되어 공급되는 것으로 한다.

또한, 제1 계층의 화상을 구성하는 화소를 그 가장 좌측 위의 화소를 h(0, 0)로 하고, 이하, 이와 같이 하여, 좌측으로부터 x+ 1 번째로, 위에서 y+ 1 번째에 있는 화소를 h(x, y)로 나타낸다. 제1 계층의 화상은 상술한 바와 같이, 512×512 화소로 구성되기 때문에 x, y는 어느 것이나 0 내지 511(=2^9-1)의 범위의 정수치를 갖는다.

또한, 0 내지 255(=2^9/2-1)의 범위의 정수치를 갖는 변수(s, t)를 고려하면, 제2 계층의 화상을 구성하는 화소는 제1 계층의 인접하는 2×2 화소

h(2s, 2t), h(2s+ 1, 2t),

h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)

의 가산치로 되지만, 그것을 m(s, t)으로 나타낸다. 따라서, 다음 식이 성립한다.

[수학식 1]

m(s, t)=h(2s, 2t)+ h(2s+ 1, 2t)+ h(2s, 2t+ 1)+ h(2s+ 1, 2t+ 1)

또한, 0 내지 127(=2^9/4-1)의 범위의 정수치를 갖는 변수(m, n)를 고려하면, 제3 계층의 화상을 구성하는 화소는 제2 계층의 인접하는 2×2 화소

m(2m, 2n), m(2m+ 1, 2n),

m(2m, 2n+ 1), m(2m+ 1, 2n+ 1)

의 가산치, 즉, 제1 계층의 인접하는 4×4 화소

h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n),

h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1),

h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2),

h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3)

의 가산치가 되지만, 그것을 q(m, n)으로 나타낸다. 따라서, 다음 식이 성립한다.

[수학식 2]

q(m, n)=m(2m, 2n)+ m(2m+ 1, 2n)+ m(2m, 2n+ 1)+ m(2m+ 1, 2n+ 1)

=h(4m, 4n)+ h(4m+ 1, 4n)+ h(4m+ 2, 4n)+ h(4m+ 3, 4n)

+ h(4m, 4n+ 1)+ h(4m+ 1, 4n+ + 1)+ h(4m+ 2, 4n+ 1)+ h(4m+ 3, 4n+ 1)

+ h(4m, 4n+ 2)+ h(4m+ 1, 4n+ 2)+ h(4m+ 2, 4n+ 2)+ h(4m+ 3, 4n+ 2)

+ h(4m, 4n+ 3)+ h(4m+ 1, 4n+ 3)+ h(4m+ 2, 4n+ 3)+ h(4m+ 3, 4n+ 3)

또한, 어드레스 공급회로(1)에는 데이터의 기록시 및 판독시의 어느쪽의 경우도, 수평 어드레스(HA) 및 수직 어드레스(VA)의 조합(HA, VA)이, 예를 들면,

(0, 0), (1, 0),…,(511, 0),

(0, 1), (1, 1),…,(511, 1),

…

(511, 0), (511, 1),…,(511, 511)

의 순(순차적 주사에 대응하는 순)으로, 클록에 동기하여 공급되는 것으로 한다.

또한, 9 비트의 수평 어드레스(HA)의 각 비트를 그 최하위 비트를 ha0으로서, ha1, ha2,…, ha8(ha8은 최상위 비트)로 나타내는 동시에, 9 비트의 수직 어드레스(VA)의 각 비트도 마찬가지로, 그 최하위 비트를 va0으로서, va1, va2,…, va8(va8은 최상위 비트)로 나타낸다.

또한, 기억 장치에의 화상 데이터의 기록 시에는 RMW 회로(5)에는 제1 계층의 화상이 클록에 동기하여 순차적으로 주사되어 공급되며, 이것에 따라, 어드레스 공급 회로(1)에는 수평 어드레스(HA) 및 수직 어드레스(VA)가 상술한 바와 같이 공급되는 것으로 한다.

이 경우, 제1 계층 메모리(2)에의 액세스는 다음과 같이 하여 행하여진다.

즉, 도 3에 도시하는 바와 같이, 우선 기록시(R/W 신호가 기록을 나타내고 있는 경우)에 있어서는, 어드레스 공급회로(1)는 거기에 공급되는 수평 어드레스(HA) 및 수직 어드레스(VA)를, 그대로, 제1 계층 메모리(2)의 어드레스 단자(ADh, ADv)에 공급한다. 한편, RMW 회로(5)는 거기에 공급되는 제1 계층의 화상 데이터를 수평 어드레스(HA) 및 수직 어드레스(VA)에 의해서 지정되어 있는 제1 계층 메모리(2)의 메모리 셀(도시하지 않음)에 기록한다. 이하, 이와 같은 처리가 행하여지는 것으로, 512×512 화소로 구성되는 1화면분의 제1 계층의 화상이, 제1 계층 메모리(2)에 기억된다. 즉, 이것에 의해, 제1 계층 메모리(2)의 어드레스

(0, 0), (1, 0),…, (511, 0),

(0, 1), (1, 1),…, (511, 1),

…

(511, 0), (511, 1),…, (511, 511)

에는 제1 계층의 화소(화소치)

h(0, 0), h(1, 0),…, h(511, 0),

h(0, 1), h(1, 1),…, h(511, 1),

…

h(511, 0), h(511, 1),…, h(511, 511)

이 각각 기억된다.

판독시(R/W 신호가 판독을 나타내고 있는 경우)에 있어서는, 어드레스 공급회로(1)는 계층 플래그가 제1 계층을 나타내고 있으면, 역시, 거기에 공급되는 수평 어드레스(HA) 및 수직 어드레스(VA)를 그대로, 제1 계층 메모리(2)의 어드레스 단자에 공급한다. 그리고, RMW 회로(5)는 수평 어드레스(HA) 및 수직 어드레스(VA)에 의해서 지정되어 있는 제1 계층 메모리(2)의 메모리 셀에 기억되어 있는 제1 계층의 화상 데이터를 판독하고, 이하, 이와 같은 처리가 행하여지는 것으로, 512×512 화소로 구성되는 1화면분의 제1 계층의 화상이, 제1 계층 메모리(2)로부터 판독된다. 즉, 이것에 의해, 순차적으로 주사된 제1 계층의 화상이 출력된다.

다음에, 제2 계층 메모리(3)에의 액세스에 관해서 설명한다.

우선 기록시에 있어서는 어드레스 공급회로(1)는 예를 들면, 도 4에 도시하는 바와 같이, 거기에 공급되는 수평 어드레스(HA)의 일부로서의, 그 중 최하위 비트(ha0)를 제외하는 상위 8비트(ha1 내지 ha8)와, 수직 어드레스(VA)의 일부로서의 최하위 비트(va0)를 제외하는 상위 8비트(va1 내지 va8)를 제2 계층 메모리(3)의 어드레스 단자에 공급한다. 또한, 어드레스 공급 회로(1)는 수평 어드레스(HA)의 최하위 비트(ha0)와, 수직 어드레스(VA)의 최하위 비트(va0)를 제어 신호로서 RMW 회로(5)에 출력한다.

따라서, 예를 들면, 도 2에 D1로 도시하는 바와 같은 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)가 RMW 회로(5)에 공급되는 타이밍에 있어서는, 어느 쪽의 타이밍이라도 어드레스 공급 회로(1)는 제2 계층 메모리(3)의 동일 어드레스(s, t)를 지정하는 신호를 제2 계층 메모리(3)에 출력한다.

한편, RMW 회로(5)에서는 거기에 공급되는 제1 계층의 화상 데이터가 연산기(13)에 입력된다. 연산기(13)에는 제1 계층의 화상 데이터 외에, 스위치(12)의 출력이 공급되도록 이루어져 있고, 연산기(13)는 그들을 가산하여 기록부(14)에 공급하도록 이루어져 있다.

스위치(12)는 NOR 게이트(15)의 출력에 대응하여, 단자(12a 또는 12b) 중의 어느 한쪽을 선택하도록 되어 있고, 또, 단자(12a 또는 12b)에는 판독부(11)의 출력 또는 0이 각각 공급되도록 되어 있다. NOR 게이트(15)에는 어드레스 공급 회로(1)로부터의 수평 어드레스(HA)의 최하위 비트(ha0)와 수직 어드레스(VA)의 최하위 비트(va0)가 공급되도록 되어 있고, 따라서, 그 출력은 최하위 비트(ha0 및 va0)가 어느 것이나 0인 경우, 즉, 제1 계층의 2×2 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1) 중 좌측 위의 화소 h(2s, 2t)가 연산기(13)에 공급되는 타이밍의 경우만 H 레벨이 되고, 다른 경우는 L 레벨로 되도록 구성되어 있다.

그리고, 스위치(12)는 NOR 게이트(15)의 출력이 L 레벨 또는 H 레벨일 때, 단자(12a 또는 12b)를 각각 선택하도록 되어 있다.

또한, 판독부(11)는 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스에 기억되어 있는 데이터(기억 데이터)를 판독하도록 되어 있다.

따라서, 제1 계층의 2×2 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1) 중 좌측 위의 화소 h(2s, 2t)가 연산기(13)에 공급되는 타이밍에 있어서는, 판독부(11)에 있어서, 제2 계층 메모리(3)의 어드레스(s, t)에 기억된 데이터가 판독되고, 단자(12a)에 공급되지만, 이 경우, 수평 어드레스(HA)의 최하위 비트(ha0) 및 수직 어드레스(VA)의 최하위 비트(va0)는 어느 것이나 0이므로, NOR 게이트(15)의 출력은 H 레벨로 되며, 스위치(12)는 단자(12b)를 선택한다.

그 결과, 연산기(13)에는 스위치(12)를 통하여 0이 공급된다.

연산기(13)에서는 이 0과 제1 계층의 화소 h(2s, 2t)가 가산되며, 그 가산치(0+ h(2s, 2t))가, 기록부(14)에 공급된다. 기록부(14)는 연산기(13)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스 즉, 제2 계층 메모리(3)의 어드레스(s, t)에 기록한다.

다음에, 제1 계층의 2×2 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1) 중 좌측 위의 화소 h(2s, 2t)의 오른쪽 가까이한 화소 h(2s+ 1, 2t)가 연산기(13)에 공급되는 타이밍에 있어서는 판독부(11)에 있어서, 역시, 제2 계층 메모리(3)의 어드레스(s, t)에 기억된 데이터(여기서는, 0+ h(2s, 2t))가 판독되며 단자(12a)에 공급된다.

한편, 이 경우, 수평 어드레스(HA)의 최하위 비트(ha0)는 1로, 수직 어드레스 (VA)의 최하위 비트(va0)는 0으로 되어 있기 때문에, NOR 게이트(15)의 출력은 L 레벨로 되며, 스위치(12)는 단자(12a)를 선택한다.

그 결과, 연산기(13)에는 스위치(12)를 통하여, 판독부(11)에 있어서 판독된 데이터(기억 데이터)(여기서는, 0+ h(2s, 2t))가 공급된다.

연산기(13)에서는 스위치(12)를 통하여 공급되는 데이터와, 제1 계층의 화소 h(2s+ 1, 2t)가 가산되며, 그 가산치(0+ h(2s, 2t)+ h(2s+ 1, 2t))가 기록부(14)에 공급된다. 기록부(14)는 연산기(13)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스 즉, 제2 계층 메모리(3)의 어드레스(s, t)에 기록한다.

그 후, 제1 계층의 위에서 2t+ 1 라인째의 화상 데이터의 공급이 개시되고, 제1 계층의 2×2 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중 좌측 아래의 화소 h(2s, 2t+ 1)가 연산기(13)에 공급되면 판독부(11)에 있어서, 역시, 제2 계층 메모리(3)의 어드레스(s, t)에 기억된 데이터(여기서는, 0+ h(2s, 2t)+ h(2s+ 1, 2t))가 판독되어 단자(12a)에 공급된다.

한편, 이 경우, 수평 어드레스(HA)의 최하위 비트(ha0)는 0으로, 수직 어드레스(VA)의 최하위 비트(va0)는 1로 되어 있기 때문에, NOR 게이트(15)의 출력은 L 레벨이 되며, 스위치(12)는 단자(12a)를 선택한다.

그 결과, 연산기(13)에는 스위치(12)를 통하여, 판독부(11)에 있어서 판독된 데이터(기억 데이터)(여기서는, 0+ h(2s, 2t) + h(2s+ 1, 2t))가 공급된다.

연산기(13)에서는 스위치(12)를 통하여 공급되는 데이터와, 제1 계층의 화소 h(2s, 2t+ 1)가 가산되며, 그 가산치(0+ h(2s, 2t)+ h(2s+ 1, 2t)+ h(2s, 2t+ 1))가 기록부(14)에 공급된다. 기록부(14)는 연산기(13)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스, 즉, 제2 계층 메모리(3)의 어드레스(s, t)에 기록한다.

다음에, 제1 계층의 2×2 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중 좌측 아래의 화소 h(2s, 2t+ 1)의 오른쪽 부근인 화소 h(2s+ 1, 2t+ 1)가 연산기(13)에 공급되면 판독부(11)에 있어서, 역시, 제2 계층 메모리(3)의 어드레스(s, t)에 기억된 데이터(여기서는, 0+ h(2s, 2t)+ h(2s+ 1, 2t)+ h(2s, 2t+ 1))가 판독되어 단자(12a)에 공급된다.

한편, 이 경우, 수평 어드레스(HA)의 최하위 비트(ha0) 및 수직 어드레스(VA)의 최하위 비트(va0)는 어느 것이나 1로 되어 있기 때문에, NOR 게이트(15)의 출력은 L 레벨로 되고, 스위치(12)는 단자(12a)를 선택한다.

그 결과, 연산기(13)에는 스위치(12)를 통하여 판독부(11)에 있어서 판독된 데이터(기억 데이터)(여기서는, 0+ h(2s, 2t) + h(2s+ 1, 2t)+ h(2s, 2t+ 1))가 공급된다.

연산기(13)에서는, 스위치(12)를 통하여 공급되는 데이터와, 제1 계층의 화소 h(2s+ 1, 2t+ 1)가 가산되며, 그 가산치(0+ h(2s, 2t)+ h(2s+ 1, 2t)+ h(2s, 2t+ 1)+ h(2s+ 1, 2t+ 1))가 기록부(14)에 공급된다. 기록부(14)는 연산기(13)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스 즉, 제2 계층 메모리(3)의 어드레스(s, t)에 기록한다.

따라서, 제2 계층 메모리(3)의 어드레스(s, t)에는 최종적으로는 식 h(2s, 2t)+ h(2s+ 1, 2t)+ h(2s, 2t+ 1)+ h(2s+ 1, 2t+ 1)로 나타내는 가산치, 즉, 상술한 수학식 1에 나타낸 제2 계층의 화소(화소치) m(s, t)이 기억되게 된다.

이상과 같이 하여, 제2 계층 메모리(3)에는 256×256 화소로 한 화면이 구성되는 제2 계층의 화상이 기억된다.

이상과 같이, 제1 계층의 화상 데이터를 수평 어드레스(HA) 및 수직 어드레스(VA)에 의해서 지정되는 제1 계층 메모리(2)의 어드레스(HA, VA)에 기록하는 동시에, 수평 어드레스(HA) 및 수직 어드레스(VA)의 일부 ha1 내지 ha8 및 va1 내지 va8에 의해서 지정되는 제2 계층 메모리의 어드레스로부터, 거기에 기억되어 있는 기억 데이터를 판독하고, 그 기억 데이터와 제1 계층의 화상 데이터를 가산하는 처리를 행하고, 그 가산치(제1 처리 데이터)를 기억 데이터가 기억되어 있는 제2 계층 메모리의 어드레스에 기록하도록 하였기 때문에, 제1 계층의 화상 데이터를 기억하는 것과 동시에, 제2 계층의 화상 데이터를 생성하고 기억할 수 있다. 즉, 리얼 타임으로 제2 계층의 화상 데이터를 얻을 수 있다.

또한, 이 경우, 제2 계층의 화상을 기억하는 제2 계층 메모리(3)가 종래의 라인 지연을 행하는 회로의 역할도 다하고 있고, 따라서, 그와 같은 회로를 설치할 필요가 없기 때문에 장치의 소형화를 꾀할 수 있다.

다음에, 제2 계층 메모리(3)로부터의 제2 계층의 화상의 판독에 관해서 설명한다.

판독 시에 있어서는, 어드레스 공급 회로(1)는 계층 플래그가 제2 계층을 나타내고 있는 경우, 역시, 거기에 공급되는 수평 어드레스(HA) 또는 수직 어드레스(VA)의 각각 상위 8비트(ha1 내지 ha8 또는 va1 내지 va8)를, 제2 계층 메모리(2)의 어드레스 단자에 공급하는 동시에, 각각의 최하위 비트(ha0 또는 va0)를 제어 신호로서 RMW 회로(5)에 출력한다.

한편, RMW 회로(5)에서는 판독부(11)에 대하여 계층 플래그, R/W 신호 및 NOR 게이트(15)의 출력이 공급되도록 이루어져 있고, 판독부(11)는 R/W 신호가 판독을 나타내고 있고, 또한 계층 플래그가 제2 계층을 나타내고 있는 경우에는, 예를 들면, NOR 게이트(15)의 출력이 H 레벨일 때만, 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스에 기억되어 있는 제2 계층의 화상 데이터를 판독 출력한다.

즉, 상술한 것으로부터, 수평 어드레스(HA)와 수직 어드레스(VA)와의 조가 (2s, 2t), (2s+ 1, 2t), (2s, 2t+ 1), (2s+ 1, 2t+ 1)인 경우는, 어드레스 공급 회로(1)로부터는 어느 것이나 동일한 어드레스(s, t)가 제2 계층 메모리(3)에 대하여 출력된다. 따라서, 단순히, 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 제2 계층 메모리(3)의 어드레스로부터 데이터를 판독한 것에는, 동일한 데이터가 4회 중복하여 판독되는 것으로 된다.

그래서, 판독부(11)에서는 수평 어드레스(HA)와 수직 어드레스(VA)와의 조(組)가(2s, 2t), (2s+ 1, 2t), (2s, 2t+ 1), (2s+ 1, 2t+ 1)중, 예를 들면, (2s, 2t)로 될 때만, 즉, NOR 게이트(15)의 출력이 H 레벨일 때만, 제2 계층 메모리(3)의 어드레스(s, t)로부터, 제2 계층의 화소(화소치) m(s, t)를 판독하도록 되어 있다.

판독부(11)가 판독한 제2 계층의 화상 데이터는 스위치(16)에 공급된다. 스위치(16)는 R/W 신호가 판독을 나타내고 있는 경우만 온이 되고, 다른 경우는 오프로 되어 있고, 따라서, 지금의 경우, 스위치(16)는 온으로 되어 있기 때문에, 판독부(11)에 의해서 판독된 제2 계층의 화상 데이터는 스위치(16)를 통하여 출력된다.

이상과 같이 하여, 제2 계층 메모리(3)로부터 거기에 기억되어 있는 256×256 화소로 구성되는 한 화면분의 제2 계층의 화상이 판독된다. 즉, 이것에 의해 순차 적으로 주사된 제2 계층의 화상이 출력된다.

다음에, 제3 계층 메모리(4)에의 액세스에 관해서 설명한다.

우선 기록시에 있어서는, 어드레스 공급 회로(1)는 예를 들면, 도 5에 도시하는 바와 같이, 거기에 공급되는 수평 어드레스(HA)의 일부로서의, 그중 하위 2비트(ha0 및 ha1)를 제외하는 상위 7비트(ha2 내지 ha8)와, 수직 어드레스(VA)의 일부로서의, 하위 2비트(va0 및 va1)를 제외하는 상위 7비트(va2 내지 va8)를, 제3 계층 메모리(4)의 어드레스 단자에 공급한다. 또한, 어드레스 공급 회로(1)는 수평 어드레스(HA)의 하위 2비트(ha0 및 ha1)와 수직 어드레스(VA)의 하위 2비트(va0 및 va1)를 제어 신호로서 RMW 회로(5)에 출력한다.

따라서, 예를 들면, 도 2에 D2로 도시하는 바와 같은 제1 계층의 4×4의 16화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3)이, RMW 회로(5)에 공급되는 타이밍에 있어서는, 어느쪽의 타이밍이라도 어드레스 공급 회로(1)는 제3 계층 메모리(4)의 동일 어드레스(m, n)를 지정하는 신호를 출력한다.

한편, RMW 회로(5)에서는 거기에 공급되는 제1 계층의 화상 데이터가 연산기(23)에 입력된다. 연산기(23)에는 제1 계층의 화상 데이터 외의, 스위치(22)의 출력이 공급되도록 되어 있고, 연산기(23)는 그들을 가산하여 기록부(24)에 공급하도록 이루어져 있다.

스위치(22)는 NOR 게이트(25)의 출력에 대응하여, 단자(22a 또는 22b)중 어느 한쪽을 선택하도록 이루어져 있고, 또한, 단자(22a 또는 22b)에는 판독부(21)의 출력 또는 0이 각각 공급되도록 이루어져 있다. NOR 게이트(25)에는 어드레스 공급회로(1)로부터의 수평 어드레스(HA)의 하위 2비트(ha0 및 ha1)와, 수직 어드레스(VA)의 하위 2비트(va0 및 va1)가 공급되도록 되어 있고, 따라서, 그 출력은 하위 2비트(ha0 및 ha1 또는 va0 및 va1)가 어느 것이나 0인 경우, 즉, 제1 계층의 4×4 화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3)중 좌측 위의 화소 h(4m, 4n)가 연산기(23)에 공급되는 타이밍의 경우만, H 레벨이 되며, 다른 경우는 L 레벨이 되도록 이루어져 있다.

그리고, 스위치(22)는 NOR 게이트(25)의 출력이 L 레벨 또는 H 레벨일 때, 단자(22a 또는 22b)를 각각 선택하도록 이루어져 있다.

또한, 판독부(21)는 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스에 기억되어 있는 데이터(기억 데이터)를 판독하도록 이루어져 있다.

따라서, 제1 계층의 화소 h(4m, 4n)가 연산기(23)에 공급되는 타이밍에 있어서는 판독부(21)에 있어서, 제3 계층 메모리(4)의 어드레스(m, n)에 기억된 데이터가 판독되고, 단자(22a)에 공급되지만, 이 경우, 수평 어드레스(HA)의 하위 2비트(ha0 및 ha1), 및 수직 어드레스(VA)의 하위 2비트(va0 및 va1)는 어느 것이나 0이므로, NOR 게이트(25)의 출력은 H 레벨이 되고, 스위치(22)는 단자(22b)를 선택한다.

그 결과, 연산기(23)에는 스위치(22)를 통하여 0이 공급된다.

연산기(23)에서는 이 0과 제1 계층의 화소 h(4m, 4n)가 가산되어, 그 가산치(0+ h(4m, 4n))가 기록부(24)에 공급된다. 기록부(24)는 연산기(23)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스 즉, 제3 계층 메모리(4)의 어드레스(m, n)에 기록한다.

다음에, 제1 계층의 화소 h(4m, 4n)의 오른쪽에 인접한 화소 h(4m+ 1, 4n)가 연산기(23)에 공급되는 타이밍에 있어서는 판독부(21)에 있어서, 역시, 제3 계층 메모리(4)의 어드레스(m, n)에 기억된 데이터(여기서는, 0+ h(4m, 4n))가 판독되고, 단자(22a)에 공급된다.

한편, 이 경우, 수평 어드레스(HA)의 하위 2비트(ha0 또는 ha1)는 각각 1 또는 0으로, 수직 어드레스(VA)의 하위 2비트(va0 및 va1)는 어느것이나 0으로 되어 있기 때문에, NOR 게이트(25)의 출력은 L 레벨이 되며, 스위치(22)는 단자(22a)를 선택한다.

그 결과, 연산기(23)에는 스위치(22)를 통하여 판독부(21)에 있어서 판독된 데이터(기억 데이터)(여기서는, 0+ h(4m, 4n))가 공급된다.

연산기(23)에서는 스위치(22)를 통하여 공급되는 데이터와, 제1 계층의 화소 h(4m+ 1, 4n)가 가산되며, 그 가산치(0+ h(4m, 4n)+ h(4m+ 1, 4n))가 기록부(24)에 공급된다. 기록부(24)는 연산기(23)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스, 즉 제3 계층 메모리(4)의 어드레스(m, n)에 기록한다.

다음에, 제1 계층의 화소 h(4m+ 1, 4n)의 오른쪽에 인접한 화소 h(4m+ 2, 4n)가 연산기(23)에 공급되는 타이밍에 있어서는 판독부(21)에 있어서, 역시, 제3 계층 메모리(4)의 어드레스(m, n)에 기억된 데이터(여기서는, 0+ h(4m, 4n)+ h(4m+ 1, 4n))가 판독되며, 단자(22a)에 공급된다.

한편, 이 경우, 수평 어드레스(HA)의 하위 2비트(ha0 또는 ha1)는 각각 0 또는 1로, 수직 어드레스(VA)의 하위 2비트(va0 및 va1)는 어느 것이나 0으로 되어 있기 때문에, NOR 게이트(25)의 출력은 L 레벨이 되며, 스위치(22)는 단자(22a)를 선택한다.

그 결과, 연산기(23)에는 스위치(22)를 통하여 판독부(21)에 있어서 판독된 데이터(기억 데이터)(여기서는, 0+ h(4m, 4n)+ h(4m+ 1, 4n))가 공급된다.

연산기(23)에서는 스위치(22)를 통하여 공급되는 데이터와, 제1 계층의 화소 h(4m+ 2, 4n)가 가산되며, 그 가산치(0+ h(4m, 4n)+ h(4m+ 1, 4n)+ h(4m+ 2, 4n))가, 기록부(24)에 공급된다. 기록부(24)는 연산기(28)의 출력을 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스 즉, 제3 계층 메모리(4)의 어드레스(m, n)에 기록한다.

이하, 제1 계층의 화소 h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3)가 연산기(23)에 공급되는 타이밍에 있어서는 어느 것에 있어서도, 상기의 경우와 같은 처리가 행하여지고, 이것에 의해, 제3 계층 메모리(4)의 어드레스(m, n)에는 최종적으로는 상기의 식(2)에 도시한 제3 계층의 화소(화소치) q(m, n)가 기억되게 된다.

이상과 같이 하여, 제3 계층 메모리(4)에는 128×128 화소로 한 화면이 구성되는 제3 계층의 화상이 기억된다.

따라서, 제1 계층의 화상 데이터를 기억하는 것과 동시에, 제2 계층의 화상 데이터 또한, 제3 계층의 화상 데이터를 생성하여 기억할 수 있다. 즉, 리얼 타임으로 제2 및 제3 계층의 화상 데이터를 얻을 수 있다.

또한, 이 경우에 있어서도 제3 계층의 화상을 기억하는 제3 계층 메모리(4)가 종래의 라인 지연을 행하는 회로의 역할도 다하고 있고, 따라서, 그와 같은 회로를 설치할 필요가 없기 때문에 장치의 소형화를 꾀할 수 있다.

다음에, 제3 계층 메모리(4)로부터의 제3 계층의 화상의 판독에 관해서 설명한다.

판독 시에 있어서는 어드레스 공급 회로(1)는 계층 플래그가 제3 계층을 나타내고 있는 경우, 역시, 거기에 공급되는 수평 어드레스(HA) 또는 수직 어드레스(VA)의 각각 상위 7비트(ha2 내지 ha8 또는 va2 내지 va8)를 제2 계층 메모리(2)의 어드레스 단자에 공급하는 동시에, 각각의 하위 2비트(ha0 및 ha1 또는 va0 및 va1)를 제어 신호로서 RMW 회로(5)에 출력한다.

한편, RMW 회로(5)에서는 판독부(21)에 대하여, 계층 플래그, R/W 신호, 및 NOR 게이트(25)의 출력이 공급되도록 이루어져 있고, 판독부(21)는 R/W 신호가 판독을 나타내고 있고, 또한 계층 플래그가 제3 계층을 나타내고 있는 경우에는, 예를 들면, NOR 게이트(25)의 출력이 H 레벨일 때만, 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 어드레스에 기억되어 있는 제3 계층의 화상 데이터를 판독 출력한다.

즉, 상기한 것으로부터, 수평 어드레스(HA)와 수직 어드레스(VA)의 조가, (4m, 4n), (4m+ 1, 4n), (4m+ 2, 4n), (4m+ 3, 4n), (4m, 4n+ 1), (4m+ 1, 4n+ 1), (4m+ 2, 4n+ 1), (4m+ 3, 4n+ 1), (4m, 4n+ 2), (4m+ 1, 4n+ 2), (4m+ 2, 4n+ 2), (4m+ 3, 4n+ 2), (4m, 4n+ 3), (4m+ 1, 4n+ 3), (4m+ 2, 4n+ 3), (4m+ 3, 4n+ 3)의 경우는 어드레스 공급 회로(1)로부터는 어느 것이나 동일한 어드레스(m, n)가 출력된다. 따라서, 단순히, 어드레스 공급 회로(1)가 출력하는 신호에 대응하는 제3 계층 메모리(4)의 어드레스로부터 데이터를 판독한 것으로는 동일한 데이터가 16회 중복하여 판독되게 된다.

그래서, 판독부(21)에서는 수평 어드레스(HA)와 수직 어드레스(VA)의 조가, 상기중, 예를 들면, (4m, 4n)으로 될 때만 즉, NOR 게이트(25)의 출력이 H 레벨일 때만, 제3 계층 메모리(4)의 어드레스(m.n)로부터 제3 계층의 화소(화소치) m(m, n)를 판독하도록 되어 있다.

판독부(21)가 판독한 제3 계층의 화상 데이터는 스위치(26)에 공급된다. 스위치(26)는 R/W 신호가 판독을 나타내고 있는 경우만 온으로 되고, 다른 경우는 오프로 되어 있고, 따라서, 지금의 경우 스위치(26)는 온으로 되어 있기 때문에 판독부(21)에 의해서 판독된 제3 계층의 화상 데이터는 스위치(26)를 통하여 출력된다.

이상과 같이 하여, 제3 계층 메모리(4)로부터는 거기에 기억되어 있는 128×128 화소로 구성되는 한 화면분의 제3 계층의 화상이 판독된다. 즉, 이것에 의해, 순차적으로 주사된 제3 계층의 화상이 출력된다.

또한, 제2 계층 메모리(3)로부터의 제2 계층의 화상 데이터의 판독은 상술한 바와 같이 하여 행하는 외에, 예를 들면, 어드레스 공급 회로(1)로부터 수평 어드레스(HA)의 하위 8비트(ha0 내지 ha7)와 수직 어드레스(VA)의 하위 8비트(va0 내지 va7)를 제2 계층 메모리(3)의 어드레스로 부여함으로써 행하는 것도 가능하다. 이와 같이 제3 계층 메모리(4)로부터의 제3 계층의 화상 데이터의 판독도, 어드레스 공급 회로(1)에서 수평 어드레스(HA)의 하위 7비트(ha0 내지 ha6)와 수직 어드레스(VA)의 하위 7비트(va0 내지 va6)를 제3 계층 메모리(4)의 어드레스로 부여함으로써 행하는 것이 가능하다.

다음에, 도 9에서 설명한 것으로부터 제1 계층의 인접하는 2×2 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중 1개이다. 예를 들면, 우측 아래의 화소 h(2s+ 1, 2t+ 1)는 나머지의 제1 계층의 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1)와 그들의 가산치인 제2 계층의 화소 m(s, t)으로부터 구할 수 있다.

즉, 제1 계층의 화소 h(2s+ 1, 2t+ 1)는, 수학식

$$h(2s+1, 2t+1)=m(s, t)-(h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1))$$

에 의해서 구할 수 있다.

따라서, 제1 계층의 화소 h(2s+ 1, 2t+ 1)는 기억해 두지 않아도, 상기의 식으로부터 얻을 수 있다.

그래서, 제1 계층 메모리(2)는 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중 1개인 h(2s+ 1, 2t+ 1)를 기억하는 메모리 셀을 설치하지 않고 구성할 수 있다.

즉, 상술한 경우에 있어서는 제1 계층 메모리(2)는 적어도, 512×512 화소의 화상 데이터를 기억할 수 있는 메모리 셀을 갖는 것으로 하였지만, 제1 계층의 화소 h(2s+ 1, 2t+ 1)를 기억하지 않은 경우에는 적어도 512×512×3/4 화소의 화상 데이터를 기억할 수 있는 메모리 셀로 구성할 수 있다. 이 경우, 제1 계층 메모리(2)는 제1 계층의 화상의 한 화면을 구성하는 화소 수로부터, 제2 계층 메모리(3)의 어드레스 수(제2 계층의 한 화면을 구성하는 화소 수(256×256))를 감산한 수에 대응하는 메모리 셀(기억 용량)을 갖게 된다.

또한, 제2 계층의 인접하는 2×2 화소 m(2m, 2n), m(2m+ 1, 2n), m(2m, 2n+ 1), m(2m+ 1, 2n+ 1)중 1개인, 예를 들면, 우측 아래의 화소 m(2m+ 1, 2n+ 1)도 역시, 나머지의 제2 계층의 화소 m(2m, 2n), m(2m+ 1, 2n), m(2m, 2n+ 1)과 그들의 가산치인 제3 계층의 화소 q(m, n)로부터 구할 수 있다.

즉, 제2 계층의 화소 m(2m+ 1, 2n+ 1)은, 식

m(2m+ 1, 2n+ 1)=q(m, n)-(m(2m, 2n)+ m(2m+ 1, 2n)+ m(2m, 2n+ 1)

에 의해서 구할 수 있다.

따라서, 제2 계층의 화소 m(2m+ 1, 2n+ 1)는 기억해 두지 않아도 얻을 수 있다.

그래서, 제2 계층 메모리(3)도 제2 계층의 2×2의 4화소 m(2m, 2n), m(2m+ 1, 2n), m(2m, 2n+ 1), m(2m+ 1, 2n+ 1)중 1개인 m(2m+ 1, 2n+ 1)을 기억하는 메모리 셀을 설치하지 않고 구성할 수 있다.

즉, 상술한 경우에 있어서는, 제2 계층 메모리(3)는 적어도 256×256 화소의 화상 데이터를 기억할 수 있는 메모리 셀을 갖게 하였지만, 제2 계층의 화소 m(2m+ 1, 2n+ 1)를 기억하지 않은 경우에는 적어도, 256×256× 3/4 화소의 화상 데이터를 기억할 수 있는 메모리 셀로 구성할 수 있다. 이 경우, 제2 계층 메모리(3)는 제2 계층의 화상의 1화면을 구성하는 화소 수로부터, 제3 계층 메모리(4)의 어드레스 수(제3 계층의 1화면을 구성하는 화소 수(128×128))를 감산한 수에 대응하는 메모리 셀(기억 용량)을 갖게 된다.

제1 계층 메모리(2) 및 제2 계층 메모리(3)를 상술한 바와 같이 적은 기억 용량의 것으로 한 경우에 있어서도, 제1 계층 메모리(2), 제2 계층 메모리(3), 및 제3 계층 메모리(4)에의 화상 데이터의 기록은 도 3 내지 도 5에서 각각 설명한 바와 같이 하여 행할 수 있다. 단, 제1 계층 메모리(2)에는 제1 계층의 화소 h(2s+ 1, 2t+ 1)를 기억하는 메모리 셀, 즉, 어드레스(2s+ 1, 2t+ 1)에 대응하는 메모리 셀은 없고, 따라서, 어드레스 공급 회로(1)에서 제1 계층 메모리(2)에 대하여, 어드레스(2s+ 1, 2t+ 1)가 공급되는 동시에, RMW 회로(5)로부터 제1 계층의 화소 h(2s+ 1, 2t+ 1)가 공급되어도, 그 화소 h(2s+ 1, 2t+ 1)는 제1 계층 메모리(2)에 기억되지 않는다.

이와 같이, 제2 계층 메모리(3)에는 제2 계층의 화소 m(2m+ 1, 2n+ 1)을 기억하는 메모리 셀, 즉, 어드레스(2m+ 1, 2n+ 1)에 대응하는 메모리 셀은 없고, 따라서, 어드레스 공급 회로(1)에서 제2 계층 메모리(3)에 대하여, 어드레스(2m+ 1, 2n+ 1)가 공급되는 동시에, RMW 회로(5)(기록부(14)(도 4))로부터 제2 계층의 화소 m(2m+ 1, 2n+ 1)가 공급되어도, 그 화소 m(2m+ 1, 2n+ 1)는 제2 계층 메모리(3)에 기억되지 않는다.

또한, 기억 장치에 기억된 제3 계층의 화상의 판독은 상술한 도 5에 있어서의 경우와 같이 행할 수 있지만, 제1 또는 제2 계층의 화상의 판독은 다음과 같이 하여 행하여진다.

즉, 도 6은 제1 계층 메모리(2)의 기억 용량을 적은 것으로 한 경우에 있어서, 제1 계층의 화상을 판독할 때의 도 1의 기억 장치의 구성예를 나타내고 있다.

이 경우, 어드레스 공급 회로(1)는 지연 회로(31) 및 선택 회로(32 내지 34)로 구성된다. 지연 회로(31)에는 수평 어드레스(HA) 및 수직 어드레스(VA)가 입력되며, 거기서는 예를 들면, 그중 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, 그 하위 3비트째 va2의 변화에 대응하여 래치되어 출력되도록 이루어져 있다.

즉, 지연 회로(31)는 수직 어드레스(VA)의 하위 3비트째 va2가 0에서 1로 변화할 때와, 1에서 0으로 변화할 때를 검출하며, 그 변화의 직전의 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)를 래치하여, 나머지의 수직 어드레스 및 수평 어드레스와 동시에 출력하도록 이루어져 있다. 따라서, 지연 회로(31)가 출력하는 수평 어드레스(HA) 및 수직 어드레스(VA)는

어드레스 공급 회로(1)에 공급되는 수평 어드레스(HA) 및 수직 어드레스(VA)를 4(=2^{3-1}) 라인분만 지연한 것으로 된다. 또한, 지연 회로(31)에서는 수직 어드레스(VA)의 하위 3비트째 va2가 변화할 때의, 그 변화 직전의 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)를 래치하면 좋기 때문에, 종래 에 있어서의 화상을 라인 지연하기 위한 지연 회로와 같이, 대형의 것으로는 되지 않는다. 즉, 지연 회로(31)는 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)를 래치한다. 예를 들면, 7개의 플립 플롭 등으로 구성할 수 있으며, 따라서, 소형으로 구성할 수 있다.

여기서, 이하, 적당히 지연 회로(31)가 발생하는 4라인 전의 수평 어드레스(HA) 또는 수직 어드레스(VA)를 각각 지연수평 어드레스(HA) 또는 지연수직 어드레스(소정의 어드레스 신호)라 한다.

지연수평 어드레스(HA) 및 지연수직 어드레스(VA)는 선택 회로(32)에 공급된다. 또한, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA) 중 지연수평 어드레스(HA)의 최하위 비트(ha0)를 제외하는 상위 8비트(ha1내지 ha8) 및 지연수직 어드레스(VA)의 최하위 비트(va0)를 제외하는 상위 8비트(va1내지 va8)는 선택 회로(33)에 공급된다. 또한, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA) 중 지연수평 어드레스(HA)의 하위 2비트(ha0, ha1)를 제외하는 상위 7비트(ha2 내지 ha8) 및 지연수직 어드레스(VA)의 하위 2비트(va0 va1)를 제외하는 상위 7비트(va2 내지 va8)는 선택 회로(34)에 공급된다.

선택 회로(32)에는 지연수평 어드레스(HA) 및 지연수직 어드레스(VA) 외에, 어드레스 공급 회로(1)에 공급되는 수평 어드레스(HA) 및 수직 어드레스(VA)가 그대로 공급되는 동시에, 수직 어드레스(VA) 중 하위 3비트째 va2가, 제어 신호로서 공급되도록 이루어져 있다. 그리고, 선택 회로(32)에서는 제어 신호(va2)에 대응하여, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)와, 수평 어드레스(HA) 및 수직 어드레스(VA) 중 한쪽이 A 뱅크 어드레스로서, 다른 쪽이 B 뱅크 어드레스로서, 각각 선택되어, 제1 계층 메모리(2)의 A 뱅크 어드레스 단자와, B 뱅크 어드레스 단자에 각각 공급되도록 이루어져 있다.

즉, 선택 회로(32)는 예를 들면, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)를 A 뱅크 어드레스로서, 수평 어드레스(HA) 및 수직 어드레스(VA)를 B 뱅크 어드레스로서 각각 선택하고 있는 경우에 있어서, 제어 신호(va2)가 변화하면, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)를 B 뱅크 어드레스로서, 수평 어드레스(HA) 및 수직 어드레스(VA)를 A 뱅크 어드레스로서 각각 선택한다. 또한, 그 후, 선택 회로(32)는 제어 신호(va2)가 두번째 변화하면, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)를 A 뱅크 어드레스로서, 수평 어드레스(HA) 및 수직 어드레스(VA)를 B 뱅크 어드레스로서 각각 다시 선택한다. 따라서, 선택 회로(32)에서는 제어 신호(va2)가 변화할 때마다, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)가 A 뱅크 어드레스 또는 B 뱅크 어드레스로서 교대로 선택되는 동시에, 수평 어드레스(HA) 및 수직 어드레스(VA)가 B 뱅크 어드레스 또는 A 뱅크 어드레스로서 교대로 선택된다.

선택 회로(33)에는 지연수평 어드레스(HA)의 상위 8비트(ha1내지 ha8) 및 지연수직 어드레스(VA)의 상위 8비트(va1 내지 va8) 외에, 어드레스 공급 회로(1)에 공급되는 수평 어드레스(HA)의 상위 8비트(ha1내지 ha8) 및 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가 공급되는 동시에, 수직 어드레스(VA) 중 하위 3비트째 va2가, 제어 신호로서 공급되도록 이루어져 있다. 그리고, 선택 회로(33)에 있어서도, 선택 회로(32)에 있어서의 경우와 같이, 제어 신호(va2)가 변화할 때마다, 지연수평 어드레스(HA)의 상위 8비트(ha1내지 ha8) 및 지연수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가 A 뱅크 어드레스 또는 B 뱅크 어드레스로서 교대로 선택되는 동시에, 수평 어드레스(HA)의 상위 8비트(ha1내지 ha8) 및 수직 어드레스(VA)의 상위 8비트(va1내지 va8)가 B 뱅크 어드레스 또는 A 뱅크 어드레스로서 교대로 선택되도록 이루어져 있다.

선택 회로(33)에 있어서, A 뱅크 어드레스 또는 B 뱅크 어드레스로서 선택된 것은 제2 계층 메모리(3)의 A 뱅크 어드레스 단자 또는 B 뱅크 어드레스 단자에 각각 공급되도록 이루어져 있다.

선택 회로(34)에는 지연수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8)및 지연수직 어드레스(VA)의 상위 7비트(va2 내지 va8) 외에, 어드레스 공급 회로(1)에 공급되는 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가 공급되는 동시에, 수직 어드레스(VA) 중 하위 3비트째 va2가, 제어 신호로서 공급되도록 이루어져 있다. 그리고, 선택 회로(34)에 있어서도, 선택 회로(32)에 있어서의 경우와 같이, 제어 신호(va2)가 변화할 때마다, 지연수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 지연수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가 A 뱅크 어드레스 또는 B 뱅크 어드레스로서 교대로 선택되는 동시에, 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가 B 뱅크 어드레스 또는 A 뱅크 어드레스로서 교대로 선택되도록 이루어져 있다.

선택 회로(34)에 있어서, A 뱅크 어드레스 또는 B 뱅크 어드레스로서 선택된 것은 제3 계층 메모리(4)의 A 뱅크 어드레스 단자 또는 B 뱅크 어드레스 단자에 각각 공급되도록 이루어져 있다.

도 6의 실시 예에 있어서는(후술하는 도 8에 있어서도 같음), 제1 계층 메모리(2)의 어드레스 공간은 A 뱅크와 B 뱅크의 2개의 뱅크(블록)로 분할되어 있다. 즉, 여기서는 도 2에 있어서, 예를 들면, 제 8α 라인 내지 제 8α+3 라인의 화소를 기억하기 위한 제1 계층 메모리(2)의 기억 영역이 A 뱅크와, 제 8α+4 라인 내지 제 8α+7 라인의 화소를 기억하기 위한 제1 계층 메모리(2)의 기억 영역이 B 뱅크로, 각각 되어 있다(단, α= 0, 1, 2, …, 63).

그리고, A 펑크와 B 뱅크의 양쪽으로 동시에 액세스가 가능하도록, A 뱅크에 액세스하기 위한 어드레스 단자(A 뱅크 어드레스 단자)와, B 뱅크에 액세스하기 위한 어드레스 단자(B 뱅크 어드레스 단자)의 2개의 어드레스 단자가 설치되어 있다. 또한, A 뱅크, B 뱅크 각각에 대하여 데이터를 판독 기록하기 위한 입출력 단자인 데이터 단자도, A 뱅크 데이터 단자 및 B 뱅크 데이터 단자의 2개가 설치되어 있다.

따라서, 제1 계층 메모리(2)에서는, A 뱅크 어드레스 단자에 입력된 어드레스(A 뱅크 어드레스)에 대하여, A 뱅크 데이터 단자를 통하여, 데이터(A 뱅크 데이터)의 판독 기록을 행하는 동시에, B 뱅크 어드레스 단자에 입력된 어드레스(B 뱅크 어드레스)에 대하여, B 뱅크 데이터 단자를 통하여 데이터(B 뱅크 데이터)의 판독 기록을 행할 수 있다.

여기서, 본 실시 예에서는, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)는 수평 어드레스(HA) 및 수직 어드레스(VA)를 4라인분(제1 단계의 화상의 4라인분)지연한 것으로 되어 있다. 따라서, 선택 회로(32)에 있어서, 예를 들면, 수평 어드레스(HA) 및 수직 어드레스(VA)가 A 뱅크 어드레스로서, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)가 B 뱅크 어드레스로서, 각각 선택되어 있는 경우, 제1 계층 메모리(2)에 있어서는, 수평 어드레스(HA) 및 수직 어드레스(VA)에 대응하는 A 뱅크의 메모리 셀에 액세스가 이루어지지만 이 때, 동시에, 그 4라인분의 시간만 먼저 액세스된, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)에 대응하는 B 뱅크의 메모리 셀에도 액세스가 이루어진다.

즉, 예를 들면, 도 7에 도시하는 바와 같이, 제1 계층 메모리(2)를 A 뱅크로서의 기억 영역과, B 뱅크로서의 기억 영역으로 나누어 생각하면, A 뱅크가 있는 메모리 셀에 액세스가 이루어져 있을 때, 동시에, 그 메모리 셀에 대응하는 B 뱅크의 메모리 셀에도 액세스가 이루어진다. 이렇게 동시에 액세스되는 A 뱅크 및 B 뱅크의 대응하는 메모리 셀이 본 실시 예에서는 4라인에 상당하는 분만 떨어져 있다. 여기서, 이와 같이 동시에 액세스되는 A 뱅크 및 B 뱅크의 메모리 셀을 4라인에 상당하는 분만 분리한 것은, 본 실시 예에서는, 최상위 계층인 제3 계층의 1개의 화소가, 제1 계층의 4×4 화소를 단위로서 생성되므로, 뱅크는 적어도 그와 같은 단위로 하는 것이 바람직하기 때문이다. 따라서, 여기서는 4라인마다 교대로 A 뱅크와 B 뱅크로 나누었지만 기타, 예를 들면, 4열마다 나누는 것도 가능하고, 뱅크 수도 A 뱅크 및 B 뱅크의 2개로 한정되는 것이 아니다. 또한, 가로 및 세로 방향의 양방향으로, 즉, 말하자면 격자모양으로 뱅크를 자르는 것도 가능하다.

도 6으로 되돌아가, 제2 계층 메모리(3)에 있어서도, 제1 계층 메모리(2)와 같이, 그 어드레스 공간이 A 뱅크와 B 뱅크의 2개의 뱅크로 분할되어 있다. 단, 본 실시 예에서는, 제2 계층의 화상을 구성하는 가로 또는 세로의 화소 수 각각은, 제1 계층의 화상의 1/2 이므로, 제2 계층 메모리(3)에 있어서는, 제2 계층의 제4α 라인 및 제4α+1 라인의 화소를 기억하기 위한 제2 계층 메모리(3)의 기억 영역이 A 뱅크와, 제4α+2 라인 및 제4α+3 라인의 화소를 기억하기 위한 제2 계층 메모리(3)의 기억 영역이 B 뱅크로 각각 되어 있다.

제3 계층 메모리(4)에 있어서도, 제1 계층 메모리(2)와 같이, 그 어드레스 공간이 A 뱅크와 B 뱅크의 2개의 뱅크로 분할되어 있다. 단, 본 실시 예에서는 제3 계층의 화상을 구성하는 가로 또는 세로의 화소 수 각각은, 제1 계층의 화상의 1/4이므로, 제3 계층 메모리(4)에 있어서는 제3 계층의 제2α 라인의 화소를 기억하기 위한 제3 계층 메모리(4)의 기억 영역이 A 뱅크와, 제2α+1 라인의 화소를 기억하기 위한 제3 계층 메모리(4)의 기억 영역이 B 뱅크로 각각 되어 있다.

제1 계층 메모리(2)의 A 뱅크 또는 B 뱅크 각각으로부터 판독된 데이터 (A 뱅크 데이터 또는 B 뱅크 데이터)가 출력되는 A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자는, 어느 것이나 선택 회로(41)에 접속되어 있다. 또한, 선택 회로(41)에는 어드레스 공급 회로(1)에서 수직 어드레스(VA)의 하위 3비트째 va2가, 제어 신호로서 공급되도록 이루어져 있고, 선택 회로(41)에서는 제어 신호(va2)에 대응하여, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자중 한쪽이 판독부(44)에 접속되며, 다른쪽이 판독부(45)에 접속되도록 이루어져 있다.

즉, 선택 회로(41)는 어느 시점에 있어서, 예를 들면, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자를 판독부(44 또는 45)에 각각 접속하고 있는 경우에 있어서, 제어 신호(va2)가 변화하면, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자를 판독부(45 또는 44)에 각각 접속한다. 또한, 그 후 제어 신호(va2)가 두 번째 변화하면, 선택 회로(41)는 A 뱅크 데이터 단자 또는

B 뱅크 데이터 단자를 판독부(44 또는 45)에 각각 다시 접속한다. 따라서, 선택 회로(41)에 의하면, 제어 신호(va2)가 변화할 때마다 A 뱅크 데이터 단자가 판독부(44 또는 45)에 교대로 접속되는 동시에, B 뱅크 데이터 단자가 판독부(45 또는 44)에 교대로 접속된다.

제2 계층 메모리(3)의 A 뱅크에 기록되는 데이터가 공급되는 동시에, A 뱅크에서 판독된 데이터가 출력되는 A 뱅크 데이터 단자 및 그 B 뱅크에 기록되는 데이터가 공급되는 동시에, B 뱅크에서 판독된 데이터가 출력되는 B 뱅크 데이터 단자는, 어느 것이나 선택 회로(42)에 접속되어 있다. 또한, 선택 회로(42)에도 어드레스 공급 회로(1)로부터 수직 어드레스(VA)의 하위 3비트째 va2가, 제어 신호로서 공급되도록 이루어져 있고, 선택 회로(42)에서는 제어 신호(va2)에 대응하여 A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자중 한쪽이 기록부(46) 및 판독부(47)에 접속되며, 다른쪽이 기록부(48) 및 판독부(49)에 접속되도록 이루어져 있다.

즉, 선택 회로(42)는 어떤 시점에 있어서, 예를 들면, A 뱅크 데이터 단자를 기록부(46) 및 판독부(47)에 접속하며, B 뱅크 데이터 단자를 기록부(48) 및 판독부(49)에 접속하고 있는 경우에 있어서, 제어 신호(va2)가 변화하면 A 뱅크 데이터 단자를 기록부(48) 및 판독부(49)에 접속하고, B 뱅크 단자를 기록부(46) 및 판독부(47)에 접속한다. 또한, 그 후, 제어 신호(va2)가 두 번째 변화하면, 선택 회로(42)는 A 뱅크 데이터 단자를 기록부(46) 및 판독부(47)에 다시 접속하는 동시에, B 뱅크 데이터 단자를 기록부(48) 및 판독부(49)에 다시 접속한다. 따라서, 선택 회로(42)에 의하면, 제어 신호(va2)가 변화할 때마다 A 뱅크 데이터 단자가 기록부(46)와 판독부(47) 또는 기록부(48)와 판독부(49)에 교대로 접속되는 동시에, B 뱅크 데이터 단자가 기록부(48)와 판독부(49) 또는 기록부(46)와 판독부(47)에 교대로 접속된다.

제3 계층 메모리(4)의 A 뱅크에 기록되는 데이터가 공급되는 동시에, A 뱅크에서 판독된 데이터가 출력되는 A 뱅크 데이터 단자 및 그 B 뱅크에 기록되는 데이터가 공급되는 동시에, B 뱅크에서 판독된 데이터가 출력되는 B 뱅크 데이터 단자는 어느 것이나 선택 회로(43)에 접속되어 있다. 또한, 선택 회로(43)에도 어드레스 공급 회로(1)로부터 수직 어드레스(VA)의 하위 3비트째 va2가, 제어 신호로서 공급되도록 이루어져 있다. 그리고, 선택 회로(43)에 있어서도 선택 회로(42)에 있어서의 경우와 같이, 제어 신호(va2)가 변화할 때마다, A 뱅크 데이터 단자가 기록부(50)와 판독부(51) 또는 기록부(52)와 판독부(53)에 교대로 접속되는 동시에, B 뱅크 데이터 단자가 기록부(52)와 판독부(53) 또는 기록부(50)와 판독부(51)에 교대로 접속되도록 이루어져 있다.

판독부(44 또는 45)는 선택 회로(41)를 통하여 제1 계층 메모리(2)로부터 데이터를 판독하도록 이루어져 있다. 판독부(44)가 판독한 데이터는 연산기(54) 및 선택 회로(58)에 공급되는 동시에, 스위치(61)를 통하여 연산기(56)에 공급되도록 이루어져 있다. 또한, 판독부(45)가 판독한 데이터는 연산기(55 및 57)에 공급되도록 이루어져 있다. 기록부(46)는 연산기(54)의 출력을 선택 회로(42)를 통하여 제2 계층 메모리(3)에 기록하도록 이루어져 있다. 판독부(47)는 선택 회로(42)를 통하여 제2 계층 메모리(3)로부터 데이터를 판독하고, 연산기(54) 및 선택 회로(58)에 공급하도록 이루어져 있다. 기록부(48)는 연산기(55)의 출력을 선택 회로(42)를 통하여, 제2 계층 메모리(3)에 기록하도록 이루어져 있다. 판독부(49)는 선택 회로(42)를 통하여, 제2 계층 메모리(3)로부터 데이터를 판독하고, 연산기(55) 및 스위치(62)에 공급하도록 이루어져 있다. 기록부(50)는 연산기(56)의 출력을 선택 회로(43)를 통하여, 제3 계층 메모리(4)에 기록하도록 이루어져 있다. 판독부(51)는 선택 회로(43)를 통하여, 제3 계층 메모리(4)로부터 데이터를 판독하고, 연산기(56) 및 선택 회로(58)에 공급하도록 이루어져 있다. 기록부(52)는 연산기(57)의 출력을 선택 회로(43)를 통하여, 제3 계층 메모리(4)에 기록하도록 이루어져 있다. 판독부(53)는 선택 회로(43)를 통하여, 제3 계층 메모리(4)로부터 데이터를 판독하고, 연산기(57)에 공급하도록 이루어져 있다.

연산기(54)는 판독부(47)의 출력으로부터 판독부(44)의 출력을 감산하여, 그 감산 결과를 기록부(46)에 공급하도록 이루어져 있다. 연산기(55)는 판독부(45 및 49)의 출력끼리를 가산하여, 그 가산 결과를 기록부(48)에 공급하도록 이루어져 있다. 연산기(56)는 판독부(51)의 출력으로부터 스위치(61)를 통하여 공급되는 신호를 감산하여 기록부(50)에 공급하도록 이루어져 있다. 연산기(57)는 판독부(45 및 53)의 출력끼리를 가산하여 그 가산 결과를 기록부(52)에 공급하도록 이루어져 있다. 또한, 연산기(57)는 스위치(62)가 온 상태로 되어 있고, 이것에 의해, 판독부(49)의 출력이 공급되는 경우는 그 출력도 가산의 대상으로 하도록 이루어져 있다.

선택 회로(58)는 AND 게이트(59 및 60)의 출력에 대응하여 판독부(44, 47 또는 51)의 출력 중 어느 것인가를 선택하여 출력하도록 이루어져 있다. AND 게이트(59)에는 어드레스 공급 회로(1)로부터 수평 어드레스(HA)의 최하위 비트(ha0)와, 수직 어드레스(VA)의 최하위 비트(va0)가 제어 신호로서 공급되도록 이루어져 있고, AND 게이트(59)는 그 논리곱을 연산하여 선택 회로(58)에 공급하도록 이루어져 있다. AND 게이트(60)에는 어드레스 공급 회로(1)로부터 수평 어드레스(HA)의 하위 2비트째 ha1와, 수직 어드레스(VA)의 하위 2비트째 va1가, 제어 신호로서 공급되도록 이루어져 있고, AND 게이트(60)는 그 논리곱을 연산하여 선택 회로(58)에 공급하도록 이루어져 있다.

스위치(61)는 AND 게이트(59)의 출력에 대응하여, 단자(61a 또는 61b) 중 어느 한쪽을 선택하도록 이루어져 있다. 또한, 단자(61a 또는 61b)에는 판독부(44 또는 47)의 출력이 각각 공급되도록 이루어져 있다. 스위치(62)는 NOR 게이트(63)의 출력에 대응하여 온/오프하여 판독부(49)의 출력을 연산기(57)에 공급하도록 이루어져 있다. NOR 게이트(63)에는 AND 게이트(59)와 같이 최하위 비트(ha0와 va0)가 공급되도록 이루어져 있고, 그 출력에 의해서 스위치(62)의 온/오프가 제어되도록 이루어져 있다.

여기서는, 이상의 선택 회로(41 내지 43), 판독부(44, 45), 기록부(46), 판독부(47), 기록부(48), 판독부(49), 기록부(50), 판독부(51), 기록부(52), 판독부(53), 연산기(54 내지 57), 선택 회로(58), AND 게이트(59, 60), 스위치(61, 62) 및 NOR 게이트(63)로 RMW 회로(5)가 구성되어 있다.

또한, 도 6(후술하는 도 8에 있어서도 같음)에 있어서는 클록, R/W 신호 및 계층 플래그의 도시는 생략하고 있다.

다음에, 그 동작에 관해서 설명한다.

지금, 선택 회로(32)에 있어서 예를 들면, 어드레스 공급 회로(1)에 공급된 수평 어드레스(HA) 및 수직 어드레스(VA)가 A 뱅크 어드레스로서, 지연수평 어드레스(HA) 및 지연수직 어드레스(VA)가 B 뱅크 어드레스로서 각각 선택되어 있는 것으로 한다.

이 경우, 선택 회로(33 및 34)에 있어서도, 이와 같이 하여, A 뱅크 어드레스 및 B 뱅크 어드레스가 선택된다. 즉, 선택 회로(33)에서는 수평 어드레스(HA)의 상위 8비트(ha1내지 ha8) 및 수직 어드레스(VA)의 상위 8비트(va1내지 va8)가 A 뱅크 어드레스로서, 지연수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 지연수직 어드레스(VA)의 상위 8비트(va1내지 va8)가 B 뱅크 어드레스로서 각각 선택된다. 또한, 선택 회로(34)에서는 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가 A 뱅크 어드레스로서 지연수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 지연수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가 B 뱅크 어드레스로서 각각 선택된다.

선택 회로(32 내지 34)에 있어서 선택된 A 뱅크 어드레스와 B 뱅크 어드레스는 제1 계층 메모리(2), 제2 계층 메모리(3), 또는 제3 계층 메모리(4) 각각의 A 뱅크 어드레스 단자와 B 뱅크 어드레스 단자에 공급된다.

또한, 이 경우, 선택 회로(41)에서는 제1 계층 메모리(2)의 A 뱅크 데이터 단자가 판독부(44)에 접속되는 동시에, 그 B 뱅크 데이터 단자가 판독부(45)에 접속된다. 또한, 선택 회로(42)에서는 제2 계층 메모리(3)의 A 뱅크 데이터 단자가, 기록부(46) 및 판독부(47)에 접속되는 동시에, 그 B 뱅크 데이터 단자가 기록부(48) 및 판독부(49)에 접속된다. 또한, 선택 회로(43)에서는 제3 계층 메모리(4)의 A 뱅크 데이터 단자가 기록부(50) 및 판독부(51)에 접속되는 동시에, 그 B 뱅크 데이터 단자가 기록부(52) 및 판독부(53)에 접속된다.

판독부(44)는 제1 계층 메모리(2)로부터 선택 회로(32)가 출력하는 A 뱅크 어드레스에 기억되어 있는 제1 계층의 화소(화소치)를 선택 회로(41)를 통하여 판독, 연산기(54), 선택 회로(58) 및 스위치(61)의 단자(61a)에 공급한다.

선택 회로(58)는 AND 게이트(59)의 출력이 1이 아닐 때(0의 때), 판독부(44)의 출력을, 제1 계층의 화소로서 선택하여 출력한다. 즉, AND 게이트(59)의 출력이 1이 아닐 때라는 것은, ha0 또는 va0 중 적어도 한쪽이 0일 때이며, 도 2에 D1로 도시하는 바와 같은 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1) 중, 우측 아래의 화소 h(2s+ 1, 2t+ 1)를 제외하는 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1) 중 어느 것인가가 판독되는 타이밍이다. h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1)는 어느 것이나 제1 계층 메모리(2)에 기억되어 있으므로, 그 제1 계층 메모리(2)로부터 판독된 값이 그대로 선택부(58)에서 선택되어 출력된다.

한편, 판독부(47)는 제2 계층 메모리(3)로부터 선택 회로(33)가 출력하는 A 뱅크 어드레스에 기억되어 있는 제2 계층의 화소(화소치)를 선택 회로(42)를 통하여 판독, 연산기(54), 선택 회로(58) 및 스위치(61)의 단자(61b)에 공급한다.

여기서, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)에 액세스가 이루어지는 타이밍에 있어서는, 즉, 제1 계층 메모리(2)의 A 뱅크 어드레스(2s, 2t), (2s+ 1, 2t), (2s, 2t+ 1), (2s+ 1, 2t+ 1)에 액세스가 이루어지는 경우에 있어서는, 상술한 것이기 때문에 어느 쪽의 경우에 있어서도 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 액세스가 이루어진다.

따라서, 판독부(44)가 제1 계층 메모리(2)로부터 제1 계층의 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1)를 판독하고, 연산기(54)에 공급할 때, 판독부(47)에 있어서는, 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)로부터 데이터가 판독되어 연산기(54)에 공급된다.

연산기(54)에서는 판독부(47)의 출력으로부터 판독부(44)의 출력이 감산되며, 기록부(46)에 공급되는 기록부(46)는 연산기(54)의 출력을 선택 회로(42)를 통하여, 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기록한다.

따라서, 최초는, 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에는, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)의 가산치인 제2 계층의 화소 m(s, t)이 기억되어 있지만 판독부(44)가 제1 계층의 화소 h(2s, 2t)를 판독하는 동시에 판독부(47)가 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기억되어 있는 데이터(여기서는, m(s, t))를 판독하는 것으로, 연산기(54)에 있어서, 그들의 감산치(m(s, t)-h(2s, 2t))가 구해지고, 기록부(46)에 있어서 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기록된다.

또한, 판독부(44)가 제1 계층의 화소 h(2s+ 1, 2t)를 판독하는 동시에, 판독부(47)가 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기억되어 있는 데이터(여기서는, m(s, t)-h(2s, 2t))를 판독하는 것으로, 연산기(54)에 있어서 그들의 감산치(m(s, t)-h(2s, 2t)-h(2s+ 1, 2t))가 구해지고, 기록부(46)에 있어서 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기록된다.

그 후, 판독부(44)가 제1 계층의 화소 h(2s, 2t+ 1)를 판독하는 동시에 판독부(47)가 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기억되어 있는 데이터(여기서는 m(s, t)-h(2s, 2t)-h(2s+ 1, 2t))을 판독하는 것으로, 연산기(54)에 있어서 그들의 감산치(m(s, t)-h(2s, 2t)-h(2s+ 1, 2t)-h(2s, 2t+ 1))가 구해지고, 기록부(46)에 있어서, 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에 기록된다. 즉, 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)에는 제1계층의 화소 h(2s+ 1, 2t+ 1)(=m(s, t)-h(2s, 2t)-h(2s+ 1, 2t)-h(2s, 2t+ 1))가 기록된다.

따라서, 제1 계층 메모리(2)의 A 뱅크 어드레스(2s+ 1, 2t+ 1)(여기서는, 이 어드레스에 대응하는 메모리 셀은 없고, 따라서, 이 어드레스에 액세스가 이루어지더라도, 예를 들면, 아무것도 기록되지 않고, 아무것도 판독되지 않는다)에 액세스가 이루어지는 타이밍에 있어서는, 판독부(47)가 제2 계층 메모리(3)의 A 뱅크 어드레스(s, t)로부터 판독하는 데이터는, 도 2에 D1로 도시하는 바와 같은 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1) 중, 우측 아래의 화소(화소치) h(2s+ 1, 2t+ 1)(단, h(4m+ 3, 4n+ 3)를 제외한다)로 되어 있다.

한편, 선택 회로(58)는 AND 게이트(59 또는 60)의 출력중, AND 게이트(59)의 출력만이 1일 때(따라서, AND 게이트(60)의 출력은 0), 판독부(47)의 출력을 제1 계층의 화소로서 선택하여 출력한다. 즉, AND 게이트(59)의 출력만이 1일 때라는 것은, ha0 및 va0의 양쪽이 1로, ha1 또는 va1중의 어느 한쪽, 또는 양쪽이 0일 때이며, 도 2에 Dl에서 도시하는 바와 같은 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1) 중, 우측 아래의 화소 h(2s+ 1, 2t+ 1)(단, h(4m+ 3, 4n+ 3)를 제외한다)가 판독되는 타이밍이다. 이 화소 h(2s+ 1, 2t+ 1)는 상술한 바와 같이, 제2 계층 메모리(3)의 A 뱅크 어드레스(s.t)부터, 판독부(47)에 의해서 판독되기 때문에 판독부(47)의 출력이 선택부(58)로 선택되어 출력된다.

한편, 판독부(51)는 제3 계층 메모리(4)로부터 선택 회로(34)가 출력하는 A 뱅크 어드레스에 기억되어 있는 제3 계층의 화소(화소치)를 선택 회로(43)를 통하여 판독하고, 연산기(56) 및 선택 회로(58)에 공급한다.

여기서, 도 2에 D2로 도시하는 바와 같은 제1 계층의 4×4의 16화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3)에 액세스가 이루어지는 타이밍으로서는 상술한 것이기 때문에, 어느쪽의 경우에 있어서도 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 액세스가 이루어진다.

따라서, 판독부(44)가 제1 계층 메모리(2)로부터 제1 계층의 2×2 화소중의 우측 아래의 화소 h(2s+ 1, 2t+ 1)를 제외하는 제1 계층의 화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 2, 4n+ 3)를 판독하고, 단자(61a)에 공급할 때, 판독부(51)에 있어서는, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)로부터 데이터가 판독되고, 연산기(56)에 공급된다.

스위치(61)는 AND 게이트(59)의 출력이 0일 때, 단자(61a)를 선택하도록 이루어져 있고, 따라서, 판독부(44)가 출력하는 제1 계층의 화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 2, 4n+ 3)은 스위치(61)를 통하여 연산기(56)에 공급된다.

또한, 판독부(47)가 상술한 바와 같이 하여, 제1 계층의 2×2 화소의 우측 아래의 화소 h(2s+ 1, 2t+ 1)에 상당하는 화소 h(4m+ 1, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m+ 1, 4n+ 3)를 출력할 때, 즉, AND 게이트(59)의 출력이 1일 때, 스위치(61)는 단자(61b)를 선택하도록 이루어져 있고, 따라서, 판독부(47)가 출력하는 제1 계층의 화소 h(4m+ 1, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m+ 1, 4n+ 3)도 스위치(61)를 통하여 연산기(56)에 공급된다.

연산기(56)에서는 판독부(51)의 출력으로부터 스위치(61)의 출력이 감산되어 기록부(50)에 공급된다. 기록부(50)는 연산기(56)의 출력을 선택 회로(43)를 통하여 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록한다.

따라서, 최초는 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에는 제1 계층의 상술한 4×4의 16화소의 가산치인 제3 계층의 화소 q(m, n)가 기억되어 있지만, 판독부(44)가 제1 계층의 화소 h(4m, 4n)를 판독하는 동시에, 판독부(51)가 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기억되어 있는 데이터(여기서는, q(m, n))를 판독하는 것으로, 연산기(56)에 있어서 그들의 감산치(q(m, n)-h(4m, 4n))가 구해지고, 기록부(50)에 있어서 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다.

또한, 판독부(44)가 제1 계층의 화소 h(4m+ 1, 4n)를 판독하는 동시에, 판독부(51)가 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기억되어 있는 데이터(여기서는, q(m, n)-h(4m, 4n))를 판독하는 것으로 연산기(56)에 있어서, 그들의 감소산치(q(m, n)-h(4m, 4n)-h(4m+ 1, 4n))가 구해지고, 기록부(50)에 있어서, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다.

이하, 이와 같이 하여, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)의 기억치가 개서되어 간다.

그리고, 판독부(47)에 있어서, 제1 계층의 2×2화소중 우측 아래의 화소 h(2s+ 1, 2t+ 1)에 상당하는 제1 계층의 화소 h(4m+ 1,4n+ 1)가 판독되면, 이것은, 상술한 바와 같이, 스위치(61)를 통하여, 연산기(56)에 공급된다. 이 때, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에는, 식 q(m, n)-h(4m, 4n)-h(4m+ 1, 4n)-h(4m+ 2, 4n)-h(4m+ 3, 4n)-h(4m, 4n+ 1)로 표현되는 데이터가 기억되어 있고, 판독부(51)에서는, 이 데이터가 판독되어, 연산기(56)에 공급된다.

연산기(56)에서는 판독부(51)의 출력으로부터 판독부(47)의 출력이 감산되어, 그 감산치(q(m, n)-h(4m, 4n)-h(4m+ 1, 4n)-h(4m+ 2, 4n)-h(4m+ 3, 4n)-h(4m, 4n+ 1)-h(4m+ 1, 4n+ 1))가, 기록부(50)에 의해서, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다.

이하, 마찬가지로 하여, 최종적으로는, 즉, 판독부(44)가, 제1 계층의 화소 h(4m+ 2, 4n+ 3)를 판독함과 동시에, 판독부(51)가, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기억되어 있는 데이터(여기서는, q(m, n)-h(4m, 4n)-h(4m+ 1, 4n)-h(4m+ 2, 4n)-h(4m+ 3, 4n)-h(4m, 4n+ 1)-h(4m+ 1, 4n+ 1)-h(4m+ 2, 4n+ 1)-h(4m+ 3, 4n+ 1)-h(4m, 4n+ 2)-h(4m+ 1, 4n+ 2)-h(4m+ 2, 4n+ 2)-h(4m+ 3, 4n+ 2)-h(4m, 4n+ 3)-h(4m+ 1, 4n+ 3))를 판독하는 것으로, 연산기(56)에 있어서, 그것들의 감산치가 요청되며, 기록부(50)에 있어서, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다. 즉, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에는, 제1 계층의 화소 h(4m+ 3, 4n+ 3)(=q(m, n)-h(4m, 4n)-h(4m+ 1, 4n)-h(4m+ 2, 4n)-h(4m+ 3, 4n)-h(4m, 4n+ 1)-h(4m+ 1, 4n+ 1)-h(4m+ 2, 4n+ 1)-h(4m+ 3, 4n+ 1)-h(4m, 4n+ 2)-h(4m+ 1, 4n+ 2)-h(4m+ 2, 4n+ 2)-h(4m+ 3, 4n+ 2)-h(4m, 4n+ 3)-h(4m+ 1, 4n+ 3)-h(4m+ 2, 4n+ 3))가 기록된다.

따라서, 제1 계층 메모리(2)의 A 뱅크 어드레스(4m+ 3, 4n+ 3)(여기서는, 이 어드레스에 대응하는 메모리 셀은 없고, 따라서, 이 어드레스에 액세스가 이루어지더라도, 예를 들면, 아무것도 기록하지 않고, 아무것도 판독되지 않는다)에 액세스가 이루어지는 타이밍에서는, 판독부(51)가, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)부터 판독되는 데이터는, 도 2에 D2로 나타내는 바와 같은 제1 계층의 4×4의 16화소중, 우측 아래의 화소(화소치) h(4m+ 3, 4n+ 3)로 이루어져 있다.

한편, 선택 회로(58)는, AND 게이트(59 및 60) 양쪽의 출력이 1일 때, 판독부(51)의 출력을, 제1 계층의 화소로서 선택하여 출력한다. 즉, AND 게이트(59 및 50) 양쪽의 출력이 1일 때라고 하는 것은, ha0, va0, ha1, va1의 전부가 1일 때이며,

도 2에 D2로 나타내는 바와 같은 제1 계층의 4×4의 16화소 중, 우측 아래의 화소 h(4m+ 3, 4n+ 3)가 판독되는 타이밍이다. 이러한 화소 h(4m+ 3, 4n+ 3)는, 상술한 바와 같이, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)로부터, 판독부(51)에 의해서 판독되므로, 판독부(51)의 출력이, 선택부(58)로 선택되어 출력된다.

그런데, 이상과 같이 하여, 제1 계층의 화소가 판독되어 가면, 제2 계층 메모리(3)에는, 제1 계층의 화소 h(2s+ 1, 2t+ 1)(단, h(4m+ 3, 4n+ 3)를 제외)가 기억되도록 이루어지며, 또한, 제3 계층 메모리(4)에는 제1 계층의 화소 h(4m+ 3, 4n+ 3)가 기억되도록 이루어진다.

즉, 제2 계층 메모리(3) 또는 제3 계층 메모리(4)의 기억치는, 제2 또는 제3 계층의 화소 각각으로부터, 제1 계층의 화소에 개서된다.

따라서, 이와 같이 개서된 제2 계층 메모리(3) 또는 제3 계층 메모리(4)의 기억치를, 각각, 원래의 제2 또는 제3 계층의 화소로 되돌릴 필요가 있다(단, 필요가 없으면, 되돌리지 않아도 된다).

그래서, 상술한 바와 같이, 제1 계층 메모리(2)는, 제 8α라인 내지 제 8α+ 3라인의 화소를 기억하기 위한 A 뱅크와, 제 8α+ 4라인 내지 제 8α+ 7라인의 화소를 기억하기 위한 B 뱅크로 분리되어 있다. 또한, 제2 계층 메모리(3)는, 제2 계층의 제4α라인 및 제4α+ 1라인의 화소를 기억하기 위한 A 뱅크와, 제2 계층의 제4α+ 2라인 및 제4α+ 3라인의 화소를 기억하기 위한 B 뱅크로 분리되어 있으며, 또한, 제3 계층 메모리(4)는, 제3 계층의 제2α라인의 화소를 기억하기 위한 A 뱅크와, 제2α+ 1라인의 화소를 기억하기 위한 B 뱅크로 분리되어 있다.

그리고, 본 실시의 형태로서는, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)는, 수평 어드레스(HA) 및 수직 어드레스(VA)를 4라인분 지연한 것으로 되어 있으며, 상술한 바와 같이, 수평 어드레스(HA) 및 수직 어드레스(VA)가 A 뱅크 어드레스로서, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)가 B 뱅크 어드레스로서, 각각 선택되어 있는 경우에는, 제1 계층 메모리(2)에 있어서는, 수평 어드레스(HA) 및 수직 어드레스(VA)에 대응하는 A 뱅크의 메모리 셀에 액세스가 이루어지지만, 이때, 동시에, 그 4라인분 만큼 전에 액세스된, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)에 대응하는 B 뱅크의 메모리 셀(A 뱅크의 메모리 셀의 위치에 대응하는 B 뱅크의 메모리 셀)에도 액세스가 이루어진다.

마찬가지로, 제2 계층 메모리(3)에 있어서는, A 뱅크의 메모리 셀에 액세스가 이루어짐과 동시에, 2라인분 만큼 전에 액세스된 B 뱅크의 메모리 셀에 액세스가 이루어진다. 또한, 제3 계층 메모리(4)에 있어서는, A 뱅크의 메모리 셀에 액세스가 이루어짐과 동시에, 1라인분 만큼 전에 액세스된 B 뱅크의 메모리 셀에 액세스가 이루어진다.

따라서, 판독부(44)가, 제1 계층 메모리(2)의 A 뱅크로부터, 제1 계층의 화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1)를 판독할 때, 판독부(45)에 있어서는, 선택 회로(41)를 통하여, 제1 계층 메모리(2)의 B 뱅크로부터, 4라인전에 액세스된 제1 계층의 화소 h(2s, 2t'), h(2s+ 1, 2t'), h(2s, 2t'+ 1)가 각각 판독되며, 연산기(55)에 공급된다. 여기서, t'= t-2이다.

또한, 판독부(45)가, 제1 계층 메모리(2)의 B 뱅크에서, 제1 계층의 화소 h(2s, 2t'), h(2s+ 1, 2t'), h(2s, 2t'+ 1)를 판독할 때, 판독부(49)에 있어서는, 어느 때에도, 선택 회로(42)를 통하여, 제2 계층 메모리(3)의 B 뱅크에서의 어드레스(소정의 어드레스)(s, t')로부터, 데이터가 판독되어, 연산기(55)에 공급된다.

연산기(55)로서는, 판독부(45)의 출력과 판독부(49)의 출력이 가산되어, 그 가산치는, 기록부(48)에 공급된다. 기록부(48)는, 연산기(55)의 출력을, 선택 회로(42)를 통하여, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기록된다.

따라서, 처음은, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에는, 제2 계층에 관해서 2라인분(제1 계층에 관해서는 4라인분)만큼 전에 액세스되는 것에 따라 요청된 제1 계층의 화소 h(2s+ 1, 2t'+ 1)가 기억되어 있지만, 판독부(45)가, 제1 계층 메모리(2)의 B 뱅크로부터, 제1 계층의 화소 h(2s, 2t')를 판독함과 동시에, 판독부(49)가, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기억되어 있는 데이터(여기서는, h(2s+ 1, 2t'+ 1))를 판독하는 것으로, 연산기(55)에서, 그것들의 가산치(h(2s, 2t')+ h(2s+ 1, 2t'+ 1))가 요구되며, 기록부(48)에서, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기록된다.

또한, 판독부(45)가, 제1 계층 메모리(2)의 B 뱅크에서, 제1 계층의 화소 h(2s+ 1, 2t')를 판독함과 동시에, 판독부(49)가, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기억되어 있는 데이터(여기에서는, h(2s, 2t')+ h(2s+ 1, 2t'+ 1))를 판독하는 것으로, 연산기(55)에서, 그것들의 가산치(h(2s, 2t')+ h(2s+ 1, 2t)+ h(2s+ 1, 2t'+ 1))가 요구되며, 기록부(48)에서, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기록된다.

그 후, 판독부(45)가, 제1 계층 메모리(2)의 B 뱅크로부터, 제1 계층의 화소 h(2s, 2t'+ 1)를 판독함과 동시에, 판독부(49)가, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기억되어 있는 데이터(여기서는, h(2s, 2t')+ h(2s+ 1, 2t)+ h(2s+ 1, 2t'+ 1))를 판독하는 것으로, 연산기(55)에 있어서, 그것들의 가산치(h(2s, 2t')+ h(2s+ 1, 2t)+ h(2s, 2t'+ 1)+ h(2s+ 1, 2t'+ 1))가 요구되며, 기록부(48)에서, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에 기록된다. 즉, 제2 계층 메모리(3)의 B 뱅크 어드레스(s, t')에는, 원래의 제2 계층의 화소 m(s, t')(=h(2s, 2t')+ h(2s+ 1, 2t)+ h(2s, 2t'+ 1)+ h(2s+ 1, 2t'+ 1))가 기록된다.

또한, 판독부(44)가, 제1 계층 메모리(2)의 A 뱅크에서, 제1 계층의 2×2화소중 우측 아래의 화소 h(2s+ 1, 2t+ 1)를 제외하는 제1 계층의 화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 2,4n+ 3)를 판독할 때, 판독부(45)에 있어서는, 제1 계층 메모리(2)의 B 뱅크에서, 선택 회로(41)를 통하여, 4라인전의 제1 계층의 화소 h(4m, 4n'), h(4m+ 1, 4n'), h(4m+ 2, 4n'), h(4m+ 3, 4n'), h(4m, 4n'+ 1), h(4m+ 2, 4n'+ 1), h(4m, 4n'+ 2), h(4m+ 1, 4n'+ 2), h(4m+ 2, 4n'+ 2), h(4m+ 3, 4n'+ 2), h(4m, 4n'+ 3), h(4m+ 2, 4n'+ 3)가 각각 판독되며, 연산기(57)에 공급된다. 단, n'= n-1이다.

또한, 이 경우, 판독부(53)에 있어서는, 선택 회로(43)를 통하여, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')로부터 데이터가 판독되어, 연산기(57)에 공급된다.

연산기(57)에는, 또한, 스위치(62)를 통하여, 판독부(49)의 출력도 공급되 되도록 이루어지고 있다. 스위치(62)는, N0R 게이트(63)의 출력이 H레벨인 경우(ha0=va0=0인 경우)만 온 되며, 다른 경우는 오프되도록 이루어져 있다. 따라서, 스위치(62)는, 판독부(49)가, 제2 계층 메모리(3)의 B 뱅크로부터, 제1 계층의 화소 h(4m+ 1, 4n'+ 1), h(4m+ 3, 4n'+ 1), h(4m+ 1, 4n'+ 3)를 판독할 때만 온 되며, 그 결과, 제1 계층의 화소 h(4m+ 1, 4n'+ 1), h(4m+ 3, 4n'+ 1), h(4m+ 1, 4n'+ 3)는, 스위치(62)를 통하여 연산기(57)에 공급된다.

연산기(57)로서는, 판독부(45)의 출력과 판독부(53)의 출력이 가산되며, 또한, 스위치(62)가 온 되어 있고, 판독부(49)의 출력이 공급되는 경우에는, 그 출력도 가산되며, 그 가산치는, 기록부(52)에 공급된다. 기록부(52)는, 연산기(57)의 출력을, 선택 회로(43)를 통하여, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록한다.

따라서, 최초는, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n')에는, 제3 계층에 관해서 1 라인분(제1 계층에 관해서는 4라인분)만큼 전에 액세스되는 것에 따라 요구된 제1 계층의 화소 h(4m+ 3, 4n'+ 3)가 기억되어 있지만, 판독부(45 또는 49)가, 제1 계층의 화소 h(4m, 4n') 또는 h(4m+ 1, 4n'+ 1)를 각각 판독함과 동시에, 판독부(53)가, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기억되어 있는 데이터(여기서는, h(4m+ 3,4n'+ 3))를 판독하는 것으로, 연산기(57)에 있어서, 그것들의 가산치(h(4m, 4n')+ h(4m+ 1, 4n'+ 1)+ h(4m+ 3, 4n'+ 3))가 요구되며, 기록부(52)에 있어서, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록된다.

또한, 판독부(45)가, 제1 계층의 화소 h(4m+ 1, 4n')를 판독함과 동시에, 판독부(53)가, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기억되어 있는 데이터(여기서는, h(4m, 4n')+ h(4m+ 1,4n'+ 1)+ h(4m+ 3, 4n'+ 3))을 판독하는 것으로, 연산기(57)에 있어서, 그것들의 가산치(h(4m, 4n')+ h(4m+ 1, 4n')+ h(4m+ 1, 4n'+ 1)+ h(4m+ 3, 4n'+ 3))가 요구되며, 기록부(52)에 있어서, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록한다.

이하, 마찬가지로 하여, 최종적으로는, 즉, 판독부(45)가, 제1 계층의 화소 h(4m+ 2, 4n'+ 3)를 판독함과 동시에, 판독부(53)가, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기억되어 있는 데이터(여기서는, h(4m, 4n')+ h(4m+ 1, 4n')+ h(4m+ 2, 4n')+ h(4m+ 3, 4n')+ h(4m, 4n'+ 1)+ h(4m+ 1, 4n'+ 1)+ h(4m+ 2, 4n'+ 1)+ h(4m+ 3, 4n'+ 1)+ h(4m, 4n'+ 2)+ h(4m+ 1, 4n'+ 2)+ h(4m+ 2, 4n'+ 2)+ h(4m+ 3, 4n'+ 2)+ h(4m, 4n'+ 3)+ h(4m+ 1, 4n'+ 3)+ h(4m+ 3, 4n'+ 3))를 판독하는 것으로, 연산기(57)에 있어서, 그것들의 가산치가 요구되며, 기록부(52)에 있어서, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록된다. 즉, 제3 계층 메모리 4의 B 뱅크 어드레스(m, n')에는, 원래의 제3 계층의 화소 q(m, n')(=h(4m, 4n')+ h(4m+ 1, 4n')+ h(4m+ 2, 4n')+ h(4m+ 3, 4n')+ h(4m, 4n'+ 1)+ h(4m+ 1, 4n'+ 1)+ h(4m+ 2, 4n'+ 1)+ h(4m+ 3, 4n'+ 1)+ h(4m, 4n'+ 2)+ h(4m+ 1, 4n'+ 2)+ h(4m+ 2, 4n'+ 2)+ h(4m+ 3, 4n'+ 2)+ h(4m, 4n'+ 3)+ h(4m+ 1, 4n'+ 3)+ h(4m+ 2, 4n+ 3)+ h(4m+ 3, 4n'+ 3))가 기록된다.

그 후, 수직 어드레스(VA)의 하위 3비트째(va2)가 변화하면, 선택 회로(32)에 있어서, 어드레스 공급 회로(1)에 공급된 수평 어드레스(HA) 및 수직 어드레스(VA)가 B 뱅크 어드레스로서, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)가 A 뱅크 어드레스로서, 각각 선택된다.

이 경우, 선택 회로(33 및 34)에 있어서도, 마찬가지로 하여, A 뱅크 어드레스 및 B 뱅크 어드레스가 선택된다. 즉, 선택 회로(33)에서는, 수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가, B 뱅크 어드레스로서, 지연 수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 지연 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가, A 뱅크 어드레스로서, 각각 선택된다. 또한, 선택 회로(34)로서는, 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, B 뱅크 어드레스로서, 지연 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 지연 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, A 뱅크 어드레스로서, 각각 선택된다.

선택 회로(32 내지 34)에 있어서 선택된 A 뱅크 어드레스와 B 뱅크 어드레스는, 제1 계층 메모리(2), 제2 계층 메모리(3), 또는 제3 계층 메모리(4)의 각각 A 뱅크 어드레스 단자와 B 뱅크 어드레스 단자에 공급된다.

또한, 선택 회로(41)에서는, 제1 계층 메모리(2)의 B 뱅크 데이터 단자가 판독부(44)에 접속됨과 동시에, 그 A 뱅크 데이터 단자가 판독부(45)에 접속된다. 또한, 선택 회로(42)로서는, 제2 계층 메모리(3)의 B 뱅크 데이터 단자가, 기록부(46)및 판독부(47)에 접속됨과 동시에, 그 A 뱅크 데이터 단자가, 기록부(48) 및 판독부(49)에 접속된다. 또한, 선택 회로(43)로서는, 제3 계층 메모리(4)의 B 뱅크 데이터 단자가, 기록부(50) 및 판독부(51)에 접속됨과 동시에, 그 A 뱅크 데이터 단자가, 기록부(52) 및 판독부(53)에 접속된다.

그리고, 상술의 처리에서의 A 뱅크 또는 B 뱅크를, B 뱅크 또는 A 뱅크로 각각 다르게 판독한 처리가 행하여진다.

이하, 같은 처리가 행하여져, 제1 계층의 화소가 선택 회로(58)로부터 출력됨과 동시에, 그것에 따라 개서되는 제2 계층 메모리(3) 및 제3 계층 메모리(4)의 기억 내용이, 원래의 값에, 재차 개서된다.

다음에, 도 8은, 제1 계층 메모리(2) 및 제2 계층 메모리(3)를, 상술과 같이, 적은 기억 용량의 것으로 한 경우에서의, 제2 계층의 화상을 판독할 때의, 도 1의 기억 장치의 구성예를 나타내고 있다. 또한, 도 8에 있어서는, 제1 계층 메모리(2)에 대한 부분의 도시는 생략한다.

이러한 경우, 어드레스 공급 회로(1)는, 지연 회로(71), 및 선택 회로(73 및 74)로 구성된다. 지연 회로(31), 선택 회로(73, 74)는, 도 6에 있어서의 지연 회로(31), 선택 회로(33, 34)와 각각 마찬가지로 구성되어 있다.

또한, 제2 계층 메모리(3) 및 제3 계층 메모리(4)도, 도 6에 있어서의 경우와 마찬가지로 구성되어 있다.

또한, RMW 회로(5)는, 선택 회로(81, 82), 판독부(84, 85), 기록부(86), 판독부(87), 기록부(88), 판독부(89), 스위치(91, 92), 연산기(94, 95), 선택 회로(98), AND 게이트(99, 100)로 구성되어 있다.

제2 계층 메모리(3)의 A 뱅크 또는 B 뱅크 각각으로부터 판독된 데이터(A 뱅크 데이터 또는 B 뱅크 데이터)가 출력되는 A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자는, 어느 것이나 선택 회로(81)에 접속되어 있다. 또한, 선택 회로(81)에는, 어드레스 공급 회로(1)로부터, 수직 어드레스(VA)의 하위 3비트째(va2)가, 제어 신호로서 공급되도록 이루어지고 있고, 선택 회로(81)로서는, 제어 신호(va2)에 대응하여, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자중 한쪽이 판독부(84)에 접속되며, 다른쪽이 판독부(85)에 접속되도록 이루어져 있다.

즉, 선택 회로(81)는, 어느 시점에서, 예를 들면, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자를, 판독부(84 또는 85)에 각각 접속하고 있는 경우에 있어서, 제어 신호(va2)가 변화하면, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자를, 판독부(85 또는 84)에 각각 접속한다. 또한, 그 후 제어 신호(va2)가 재차 변화하면, 선택 회로(81)는, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자를, 판독부(84 또는 85)에 각각 다시 접속한다. 따라서, 선택 회로(81)에 의하면, 제어 신호(va2)가 변화할 때마다, A 뱅크 데이터 단자가 판독부(84 또는 85)에 교대로 접속됨과 동시에, B 뱅크 데이터 단자가 판독부(85 또는 84)에 교대로 접속된다.

제3 계층 메모리(4)의 A 뱅크에 기록되는 데이터가 공급됨과 동시에, A 뱅크로부터 판독된 데이터가 출력되는 A 뱅크 데이터 단자, 및 그 B 뱅크에 기록되는 데이터가 공급됨과 동시에, B 뱅크로부터 판독된 데이터가 출력되는 B 뱅크 데이터 단자는, 어느 것이나 선택 회로(82)에 접속되어 있다. 또한, 선택 회로(82)에도, 어드레스 공급 회로(1)로부터, 수직 어드레스(VA)의 하위 3비트째(va2)가, 제어 신호로서 공급되도록 이루어지고 있으며, 선택 회로(82)로서는, 제어 신호(va2)에 대응하여, A 뱅크 데이터 단자 또는 B 뱅크 데이터 단자중의 한쪽이 기록부(86) 및 판독부(87)에 접속되어, 다른쪽이 기록부(88) 및 판독부(89)에 접속되도록 이루어지고 있다.

즉, 선택 회로(82)는, 어느 시점에서, 예를 들면, A 뱅크 데이터 단자를 기록부(86) 및 판독부(87)에 접속하고, B 뱅크 데이터 단자를 기록부(88) 및 판독부(89)에 접속하고 있는 경우에 있어서, 제어 신호(va2)가 변화하면, A 뱅크 데이터 단자를, 기록부(88) 및 판독부(89)에 접속하며, B 뱅크 단자를, 기록부(86) 및 판독부(87)에 접속한다. 또한, 그 후, 제어 신호(va2)가 재차 변화하면, 선택 회로(82)는, A 뱅크 데이터 단자를 기록부(86) 및 판독부(87)에 다시 접속함과 동시에, B 뱅크 데이터 단자를 기록부(88) 및 판독부(89)에 다시 접속한다. 따라서, 선택 회로(82)에 의하면, 제어 신호(va2)가 변화할 때마다, A 뱅크 데이터 단자가, 기록부(86)와 판독부(87), 또는 기록부(88)와 판독부(89)에 교대로 접속됨과 동시에, B 뱅크 데이터 단자가, 기록부(88)와 판독부(89), 또는 기록부(86)와 판독부(87)에 교대로 접속된다.

판독부(84 또는 85)는, 선택 회로(81)를 통하여, 제2 계층 메모리(3)로부터 데이터를 판독하도록 이루어지고 있다. 판독부(84)가 판독한 데이터는, 스위치(91)의 단자(91b) 및 선택 회로(98)에 공급되도록 이루어지고 있다. 또한, 판독부(85)가 판독한 데이터는, 스위치(92)의 단자(92b)에 공급되도록 이루어지고 있다. 기록부(86)는, 연산기(94)의 출력을, 선택 회로(82)를 통하여, 제3 계층 메모리(4)에 기록되도록 이루어지고 있다. 판독부(87)는, 선택 회로(82)를 통하여, 제3 계층 메모리(4)로부터 데이터를 판독하여, 연산기(94) 및 선택 회로(98)에 공급하도록 이루어지고 있다. 기록부(88)는, 연산기(95)의 출력을, 선택 회로(82)를 통하여, 제3 계층 메모리(4)에 기록하도록 이루어지고 있다. 판독부(89)는, 선택 회로(82)를 통하여, 제3 계층 메모리(4)로부터 데이터를 판독하여, 연산기(95)에 공급하도록 이루어지고 있다.

스위치(91)는, AND 게이트(99)의 출력에 대응하여, 단자(91a 또는 91b)중 어느 한쪽을 선택하도록 이루어져 있으며, 그 출력은, 연산기(94)에 공급되도록 이루어지고 있다. 또, 단자(91b)에는, 0이 공급되도록 이루어지고 있다. 스위치(92)도, AND 게이트(92)의 출력에 대응하여, 단자(92a 또는 92b)중 어느 한쪽을 선택하도록 이루어져 있으며, 그 출력은, 연산기(95)에 공급되도록 이루어지고 있다. 또한, 단자(92b)에는, 0이 공급되도록 이루어지고 있다.

연산기(94)는, 판독부(87)의 출력으로부터, 스위치(91)의 출력을 감산하여, 그 감산 결과를, 기록부(86)에 공급하도록 이루어지고 있다. 연산기(95)는, 판독부(89)의 출력과 스위치(92)의 출력을 가산하여, 그 가산 결과를, 기록부(88)에 공급하도록 이루어지고 있다.

선택 회로(98)는, AND 게이트(99 및 100)의 출력에 대응하여, 판독부(84 또는 87)의 출력중 어느 것인가를 선택하여 출력하도록 이루어지고 있다. AND 게이트(99)에는, 어드레스 공급 회로(1)로부터, 수평 어드레스(HA)의 최하위 비트(ha0)와, 수직 어드레스(VA)의 최하위 비트(va0)가, 제어 신호로서 공급되도록 이루어지고 있으며, AND 게이트(99)는, 그 논리적을 연산하여, 선택 회로(98), 및 스위치(91 및 92)에 공급하도록 이루어지고 있다. AND 게이트(100)에는, 어드레스 공급 회로(1)로부터, 수평 어드레스(HA)의 하위 2비트째(ha1)와, 수직 어드레스(VA)의 하위 2비트째(va1)가, 제어 신호로서 공급되도록 이루어지고 있고, AND 게이트(100)는, 그 논리적을 연산하여, 선택 회로(98)에 공급하도록 이루어지고 있다.

다음에, 그 동작에 관해서 설명한다.

현재, 선택 회로(73 및 74)에 있어서, 예를 들면, 어드레스 공급 회로(1)에 공급된 수평 어드레스(HA) 및 수직 어드레스(VA)가 A 뱅크 어드레스로서, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)가 B 뱅크 어드레스로서, 각각 선택되어 있는 것으로 한다.

즉, 선택 회로(73)로서는, 수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가, A 뱅크 어드레스로서, 지연 수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 지연 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가, B 뱅크 어드레스로서, 각각 선택되어 있는 것으로 한다. 또한, 선택 회로(74)로서는, 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, A 뱅크 어드레스로서, 지연 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 지연 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, B 뱅크 어드레스로서, 각각 선택되어 있는 것으로 한다.

선택 회로(73 또는 74)에 있어서 선택된 A 뱅크 어드레스와 B 뱅크 어드레스는, 제2 계층 메모리(3) 또는 제3 계층 메모리(4) 각각의 A 뱅크 어드레스 단자와 B 뱅크 어드레스 단자에 공급된다.

또한, 이 경우, 선택 회로(81)에서는, 제2 계층 메모리(3)의 A 뱅크 데이터 단자가 판독부(84)에 접속됨과 동시에, 그 B 뱅크 데이터 단자가 판독부(85)에 접속된다. 또한, 선택 회로(82)로서는, 제3 계층 메모리(4)의 A 뱅크 데이터 단자가, 기록부(86) 및 판독부(87)에 접속됨과 동시에, 그 B 뱅크 데이터 단자가, 기록부(88) 및 판독부(89)에 접속된다.

판독부(84)는, 제2 계층 메모리(3)로부터, 선택 회로(73)가 출력하는 A 뱅크 어드레스에 기억되어 있는 제2 계층의 화소(화소치)를, 선택 회로(81)를 통하여 판독하여, 스위치(91)의 단자(91b) 및 선택 회로(98)에 공급한다.

선택 회로(98)는, AND 게이트(99 및 100)의 출력중, 예를 들면, AND 게이트(99)의 출력만이 1일 때, 판독부(84)의 출력을, 제2 계층의 화소로서 선택하여 출력한다. 즉, AND 게이트(99)의 출력만이 1일 때라는 것은, ha0 및 va0의 양쪽이 1로, ha1 또는 va1중 어느 한쪽, 또는 양쪽이 0일 때로서, 도 2에 D1로 나타내는 바와 같은 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중, 우측 아래의 화소 h(2s+ 1, 2t+ 1)(단, h(4m+ 3, 4n+ 3)를 제외)가 판독되는 타이밍이다.

한편, 상술한 것으로부터, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)에 액세스가 이루어지는 타이밍으로서는, 어느 것에 있어서도, 제2 계층의 화소 m(s, t)으로 액세스가 이루어진다. 따라서, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)에 액세스가 이루어지는 타이밍의 어느 것에 있어서도, 제2 계층 메모리(3)로부터 판독되는 데이터, 요컨대, 제2 계층의 화소 m(s, t)를 출력하는 것으로 하면, 동일의 화소가 4회 중복하여 출력되는 것으로 된다.

그래서, 선택 회로(98)로서는, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중, 우측 아래의 화소 h(2s+ 1, 2t+ 1)(단, 화소 h(4m+ 3, 4n+ 3)를 제외)가 판독되는 타이밍에 있어서만, 판독부(84)의 출력, 즉, 제2 계층의 화소 m(s, t)이 선택되어 출력된다.

또한, 같은 이유로, 스위치(91)도, 제1 계층의 화소 h(2s+ 1, 2t+ 1)가 판독부(84)로부터 출력되는 타이밍(AND 게이트(99)의 출력이 1로 되는 타이밍)에 있어서만, 단자(91b)를 선택하도록 이루어지고 있으며, 다른 경우는, 단자(91a)를 선택하고 있다. 즉, 이것에 의해, 연산기(94)에는, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중, 우측 아래의 화소 h(2s+ 1, 2t+ 1)가 판독되는 타이밍에 있어서만, 판독부(84)가 출력하는 제2 계층의 화소 m(s, t)이 공급되며, 다른 경우는 0이 공급된다.

한편, 판독부(87)는, 제3 계층 메모리(4)로부터, 선택 회로(74)가 출력하는 A 뱅크 어드레스에 기억되어 있는 제3 계층의 화소(화소치)를, 선택 회로(82)를 통하여 판독하여, 연산기(94) 및 선택 회로(98)에 공급한다.

즉, 판독부(87)로서는, 제1 계층 메모리(2)의 어드레스(4m, 4n), (4m+ 1, 4n), (4m+ 2, 4n), (4m+ 3, 4n), (4m, 4n+ 1), (4m+ 1, 4n+ 1), (4m+ 2, 4n+ 1), (4m+ 3, 4n+ 1), (4m, 4n+ 2), (4m+ 1, 4n+ 2), (4m+ 2, 4n+ 2), (4m+ 3, 4n+ 2), (4m, 4n+ 3), (4m+ 1, 4n+ 3), (4m+ 2, 4n+ 3), (4m+ 3, 4n+ 3)에 액세스가 이루어지는 타이밍에서, 어느 것이나, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)로부터 데이터가 판독되어, 연산기(94)에 공급된다.

상술한 것으로부터, 스위치(91)는, 제1 계층 메모리(2)의 어드레스(2s+ 1, 2t+ 1)에 상당하는 (4m+ 1, 4n+ 1), (4m+ 3, 4n+ 1), (4m+ 1, 4n+ 3), (4m+ 3, 4n+ 3)를 제외하는 어드레스(4m, 4n), (4m+ 1, 4n), (4m+ 2, 4n), (4m+ 3, 4n), (4m, 4n+ 1), (4m+ 2, 4n+ 1), (4m, 4n+ 2), (4m+ 1, 4n+ 2), (4m+ 2, 4n+ 2), (4m+ 3, 4n+ 2), (4m, 4n+ 3), (4m+ 2, 4n+ 3)에 액세스가 이루어지는 타이밍으로서는, 단자(91b)를 선택하고 있다. 따라서, 이러한 경우에 있어서는, 연산기(94)로서는, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)로부터 판독된 데이터로부터, 0이 감산되며, 그 감산치, 즉, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)로부터 판독된 데이터 그 자체가, 기록부(86)에 공급된다. 기록부(86)로서는, 연산기(94)로부터의 데이터가, 선택 회로(82)를 통하여, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다. 따라서, 이 경우, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)의 기억치는, 직전의 값인 채로 변화하지 않는다.

한편, 제1 계층 메모리(2)의 어드레스(4m+ 1, 4n+ 1), (4m+ 3, 4n+ 1), (4m+ 1, 4n+ 3)에 액세스가 이루어지는 타이밍에서는, 스위치(91)는, 단자(91b)를 선택한다. 이 경우, 판독부(84)에서는, 제2 계층 메모리(3)로부터, 제2 계층의 화소 m(2m, 2n), m(2m+ 1, 2n), m(2m, 2n+ 1)이, 각각 판독되고, 스위치(91)를 통하여, 연산기(94)에 공급된다.

연산기(94)에서는, 판독부(87)의 출력으로부터 판독부(84)의 출력이 감산되어 기록부(86)에 공급된다. 기록부(86)는, 연산기(94)의 출력을, 선택 회로(82)를 통하여, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록한다.

따라서, 처음에는, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에는, 제1 계층의 4×4의 16화소 h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3)의 가산치, 즉, 제2 계층의 2×2의 4화소 m(2m, 2n), m(2m+ 1, 2n), m(2m, 2n+ 1), m(2m+ 1, 2n+ 1)의 가산치인

제3 계층의 화소 q(m, n)가 기억되어 있지만, 제1 계층 메모리(2)의 어드레스(4m+ 1, 4n+ 1)에 액세스가 이루어지는 타이밍에 있어서는, 연산기(94)에는, 스위치(91)를 통하여 판독부(84)로부터, 제2 계층의 화소 m(2m, 2n)이 공급됨과 동시에, 판독부(87)로부터, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기억되어 있는 데이터(여기서는, q(m, n))가 공급된다.

연산기(94)에서는, 그것들의 감산치(q(m, n)-m(2m, 2n))가 요구되며, 기록부(86)에 있어서, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다.

또한, 제1 계층 메모리(2)의 어드레스(4m+ 3, 4n+ 1)에 액세스가 이루어지는 타이밍에 있어서는, 연산기(94)에는, 스위치(91)를 통하여 판독부(84)로부터, 제2 계층의 화소 m(2m+ 1, 2n)이 공급됨과 동시에, 판독부(87)로부터, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기억되어 있는 데이터(여기서는, q(m, n)-m(2m, 2n))가 공급된다.

연산기(94)에서는, 그것들의 감산치(q(m, n)-m(2m, 2n)-m(2m+ 1, 2n))가 요구되며, 기록부(86)에 있어서, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다.

그 후, 제1 계층 메모리(2)의 어드레스(4m+ 1, 4n+ 3)에 액세스가 이루어지는 타이밍으로 되면, 연산기(94)에는, 스위치(91)를 통하여 판독부(84)로부터, 제2 계층의 화소 m(2m, 2n+ 1)이 공급됨과 동시에, 판독부(87)로부터, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기억되어 있는 데이터(여기서는, q(m, n)-m(2m, 2n)-m(2m+ 1, 2n))가 공급된다.

연산기(94)에서는, 그것들의 감산치(q(m, n)-m(2m, 2n)-m(2m+ 1, 2n)-m(2m, 2n+ 1))가 요구되며, 기록부(86)에 있어서, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에 기록된다.

즉, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)에는, 제2 계층의 화소 m(2m+ 1, 2n+ 1)(=q(m, n)-m(2m, 2n)-m(2m+ 1, 2n)-m(2m, 2n+ 1)이 기록된다.

따라서, 제1 계층 메모리(2)의 A 뱅크 어드레스(4m+ 3, 4n+ 3)(여기서는, 이 어드레스에 대응하는 메모리 셀은 없으며, 따라서, 이 어드레스에 액세스가 이루어지더라도, 예를 들면, 아무것도 기록하지 않고, 아무것도 판독하지 않는다)에 액세스가 이루어지는 타이밍(제2 계층 메모리(3)의 A 뱅크 어드레스(2m+ 1, 2n+ 1)(여기에서는, 이 어드레스에 대응하는 메모리 셀도 없다)에 액세스가 이루어지는 타이밍)에 있어서는, 판독부(87)가, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)부터 판독되는 데이터는, 도 2에 D2로 나타내는 바와 같은 제1 계층의 4x4의 16화소중, 우측 아래의 2×2화소 h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m+ 2,4n+ 3), h(4m+ 3, 4n + 3)의 가산치(제2 계층의 화소 m(2m+ 1, 2n+ 1))로 이루어져 있다.

한편, 선택 회로(98)는, AND 게이트(99 및 100) 양쪽의 출력이 1일 때, 판독부(51)의 출력을, 제2 계층의 화소로서 선택하여 출력한다. 즉, AND 게이트(99 및 50) 양쪽의 출력이 1일 때라는 것은, ha0, va0, ha1, va1의 전체가 1일 때이며, 제1 계층 메모리(2)의 어드레스(4m+ 3, 4n+ 3)에 액세스가 이루어지는 타이밍이다. 이 타이밍에서는, 상술한 바와 같이, 제3 계층 메모리(4)의 A 뱅크 어드레스(m, n)로부터, 판독부(87)가 판독되는 데이터는, 제2 계층의 화소 m(2m+ 1, 2 n+ 1)으로 되어 있으며, 이 데이터가, 선택 회로(98)로 선택되어 출력된다.

그런데, 이상과 같이 하여, 제2 계층의 화소가 판독되면 , 도 6에서의 경우와 마찬가지로, 제3 계층 메모리(4)에는, 제2 계층의 화소 m(2m+ 1, 2n+ 1)이 기억되도록 이루어진다.

즉, 제3 계층 메모리(4)의 기억치는, 제3 계층의 화소로부터, 제2 계층의 화소에 개서된다.

따라서, 이와 같이 개서된 제3 계층 메모리(4)의 기억치를, 원래의 제3 계층의 화소로 되돌릴 필요가 있다.

그래서, 상술한 바와 같이, 예를 들면, 수평 어드레스(HA) 및 수직 어드레스(VA)가 A 뱅크 어드레스로서, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)가 B 뱅크 어드레스로서, 각각 선택되어 있는 경우에는, 제1 계층 메모리(2)에 있어서는, 수평 어드레스(HA) 및 수직 어드레스(VA)에 대응하는 A 뱅크의 메모리 셀에 액세스가 이루어지지만, 이 때, 동시에, 그 4라인분 만큼 전에 액세스된 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)에 대응하는 B 뱅크의 메모리 셀에도 액세스가 이루어진다.

마찬가지로, 제2 계층 메모리(3)에 있어서는, A 뱅크의 메모리 셀에 액세스가 이루어짐과 동시에, 2라인분 만큼 전에 액세스된 B 뱅크의 메모리 셀에 액세스가 이루어진다. 또한, 제3 층용 메모리(4)에 있어서는, A 뱅크의 메모리 셀에 액세스가 이루어짐과 동시에, 1라인분 만큼 전에 액세스된 B 뱅크의 메모리 셀에 액세스가 이루어진다.

따라서, 판독부(84)가, 제2 계층 메모리(3)의 A 뱅크로부터, 제2 계층 화소 m(2m, 2n), m(2m+ 1, 2n), m(2m, 2n+ 1)을 판독할 때, 판독부(85)에 있어서는, 선택회로(81)를 통하여, 제2 계층 메모리(3)의 B 뱅크로부터, 제2 계층의 화소 m(2m, 2n'), m(2m+ 1, 2n'), m(2m, 2n'+ 1)이 각각 판독되어, 스위치(92)의 단자(b)에 공급된다. 여기서, n'=n-1이다.

스위치(92)는, 스위치(91)와 마찬가지로, 제1 계층의 화소 h(2s+ 1, 2t+ 1)가 판독부(84)로부터 출력되는 타이밍(AND 게이트(99)의 출력이 1이 되는 타이밍)에 있어서만, 단자(92b)를 선택하도록 이루어지고 있으며, 다른 경우는, 단자(92a)를 선택하고 있다. 즉, 이것에 의해, 연산기(95)에는, 제1 계층의 2×2의 4화소 h(2s, 2t), h(2s+ 1, 2t), h(2s, 2t+ 1), h(2s+ 1, 2t+ 1)중, 우측 아래의 화소 h(2s+ 1, 2t+ 1)가 판독되는 타이밍에 있어서만, 판독부(85)가 출력하는 제2 계층의 화소가 공급되며, 다른 경우는 0이 공급된다.

또한, 판독부(85)가, 제2 계층 메모리(3)의 B 뱅크로부터, 제2 계층의 화소 m(2m, 2n'), m(2m+ 1, 2n'), m(2m, 2n'+ 1)을 판독할 때, 판독부(89)에 있어서는, 어느 쪽일 때도, 선택 회로(82)를 통하여, 제3 계층 메모리(4)의 B 뱅크에서의 어드레스(m, n')로부터, 데이터가 판독되어, 연산기(95)에 공급된다.

연산기(95)에서는, 판독부(85)의 출력과 판독부(89)의 출력이 가산되며, 그 가산치는, 기록부(88)에 공급된다. 기록부(88)는, 연산기(95)의 출력을, 선택 회로(82)를 통하여, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록한다.

따라서, 처음은, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에는, 제2 계층에 대하여 2라인분(제1 계층에 대해서는 4라인분)만큼 전에 액세스되는 것에 따라 요구된 제2 계층의 화소 m(2m+ 1, 2n'+ 1)이 기억되어 있지만, 판독부(85)가, 제2 계층 메모리(3)의 B 뱅크로부터, 제2 계층의 화소 m(2m, 2n')을 판독함과 동시에, 판독부(89)가, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기억되어 있는 데이터(여기서는, 제2 계층의 화소 m(2m+ 1, 2n'+ 1))을 판독하는 것으로, 연산기(95)에 있어서, 그것들의 가산치(m(2m, 2n')+ m(2m+ 1, 2n'+ 1))가 요구되어, 기록부(88)에 있어서, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록한다.

또한, 판독부(85)가, 제2 계층 메모리(3)의 B 뱅크로부터, 제2 계층의 화소 m(2m+ 1, 2n')을 판독함과 동시에, 판독부(89)가, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기억되어 있는 데이터(여기서는, m(2m, 2n')+ m(2m+ 1, 2n'+ 1))을 판독하는 것으로, 연산기(95)에 있어서, 그것들의 가산치(m(2m, 2n')+ m(2m+ 1, 2n)+ m(2m+ 1, 2n'+ 1))이 요구되며, 기록부(88)에 있어서, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록된다.

그 후, 판독부(85)가, 제2 계층 메모리(3)의 B 뱅크로부터, 제2 계층의 화소 m(2m, 2n'+ 1)을 판독함과 동시에, 판독부(89)가, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기억되어 있는 데이터(여기서는, m(2m, 2n')+ m(2m+ 1, 2n)+ m(2m+ 1, 2n'+ 1))을 판독하는 것으로, 연산기(95)에 있어서, 그것들의 가산치(m(2m, 2n')+ m(2m+ 1, 2n)+ m(2m, 2n'+ 1)+ m(2m+ 1, 2n'+ 1))이 요구되며, 기록부(88)에 있어서, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에 기록된다. 즉, 제3 계층 메모리(4)의 B 뱅크 어드레스(m, n')에는, 원래의 제3 계층의 화소 q(m, n')(=m(2m, 2n')+ m(2m+ 1, 2n)+ m(2m, 2n'+ 1)+ m(2m+ 1, 2n'+ 1)=h(4m, 4n), h(4m+ 1, 4n), h(4m+ 2, 4n), h(4m+ 3, 4n), h(4m, 4n+ 1), h(4m+ 1, 4n+ 1), h(4m+ 2, 4n+ 1), h(4m+ 3, 4n+ 1), h(4m, 4n+ 2), h(4m+ 1, 4n+ 2), h(4m+ 2, 4n+ 2), h(4m+ 3, 4n+ 2), h(4m, 4n+ 3), h(4m+ 1, 4n+ 3), h(4m+ 2, 4n+ 3), h(4m+ 3, 4n+ 3))이 기록된다.

그 후, 수직 어드레스(VA)의 하위 3비트째(va2)가 변화하면 , 선택 회로(73 및 74)에 있어서, A 뱅크 어드레스 및 B 뱅크 어드레스의 선택이 변경된다. 즉, 선택 회로(73)에서는, 수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가, B 뱅크 어드레스로서, 지연 수평 어드레스(HA)의 상위 8비트(ha1 내지 ha8) 및 지연 수직 어드레스(VA)의 상위 8비트(va1 내지 va8)가, A 뱅크 어드레스로서, 각각 선택된다. 또한, 선택 회로(74)로서는, 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, B 뱅크 어드레스로서, 지연 수평 어드레스(HA)의 상위 7비트(ha2 내지 ha8) 및 지연 수직 어드레스(VA)의 상위 7비트(va2 내지 va8)가, A 뱅크 어드레스로서, 각각 선택된다.

선택 회로(73 또는 74)에 있어서 선택된 A 뱅크 어드레스와 B 뱅크 어드레스는, 제2 계층 메모리(3) 또는 제3 계층 메모리(4)의 각각 A 뱅크 어드레스 단자와 B 뱅크 어드레스 단자에 공급된다.

또한, 선택 회로(81)에 있어서는, 제2 계층 메모리(3)의 B 뱅크 데이터 단자가 판독부(84)에 접속됨과 동시에, 그 A 뱅크 데이터 단자가 판독부(85)에 접속된다. 또한, 선택 회로(82)로서는, 제3 계층 메모리(4)의 B 뱅크 데이터 단자가, 기록부(86) 및 판독부(87)에 접속됨과 동시에, 그 A 뱅크 데이터 단자가, 기록부(88) 및 판독부(89)에 접속된다.

그리고, 상술의 처리에 있어서의 A 뱅크 또는 B 뱅크를, B 뱅크 또는 A 뱅크로 각각 다르게 판독한 처리가 행하여진다.

이하, 같은 처리가 행하여져, 제2 계층의 화소가 선택 회로(98)로부터 출력됨과 동시에, 그것에 따라서 개서되는 제3 계층 메모리(4)의 기재 내용이, 원래의 값에, 재차 개서된다.

이상과 같이, 제1 계층 메모리(2), 제2 계층 메모리(3), 및 제3 계층 메모리(4)의 A 뱅크 및 B 뱅크의 2개로 분할하여, 그 양쪽의 뱅크에, 병렬로 액세스하도록 하는 것으로, 제2 계층 메모리(3)나 제3 계층 메모리(4)의 기억치를, 제1 또는 제2 계층의 화소에 개서함과 동시에, 개서한 데이터를, 원래의 데이터에, 재차 개서 할 수 있다.

즉, 예를 들면, 수평 어드레스(HA) 및 수직 어드레스(VA)에 의해서 지정되는 제1 계층 메모리(2)의 A 뱅크 어드레스에 기억되어 있는 제1 계층의 화소를 판독함과 동시에, 수평 어드레스(HA) 및 수직 어드레스(VA)의 일부에 의해서 지정되는 제2 계층 메모리(3)의 A 뱅크 어드레스에 기억되어 있는 제2 계층의 화소(제1 처리 데이터)를 판독하여, 그 제2 계층의 화소로부터 제1 계층의 화소를 감산함으로서, 최종적으로는, 제1 화소(제 2 처리 데이터)를 산출하고, 제2 계층의 화소가 기억되어 있던 제2 계층 메모리(3)의 어드레스에 기록할 수 있다. 그리고, 그것과 동시에, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)에 의해서 지정되는 제1 계층 메모리(2)의 B 뱅크 어드레스에 기억되어 있는 제1 계층의 화소를 판독함과 동시에, 지연 수평 어드레스(HA) 및 지연 수직 어드레스(VA)의 일부에 의해서 지정되는 제2 계층 메모리(3)의 B 뱅크 어드레스에 기억되어 있는 제1 계층의 화소(제2 처리 데이터)를 판독하여, 그것들의 제1 계층의 화소끼리를 가산함으로서, 최종적으로는, 원래의 제2 계층의 화소(제1 처리 데이터)를 산출하고, 그 제2 계층의 화소에, 제1 계층의 화소에 개서된 제2 계층 메모리(3)의 B 뱅크 어드레스의 기억치를, 재차 개서할 수 있다.

또한, 본 실시의 형태로서는, 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4)를, A 뱅크와 B 뱅크의 2개 뱅크로 분할하도록 하였지만, 뱅크의 분할 방법은, 상술한 바와 같이, 이것에 한정되지 않는다.

또한, 본 실시의 형태로서는, A 뱅크 또는 B 뱅크로부터 판독한 데이터를 이용하여, 가산이나 감산 등을 하도록 하였지만, A 뱅크 또는 B 뱅크로부터 판독한 데이터를 이용하는 처리는, 가산이나 감산 등에 한정되지 않는다.

또한, 본 실시예에서는, 제2 계층 메모리(3)나 제3 계층 메모리(4)에 대하여는, 제1 계층 메모리(2)에 주는 수평 어드레스(HA) 및 수직 어드레스(VA)의 일부를 주어 액세스하도록 하였지만, 제2 계층 메모리(3)나 제3 계층 메모리(4)에는, 제1 계층 메모리(2)에 주는 수평 어드레스(HA) 및 수직 어드레스(VA)는 별도 전용의(독립의) 어드레스를 주어 액세스하도록 하는 것도 가능하다.

또한, 본 실시예에서는, 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4)에 대하여, 화상을 구성하는 화소의 수평 또는 수직 방향의 위치에 각각 대응하는 수평 어드레스 또는 수직 어드레스를 주어 액세스하도록 하였지만, 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4)에는, 기타, 예를 들면, 시간 방향으로 대응하는 어드레스를 더욱 주어 액세스하도록 하는 것등도 가능하다. 이 경우, 제2나 제3 계층의 화소는, 가로 및 세로의 공간 방향으로 흩어지는 제1 계층의 화소외, 시간 방향으로 흩어지는 제1 계층의 화소도 가산하여 형성되는 것으로 이루어진다.

더욱, 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4)는, 각각 물리적으로 1개의 메모리일 필요는 없고, 그것들의 전부를, 하나의 메모리로 구성하는 것도 가능하다. 이 경우, 상기 하나의 메모리 기억 영역을, 제1 계층 메모리(2),제2 계층 메모리(3), 제3 계층 메모리(4)의 3개로 각각 할당하도록 하면 된다.

또한, 본 실시예에서는, 어드레스 공급 회로(1), 제1 계층 메모리(2), 제2 계층 메모리(3), 제3 계층 메모리(4), 및 RMW 회로(5)의 전체를, 한 개의 칩상에 형성하도록 하였지만, 이들은, 반드시 한 개의 칩상에 형성할 필요는 없다.

또한, 본 실시예에서는, 제1 계층 화소의 비트 할당량을 8비트로 하며, 제1 계층 메모리(2), 제2 계층 메모리(3), 또는 제3 계층 메모리(4)의 메모리 셀의 데이터 길이를, 제1 내지 제3 계층의 화소의 자릿수 누락이 없도록, 각각 8, 10, 또는 12비트로 하였지만, 제1 계층 메모리(2), 제2 계층 메모리(3), 및 제3 계층 메모리(4)의 메모리 셀의 데이터 길이는, 예를 들면, 일률적으로 8비트 등으로 하는 것도 가능하다. 단, 이 경우, 제2 또는 제3 계층의 화소에 관해서는, 제1 또는 제2 계층의 2×2화소의 가산치의 하위 2비트를 잘라 버린 값(이 값은, 가산치를 4로 제산한 것에 상당하므로, 평균치가 된다)을 각각 기억시키는 것으로 되며, 따라서, 자릿수 누락이 발생하기 때문에, 데이터의 가역성은 잃게 된다.

즉, 예를 들면, 상술한 바와 같이, 제1 계층 메모리(2) 및 제2 계층 메모리(3)의 기억 용량을 적게하여, 제1 및 제2 계층 화소의 일부를 기억하지 않도록 한 경우에 있어서, 자릿수 누락이 없도록 하였을 때에는, 기억하지 않고 있는 제1 계층의 화

소나 제2 계층의 화소(화소치)는, 상술의 식(1)이나(2)에 의해서 정확하게 구할 수 있다. 이것에 대하여, 제1 및 제2 계층의 화소의 일부를 기억하지 않도록 한 경우에 있어서, 자릿수 누락이 발생하지 않도록 하였을 때에는, 기억하지 않고 있는 제1 계층의 화소나 제2 계층의 화소에 관해서는, 정확한 값은 구할 수 없게 된다.

또한, 본 발명은, 논-인터레이스(non-interlace) 주사되는 화상 및 인터레이스 주사되는 화상의 어느 쪽에도 적용 가능하다.

또한, 본 실시예에서는, 계층수를 3으로 하였지만, 계층수는 2라도 되고, 또는, 4이상이라도 된다.

또한, 본 실시예에서는, 하위계층의 2×2의 4화소의 가산치를, 그 1개 상위의 상위 계층 화소(화소치)로 하도록 하였지만, 상위 계층 화소의 형성 방법은, 이것에 한정되는 것은 아니다.

또한, 본 실시예에서는, 본 발명을 하드웨어에 의해서 구현되었지만, 본 발명은, 컴퓨터에, 상술의 처리를 행하는 프로그램을 실행시키는 것에 따라서도 구현될 수 있다.

또한, 본 실시예에서는, 화소(화소치)를, 예를 들면, RAM(Random Access Memory)등에 대표되는 메모리로 기억시키도록 하였지만, 화소는, 기타, 예를 들면, 자기 디스크나, 광자기 디스크, 자기 테이프, 광카드등의 기록 매체에 기억(기록)시키도록 하는 것도 가능하다.

발명의 효과

본 발명의 기억 장치에 의하면, 적어도 제1 및 제2 어드레스 신호에 의해서 어드레스 지정되는 제1 메모리부에서, 그 지정된 어드레스에 입력 화상 데이터가 기억된다. 또한, 적어도 제1 및 제2 어드레스 신호의 일부에 의해서 어드레스 지정되는 제2 메모리부에서, 그 지정된 어드레스에 제어부가 입력 화상 데이터를 처리한 제1 처리 데이터가 기억된다. 따라서, 예를 들면, 입력 화상 데이터의 복수 라인에 걸치는 화소의 몇 개인가를 가산한 가산치를, 라인 지연을 행하는 수단을 별도 설치하는 일없이 구하여 기억하는 것이 가능하게 된다.

본 발명의 액세스 방법에 의하면, 입력 화상 데이터가, 제1 및 제2 어드레스 신호에 의해서 지정되는 제1 메모리부의 어드레스에 기록됨과 동시에, 제1 및 제2 어드레스 신호의 일부에 의해서 지정되는 제2 메모리부의 어드레스로부터, 그곳에 기억되어 있는 기억 데이터가 판독되고, 이 기억 데이터와 입력 화상 데이터를 이용하여 처리가 행하여짐에 의해, 제1 처리 데이터가 산출된다. 그리고, 그 제1 처리 데이터가, 기억 데이터가 기억되어 있던 제2 메모리부의 어드레스에 기록된다. 따라서, 예를 들면, 입력 화상 데이터의 복수 라인에 걸치는 화소의 몇 개인가를 가산한 가산치를, 라인 지연을 행하는 수단을 별도 설치하는 일없이 구하여 기억하는 것이 가능하게 된다.

본 발명의 액세스 방법에 의하면, 제1 및 제2 어드레스 신호에 의하여 지정된 제1 메모리부의 어드레스에 기억되어 있는 입력 화상 데이터가 판독됨과 동시에, 제1 및 제2 어드레스 신호의 일부에 의해서 지정되는 제2 메모리부의 어드레스에 기억되어 있는 제1 처리 데이터가 판독된다. 또한, 그 입력 화상 데이터와 제1 처리 데이터를 사용하여 처리가 행해짐에 의해, 제2 처리 데이터가 산출되고, 그 제2의 처리 데이터가, 제1 처리 데이터가 기억되어 있던 제2 메모리부의 어드레스에 기록된다. 동시에, 지연 어드레스 신호에 의해서 지정되는 제1 메모리부의 어드레스에 기억되어 있는 입력 화상 데이터가 판독됨과 동시에, 지연 어드레스 신호의 일부에 의해서 지정되는 제2 메모리부의 어드레스에 기억되어 있는 제2 처리 데이터가 판독된다. 그리고, 그 입력 화상 데이터와 제2 처리 데이터를 이용하여 처리가 행하여짐에 의해, 원래의 제1 처리 데이터가 산출되고, 그 제1 처리 데이터가, 제2 처리 데이터가 기억되어 있던 제2 메모리부의 어드레스에 기록된다. 따라서, 제1 처리 데이터로부터 제2 처리 데이터를 구하고, 동시에, 먼저 구한 제2 처리 데이터를 원래의 제1 처리 데이터에 되돌리는 것이 가능하게 된다.

또한, 본 발명의 취지를 벗어나지 않는 범위에서, 각종 변형이나 응용예를 생각할 수 있다. 따라서, 본 발명의 요지는 실시예에 한정되는 것은 아니다.

도면의 간단한 설명

도 1은 본 발명의 기억 장치의 일실시예의 구성예를 도시한 블록도.

도 2는 제1 계층 화상의 한 화면의 구성예를 도시한 도면.

도 3은 도 1의 기억 장치의 제1 기능적 구성예를 도시한 블록도.

도 4는 도 1의 기억 장치의 제2 기능적 구성예를 도시한 블록도.

도 5는 도 1의 기억 장치의 제3 기능적 구성예를 도시한 블록도.

도 6은 도 1의 기억 장치의 제4 기능적 구성예를 도시한 블록도.

도 7은 A 뱅크와 B 뱅크로 분할되어 있는 도 6의 제1 계층 메모리(2)를 설명하기 위한 도면.

도 8은 도 1의 기억 장치의 제5 기능적 구성예를 도시한 블록도.

도 9는 계층 부호화를 설명하기 위한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

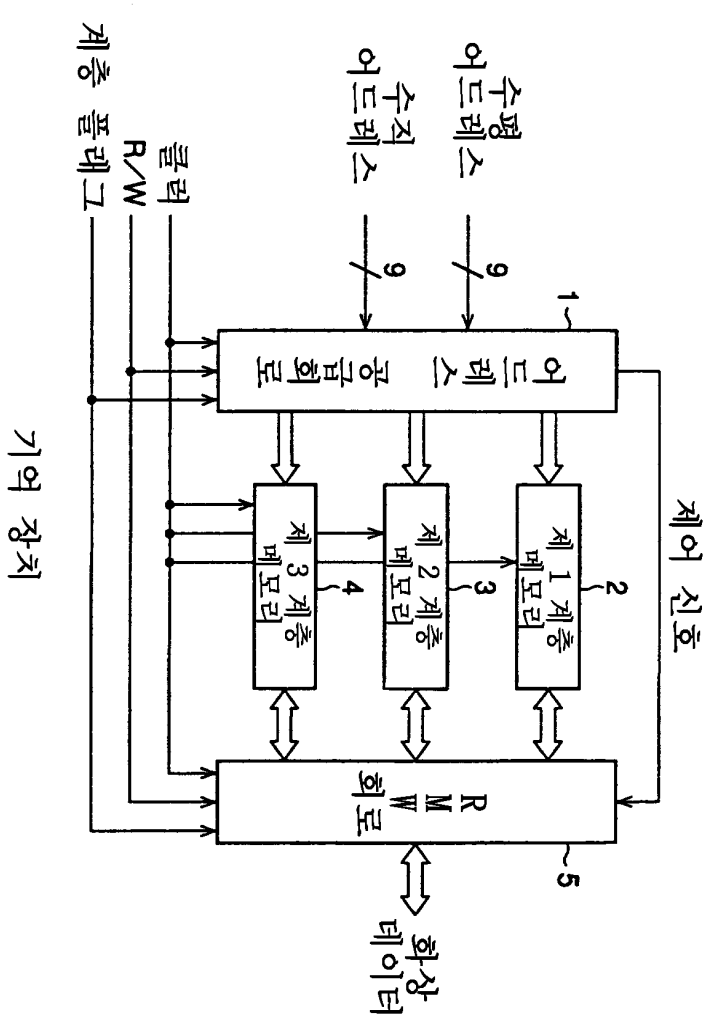
1. 어드레스 공급회로 2. 제1 계층 메모리

3. 제2 계층 메모리 4. 제3 계층 메모리

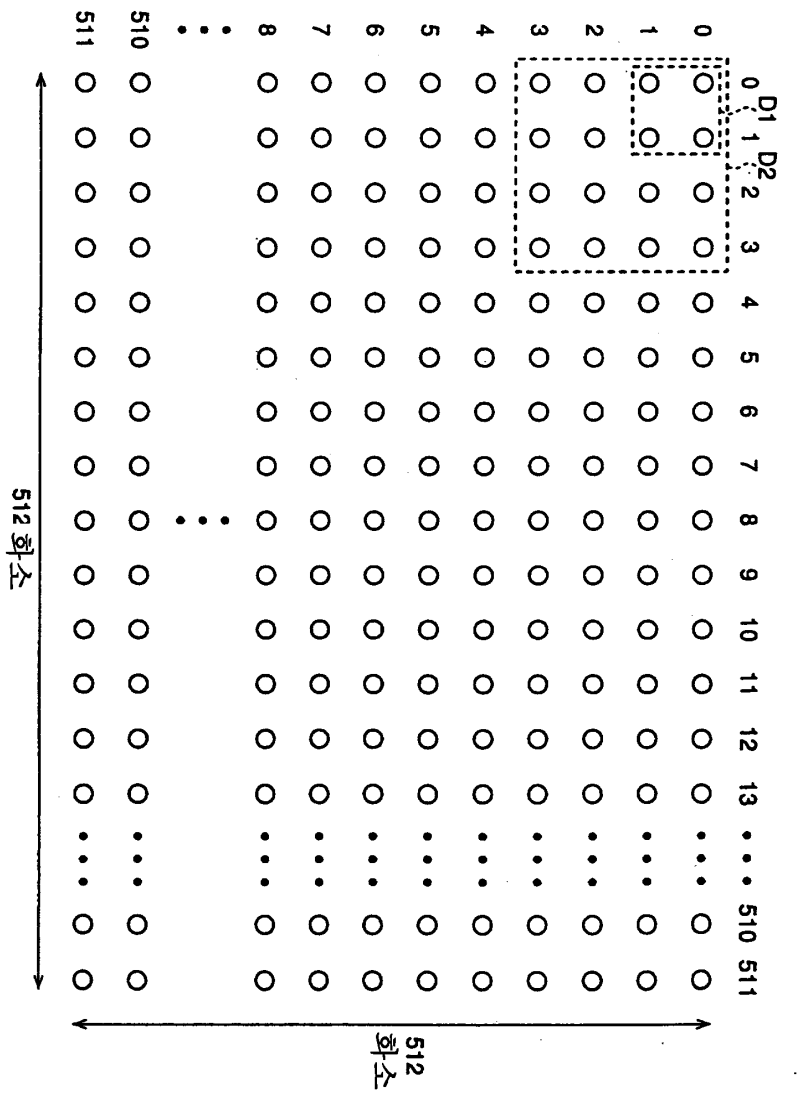
5. RMW 회로

도면

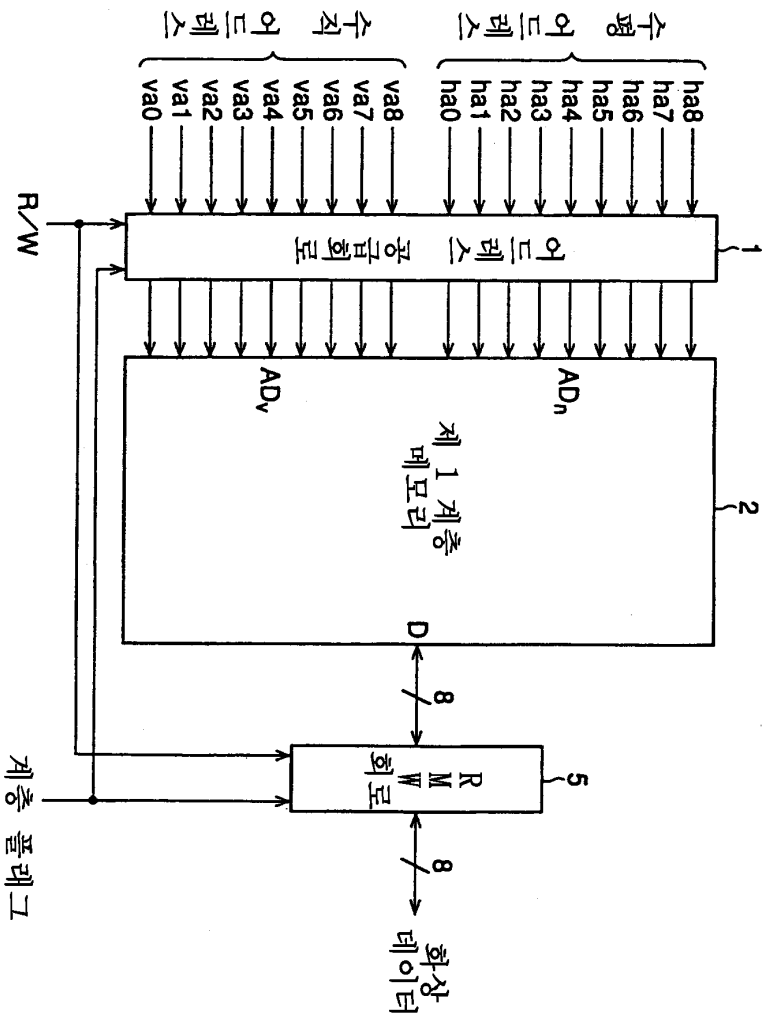
도면1


수평 어드레스
수직 어드레스
9
9
1
어드레스 공급회로
제어 신호
클럭
R/W
계층 플래그
기억 장치
제 1 계층 메모리
2
제 2 계층 메모리
3
제 3 계층 메모리
4
RMW 회로
5
화상 데이터

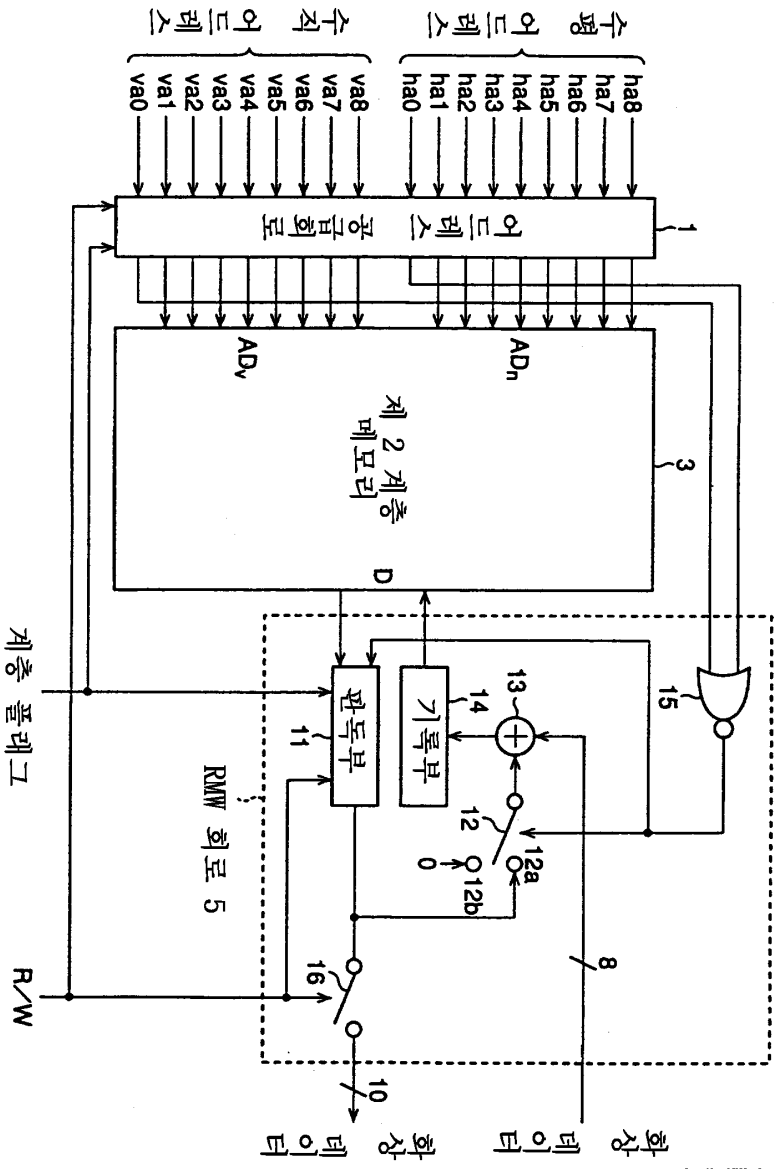
도면2



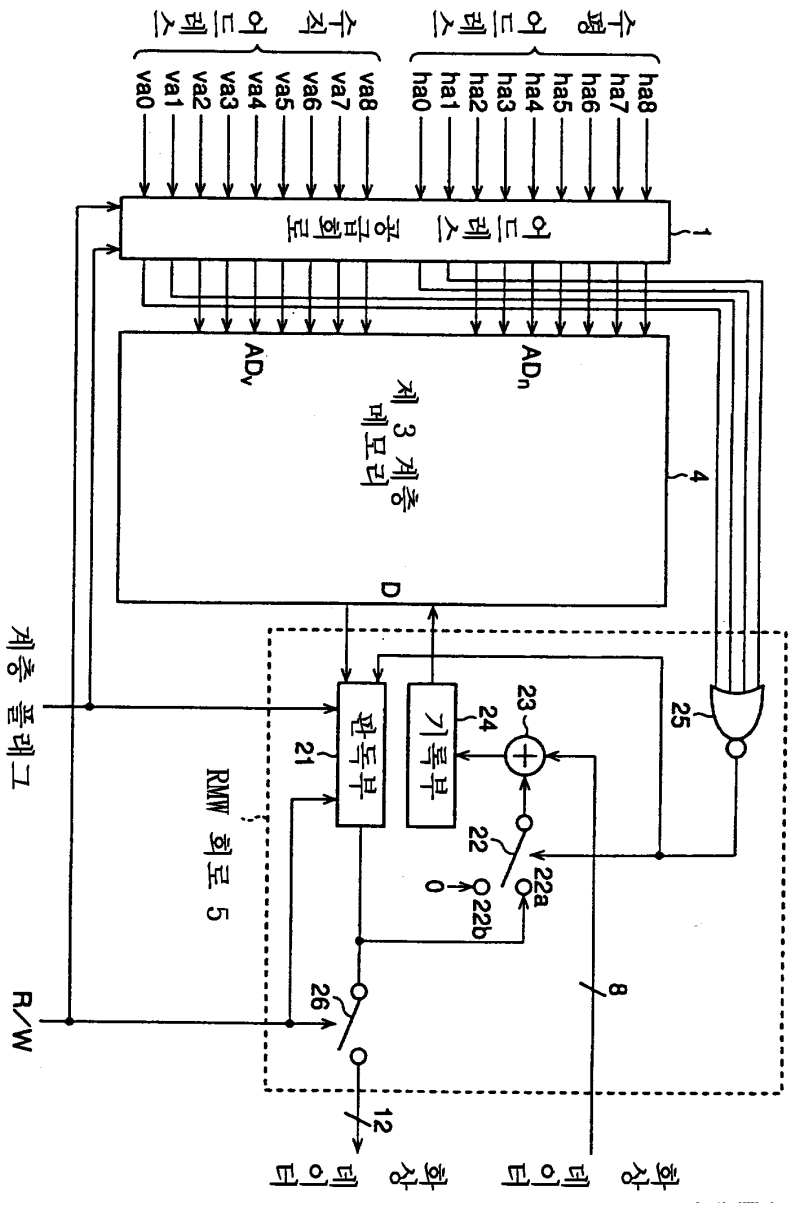
도면3


수평 어드레스
수직 어드레스
ha8 ha7 ha6 ha5 ha4 ha3 ha2 ha1 ha0
va8 va7 va6 va5 va4 va3 va2 va1 va0
R/W
어드레스 공급회로
1
ADn
ADv
제 1 계층 메모리
2
D
8
RMW 회로
5
계층 플래그
화상 데이터

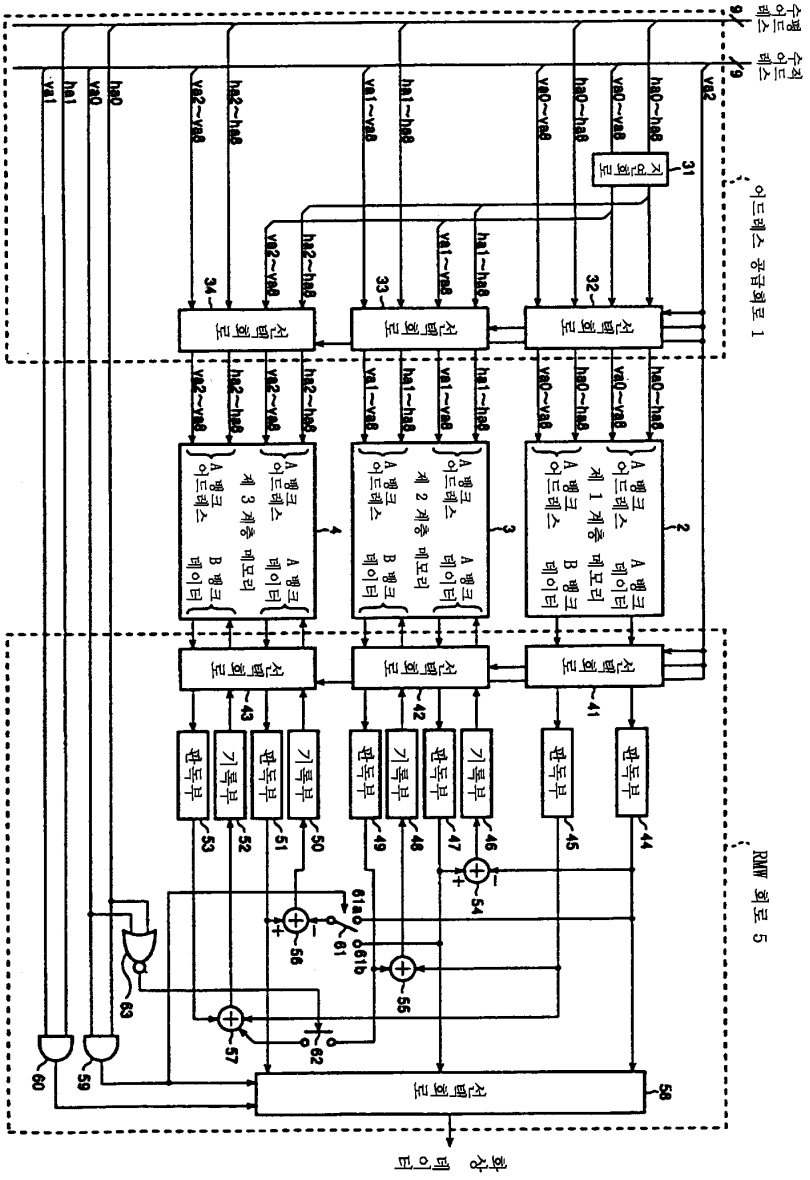
도면4


수평 어드레스
수직 어드레스
ha0 ha1 ha2 ha3 ha4 ha5 ha6 ha7 ha8
va0 va1 va2 va3 va4 va5 va6 va7 va8
어드레스 공급회로
1
ADv
ADn
제 2 계층 메모리
3
D
계층 플래그
판독부
11
기록부
14
13
15
12
12a
12b
0
RMW 회로 5
16
8
R/W
10
화상 데이터
화상 데이터

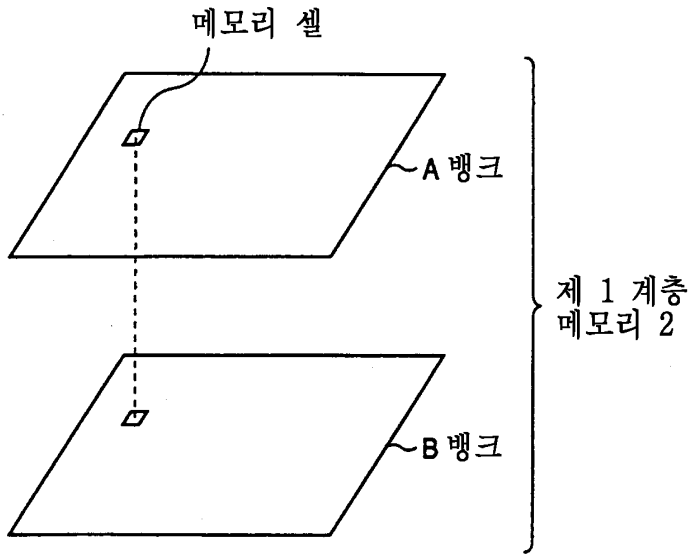
도면5


수평 어드레스
수직 어드레스
ha0
ha1
ha2
ha3
ha4
ha5
ha6
ha7
ha8
va0
va1
va2
va3
va4
va5
va6
va7
va8
어드레스 콤퍼레이션 회로
1
ADv
ADh
제 3 계층 메모리
4
D
계층 플래그
판독부
21
기록부
24
23
25
22
22a
22b
0
RMW 회로 5
26
R/W
8
12
화상 데이터
화상 데이터

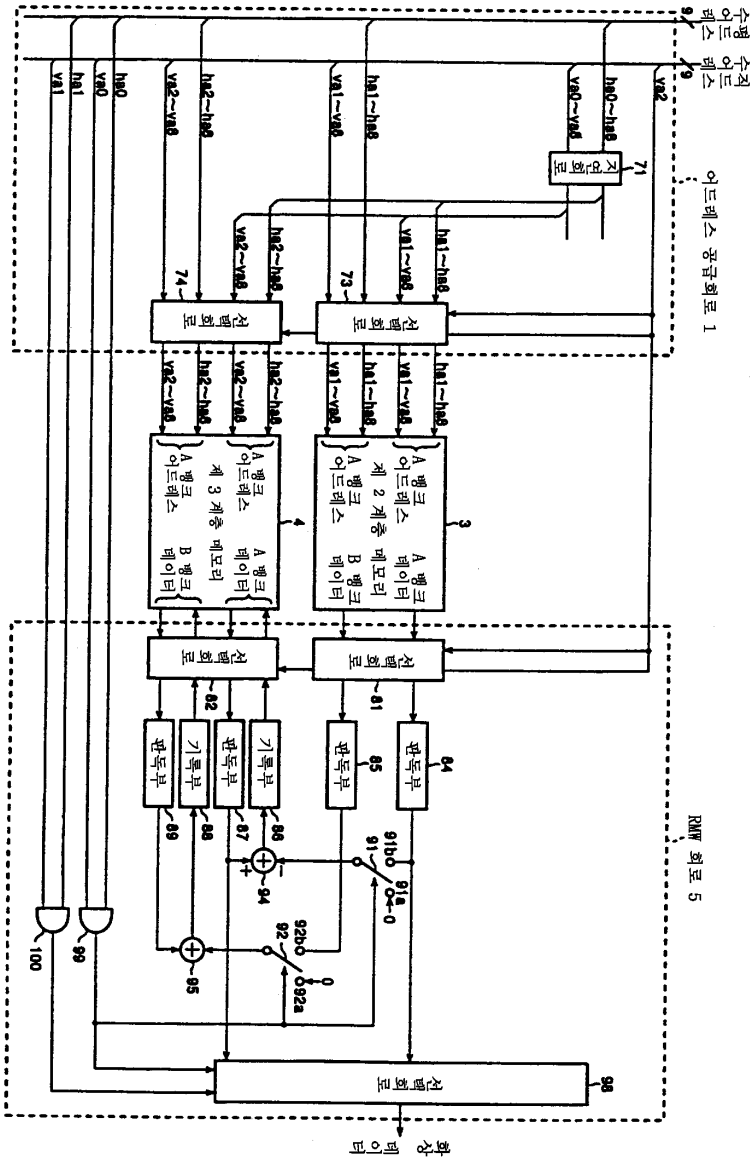
도면6


수평 어드레스
수직 어드레스
어드레스 공급회로 1
RMW 회로 5
확장 데이터
지연회로
선택회로
판독부
기록부
A 뱅크 어드레스
A 뱅크 데이터
B 뱅크 데이터
제 1 계층 메모리
제 2 계층 메모리
제 3 계층 메모리

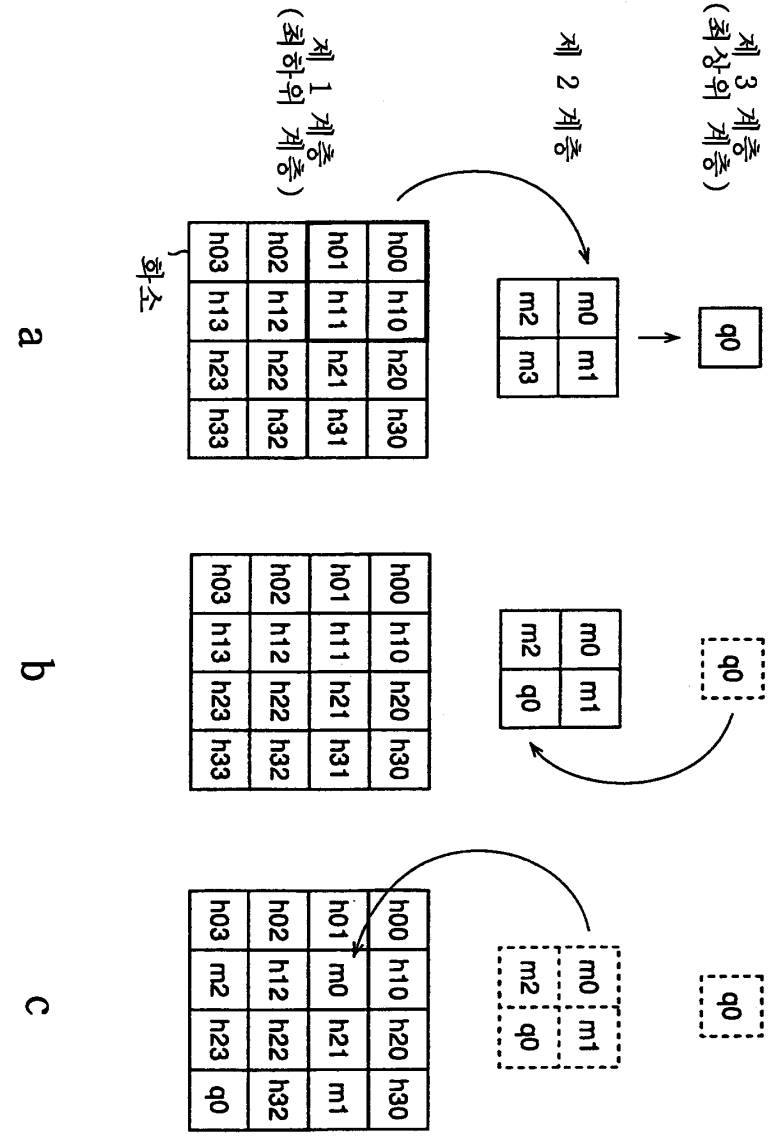
도면7


메모리 셀
A 뱅크
B 뱅크
제 1 계층
메모리 2

도면8


수평 어드레스
수직 어드레스
어드레스 공급회로 1
RMW 회로 5
화상 데이터
선택회로
판독부
기록부
A 뱅크 어드레스
A 뱅크 데이터
B 뱅크 데이터
제 2 계층 메모리
제 3 계층 메모리

도면9


제 3 계층
(최상위 계층)
제 2 계층
제 1 계층
(최하위 계층)
화소
q0
m0 m1
m2 m3
h00 h10 h20 h30
h01 h11 h21 h31
h02 h12 h22 h32
h03 h13 h23 h33
a
b
c