

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-155641  
(P2012-155641A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G06F 13/16 (2006.01)</b>	G06F 13/16 510A	5B060
<b>G11C 5/00 (2006.01)</b>	G11C 5/00 303Z	

審査請求 未請求 請求項の数 11 O L (全 29 頁)

(21) 出願番号 特願2011-16002(P2011-16002)  
(22) 出願日 平成23年1月28日(2011.1.28)

(71) 出願人 500174247  
エルピーダメモリ株式会社  
東京都中央区八重洲2-2-1  
(74) 代理人 100115738  
弁理士 鷲頭 光宏  
(74) 代理人 100121681  
弁理士 緒方 和文  
(74) 代理人 100130982  
弁理士 黒瀬 泰之  
(74) 代理人 100127199  
弁理士 三谷 拓也  
(72) 発明者 林 淳一  
東京都中央区八重洲二丁目2番1号エルピー  
ダメモリ株式会社内

最終頁に続く

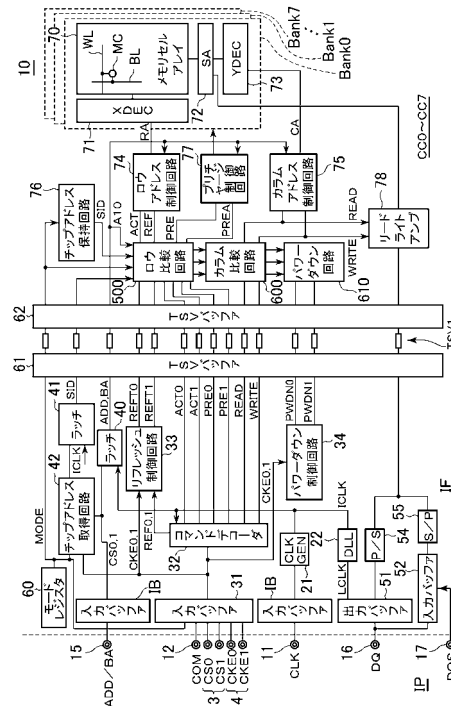
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】複数バンクに分割された積層型の半導体装置においてコマンドを正しく伝送する。

【解決手段】バンク0及びバンク1に分割されたコアチップCC0~CC7と、コアチップCC0~CC7に積層されたインターフェースチップIFを備える。インターフェースチップIFは、バンク0のコアチップCC0~CC3にロウ系コマンドを出力する回路と、バンク1のコアチップCC4~CC7にロウ系コマンドを出力する回路と、バンク0及びバンク1のコアチップCC0~CC7にカラム系コマンドを出力する回路とを備える。本発明によれば、ロウ系コマンドを出力するためのコマンド信号出力回路をバンク毎に設けていることから、コマンドの発行間隔が短い場合であっても、各コアチップCC0~CC7に正しくコマンドを転送することが可能となる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

互いに積層された少なくとも 1 つの第 1 の被制御チップ及び少なくとも一つの第 2 の被制御チップと、

前記第 1 及び第 2 の被制御チップに積層された制御チップであって、前記第 1 及び第 2 の被制御チップに其々第 1 のコマンド信号を出力する第 1 及び第 2 のコマンド信号出力回路を別々に備え、前記第 1 及び第 2 の被制御チップに其々第 2 のコマンド信号を出力する第 3 のコマンド信号出力回路を共通に備える、ことを特徴とする半導体装置。

**【請求項 2】**

前記制御チップは、外部からチップ選択信号が入力されるチップ選択端子をさらに備え、前記チップ選択信号が前記第 1 の被制御チップを選択している場合には前記第 1 及び第 3 のコマンド信号出力回路を活性化させ、前記チップ選択信号が前記第 2 の被制御チップを選択している場合には前記第 2 及び第 3 のコマンド信号出力回路を活性化させることを特徴とする請求項 1 に記載の半導体装置。

10

**【請求項 3】**

前記制御チップは、外部からコマンド信号が入力されるコマンド端子をさらに備え、前記チップ選択信号が前記第 1 の被制御チップを選択している場合において前記コマンド信号がアクティブコマンドを示している場合には、前記第 1 のコマンド信号出力回路を活性化させ、前記チップ選択信号が前記第 2 の被制御チップを選択している場合において前記コマンド信号が前記アクティブコマンドを示している場合には、前記第 2 のコマンド信号出力回路を活性化させることを特徴とする請求項 2 に記載の半導体装置。

20

**【請求項 4】**

前記制御チップは、前記チップ選択信号が前記第 1 の被制御チップを選択している場合において前記コマンド信号がプリチャージコマンドを示している場合には、前記第 1 のコマンド信号出力回路を活性化させ、前記チップ選択信号が前記第 2 の被制御チップを選択している場合において前記コマンド信号が前記プリチャージコマンドを示している場合には、前記第 2 のコマンド信号出力回路を活性化させることを特徴とする請求項 2 又は 3 に記載の半導体装置。

**【請求項 5】**

前記制御チップは、前記チップ選択信号が前記第 1 の被制御チップを選択している場合において前記コマンド信号がリフレッシュコマンドを示している場合には、前記第 1 のコマンド信号出力回路を活性化させ、前記チップ選択信号が前記第 2 の被制御チップを選択している場合において前記コマンド信号が前記リフレッシュコマンドを示している場合には、前記第 2 のコマンド信号出力回路を活性化させることを特徴とする請求項 2 乃至 4 のいずれか一項に記載の半導体装置。

30

**【請求項 6】**

前記制御チップは、前記コマンド信号がリードコマンド又はライトコマンドを示している場合には、前記チップ選択信号が前記第 1 及び第 2 の被制御チップのいずれを選択しているかに関わらず、前記第 3 のコマンド信号出力回路を活性化させることを特徴とする請求項 2 乃至 5 のいずれか一項に記載の半導体装置。

40

**【請求項 7】**

前記第 1 の被制御チップは、前記第 1 のコマンド信号出力回路から出力された前記第 1 のコマンドを受け付ける比較回路を備え、

前記第 2 の被制御チップは、前記第 2 のコマンド信号出力回路から出力された前記第 1 のコマンドを受け付ける比較回路を備える、ことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

**【請求項 8】**

前記制御チップは、外部からクロックイネーブル信号が入力されるクロックイネーブル端子をさらに備え、前記クロックイネーブル信号が前記第 1 の被制御チップの非活性化を示している場合には前記第 1 のコマンド信号出力回路を活性化させ、前記クロックイネー

50

ブル信号が前記第 2 の被制御チップの非活性化を示している場合には前記第 2 のコマンド信号出力回路を活性化させることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記制御チップは、

外部からクロックイネーブル信号が入力されるクロックイネーブル端子と、

前記クロックイネーブル信号が前記第 1 及び第 2 の被制御チップの少なくとも一方の非活性化を示している場合にセルフリフレッシュパルスを周期的に発生するオシレータと、

前記クロックイネーブル信号が前記第 1 の被制御チップの非活性化を示している場合、前記セルフリフレッシュパルスを前記第 1 及び第 2 の被制御チップに出力する第 1 のパルス生成回路と、

前記クロックイネーブル信号が前記第 2 の被制御チップの非活性化を示している場合、前記セルフリフレッシュパルスを前記第 1 及び第 2 の被制御チップに出力する第 2 のパルス生成回路と、をさらに備え、

前記第 1 の被制御チップは、前記第 1 のパルス生成回路から出力された前記セルフリフレッシュパルスに基づいてリフレッシュ動作を行う回路ブロックを備え、

前記第 2 の被制御チップは、前記第 2 のパルス生成回路から出力された前記セルフリフレッシュパルスに基づいてリフレッシュ動作を行う回路ブロックを備える、ことを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置。

【請求項 10】

前記制御チップは、

外部からクロックイネーブル信号が入力されるクロックイネーブル端子と、

前記クロックイネーブル信号が前記第 1 の被制御チップの非活性化を示している場合、第 1 のセルフステート信号を前記第 1 及び第 2 の被制御チップに出力する第 1 のパルス生成回路と、

前記クロックイネーブル信号が前記第 2 の被制御チップの非活性化を示している場合、第 2 のセルフステート信号を前記第 1 及び第 2 の被制御チップに出力する第 2 のパルス生成回路と、をさらに備え、

前記第 1 の被制御チップは、前記第 1 のセルフステート信号にตอบสนองしてセルフリフレッシュパルスを周期的に発生するオシレータと、前記セルフリフレッシュパルスに基づいてリフレッシュ動作を行う回路ブロックを備え、

前記第 2 の被制御チップは、前記第 2 のセルフステート信号にตอบสนองしてセルフリフレッシュパルスを周期的に発生するオシレータと、前記セルフリフレッシュパルスに基づいてリフレッシュ動作を行う回路ブロックを備える、ことを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置。

【請求項 11】

前記第 1 及び第 2 の被制御チップは、それぞれ当該チップを貫通して設けられた複数の貫通電極を備え、

前記第 1 及び第 2 の被制御チップにそれぞれ設けられた前記複数の貫通電極のうち、積層方向から見て互いに同じ位置に設けられた複数の貫通電極は、前記第 1 及び第 2 の被制御チップ間において共通接続されており、

前記第 1 のコマンド信号出力回路から出力される前記第 1 のコマンド信号は、前記第 1 及び第 2 の被制御チップにそれぞれ設けられた第 1 の貫通電極を介して、前記第 1 及び第 2 の被制御チップに共通に供給され、

前記第 2 のコマンド信号出力回路から出力される前記第 1 のコマンド信号は、前記第 1 及び第 2 の被制御チップにそれぞれ設けられた第 2 の貫通電極を介して、前記第 1 及び第 2 の被制御チップに共通に供給され、

前記第 3 のコマンド信号出力回路から出力される前記第 2 のコマンド信号は、前記第 1 及び第 2 の被制御チップにそれぞれ設けられた第 3 の貫通電極を介して、前記第 1 及び第 2 の被制御チップに共通に供給される、ことを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置に関し、特に、インターフェース機能を有するフロントエンド部と、メモリコアを含むバックエンド部とがそれぞれ別個の半導体チップに集積されてなる半導体装置に関する。

## 【背景技術】

## 【0002】

D R A M (Dynamic Random Access Memory) などの半導体記憶装置は、モジュール基板に複数個搭載した状態で使用されることが多い。モジュール化された D R A M は、チップ選択信号によって排他的に選択される複数のランク (Rank) に分類されることがある (特許文献 1 参照)。異なるランク間においては、データバス上の競合が生じない限り互いに無関係にアクセス可能であることから、モジュール上の D R A M を複数のランクに分類することによってデータバスの利用効率を高めることができる。

10

## 【0003】

他方、近年においては、メモリコントローラとのインターフェースを行ういわゆるフロントエンド部と、メモリコアを含むバックエンド部とをそれぞれ別個のチップに集積し、これらを積層することによって一つの半導体記憶装置を構成する方法が提案されている (特許文献 2 参照)。この方法によれば、バックエンド部が集積されたコアチップについては、メモリコアに割り当て可能な占有面積が増大することから、1チップ当たり (一つのコアチップ当たり) の記憶容量を増大させることが可能となる。一方、フロントエンド部が集積されたインターフェースチップについては、メモリコアとは異なるプロセスで作製できるため、高速なトランジスタによって回路を形成することが可能となる。しかも、1つのインターフェースチップに対して複数のコアチップを割り当てることができるため、全体として非常に大容量且つ高速な半導体記憶装置を提供することが可能となる。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2010 - 134904 号公報

【特許文献 2】特開 2007 - 158237 号公報

30

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、積層型の半導体装置においては、コマンドの伝送に用いる貫通電極が複数のコアチップ間において共通接続される。このため、積層された複数のコアチップを複数のランクに分類すると、貫通電極上におけるコマンドの転送間隔が短くなり、コマンドを正しく転送できないおそれが生じる。これを防止するためには、異なるランクへのアクセスにおいてもコマンドの競合が生じないように、コマンドの発行間隔を広げる必要があるが、この場合にはバスの利用効率が低下するという問題が生じる。

## 【課題を解決するための手段】

40

## 【0006】

本発明による半導体装置は、互いに積層された少なくとも一つの第 1 の被制御チップ及び少なくとも一つの第 2 の被制御チップと、前記第 1 及び第 2 の被制御チップに積層された制御チップであって、前記第 1 及び第 2 の被制御チップに其々第 1 のコマンド信号を出力する第 1 及び第 2 のコマンド信号出力回路を別々に備え、前記第 1 及び第 2 の被制御チップに其々第 2 のコマンド信号を出力する第 3 のコマンド信号出力回路を共通に備えることを特徴とする。

## 【発明の効果】

## 【0007】

本発明によれば、第 1 の被制御チップにコマンド信号を出力するためのコマンド信号出

50

力回路と、第2の被制御チップにコマンド信号を出力するためのコマンド信号出力回路とを別個に設けていることから、コマンドの発行間隔が短い場合であっても、各被制御チップに正しくコマンドを転送することが可能となる。

【図面の簡単な説明】

【0008】

【図1】本発明の好ましい実施形態による半導体装置10の構造を説明するための模式的な断面図である。

【図2】コアチップに設けられた貫通電極TSVの種類を説明するための図である。

【図3】図2(a)に示すタイプの貫通電極TSV1の構造を示す断面図である。

【図4】図2(b)に示すタイプの貫通電極TSV2の構造を示す断面図である。

10

【図5】図2(c)に示すタイプの貫通電極TSV3の構造を示す断面図である。

【図6】各コアチップにおける貫通電極TSV3の接続関係を説明するための模式図である。

【図7】LRA-1方式のアドレス割り付けを説明するための模式図である。

【図8】LRA-2方式のアドレス割り付けを説明するための模式図である。

【図9】LRA-3方式のアドレス割り付けを説明するための模式図である。

【図10】PRA方式のアドレス割り付けを説明するための模式図である。

【図11】本発明の好ましい第1の実施形態による半導体装置の構成を示すブロック図である。

【図12】入力バッファ31の回路図である。

20

【図13】コマンドデコーダ32の主要部の回路図である。

【図14】リフレッシュ制御回路33の回路図である。

【図15】第1のパルス生成回路100の回路図である。

【図16】カウンタ回路110の回路図である。

【図17】カウンタ回路110の動作を説明するためのタイミング図である。

【図18】パルス生成回路100の動作を説明するためのタイミング図である。

【図19】チップアドレス取得回路42の回路図であり、(a)はロウアクセス時にチップアドレスSIDを生成する回路42aを示し、(b)はカラムアクセス時にチップアドレスSIDを生成する回路42bを示す。

【図20】ロウ比較回路500に含まれる回路のうち、アクティブコマンドACTを生成する回路ブロック510の回路図である。

30

【図21】ロウ比較回路500に含まれる回路のうち、プリチャージコマンドPRE, PREAを生成する回路ブロック520の回路図である。

【図22】ロウ比較回路500に含まれる回路のうち、リフレッシュコマンドREFを生成する回路ブロック530の回路図である。

【図23】半導体装置10のリフレッシュ動作を説明するためのタイミング図である。

【図24】本発明の第2の実施形態による半導体装置10aの構成を示すブロック図である。

【図25】リフレッシュ制御回路33aのブロック図である。

【図26】ロウ比較回路500aに含まれる回路のうち、リフレッシュコマンドREFを生成する回路ブロック540の回路図である。

40

【図27】半導体装置10を用いたデータ処理システムの構成を示す模式的な断面図である。

【発明を実施するための形態】

【0009】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0010】

図1は、本発明の好ましい実施形態による半導体装置10の構造を説明するための模式的な断面図である。

50

## 【0011】

図1に示すように、本実施形態による半導体装置10は、互いに同一の機能、構造を持ち、夫々同一の製造マスクで製作された8枚のコアチップ(メモリチップ)CC0~CC7と、コアチップCC0~CC7とは異なる製造マスクで製作された1枚のインターフェースチップIFと、1枚のインターポーザIPとが積層された構造を有している。コアチップCC0~CC7及びインターフェースチップIFはシリコン基板を用いた半導体チップであり、いずれもシリコン基板を貫通する多数の貫通電極TSV(Through Silicon Via)によって上下に隣接するチップと電氣的に接続されている。一方、インターポーザIPは樹脂からなる回路基板であり、その裏面IPbには複数の外部端子(半田ボール)SBが形成されている。

10

## 【0012】

コアチップCC0~CC7は、単体で動作する通常のSDRAM(Synchronous Dynamic Random Access Memory)に含まれる回路ブロックのうち、外部とのインターフェースを行ういわゆるフロントエンド部が削除された半導体チップである。言い換えれば、バックエンド部に属する回路ブロックのみが集積されたメモリチップである。フロントエンド部に含まれる回路ブロックとしては、メモリセルアレイとデータ入出力端子との間で入出力データの平行/シリアル変換を行う平行シリアル変換回路や、データの入出力タイミングを制御するDLL(Delay Locked Loop)回路などが挙げられる。詳細については後述する。

## 【0013】

一方、インターフェースチップIFは、単体で動作する通常のSDRAMに含まれる回路ブロックのうち、フロントエンド部のみが集積された半導体チップである。インターフェースチップIFは、8枚のコアチップCC0~CC7に対する共通のフロントエンド部として機能する。したがって、外部からのアクセスは全てインターフェースチップIFを介して行われ、データの入出力もインターフェースチップIFを介して行われる。

20

## 【0014】

本実施形態では、インターポーザIPとコアチップCC0~CC7との間にインターフェースチップIFが配置されているが、インターフェースチップIFの位置については特に限定されず、コアチップCC0~CC7よりも上部に配置しても構わないし、インターポーザIPの裏面IPbに配置しても構わない。インターフェースチップIFをコアチップCC0~CC7の上部にフェースダウンで又はインターポーザIPの裏面IPbにフェースアップで配置する場合には、インターフェースチップIFに貫通電極TSVを設ける必要はない。また、インターフェースチップIFは、2つのインターポーザIPに挟まれるように配置しても良い。

30

## 【0015】

インターポーザIPは、半導体装置10の機械的強度を確保するとともに、電極ピッチを拡大するための再配線基板として機能する。つまり、インターポーザIPの上面IPaに形成された電極91をスルーホール電極92によって裏面IPbに引き出し、裏面IPbに設けられた再配線層93によって、外部端子SBのピッチを拡大している。図1には、2個の外部端子SBのみを図示しているが、実際には多数の外部端子が設けられている。外部端子SBのレイアウトは、規格により定められたSDRAMにおけるそれと同じである。したがって、外部のコントローラからは1個のSDRAMとして取り扱うことができる。

40

## 【0016】

図1に示すように、最上部のコアチップCC0の上面はNCF(Non-Conductive Film)94及びリードフレーム95によって覆われており、コアチップCC0~CC7及びインターフェースチップIFの各チップ間のギャップはアンダーフィル96で充填され、またその周囲は封止樹脂97によって覆われている。これにより、各チップが物理的に保護される。

## 【0017】

50

コアチップ C C 0 ~ C C 7 に設けられた貫通電極 T S V の大部分は、積層方向から見た平面視で、すなわち図 1 に示す矢印 A から見た場合に、同じ位置に設けられた他層の貫通電極 T S V と短絡されている。つまり、図 2 ( a ) に示すように、平面視で同じ位置に設けられた上下の貫通電極 T S V 1 が短絡され、これら貫通電極 T S V 1 によって 1 本の配線が構成されている。各コアチップ C C 0 ~ C C 7 に設けられたこれらの貫通電極 T S V 1 は、当該コアチップ内の内部回路 4 にそれぞれ接続されている。したがって、インターフェースチップ I F から図 2 ( a ) に示す貫通電極 T S V 1 に供給される入力信号 ( コマンド信号、アドレス信号など ) は、コアチップ C C 0 ~ C C 7 の内部回路 4 に共通に入力される。また、コアチップ C C 0 ~ C C 7 から貫通電極 T S V 1 に供給される出力信号 ( データなど ) は、ワイヤードオアされてインターフェースチップ I F に入力される。

10

【 0 0 1 8 】

これに対し、一部の貫通電極 T S V については、図 2 ( b ) に示すように、平面視で同じ位置に設けられた他層の貫通電極 T S V 2 と直接接続されるのではなく、当該コアチップ C C 0 ~ C C 7 に設けられた内部回路 5 を介して接続されている。つまり、各コアチップ C C 0 ~ C C 7 に設けられたこれら内部回路 5 が貫通電極 T S V 2 を介してカスケード接続されている。この種の貫通電極 T S V 2 は、各コアチップ C C 0 ~ C C 7 に設けられた内部回路 5 に所定の情報を順次転送するために用いられる。このような情報としては、後述するチップアドレス情報が挙げられる。

【 0 0 1 9 】

さらに他の一部の貫通電極 T S V については、図 2 ( c ) に示すように、平面視で異なる位置に設けられた他層の貫通電極 T S V と短絡されている。この種の貫通電極 T S V 群 3 に対しては、平面視で所定の位置 P に設けられた貫通電極 T S V 3 a に各コアチップ C C 0 ~ C C 7 の内部回路 6 が接続されている。これにより、各コアチップに設けられた内部回路 6 に対して選択的に情報を入力することが可能となる。このような情報としては、不良チップ情報が挙げられる。

20

【 0 0 2 0 】

このように、コアチップ C C 0 ~ C C 7 に設けられた貫通電極 T S V は、図 2 ( a ) ~ ( c ) に示す 3 タイプ ( T S V 1 ~ T S V 3 ) が存在する。上述の通り、大部分の貫通電極 T S V は図 2 ( a ) に示すタイプであり、アドレス信号、コマンド信号などは図 2 ( a ) に示すタイプの貫通電極 T S V 1 を介して、インターフェースチップ I F からコアチップ C C 0 ~ C C 7 に供給される。また、リードデータ及びライトデータについても、図 2 ( a ) に示すタイプの貫通電極 T S V 1 を介してインターフェースチップ I F に入出力される。これに対し、図 2 ( b ) , ( c ) に示すタイプの貫通電極 T S V 2 , T S V 3 は、互いに同一の構造を有するコアチップ C C 0 ~ C C 7 に対して、個別の情報を与えるために用いられる。

30

【 0 0 2 1 】

図 3 は、図 2 ( a ) に示すタイプの貫通電極 T S V 1 の構造を示す断面図である。

【 0 0 2 2 】

図 3 に示すように、貫通電極 T S V 1 はシリコン基板 8 0 及びその表面の層間絶縁膜 8 1 を貫通して設けられている。貫通電極 T S V 1 の周囲には絶縁リング 8 2 が設けられており、これによって、貫通電極 T S V 1 とトランジスタ領域との絶縁が確保される。図 3 に示す例では絶縁リング 8 2 が二重に設けられており、これによって貫通電極 T S V 1 とシリコン基板 8 0 との間の静電容量が低減されている。

40

【 0 0 2 3 】

シリコン基板 8 0 の裏面側における貫通電極 T S V 1 の端部 8 3 は、裏面バンプ 8 4 で覆われている。裏面バンプ 8 4 は、下層のコアチップに設けられた表面バンプ 8 5 と接する電極である。表面バンプ 8 5 は、各配線層 L 0 ~ L 3 に設けられたパッド P 0 ~ P 3 及びパッド間を接続する複数のスルーホール電極 T H 1 ~ T H 3 を介して、貫通電極 T S V 1 の端部 8 6 に接続されている。これにより、平面視で同じ位置に設けられた表面バンプ 8 5 と裏面バンプ 8 4 は、短絡された状態となる。尚、図示しない内部回路との接続は、

50

配線層 L 0 ~ L 3 に設けられたパッド P 0 ~ P 3 から引き出される内部配線（図示せず）を介して行われる。

【 0 0 2 4 】

図 4 は、図 2（b）に示すタイプの貫通電極 T S V 2 の構造を示す断面図である。

【 0 0 2 5 】

図 4 に示すように、貫通電極 T S V 2 は、同じ平面位置にあるパッド P 1 とパッド P 2 を直接接続するスルーホール電極 T H 2 が削除されている点において、図 3 に示した貫通電極 T S V 1 と相違している。パッド P 1 は図 2 に示す内部回路 5 の例えば出力ノードに接続され、パッド P 2 は図 2 に示す内部回路 5 の例えば入力ノードに接続される。これにより、各コアチップ C C 0 ~ C C 7 に設けられた内部回路 5 が貫通電極 T S V 2 を介してカスケード接続されることになる。

10

【 0 0 2 6 】

図 5 は、図 2（c）に示すタイプの貫通電極 T S V 3 の構造を示す断面図である。

【 0 0 2 7 】

図 5 に示すように、貫通電極 T S V 3 は、同じ平面位置にあるパッド P 1 , P 2 がスルーホール電極 T H 2 によって接続されるのではなく、異なる平面位置にあるパッド P 1 , P 2 がスルーホール電極 T H 2 によって接続されている。図 5 では貫通電極 T S V 3 を 3 個だけ示しているが、貫通電極 T S V 3 は各コアチップ C C 0 ~ C C 7 において 1 信号当たりコアチップの枚数分（8 個）設けられる。そして、これら 8 個の貫通電極 T S V 3 は、図 6 に示すように循環的に接続される。図 6 において実線で示しているのは表面バンパ 8 5 であり、破線で示しているのは裏面バンパ 8 4 である。図 6 に示すように、貫通電極 T S V 3 を循環的に接続すれば、各コアチップ C C 0 ~ C C 7 の回路構成を互いに同一としつつ、インターフェースチップ I F から各コアチップ C C 0 ~ C C 7 に個別の情報を与えることができる。例えば、裏面バンパ 8 4 - 7 の位置に内部回路 6 を接続した場合、インターフェースチップ I F から最下層のコアチップ C C 7 の裏面バンパ 8 4 - 0 ~ 8 4 - 7 に供給する信号は、それぞれコアチップ C C 0 ~ C C 7 の内部回路 6 に選択的に供給されることになる。

20

【 0 0 2 8 】

ここで、インターフェースチップ I F 及びコアチップ C C 0 ~ C C 7 の詳細な回路構成について説明する前に、本実施形態による半導体装置 1 0 のアドレス割り付けについて説明する。

30

【 0 0 2 9 】

本実施形態による半導体装置 1 0 は、モード選択によってアドレス割り付けを変更することが可能である。半導体装置 1 0 には、大きく分けて L R A（Logical Rank Address）方式と P R A（Physical Rank Address）方式が用意されている。L R A 方式とは、それぞれ異なるコアチップ C C 0 ~ C C 7 に設けられた複数のバンクをコントローラから見て 1 つのバンクとして取り扱うアドレス割り付け方式である。これに対し、P R A 方式とは、各コアチップ C C 0 ~ C C 7 に設けられた複数のバンクをそれぞれ 1 つのバンクとして取り扱うアドレス割り付け方式である。さらに、本実施形態では、L R A 方式に 3 タイプ用意されており、便宜上、それぞれ L R A - 1 方式、L R A - 2 方式、L R A - 3 方式と呼ぶ。以下、各方式について具体的に説明する。

40

【 0 0 3 0 】

図 7 は、L R A - 1 方式のアドレス割り付けを説明するための模式図である。図 7 ~ 図 1 0 においては一つのマス目がバンクを示している。したがって、一つのコアチップにはバンク 0 ~ バンク 7 が含まれていることになる。

【 0 0 3 1 】

図 7 に示すように、L R A - 1 方式とは、ロウアクセス時（アクティブコマンド A C T の発行時）に供給されるアドレス信号の一部  $X_{n+2}$  ,  $X_{n+1}$  ,  $X_n$ （チップアドレス）に基づいてコアチップ C C 0 ~ C C 7 のいずれかを選択するとともに、ロウアクセス時及びカラムアクセス時に供給されるバンクアドレス信号 B A 0 ~ B A 2 に基づいてバンク

50

0～バンク7のいずれかを選択する方式である。コントローラからは、異なるコアチップCC0～CC7に含まれる同じ番号の8個のバンクが1つのバンクとして認識される。

【0032】

この方式では、カラムアクセス時（カラムコマンド発行時）にチップアドレスは供給されないが、コントローラは異なるコアチップCC0～CC7に含まれる同じ番号の8個のバンクを1つのバンクとして認識していることから、カラムアクセス時にチップアドレスを供給しなくても、どのコアチップCC0～CC7に対するカラムアクセスであるのか判別可能である。なぜなら、カラムアクセス時に指定されるバンクがアクティブ状態であるコアチップは、必ず1つだからである。

【0033】

例えば、図7において丸印で囲ったバンクがアクティブ状態であるとする、カラムアクセス時に指定されるバンクがバンク0であれば、バンク0がアクティブ状態であるコアチップCC7にてカラムアクセスが行われ、カラムアクセス時に指定されるバンクがバンク1であれば、バンク1がアクティブ状態であるコアチップCC5にてカラムアクセスが行われる、といった具合である。

【0034】

このように、LRA-1方式においては、コアチップCC0～CC7の選択がロウアクセス時に行われる。また、コントローラからは1個のDRAMとして認識されることから、使用されるチップ選択信号(CS)も1ビットとなる。これにより、例えば、1回のロウアクセスでアクセスされるメモリセル数は1kバイトとなり、バンク数は1となる。

【0035】

図8は、LRA-2方式のアドレス割り付けを説明するための模式図である。

【0036】

図8に示すように、LRA-2方式とは、2ビットのチップ選択信号CS0, CS1に基づいてコアチップCC0～CC3かコアチップCC4～CC7を選択し、さらに、ロウアクセス時に供給されるアドレス信号の一部 $X_{n+1}$ ,  $X_n$ （チップアドレス）に基づいて、選択された4つのコアチップの中からいずれか1つのコアチップを選択する方式である。バンクアドレス信号BA0～BA2については、ロウアクセス時及びカラムアクセス時の両方において供給される。

【0037】

この方式では、チップ選択信号を用いてコアチップCC0～CC3又はコアチップCC4～CC7を選択していることから、コントローラから見たバンク数は2となる。また、LRA-1方式と同様、コアチップCC0～CC7の選択がロウアクセス時に確定することから、例えば、1回のロウアクセスでアクセスされるメモリセル数は、LRA-1方式と同様1kバイトとなる。尚、この方式においてもカラムアクセス時にはチップアドレスは供給されないが、これによる問題が生じない点はLRA-1方式と同様である。

【0038】

この方式においては、コアチップCC0～CC3とコアチップCC4～CC7とがチップ選択信号CS0, CS1によって区別されることから、コアチップCC0～CC3に属するバンクと、コアチップCC4～CC7に属するバンクは、コントローラから見て別のバンクとして取り扱われる。したがって、図8に示す例のように、コアチップCC2のバンク0とコアチップCC7のバンク0が同時にアクティブ状態となり得る。

【0039】

図9は、LRA-3方式のアドレス割り付けを説明するための模式図である。

【0040】

図9に示すように、LRA-3方式とは、ロウアクセス時に供給されるアドレス信号の一部 $X_{n+2}$ ,  $X_n$ に基づいてコアチップCC0とCC2、コアチップCC1とCC3、コアチップCC4とCC6、コアチップCC5とCC7のいずれかを選択し、さらに、カラムアクセス時に供給されるアドレス信号の一部 $Y_{n+1}$ に基づいて、選択された2つのコアチップの中からいずれか1つのコアチップを選択する方式である。バンクアドレス信

10

20

30

40

50

号 B A 0 ~ B A 2 については、ロウアクセス時及びカラムアクセス時の両方において供給される。

【 0 0 4 1 】

この方式では、ロウアクセス時に供給されるアドレス信号の一部  $X_{n+2}$  ,  $X_n$  と、カラムアクセス時に供給されるアドレス信号の一部  $Y_{n+1}$  によってコアチップ C C 0 ~ C C 7 の選択が行われる。このため、チップアドレスは  $X_{n+2}$  ,  $X_n$  ,  $Y_{n+1}$  となる。また、ロウアクセス時には2つのコアチップがアクティブ状態となることから、1回のロウアクセスでアクセスされるメモリセル数は、L R A - 1 方式及び L R A - 2 方式の2倍となり、例えば 2 k バイトである。ランク数は、L R A - 1 方式と同様1ランクである。

【 0 0 4 2 】

図 1 0 は、P R A 方式のアドレス割り付けを説明するための模式図である。

【 0 0 4 3 】

図 1 0 に示すように、P R A 方式とは、ロウアクセス時及びカラムアクセス時とも、アドレス信号の一部であるチップアドレス P 2 , P 1 , P 0 と、バンクアドレス信号 B A 0 ~ B A 2 が供給される方式である。この方式においては、コントローラからは全てのバンクが互いに異なるバンクとして認識される。つまり、本実施形態では 6 4 バンクとして認識される。したがって、アクティブ状態となるバンクの数及び組み合わせは任意であり、最大で 6 4 個のバンク全てがアクティブ状態となり得る。

【 0 0 4 4 】

以上が各アドレス割り付け方式の詳細である。これらのアドレス割り付け方式は、モード選択によって切り替えることが可能である。

【 0 0 4 5 】

次に、半導体装置 1 0 の具体的な回路構成について説明する。以下の説明においては、半導体装置 1 0 の動作モードが L R A - 2 方式に設定されている場合を例に説明する。

【 0 0 4 6 】

図 1 1 は、本発明の好ましい第 1 の実施形態による半導体装置の構成を示すブロック図である。

【 0 0 4 7 】

図 1 1 に示すように、インターポーザ I P に設けられた外部端子には、クロック端子 1 1、コマンド端子 1 2、チップ選択端子 1 3、クロックイネーブル端子 1 4、アドレス端子 1 5、データ入出力端子 1 6、データストロープ端子 1 7 が含まれている。その他、キャリブレーション端子や電源端子なども設けられているが、これらについては図示を省略してある。これら外部端子のうち、電源端子を除く全ての外部端子はインターフェースチップ I F に接続されており、コアチップ C C 0 ~ C C 7 には直接接続されない。

【 0 0 4 8 】

クロック端子 1 1 は外部クロック信号 C L K が供給される端子であり、供給された外部クロック信号 C L K は、入力バッファ I B を介してクロック生成回路 2 1 に供給される。クロック生成回路 2 1 は内部クロック信号 I C L K を生成する回路であり、生成された内部クロック信号 I C L K は、インターフェースチップ I F 内の各種回路ブロックに供給される。

【 0 0 4 9 】

内部クロック信号 I C L K は D L L 回路 2 2 に供給される。D L L 回路 2 2 は、出力用クロック信号 L C L K を生成する回路であり、生成された出力用クロック信号 L C L K は、出力バッファ回路 5 1 に供給される。

【 0 0 5 0 】

コマンド端子 1 2 は、ロウアドレスストロープ信号 R A S B、カラムアドレスストロープ信号 C A S B、ライトイネーブル信号 W E B などからなるコマンド信号 C O M が供給される端子である。また、チップ選択端子 1 3 はチップ選択信号 C S 0 B , C S 1 B が供給される端子であり、クロックイネーブル端子 1 4 はクロックイネーブル信号 C K E 0 , C K E 1 が供給される端子である。これらのコマンド信号、チップ選択信号及びクロックイ

10

20

30

40

50

ネーブル信号は、入力バッファ 3 1 を介してコマンドデコーダ 3 2 に供給される。

【 0 0 5 1 】

図 1 2 は、入力バッファ 3 1 の回路図である。

【 0 0 5 2 】

図 1 2 に示すように、入力バッファ 3 1 は、チップ選択信号  $CS0B$  ,  $CS1B$ 、クロックイネーブル信号  $CKE0$  ,  $CKE1$ 、ロウアドレスストロープ信号  $RASB$ 、カラムアドレスストロープ信号  $CASB$ 、ライトイネーブル信号  $WEB$  がそれぞれ入力される入力バッファ  $IB1 \sim IB7$  を含んでいる。さらに入力バッファ 3 1 は、入力バッファ  $IB1$  ,  $IB2$  を通過したクロックイネーブル信号  $CKE0$  ,  $CKE1$  を受け、これらに基づいて内部信号  $PPDT$  ,  $PPD0T$  ,  $PPD1T$  を生成する制御回路 3 1 a を備えている。内部信号  $PPD0T$  ,  $PPD1T$  は、それぞれ入力バッファ  $IB3$  ,  $IB4$  を活性化させる信号として用いられ、内部信号  $PPDT$  は、入力バッファ  $IB5 \sim IB7$  を活性化させる信号として用いられる。

10

【 0 0 5 3 】

内部信号  $PPD0T$  ,  $PPD1T$  は、それぞれクロックイネーブル信号  $CKE0$  ,  $CKE1$  に基づいて活性化される信号である。これにより、非活性状態であるチップ選択信号  $CS0B$  又は  $CS1B$  に対応する入力バッファ  $IB3$  又は  $IB4$  の出力が誤って活性化しないようガードされる。また、内部信号  $PPDT$  は、クロックイネーブル信号  $CKE0$  ,  $CKE1$  の一方が活性化している場合に活性化する信号である。これにより、クロックイネーブル信号  $CKE0$  ,  $CKE1$  の一方が活性化すれば、入力バッファ  $IB5 \sim IB7$  は活性化される。そして、入力バッファ  $IB3 \sim IB7$  を通過したこれらコマンド信号  $PCS0$  ,  $PCS1$  ,  $PRAS$  ,  $PCAS$  ,  $PWE$  は、図 1 1 に示すコマンドデコーダ 3 2 に供給される。

20

【 0 0 5 4 】

コマンドデコーダ 3 2 は、入力バッファ 3 1 から出力されたコマンド信号  $PCS0$  ,  $PCS1$  ,  $PRAS$  ,  $PCAS$  ,  $PWE$  をデコードすることによって、各種内部コマンドを生成するとともに、生成した内部コマンドをあらかじめ設定されたレイテンシに基づいて遅延させる回路である。コマンドデコーダ 3 2 から出力される内部コマンドは、 $TSV$  バッファ 6 1 , 6 2 を介してコアチップ  $CC0 \sim CC7$  に供給される。コマンドデコーダ 3 2 から出力される内部コマンドには、アクティブコマンド  $ACT0$  ,  $ACT1$ 、プリチャージコマンド  $PRE0$  ,  $PRE1$ 、リードコマンド  $READ$ 、ライトコマンド  $WRITE$  が含まれる。

30

【 0 0 5 5 】

図 1 3 は、コマンドデコーダ 3 2 の主要部の回路図である。

【 0 0 5 6 】

図 1 3 に示すように、コマンドデコーダ 3 2 は、コマンド信号  $PCS0$  ,  $PCS1$  に基づいて内部信号  $PCS0T$  ,  $PCS1T$  ,  $PCS01T$  を生成する制御回路 3 2 a と、コマンド信号  $PRAS$  ,  $PCAS$  ,  $PWE$  に基づいてこれらの相補信号  $PRAST$  ,  $PRASAB$  ,  $PCAST$  ,  $PCASB$  ,  $PWET$  ,  $PWEB$  を生成する制御回路 3 2 b ~ 3 2 d を備えている。制御回路 3 2 a は、コマンド信号  $PCS0$  が活性化している場合には内部信号  $PCS0T$  をハイレベルに活性化し、コマンド信号  $PCS1$  が活性化している場合には内部信号  $PCS1T$  をハイレベルに活性化し、さらに、コマンド信号  $PCS0$  ,  $PCS1$  の少なくとも一方が活性化している場合には内部信号  $PCS01T$  をハイレベルに活性化する。これら内部信号は対応する  $AND$  ゲート回路に入力され、その出力がアクティブコマンド  $ACT0$  ,  $ACT1$ 、プリチャージコマンド  $PRE0$  ,  $PRE1$ 、リードコマンド  $READ$ 、ライトコマンド  $WRITE$  として用いられる。

40

【 0 0 5 7 】

アクティブコマンド  $ACT0$  は、コマンド信号  $PRAS$  ,  $PCAS$  ,  $PWE$  の組み合わせがアクティブコマンドであることを示しており、且つ、コマンド信号  $PCS0$  が活性化している場合に生成される。同様に、アクティブコマンド  $ACT1$  は、コマンド信号  $PR$

50

A S , P C A S , P W E の組み合わせがアクティブコマンドであることを示しており、且つ、コマンド信号 P C S 1 が活性化している場合に生成される。このように、ランク 0 用のアクティブコマンド A C T 0 とランク 1 用のアクティブコマンド A C T 1 は、互いに異なるコマンド信号出力回路から出力される。ここで、ランク 0 とはコアチップ C C 0 ~ C C 3 に相当し、ランク 1 とはコアチップ C C 4 ~ C C 7 に相当する。

【 0 0 5 8 】

プリチャージコマンド P R E 0 は、コマンド信号 P R A S , P C A S , P W E の組み合わせがプリチャージコマンドであることを示しており、且つ、コマンド信号 P C S 0 が活性化している場合に生成される。同様に、プリチャージコマンド P R E 1 は、コマンド信号 P R A S , P C A S , P W E の組み合わせがプリチャージコマンドであることを示しており、且つ、コマンド信号 P C S 1 が活性化している場合に生成される。このように、ランク 0 用のプリチャージコマンド P R E 0 とランク 1 用のプリチャージコマンド P R E 1 も、互いに異なるコマンド信号出力回路から出力される。

10

【 0 0 5 9 】

リードコマンド R E A D は、コマンド信号 P R A S , P C A S , P W E の組み合わせがリードコマンドであることを示しており、且つ、コマンド信号 P C S 0 又は P C S 1 が活性化している場合に生成される。ライトコマンド W R I T E は、コマンド信号 P R A S , P C A S , P W E の組み合わせがライトコマンドであることを示しており、且つ、コマンド信号 P C S 0 又は P C S 1 が活性化している場合に生成される。

【 0 0 6 0 】

これらコマンド A C T 0 , A C T 1 , P R E 0 , P R E 1 , R E A D , W R I T E のうち、リードコマンド R E A D 及びライトコマンド W R I T E については、図示しないレイテンシカウンタによって所定のレイテンシが経過した後、コマンドデコーダ 3 2 から出力される。リードコマンド R E A D 及びライトコマンド W R I T E のレイテンシは、アディティブレイテンシ A L に設定される。アディティブレイテンシ A L の値は、モードレジスタ 6 0 の設定値によって変化させることができる。

20

【 0 0 6 1 】

このようにして生成されるコマンド A C T 0 , A C T 1 , P R E 0 , P R E 1 , R E A D , W R I T E は、T S V バッファ 6 1 , 6 2 を介してコアチップ C C 0 ~ C C 7 に供給される。図 1 1 に示すように、これらコマンド A C T 0 , A C T 1 , P R E 0 , P R E 1 , R E A D , W R I T E は、それぞれ異なる貫通電極 T S V 1 を介してコアチップ C C 0 ~ C C 7 に共通に供給される。したがって、ロウ系のコマンド ( A C T 0 , A C T 1 , P R E 0 , P R E 1 ) についてはランクごとに別の信号であり、それぞれ別個の貫通電極 T S V 1 を介してコアチップ C C 0 ~ C C 7 に供給される一方、カラム系のコマンド ( R E A D , W R I T E ) についてはランク間において共通の信号であり、同じ貫通電極 T S V 1 を介してコアチップ C C 0 ~ C C 7 に供給されることになる。但し、これは本実施形態による半導体装置が L R A - 2 方式で動作している場合に限られ、他の方式で動作している場合には、チップ選択信号 C S 1 B が使用されないため、アクティブコマンド A C T 1 及びプリチャージコマンド P R E 1 は使用されない。

30

【 0 0 6 2 】

さらに、図 1 3 には示されていないが、コマンドデコーダ 3 2 が生成するコマンドには、リフレッシュコマンド R E F 0 , R E F 1 も含まれる。リフレッシュコマンド R E F 0 は、コマンド信号 P R A S , P C A S , P W E の組み合わせがリフレッシュコマンドであることを示しており、且つ、コマンド信号 P C S 0 が活性化している場合に生成される。同様に、リフレッシュコマンド R E F 1 は、コマンド信号 P R A S , P C A S , P W E の組み合わせがリフレッシュコマンドであることを示しており、且つ、コマンド信号 P C S 1 が活性化している場合に生成される。

40

【 0 0 6 3 】

リフレッシュコマンド R E F 0 , R E F 1 は、図 1 1 に示すリフレッシュ制御回路 3 3 に供給される。リフレッシュ制御回路 3 3 は、リフレッシュコマンド R E F 0 , R E F 1

50

及びクロックイネーブル信号CKE0, CKE1に基づいてリフレッシュコマンドREF T0, REF T1を生成する。リフレッシュコマンドREF T0は、アクティブコマンドACT0及びプリチャージコマンドPRE0と同様、一方のランク(ランク0)に対応する信号であり、リフレッシュコマンドREF T1は、アクティブコマンドACT1及びプリチャージコマンドPRE1と同様、他方のランク(ランク1)に対応する信号である。

【0064】

図11に示すように、リフレッシュコマンドREF T0, REF T1についても、それぞれ異なる貫通電極TSV1を介してコアチップCC0~CC7に共通に供給される。但し、LRA-2方式以外のモードで動作している場合には、チップ選択信号CS1Bが使用されないため、リフレッシュコマンドREF T1は使用されない。

10

【0065】

図14は、リフレッシュ制御回路33の回路図である。

【0066】

図14に示すように、リフレッシュ制御回路33は、第1のパルス生成回路100、第2のパルス生成回路200及びオシレータ300を含んで構成される。第1のパルス生成回路100と第2のパルス生成回路200は互いに同じ回路構成を有しており、第1のパルス生成回路100から出力されるセルフステート信号SELFST0と第2のパルス生成回路200から出力されるステート信号SELFST1がORゲート回路310に入力される。ORゲート回路310の出力はオシレータ300に供給され、その動作を制御する。

20

【0067】

図15は、第1のパルス生成回路100の回路図である。

【0068】

図15に示すように、第1のパルス生成回路100は、カウンタ回路110、状態回路120、遅延回路130及びSRラッチ回路140, 150を含んでいる。SRラッチ回路140のセット入力端(S)には、NORゲート回路141を介してリフレッシュコマンドREF0が供給される。このため、リフレッシュコマンドREF0がハイレベルに活性化すると、SRラッチ回路140がセットされる。

【0069】

SRラッチ回路140の出力は、ワンショットパルス生成回路142及び複合ゲート回路143に供給される。複合ゲート回路143の出力である内部信号RREF Tは、カウンタ回路110の出力であるカウント信号CTとともに、ANDゲート回路144に入力される。ANDゲート回路144の出力は、NORゲート回路141の反転出力とともにORゲート回路145に入力され、その出力がリフレッシュコマンドREF T0として用いられる。

30

【0070】

SRラッチ回路150のセット入力端(S)には、クロックイネーブル信号CKE0の反転信号が入力される。これにより、クロックイネーブル信号CKE0がローレベルに変化すると、SRラッチ回路150の出力であるセルフステート信号SELFST0がハイレベルに活性化する。

40

【0071】

図16は、カウンタ回路110の回路図である。

【0072】

図16に示すように、カウンタ回路110は、2つのフリップフロップ回路111, 112と、フリップフロップ回路111, 112の出力ビットC0, C1を受けるNANDゲート回路113を備えている。フリップフロップ回路111, 112のクロック入力端には内部信号RREF Tが入力されている。これら2つのフリップフロップ回路111, 112は図16に示すように縦続接続されているため、2ビットのバイナリカウンタを構成する。つまり、図17に示すように、内部信号RREF Tが活性化する度にフリップフロップ回路111の出力ビットC0が反転し、内部信号RREF Tが2回活性化すること

50

にフリップフロップ回路112の出力ビットC1が反転する。したがって、初期状態においてローレベルであるカウント信号CTは、内部信号REF Tの活性化にตอบสนองしてハイレベルとなり、内部信号REF Tの4回目の活性化にตอบสนองしてローレベルに戻る。カウンタ回路110のカウント値C0, C1は、リセット信号ResetにตอบสนองしてC0, C1 = (0, 0) にリセットされる。

**【0073】**

図15に示すように、内部信号REF Tは、状態回路120及び遅延回路130にも供給される。状態回路120は、内部信号REF Tが活性化した後、一定期間に亘ってリフレッシュステート信号REF RSTをハイレベルとする回路である。リフレッシュステート信号REF RSTはリフレッシュ期間中であることを示す信号であり、SRラッチ回路140のリセット入力端(R)に供給される。また、遅延回路130は、内部信号REF Tを遅延させた遅延信号REを生成する回路である。遅延信号REは、複合ゲート回路143に供給される。

10

**【0074】**

図18は、パルス生成回路100の動作を説明するためのタイミング図である。

**【0075】**

図18に示すように、パルス生成回路100内においては、一回のリフレッシュコマンドREF 0にตอบสนองしてSRラッチ回路140がセットされるため、内部信号REF Tが活性化する。この内部信号REF Tは遅延回路130に輸入され、遅延信号REとして複合ゲート回路143にフィードバックされることから、図18に示すように、内部信号REF Tが所定の周期で複数回活性化することになる。内部信号REF TはANDゲート回路144及びORゲート回路145を介し、リフレッシュコマンドREF T 0として出力される。したがって、リフレッシュコマンドREF T 0も所定の周期で活性化する。

20

**【0076】**

内部信号REF Tの活性化回数はカウンタ回路110によってカウントされ、4回目でカウント信号CTがローレベルに変化する。これにより、内部信号REF Tに基づくリフレッシュコマンドREF T 0の活性化が禁止される。その後、リフレッシュステート信号REF RSTがローレベルに変化し、SRラッチ回路140がリセットされる。

**【0077】**

このように、パルス生成回路100は、一回のリフレッシュコマンドREF 0にตอบสนองして、リフレッシュコマンドREF T 0を4回活性化する。このうち、1回目はリフレッシュコマンドREF 0がORゲート回路145を通過することによるものであり、2回目から4回目は、ループ状に接続された複合ゲート回路143と遅延回路130によって自動生成されたものである。

30

**【0078】**

一方、クロックイネーブル信号CKE 0がローレベルに変化すると、セルフステート信号SELF ST 0がハイレベルに活性化するため、オシレータ300が起動される。オシレータ300が起動すると、セルフリフレッシュパルスSELF 0 1が周期的に生成され、これがパルス生成回路100にフィードバックされる。フィードバックされたセルフリフレッシュパルスSELF 0 1は、ANDゲート回路151及びNORゲート回路141を介してSRラッチ回路140をセットする。これにより、クロックイネーブル信号CKE 0がローレベルに変化すると、SRラッチ回路140が周期的にセットされることになる。

40

**【0079】**

第2のパルス生成回路200についても、入力信号がCKE 0, REF 0の代わりにCKE 1, REF 1となり、出力信号がREF T 0, SELF ST 0の代わりにREF T 1, SELF ST 1となる他は、図15に示した第1のパルス生成回路100と同じ回路構成を有し、同じ動作を行う。

**【0080】**

50

アドレス端子 15 は、アドレス信号 A D D 及びバンクアドレス信号 B A が供給される端子であり、供給されたアドレス信号 A D D 及びバンクアドレス信号 B A は、入力バッファ I B を介してアドレスラッチ回路 4 0 及びチップアドレス取得回路 4 2 に供給される。

【 0 0 8 1 】

チップアドレス取得回路 4 2 は、供給されたアドレス信号 A D D 及びバンクアドレス信号 B A の一部とチップ選択信号 C S 0 , C S 1 に基づいてチップアドレス S I D を抽出又は生成する回路である。チップアドレス取得回路 4 2 から出力されるチップアドレス S I D は、内部クロック信号 I C L K に同期してラッチ回路 4 1 にラッチされる。ラッチ回路 4 1 にラッチされたチップアドレス S I D は、T S V バッファ 6 1、貫通電極 T S V 及び T S V バッファ 6 2 を介し、コアチップ C C 0 ~ C C 7 に共通に供給される。また、アドレスラッチ回路 4 0 は、アドレス信号 A D D 及びバンクアドレス信号 B A の別の一部を内部クロック信号 I C L K に同期してラッチし、これらを T S V バッファ 6 1、貫通電極 T S V 及び T S V バッファ 6 2 を介してコアチップ C C 0 ~ C C 7 に共通に供給する。

10

【 0 0 8 2 】

図 1 9 はチップアドレス取得回路 4 2 の回路図であり、( a ) はロウアクセス時にチップアドレス S I D を生成する回路 4 2 a を示し、( b ) はカラムアクセス時にチップアドレス S I D を生成する回路 4 2 b を示す。

【 0 0 8 3 】

図 1 9 ( a ) に示すように、ロウアクセス時にチップアドレス S I D を生成する回路 4 2 a は、ロウアドレスのうちの 2 ビット  $X_n$  ,  $X_{n+1}$  と、チップ選択信号 C S 0 , C S 1 に基づいてチップアドレス S I D を生成する。具体的には、ロウアドレスのビット  $X_n$  をそのままチップアドレス S I D のビット S I D 0 として出力し、ロウアドレスのビット  $X_{n+1}$  をそのままチップアドレス S I D のビット S I D 1 として出力し、さらに、チップ選択信号 C S 0 , C S 1 に基づいてチップアドレス S I D のビット S I D 2 を生成する。チップアドレス S I D のビット S I D 2 は、制御回路 4 0 0 によって生成され、チップ選択信号 C S 0 が活性化していれば例えばローレベル、チップ選択信号 C S 1 が活性化していれば例えばハイレベルとされる。但し、L R A - 2 方式以外のモードで動作している場合には、ロウアドレスのビット  $X_{n-1}$  がそのままチップアドレス S I D のビット S I D 2 として出力される。

20

【 0 0 8 4 】

図 1 9 ( b ) に示すように、カラムアクセス時にチップアドレス S I D を生成する回路 4 2 b は、バンクアドレス B A をデコードするデコーダ 4 1 0 と、バンクごとにチップアドレスを保持するチップアドレス保持回路 4 2 0 ~ 4 2 7 , 4 3 0 ~ 4 3 7 とを備える。デコーダ 4 1 0 は、アクティブコマンド A C T の発行時に指定されたバンクアドレス B A に基づいて、チップアドレス保持回路 4 2 0 ~ 4 2 7 のいずれかとチップアドレス保持回路 4 3 0 ~ 4 3 7 のいずれかを選択する。チップアドレス保持回路 4 2 0 ~ 4 2 7 にはチップ選択信号 C S 0 が供給されており、チップアドレス保持回路 4 3 0 ~ 4 3 7 にはチップ選択信号 C S 1 が供給されている。かかる構成により、バンクアドレス B A 及びチップ選択信号 C S 0 , C S 1 に基づいて、いずれか 1 つのチップアドレス保持回路が選択されることになる。

30

40

【 0 0 8 5 】

選択されたチップアドレス保持回路には、アクティブコマンド A C T の発行時に指定されたチップアドレス S I D ( R O W ) が保持される。そして、カラムコマンド発行時に供給されるバンクアドレス B A 及びチップ選択信号 C S 0 , C S 1 に基づき、対応するチップアドレス保持回路 4 2 0 ~ 4 2 7 又は 4 3 0 ~ 4 3 7 からチップアドレスを読み出せば、チップアドレス S I D ( C O L U M N ) を取得することが可能となる。チップアドレス S I D ( C O L U M N ) とは、カラムコマンドの発行時にアクセスすべきコアチップ C C 0 ~ C C 7 を示すアドレスである。このようなチップアドレス取得回路 4 2 を用いているのは、L R A 方式においてはカラムコマンド発行時にチップアドレスが入力されないからである。

50

## 【 0 0 8 6 】

このようにして抽出又は生成されたチップアドレス S I D はラッチ回路 4 1 にラッチされた後、貫通電極 T S V 1 を介してコアチップ C C 0 ~ C C 7 に共通に供給される。尚、P R A 方式においてはカラムコマンド発行時においてもチップアドレスが入力されることから、P R A 方式が選択されている場合には、カラムコマンド発行時に入力されたチップアドレスがそのままコアチップ C C 0 ~ C C 7 に送られる。

## 【 0 0 8 7 】

データ入出力端子 1 6 は、リードデータ D Q 又はライトデータ D Q の入出力を行うための端子であり、出力バッファ回路 5 1 及び入力バッファ回路 5 2 に接続されている。出力バッファ回路 5 1 は、パラレルシリアル変換回路 5 4 を介して供給されるリードデータを受け、これを出力用クロック信号 L C L K に同期してデータ入出力端子 1 6 に出力する回路である。一方、入力バッファ回路 5 2 は、データ入出力端子 1 6 を介して供給されるライトデータを受け、これをシリアルパラレル変換回路 5 5 に出力する回路である。入力バッファ回路 5 2 の動作は、データストロブ端子 1 7 より供給されるデータストロブ信号 D Q S に同期して行われる。パラレルシリアル変換回路 5 4 は、貫通電極 T S V 1 を介してコアチップ C C 0 ~ C C 7 から供給されるパラレルなリードデータをシリアル変換する回路である。また、シリアルパラレル変換回路 5 5 は、入力バッファ回路 5 2 から供給されるシリアルなライトデータをパラレルに変換する回路である。

## 【 0 0 8 8 】

このように、コアチップ C C 0 ~ C C 7 とインターフェースチップ I F との間においては、基本的にシリアル変換されていないパラレルデータが入出力される。つまり、単独で動作する通常の S D R A M では、チップ外部との間でのデータの入出力がシリアルに行われる（つまり、データ入出力端子は 1 D Q 当たり 1 個である）のに対し、コアチップ C C 0 ~ C C 7 とインターフェースチップ I F との間においては、データの入出力がパラレルに行われる。この点は、通常の S D R A M とコアチップ C C 0 ~ C C 7 との重要な相違点である。但し、プリフェッチしたパラレルデータを全て異なる貫通電極 T S V を用いて入出力することは必須でなく、コアチップ C C 0 ~ C C 7 側にて部分的なパラレル/シリアル変換を行うことによって、1 D Q 当たり必要な貫通電極 T S V の数を削減しても構わない。例えば、インターフェースチップ I F とコアチップ C C 0 ~ C C 7 との間のリードデータ又はライトデータの転送を 2 回に分けて行っても構わない。

## 【 0 0 8 9 】

本実施形態においては、リードデータとライトデータに対して同じ貫通電極 T S V 1 を用いているが、リードデータ専用の貫通電極 T S V 1 とライトデータ専用の貫通電極 T S V 1 を用いても構わない。この場合、リードデータとライトデータが互いに異なる信号パスを介して転送されることになり、ランク間におけるリードデータとライトデータの衝突が生じないことから、カラム系コマンドの発行間隔をより短縮することが可能となる。

## 【 0 0 9 0 】

また、インターフェースチップ I F にはパワーダウン制御回路 3 4 がさらに備えられている。パワーダウン制御回路 3 4 は、クロックイネーブル信号 C K E 0 , C K E 1 がローレベルに非活性化された場合、それぞれパワーダウンコマンド P W D N 0 , P W D N 1 を活性化させる回路である。図 1 1 に示すように、パワーダウンコマンド P W D N 0 , P W D N 1 についても、それぞれ異なる貫通電極 T S V 1 を介してコアチップ C C 0 ~ C C 7 に共通に供給される。但し、L R A - 2 方式以外のモードで動作している場合には、チップ選択信号 C S 1 B が使用されないため、パワーダウンコマンド P W D N 1 は使用されない。

## 【 0 0 9 1 】

さらに、インターフェースチップ I F には、モードレジスタ 6 0 が備えられている。モードレジスタ 6 0 は、本実施形態による半導体装置の動作モードが設定されるレジスタである。設定される動作モードにはアドレス割り付け方式、つまり、L R A - 1 方式、L R A - 2 方式、L R A - 3 方式及び P R A 方式の区別も含まれる。モードレジスタ 6 0 の出

10

20

30

40

50

力であるモード信号MODEは各種回路ブロックに供給されるとともに、貫通電極TSVを介してコアチップCC0～CC7にも供給される。例えば、入力バッファ31は、モード信号MODEがLRA-2方式を示している場合にはチップ選択信号CS1及びクロックイネーブル信号CKE1を有効とし、逆に、LRA-2方式以外の方式を示している場合にはチップ選択信号CS1及びクロックイネーブル信号CKE1を無効化する。また、チップアドレス取得回路42は、モード信号MODEがどのアドレス割り付け方を指定しているかに応じて、アドレス信号ADDの異なる一部を抽出し、これに基づきチップアドレスを生成する。

【0092】

以上がインターフェースチップIFの概要である。次に、コアチップCC0～CC7の回路構成について説明する。

10

【0093】

図11に示すように、コアチップCC0～CC7に含まれるメモリセルアレイ70は、8つのバンクBank0～Bank7に分割されている。尚、バンクとは、個別にコマンドを受け付け可能な単位である。言い換えれば、夫々のバンクは互いに非排他的に独立して動作することができる。メモリセルアレイ70内においては、複数のワード線WLと複数のビット線BLが交差しており、その交点にはメモリセルMCが配置されている(図11においては、1本のワード線WL、1本のビット線BL及び1個のメモリセルMCのみを示している)。ワード線WLの選択はロウデコーダ71によって行われる。また、ビット線BLはセンス回路72内の対応するセンスアンプに接続されている。センスアンプの選択はカラムデコーダ73によって行われる。

20

【0094】

ロウデコーダ71には、ロウアドレス制御回路74を介してロウアドレスRAが供給される。ロウアドレス制御回路74には、貫通電極TSV1を介してアドレス信号ADD及びバンクアドレスBAが供給されるとともに、ロウ比較回路500からアクティブコマンドACT及びリフレッシュコマンドREFが供給される。

【0095】

ロウアドレス制御回路74は、アクティブコマンドACTが活性化している場合には、バンクアドレスBAに基づき選択されたバンクのロウデコーダ71にアドレス信号ADDを供給する。これにより、指定されたバンクの指定されたワード線が活性化される。つまり、ロウアクセスが行われる。一方、ロウアドレス制御回路74は、リフレッシュコマンドREFが活性化している場合には、図示しないリフレッシュカウンタのカウント値を全てのバンクのロウデコーダ71に供給する。これにより、全てのバンクの指定されたワード線が活性化され、リフレッシュ動作が行われる。

30

【0096】

また、ロウ比較回路500からは、プリチャージコマンドPRE, PREAも出力される。プリチャージコマンドPRE, PREAは、プリチャージ制御回路77に供給される。プリチャージ制御回路77は、プリチャージコマンドPREが活性化している場合にはバンクアドレスBAにより指定されるバンクをプリチャージし、プリチャージコマンドPREAが活性化している場合には全てのバンクをプリチャージする。

40

【0097】

カラムデコーダ73には、カラムアドレス制御回路75を介してカラムアドレスCAが供給される。カラムアドレス制御回路75には、貫通電極TSV1を介してアドレス信号ADD及びバンクアドレスBAが供給されるとともに、カラム比較回路600からリードコマンドREAD及びライトコマンドWRITEが供給される。

【0098】

カラムアドレス制御回路75は、リードコマンドREAD又はライトコマンドWRITEが活性化している場合、バンクアドレスBAに基づき選択されたバンクのカラムデコーダ73にアドレス信号ADDを供給する。これにより、指定されたバンクの指定されたセンスアンプがリードライトアンプ78に接続される。したがって、リードコマンドREA

50

Dが活性化している場合、センス回路72を介してメモリセルアレイ70から読み出されたリードデータは、リードライトアンプ78及び貫通電極TSV1を介してインターフェースチップIFに転送される。また、ライトコマンドWRITEが活性化している場合、貫通電極TSV1を介してインターフェースチップIFから転送されたライトデータは、リードライトアンプ78及びセンス回路72を介してメモリセルアレイ70に書き込まれる。

#### 【0099】

ロウ比較回路500は、貫通電極TSV1を介してインターフェースチップIFより供給されるチップアドレスSID(IF)と、当該コアチップCC0~CC7に割り当てられた固有のチップアドレスSID(CORE)とを比較し、両者が一致した場合にアクティブコマンドACT、リフレッシュコマンドREF、プリチャージコマンドPRE又はプリチャージコマンドPREAを活性化させる。固有のチップアドレスSID(CORE)は、チップアドレス保持回路76に保持されている。チップアドレス保持回路76は、図2(b)に示したタイプの貫通電極TSV2を介してコアチップCC0~CC7間で縦続接続されており、これにより、各コアチップCC0~CC7にそれぞれ異なるチップアドレスSIDが設定される。

10

#### 【0100】

図20は、ロウ比較回路500に含まれる回路のうち、アクティブコマンドACTを生成する回路ブロック510の回路図である。

20

#### 【0101】

図20に示すように、回路ブロック510は、比較回路511と論理回路512と制御回路513とを備えている。比較回路511は、インターフェースチップIFより供給されるチップアドレスの下位2ビットSID0,1(IF)と、当該コアチップCC0~CC7に割り当てられた固有のチップアドレスの下位2ビットSID0,1(CORE)とを比較し、両者が一致した場合にヒット信号HITA1を活性化させる。また、論理回路512は、インターフェースチップIFより供給されるチップアドレスの最上位2ビットSID2(IF)に基づいてアクティブコマンドACT0,ACT1の一方を選択する。具体的には、チップアドレスSID2(IF)がローレベルである場合は、アクティブコマンドACT0がハイレベルに活性化するとヒット信号HITA2を活性化させ、チップアドレスSID2(IF)がハイレベルである場合は、アクティブコマンドACT1がハイレベルに活性化するとヒット信号HITA2を活性化させる。制御回路513は、これらヒット信号HITA1,HITA2を受け、両者が活性化した場合にアクティブコマンドACTを活性化させる。

30

#### 【0102】

図21は、ロウ比較回路500に含まれる回路のうち、プリチャージコマンドPRE,PREAを生成する回路ブロック520の回路図である。

#### 【0103】

図21に示すように、回路ブロック520は、比較回路521と論理回路522と制御回路523とを備えている。比較回路521は、インターフェースチップIFより供給されるチップアドレスの下位2ビットSID0,1(IF)と、当該コアチップCC0~CC7に割り当てられた固有のチップアドレスの下位2ビットSID0,1(CORE)とを比較し、両者が一致した場合にヒット信号HITP1を活性化させる。また、論理回路522は、インターフェースチップIFより供給されるチップアドレスの最上位2ビットSID2(IF)に基づいてプリチャージコマンドPRE0,PRE1の一方を選択する。具体的には、チップアドレスSID2(IF)がローレベルである場合は、プリチャージコマンドPRE0がハイレベルに活性化するとヒット信号HITP2を活性化させ、チップアドレスSID2(IF)がハイレベルである場合は、プリチャージコマンドPRE1がハイレベルに活性化するとヒット信号HITP2を活性化させる。制御回路523は、これらヒット信号HITP1,HITP2を受け、両者が活性化した場合に、アドレス信号ADDの1ビットA10に基づいてプリチャージコマンドPRE又はPREAを活性

40

50

化させる。具体的には、ビット A 1 0 がローレベルであればプリチャージコマンド P R E を活性化させ、ビット A 1 0 がハイレベルであればプリチャージコマンド P R E A を活性化させる。

#### 【 0 1 0 4 】

図 2 2 は、ロウ比較回路 5 0 0 に含まれる回路のうち、リフレッシュコマンド R E F を生成する回路ブロック 5 3 0 の回路図である。

#### 【 0 1 0 5 】

図 2 2 に示すように、回路ブロック 5 3 0 は、論理回路 5 3 1 とカウンタ回路 5 3 2 とを備えている。論理回路 5 3 1 は、インターフェースチップ I F より供給されるチップアドレスの最上位 2 ビット S I D 2 ( I F ) に基づいてリフレッシュコマンド R E F T 0 , R E F T 1 の一方を選択する。具体的には、チップアドレス S I D 2 ( I F ) がローレベルである場合は、リフレッシュコマンド R E F T 0 がハイレベルに活性化するとリフレッシュコマンド R E F a を活性化させ、チップアドレス S I D 2 ( I F ) がハイレベルである場合は、リフレッシュコマンド R E F T 1 がハイレベルに活性化するとリフレッシュコマンド R E F a を活性化させる。リフレッシュコマンド R E F a は、カウンタ回路 5 3 2 に供給される。カウンタ回路 5 3 2 は、リフレッシュコマンド R E F a に同期してカウント動作を行うカウンタであり、そのカウント値が当該コアチップ C C 0 ~ C C 7 に割り当てられた固有のチップアドレスの下位 2 ビット S I D 0 , 1 ( C O R E ) と一致した場合にリフレッシュコマンド R E F を出力する。上述の通り、リフレッシュコマンド R E F T 0 及び R E F T 1 は 4 回連続して活性化するため、活性化する度に異なるコアチップにてリフレッシュコマンド R E F が生成されることになる。

10

20

#### 【 0 1 0 6 】

図 2 3 は、本実施形態による半導体装置 1 0 のリフレッシュ動作を説明するためのタイミング図である。

#### 【 0 1 0 7 】

図 2 3 に示す例では、クロックイネーブル信号 C K E 0 がハイレベルからローレベルに変化しており、これに伴ってリフレッシュコマンド R E F 0 が 1 回活性化した後、セルフリフレッシュモードにエントリする。セルフリフレッシュモードにエントリすると、オシレータ 3 0 0 が活性化されるため、セルフリフレッシュパルス S E L F 0 1 が周期的に生成される。リフレッシュコマンド R E F 0 又はセルフリフレッシュパルス S E L F 0 1 が活性化すると、図 1 5 に示したパルス生成回路 1 0 0 はリフレッシュコマンド R E F T 0 を 4 回連続して発生させる。

30

#### 【 0 1 0 8 】

リフレッシュコマンド R E F T 0 はインターフェースチップ I F からコアチップ C C 0 ~ C C 7 に共通に供給されるが、図 2 2 に示すとおり、リフレッシュコマンド R E F 0 はチップアドレス S I D 2 ( I F ) がローレベルであるコアチップ、つまり、ランク 0 に属するコアチップ C C 0 ~ C C 3 においてのみ有効となる。そして、コアチップ C C 0 ~ C C 3 においては、4 回入力されるリフレッシュコマンド R E F 0 のそれぞれ対応するパルスに同期してリフレッシュコマンド R E F が生成されるため、コアチップ C C 0 ~ C C 3 は互いに異なるタイミングでリフレッシュ動作を行うことになる。これにより、リフレッシュ動作の実行が時間的に分散されるため、消費電流のピークが抑制される。

40

#### 【 0 1 0 9 】

図 1 1 に戻って、カラム比較回路 6 0 0 は、貫通電極 T S V 1 を介してインターフェースチップ I F より供給されるチップアドレス S I D ( I F ) と、当該コアチップ C C 0 ~ C C 7 に割り当てられた固有のチップアドレス S I D ( C O R E ) とを比較し、両者が一致した場合にリードコマンド R E A D 又はライトコマンド W R I T E を活性化させる。具体的には、チップアドレス S I D ( I F ) とチップアドレス S I D ( C O R E ) とが一致した場合に、インターフェースチップ I F より供給されるリードコマンド R E A D 又はライトコマンド W R I T E をそのまま通過させ、これをカラムアドレス制御回路 7 5 及びリードライトアンプ 7 8 に供給する。

50

## 【0110】

さらに、コアチップCC0～CC7にはパワーダウン回路610が含まれている。チップアドレスSID(IF)、チップアドレスSID(CORE)及びパワーダウンコマンドPWDN0、PWDN1に基づき、当該コアチップをパワーダウンモードにエントリさせる回路である。具体的には、図22に示した論理回路531と同様の回路構成を有しており、チップアドレスSID2(IF)がローレベルである場合は、パワーダウンコマンドPWDN0がハイレベルに活性化すると当該コアチップをパワーダウンモードにエントリさせ、チップアドレスSID2(IF)がハイレベルである場合は、パワーダウンコマンドPWDN1がハイレベルに活性化すると当該コアチップをパワーダウンモードにエントリさせる。

10

## 【0111】

以上がコアチップCC0～CC7の回路構成である。

## 【0112】

以上説明した構成により、LRA-2方式が選択されている場合、ロウ系のコマンド(アクティブコマンド、プリチャージコマンド及びリフレッシュコマンド)とパワーダウンコマンドについては、ランク毎に異なる貫通電極TSV1を介してインターフェースチップIFからコアチップCC0～CC7に供給されることになる。一方、カラム系のコマンド(リードコマンド及びライトコマンド)については、ランク間において共通の貫通電極TSV1を介してインターフェースチップIFからコアチップCC0～CC7に供給される。

20

## 【0113】

このような構成を採用しているのは、複数ランクからなるメモリモジュールに対してメモリコントローラがコマンドを発行する場合、ロウ系のコマンドやパワーダウンコマンドについては1クロックサイクルで連続発行されることがあり( $t_{RRD}=1$ )、ランク間で共通の貫通電極TSV1を介して転送すると貫通電極上におけるコマンドの転送間隔が短くなり、コマンドを正しく転送できないおそれが生じるからである。これを防止すべく、本実施形態では、ロウ系のコマンド及びパワーダウンコマンドについては、ランク毎に異なる貫通電極TSV1を割り当てている。これに対し、カラム系のコマンドについては、データバス上におけるリードデータやライトデータの競合を防止すべく、規格上、最短発行間隔( $t_{CCD}$ )が例えば4クロックサイクルに制限されるため、1クロックサイクルで連続発行されることはない。このため、カラム系のコマンドについては、ランク間において共通の貫通電極TSV1を用いて転送を行うことによって、貫通電極TSV1の本数を削減している。

30

## 【0114】

図24は、本発明の第2の実施形態による半導体装置10aの構成を示すブロック図である。

## 【0115】

図24に示すように、本実施形態による半導体装置10aは、リフレッシュ動作に関連する回路ブロックが第1の実施形態による半導体装置10と相違している。具体的には、インターフェースチップIFに含まれるリフレッシュ制御回路33がリフレッシュ制御回路33aに置き換えられ、コアチップCC0～CC7に含まれるロウ比較回路500がロウ比較回路500aに置き換えられている点において、第1の実施形態による半導体装置10と相違する。その他の点については、基本的に第1の実施形態による半導体装置10と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

40

## 【0116】

図25は、リフレッシュ制御回路33aのブロック図である。

## 【0117】

図25に示すように、リフレッシュ制御回路33aは、第1のパルス生成回路100と第2のパルス生成回路200からなる。これらパルス生成回路100、200の回路構成は図15を用いて説明したとおりである。したがって、第1のパルス生成回路100は、

50

クロックイネーブル信号CKE0及びリフレッシュコマンドREF0に基づいてリフレッシュコマンドREF0及びセルフステート信号SELFST0を生成する。同様に、第2のパルス生成回路200は、クロックイネーブル信号CKE1及びリフレッシュコマンドREF1に基づいてリフレッシュコマンドREF1及びセルフステート信号SELFST1を生成する。これらの信号は、貫通電極TSV1を介してインターフェースチップIFからコアチップCC0～CC7に転送される。

【0118】

図26は、ロウ比較回路500aに含まれる回路のうち、リフレッシュコマンドREFを生成する回路ブロック540の回路図である。その他、ロウ比較回路500aには、図20～図22に示した回路ブロック510, 520, 530が含まれている。

10

【0119】

図26に示すように、回路ブロック540は、論理回路541とオシレータ542とを備えている。論理回路541は、インターフェースチップIFより供給されるチップアドレスの最上位2ビットSID2(IF)に基づいてセルフステート信号SELFST0, SELFST1の一方を選択する。具体的には、チップアドレスSID2(IF)がローレベルである場合は、セルフステート信号SELFST0がハイレベルに活性化するとリフレッシュコマンドREFbを活性化させ、チップアドレスSID2(IF)がハイレベルである場合は、セルフステート信号SELFST1がハイレベルに活性化するとリフレッシュコマンドREFbを活性化させる。リフレッシュコマンドREFbは、オシレータ542に供給される。オシレータ542はリフレッシュコマンドREFbによって起動され、オシレータ542が起動すると、リフレッシュコマンドREFが周期的に生成される。

20

【0120】

このように、本実施形態ではオシレータ542をコアチップ側に設けていることから、温度によるオシレータ周期の調整をコアチップごとに行うことができる。このため、コアチップ毎に最適な周期でセルフリフレッシュ動作を行うことが可能となる。

【0121】

図27は、本実施形態による半導体装置10を用いたデータ処理システムの構成を示す模式的な断面図である。

【0122】

図27に示すデータ処理システムは、メイン基板700上に半導体装置10とこれを制御するメモリコントローラ710とが搭載された構成を有している。図27に示す例では、メイン基板700上に半導体装置10が直接搭載されているが、メイン基板700にソケットを設け、ソケットに半導体装置10が搭載されたモジュール基板を挿し込んでも構わない。この場合、モジュール基板には、複数の半導体装置10を搭載することができる。

30

【0123】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

40

【符号の説明】

【0124】

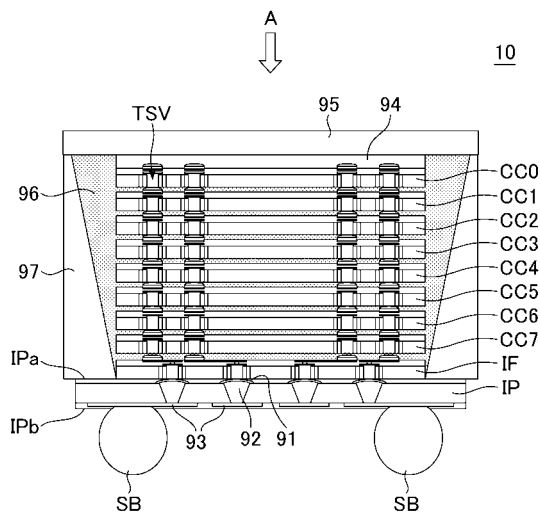
- 4～6 内部回路
- 10, 10a 半導体装置
- 11 クロック端子
- 12 コマンド端子
- 13 チップ選択端子
- 14 クロックイネーブル端子
- 15 アドレス端子
- 16 データ入出力端子

50

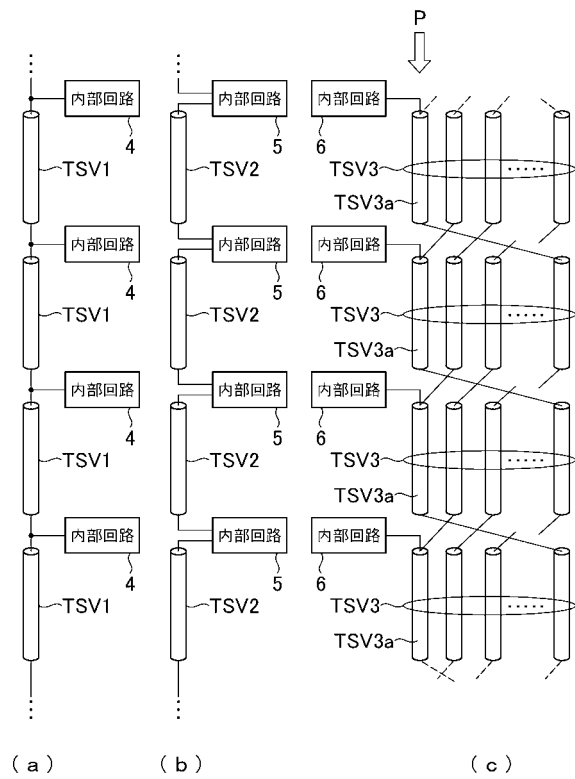
1 7	データストロープ端子	
2 1	クロック生成回路	
2 2	D L L 回路	
3 1	入力バッファ	
3 1 a	制御回路	
3 2	コマンドデコーダ	
3 2 b ~ 3 2 d	制御回路	
3 3 , 3 3 a	リフレッシュ制御回路	
3 4	パワーダウン制御回路	
4 0 , 4 1	ラッチ回路	10
4 2	チップアドレス取得回路	
5 1	出力バッファ回路	
5 2	入力バッファ回路	
5 4	パラレルシリアル変換回路	
5 5	シリアルパラレル変換回路	
6 0	モードレジスタ	
6 1 , 6 2	T S V バッファ	
7 0	メモリセルアレイ	
7 1	ロウデコーダ	
7 2	センス回路	20
7 3	カラムデコーダ	
7 4	ロウアドレス制御回路	
7 5	カラムアドレス制御回路	
7 6	チップアドレス保持回路	
7 7	プリチャージ制御回路	
7 8	リードライトアンプ	
8 0	シリコン基板	
8 1	層間絶縁膜	
8 2	絶縁リング	
8 3	端部	30
8 4	裏面バンブ	
8 5	表面バンブ	
8 6	端部	
9 1	電極	
9 2	スルーホール電極	
9 3	再配線層	
9 4	N C F	
9 5	リードフレーム	
9 6	アンダーフィル	
9 7	封止樹脂	40
1 0 0 , 2 0 0	パルス生成回路	
1 1 0	カウンタ回路	
1 2 0	状態回路	
1 3 0	遅延回路	
1 4 0 , 1 5 0	S R ラッチ回路	
3 0 0	オシレータ	
4 0 0	制御回路	
4 1 0	デコーダ	
4 2 0 ~ 4 2 7 , 4 3 0 ~ 4 3 7	チップアドレス保持回路	
5 0 0 , 5 0 0 a	ロウ比較回路	50

- 5 1 0 , 5 2 0 , 5 3 0 , 5 4 0    回路ブロック
- 5 3 2    カウンタ回路
- 5 4 2    オシレータ
- 6 0 0    カラム比較回路
- 6 1 0    パワーダウン回路
- 7 0 0    メイン基板
- 7 1 0    メモリコントローラ
- CC 0 ~ CC 7    コアチップ
- IF    インターフェースチップ
- IP    インターポーザ
- TSV 1 ~ TSV 3    貫通電極

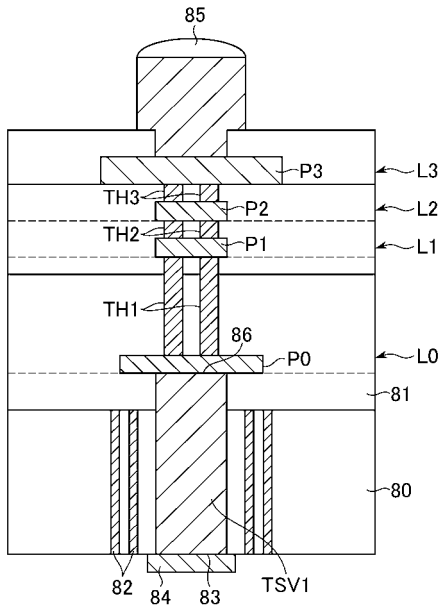
【 図 1 】



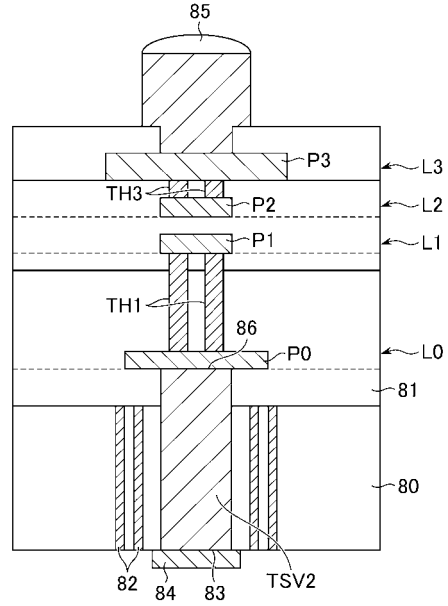
【 図 2 】



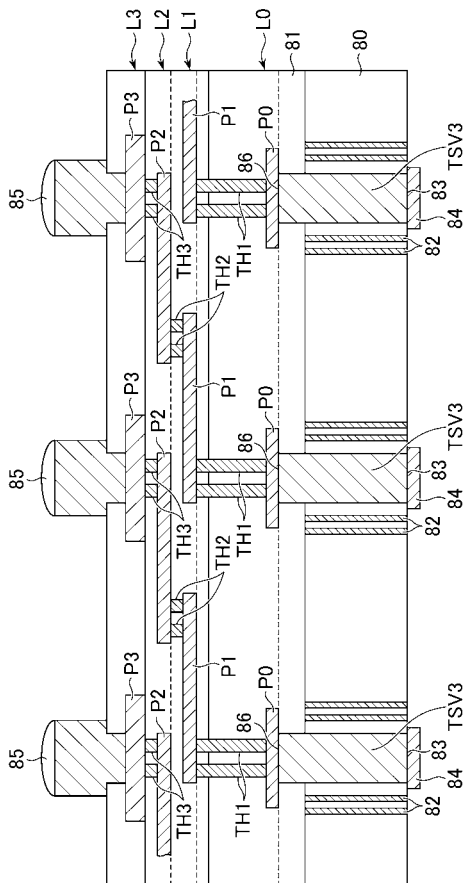
【図3】



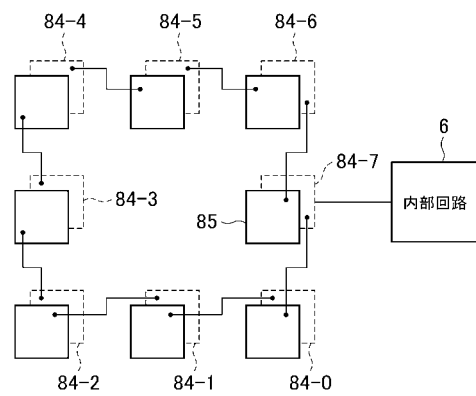
【図4】



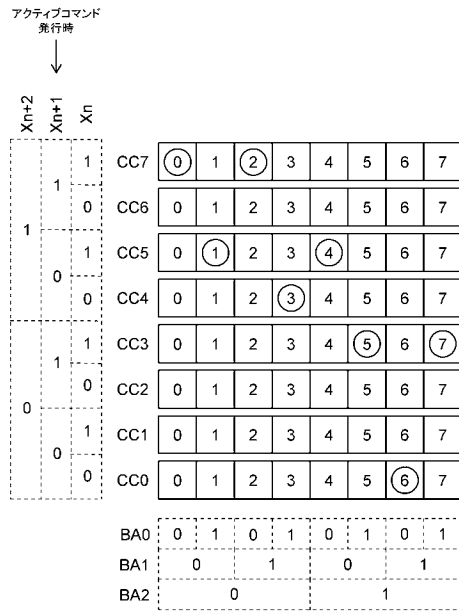
【図5】



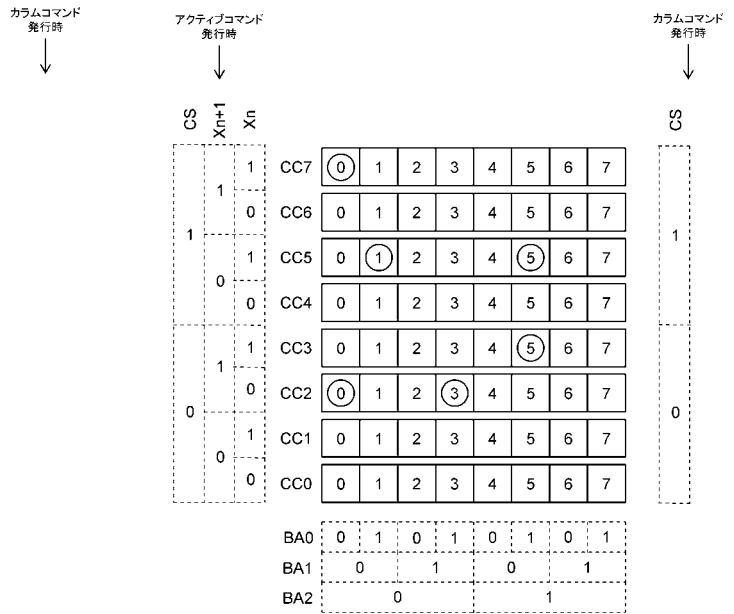
【図6】



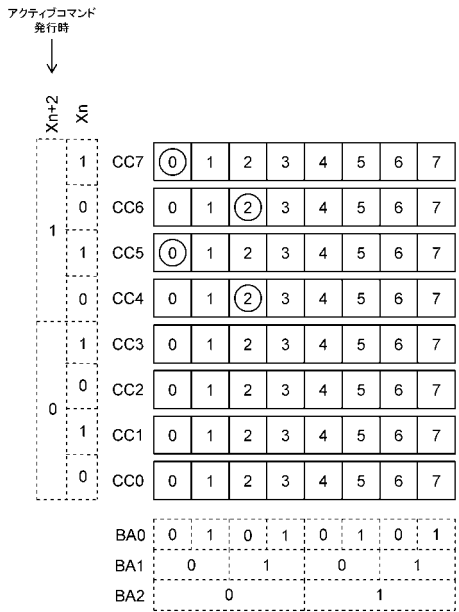
【 図 7 】



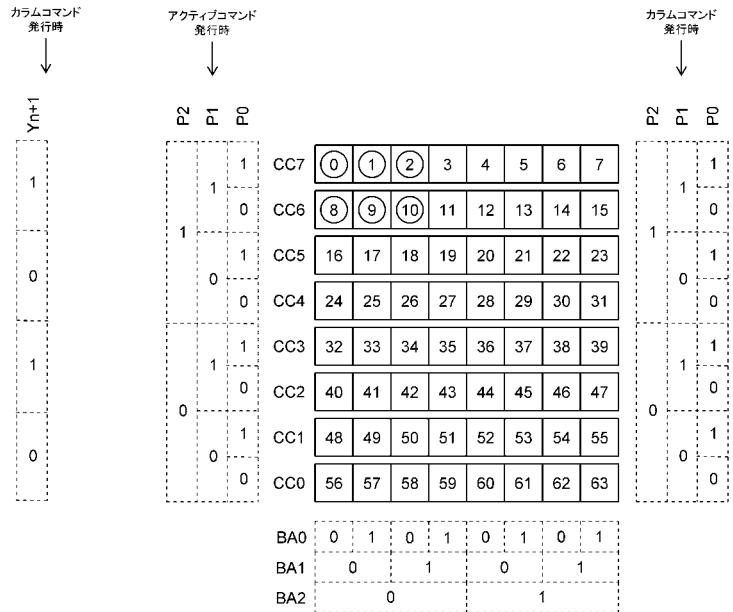
【 図 8 】



【 図 9 】

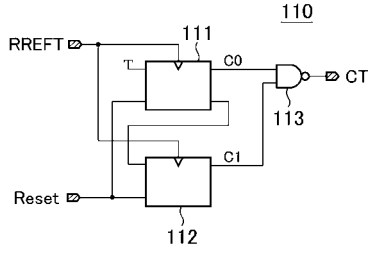


【 図 10 】

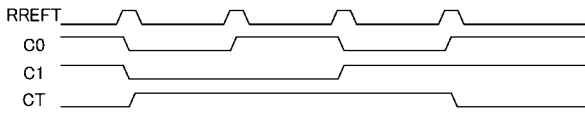




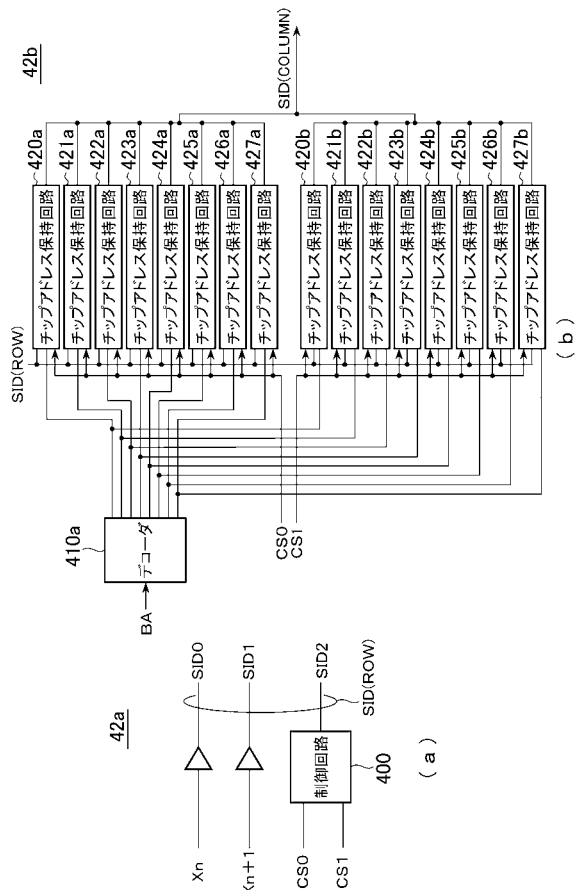
【 図 1 6 】



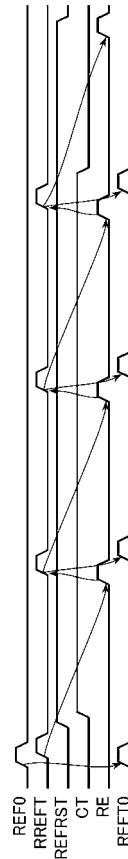
【 図 1 7 】



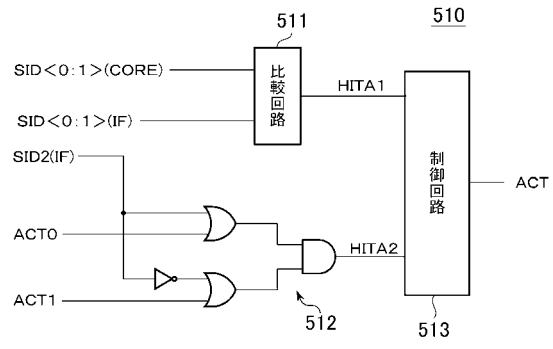
【 図 1 9 】



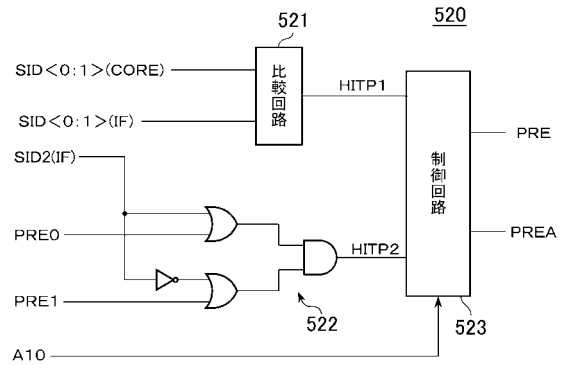
【 図 1 8 】



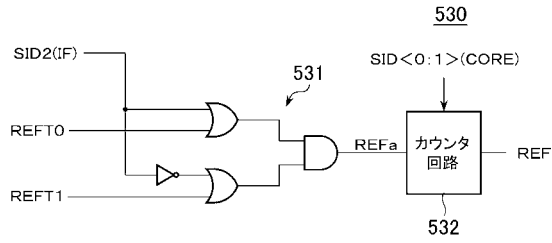
【 図 2 0 】



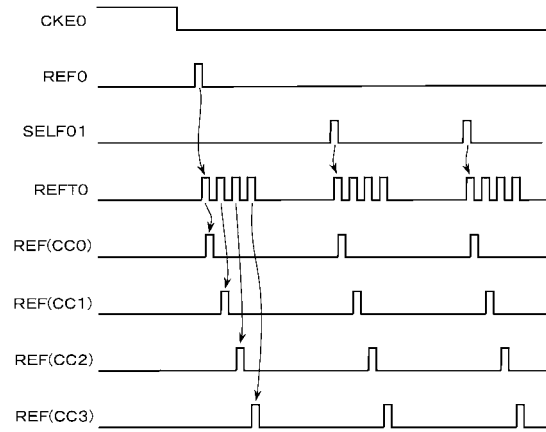
【 図 2 1 】



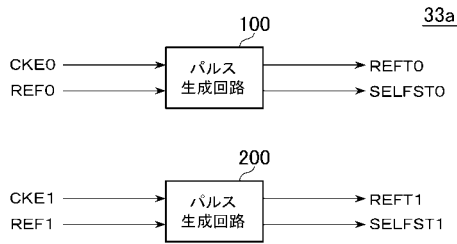
【 図 2 2 】



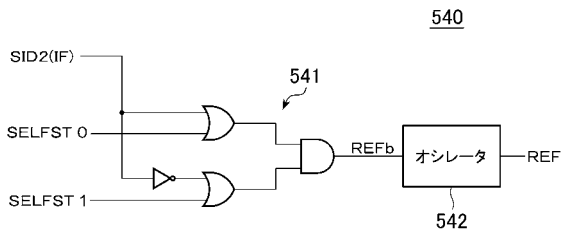
【 図 2 3 】



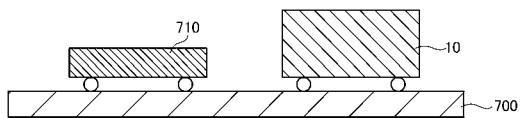
【 図 2 5 】



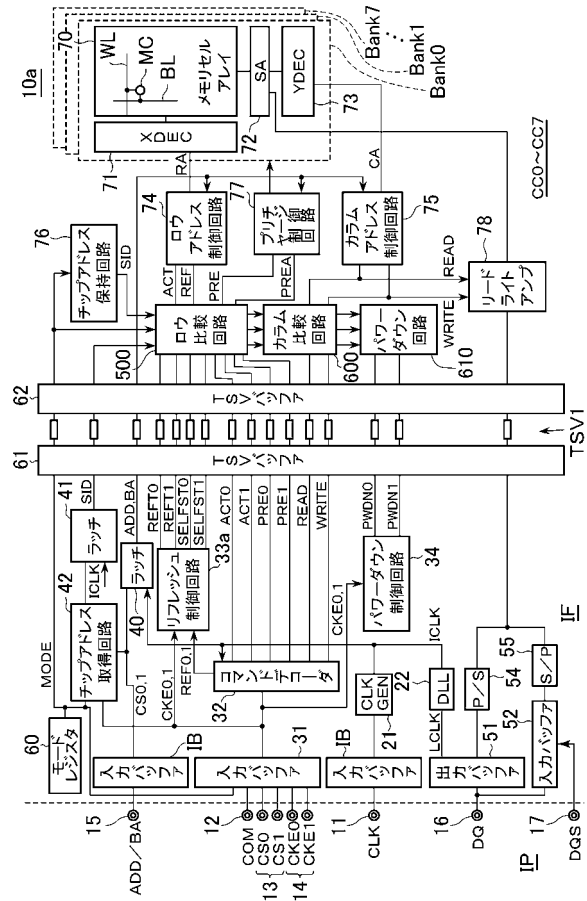
【 図 2 6 】



【 図 2 7 】



【 図 2 4 】



【 図 2 8 】



フロントページの続き

(72)発明者 佐藤 誉

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5B060 MB02