

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月16日(16.12.2010)

PCT

(10) 国際公開番号
WO 2010/143306 A1

- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
H01L 21/762 (2006.01) H01L 29/788 (2006.01)
H01L 21/764 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2009/060803
- (22) 国際出願日: 2009年6月12日(12.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐久間 究 (SAKUMA, Kiwamu) [JP/JP]. 木下 敦寛 (KINOSHITA, Atsuhiko) [JP/JP]. 清利 正弘 (KIYOTOSHI, Masahiro) [JP/JP]. 萩島 大輔 (HAGISHIMA, Daisuke) [JP/JP]. 村岡 浩一 (MURAOKA, Koichi) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外 (SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門1丁目12番9号 鈴榮特許総合事務所内 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

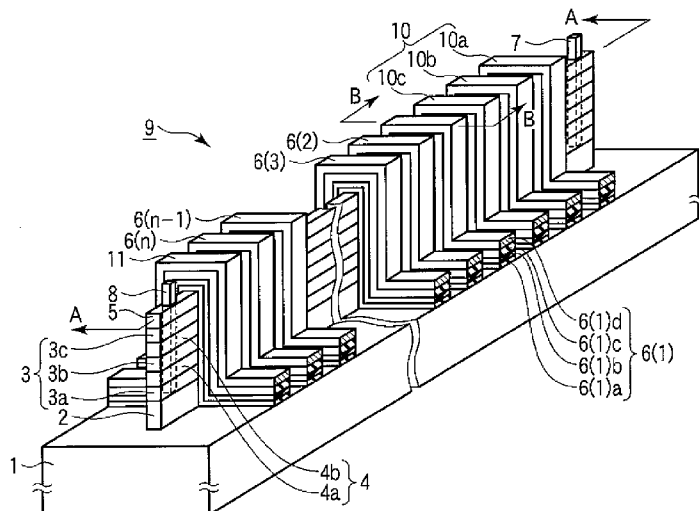
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 不揮発性半導体記憶装置

[図1]



(57) Abstract: Disclosed is a nonvolatile semiconductor storage device comprising a semiconductor substrate, first to n-th memory strings (n indicates a natural number of two or more) stacked in a first direction perpendicular to the surface of the semiconductor substrate and extending in a second direction parallel to the surface of the semiconductor substrate, and first to k-th layer selecting transistors (k indicates a natural number of two or more) for selecting one of the first to n-th memory strings. The first to k-th layer selecting transistors have a laminated structure, in which gate insulating films and select gate electrodes are stacked in the recited sequence in a third direction on the sides of the first to n-th semiconductor layers in the third direction. The select gate electrodes are formed to span the first to n-th semiconductor layers. Each of the first to k-th layer selecting transistors takes an uncontrollable state, in which the transistor is always ON with at least one of the first to n-th semiconductor layers, and a controllable state, in which the transistor can be turned ON/OFF with at least one of the remaining semiconductor layers.

(57) 要約:

[続葉有]



本発明の例に係わる不揮発性半導体記憶装置は、半導体基板と、半導体基板の表面に対して垂直な第1方向に積み重ねられ、半導体基板の表面に平行な第2方向に延びる第1乃至第 n のメモリストリングス（ n は2以上の自然数）と、第1乃至第 n のメモリストリングスのうちの1つを選択する第1乃至第 k のレイヤー選択トランジスタ（ k は2以上の自然数）とを含む。第1乃至第 k のレイヤー選択トランジスタは、第1乃至第 n の半導体層の第3方向の側面上に、ゲート絶縁膜及びセレクトゲート電極の順番で、前記第3方向に積み重ねられる積層構造を有する。セレクトゲート電極は、第1乃至第 n の半導体層に跨って形成される。第1乃至第 k のレイヤー選択トランジスタの各々は、第1乃至第 n の半導体層のうちの少なくとも1つで常時オンの制御不可能状態であり、残りの少なくとも1つの半導体層でオン／オフが可能である制御可能状態である。

明 細 書

発明の名称 ： 不揮発性半導体記憶装置

技術分野

[0001] 本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置に関する。

背景技術

[0002] NAND型フラッシュメモリの高集積化、大容量化を進めるためには、デザインルールを縮小することが必要となる。このデザインルールを縮小するためには、配線パターン等の更なる微細加工が必要となる。配線パターン等の更なる微細加工を実現するためには、非常に高度な加工技術が要求されるため、結果としてデザインルールの縮小化が困難になってきている。

[0003] そこで、近年、メモリの集積度を高めるために、メモリセルを3次元的に配置した半導体記憶装置が、例えば、特許文献1～4に提案されている。

[0004] これら特許文献1～4に開示されている不揮発性半導体記憶装置は、積層されたアクティブエリアを一括加工で形成し、ゲートコンタクトも一括形成すると共に、積層された各メモリストリングを階層選択トランジスタで一括選択する方式で形成することによりチップ面積の縮小化を実現し、メモリの集積度を高めることができる構造である。また、積層構造を一括形成できることで製造にかかるコストを大幅に抑制することが可能となる。

[0005] しかし、この構造においても、メモリストリンガー層ごとに階層選択のためのトランジスタ及びコンタクトプラグを形成しているため、それらを形成するための領域が必要となり、結果として積層を増やすごとにメモリストリングが増大してしまう。さらに、積層された各メモリストリングからの配線の引き出しの形成が難しく、或いは配線の引き出しを形成することに伴う配線数及び回路面積の増大が生じてしまい、積層化のメリットが縮小してしまう。

[0006] 現状、これらの問題を解決する不揮発性半導体記憶装置の構造については

開示されていない。

先行技術文献

特許文献

[0007] 特許文献1：特開2004-152893号

特許文献2：特開2007-266143号

特許文献3：特開2008-78404号

特許文献4：特開2009-27136号

発明の概要

発明が解決しようとする課題

[0008] 本発明は、高い集積度を有する不揮発性半導体記憶装置を提供する。

課題を解決するための手段

[0009] 本発明の例に係わる不揮発性半導体記憶装置は、半導体基板と、前記半導体基板の表面に対して垂直な第1方向に積み重ねられ、前記半導体基板の表面に平行な第2方向に延びる第1乃至第nのメモリストリングス（nは2以上の自然数）と、前記第1乃至第nのメモリストリングスのうちの1つを選択する第1乃至第kのレイヤー選択トランジスタ（kは2以上の自然数）とを備える。前記第1乃至第nのメモリストリングスは、前記第1方向に互いに絶縁されて積み重ねられる第1乃至第nの半導体層と、前記第1乃至第nの半導体層の前記第1及び第2方向に垂直な第3方向の側面上に、第1の絶縁膜、電荷蓄積層、第2の絶縁膜及びコントロールゲート電極の順番で、前記第3方向に積み重ねられる第1の積層構造とを有する。前記第1乃至第nのメモリストリングスは、前記第1乃至第nの半導体層をチャネルとし、前記第2方向に直列に接続される電氣的に書き換え可能な第1乃至第mのメモリセル（mは2以上の自然数）を有する。前記コントロールゲート電極は、前記第1乃至第nの半導体層に跨って形成される。前記第1乃至第kのレイヤー選択トランジスタは、前記第1乃至第nの半導体層の前記第3方向の側面上に、第3の絶縁膜及び第1のセレクトゲート電極の順番で、前記第3方

向に積み重ねられる第2の積層構造を有する。前記第1乃至第kのレイヤー選択トランジスタは、前記第1乃至第nの半導体層をチャネルとし、前記第2方向に直列に接続される。前記第1のセレクトゲート電極は、前記第1乃至第nの半導体層に跨って形成される。前記第1乃至第kのレイヤー選択トランジスタの各々は、前記第1乃至第nの半導体層のうちの少なくとも1つで常時オンの制御不可能状態であり、残りの少なくとも1つの半導体層でオン／オフが可能である制御可能状態である。前記第1乃至第kのレイヤー選択トランジスタの前記第1乃至第nの半導体層での前記制御不可能状態／前記制御可能状態の関係は、互いに異なっている。

発明の効果

[0010] 本発明によれば、高い集積度を有する不揮発性半導体記憶装置を実現できる。

図面の簡単な説明

[0011] [図1]本発明の一実施形態の構造を示す斜視図。

[図2]図1のA-A線に沿う断面図。

[図3]本発明の一実施形態の構造を示す斜視図。

[図4A]本発明の一実施形態の製造方法を示す断面図。

[図4B]本発明の一実施形態の製造方法を示す断面図。

[図4C]本発明の一実施形態の製造方法を示す斜視図。

[図4D]本発明の一実施形態の製造方法を示す断面図。

[図4E]本発明の一実施形態の製造方法を示す斜視図。

[図4F]本発明の一実施形態の製造方法を示す斜視図。

[図5A]本発明の一実施形態の製造方法を示す断面図。

[図5B]本発明の一実施形態の製造方法を示す断面図。

[図5C]本発明の一実施形態の製造方法を示す断面図。

[図6A]本発明の一実施形態の製造方法を示す斜視図。

[図6B]本発明の一実施形態の製造方法を示す斜視図。

[図6C]本発明の一実施形態の製造方法を示す斜視図。

[図7A] 本発明の一実施形態の製造方法を示す斜視図。

[図7B] 本発明の一実施形態の製造方法を示す斜視図。

[図8] 図1のA-A線に沿う断面図。

[図9A] 本発明の一実施形態の製造方法を示す斜視図。

[図9B] 本発明の一実施形態の製造方法を示す斜視図。

[図9C] 本発明の一実施形態の製造方法を示す斜視図。

[図9D] 本発明の一実施形態の製造方法を示す斜視図。

[図10A] 本発明の一実施形態の製造方法を示す斜視図。

[図10B] 本発明の一実施形態の製造方法を示す斜視図。

[図11] 本発明の一実施形態の構造を示す断面図。

[図12A] 本発明の一実施形態の構造を示す断面図。

[図12B] 本発明の一実施形態の構造を示す断面図。

[図13] 本発明の一実施形態の構造を示す断面図。

[図14A] 本発明の一実施形態の製造方法を示す斜視図。

[図14B] 本発明の一実施形態の製造方法を示す斜視図。

[図14C] 本発明の一実施形態の製造方法を示す斜視図。

[図14D] 本発明の一実施形態の製造方法を示す斜視図。

[図14E] 本発明の一実施形態の製造方法を示す斜視図。

[図15] 本発明の一実施形態の構造を示す断面図。

[図16A] 本発明の一実施形態の構造を示す斜視図。

[図16B] 図16AのC-C線に沿う断面図。

[図17] 本発明の一実施形態の構造を示す斜視図。

[図18A] 本発明の一実施形態の製造方法を示す断面図。

[図18B] 本発明の一実施形態の製造方法を示す断面図。

[図18C] 本発明の一実施形態の製造方法を示す断面図。

[図18D] 本発明の一実施形態の製造方法を示す断面図。

[図18E] 本発明の一実施形態の製造方法を示す断面図。

[図18F] 本発明の一実施形態の製造方法を示す断面図。

[図18G] 本発明の一実施形態の製造方法を示す断面図。

[図18H] 本発明の一実施形態の製造方法を示す断面図。

発明を実施するための形態

[0012] 以下に、本発明の各実施の形態について図面を参照しながら説明する。尚、実施の形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

[0013] 図1は、本発明の一実施形態に係る不揮発性半導体記憶装置9の概略構成図である。

[0014] シリコン基板（半導体基板）1の主面上には、絶縁膜2を介してシリコン層3と、絶縁層4が、それぞれ、3a、4a、3b、4b、3cのように交互に積層されており、シリコン層3cの上には絶縁膜5が積層されている。

[0015] 尚、本実施形態では、シリコン層3は3a、3b、3cからなる3層を有する構成を示しているが、これに限定されるものではなく多ければ多いほど記憶装置としてのメモリ容量が大きくなるため好ましい。

[0016] また、絶縁層4もシリコン層3の層数に伴い増減する。

[0017] 絶縁膜2は、例えば、シリコン酸化膜（ SiO_2 ）で形成されており、シリコン層3は、アモルファス状態、多結晶状態でも良いが、単結晶状態が望ましい。

[0018] 絶縁層4は、例えば、シリコン酸化膜（ SiO_2 ）で形成されているが、シリコン（ Si ）層3がそれぞれ電氣的に絶縁できる構造であれば、他の絶縁膜でも良い。

[0019] 絶縁膜5は、例えば、シリコン酸化膜で形成されているが、シリコン窒化膜（ SiN_x ）などの他の絶縁膜、又はそれらが積層された構造でも良い。

[0020] 積層膜6（X）は、絶縁膜2、シリコン層3、絶縁層4、絶縁膜5の積層からなる積層構造の周りを取り囲むように形成されている。ここで、Xは1～nの自然数を取り、n個の積層膜6のそれぞれが電氣的に絶縁された状態

で形成されている。

[0021] この積層膜 6 は、絶縁膜 6 (X) a、電荷蓄積層 6 (X) b、絶縁膜 6 (X) c、電極 6 (X) d からなっており、前述した、積層膜 6 のそれぞれが電氣的に絶縁された状態とは、少なくとも電極 6 (X) d がそれぞれ電氣的に絶縁されていることを示している。

[0022] 従って、図 1 には、積層膜 6 のすべてが独立しているが、絶縁膜 6 (X) a、電荷蓄積層 6 (X) b、絶縁膜 6 (X) c のいずれか又はそれらの全てが連結していても良い。

[0023] 絶縁膜 6 (X) a は、例えば、シリコン酸化膜 (SiO_2) で形成されている。電荷蓄積層 6 (X) b は、例えば、シリコン窒化膜 (Si_3N_4) で形成されている。絶縁膜 6 (X) c は、例えば、シリコン酸化膜 (SiO_2) から形成されている。電極 6 (X) d は、例えば、ニッケルシリサイド (NiSi) で形成されている。

[0024] シリコン層 3 上に絶縁膜 6 (X) a、電荷蓄積層 6 (X) b、絶縁膜 6 (X) c、電極 6 (X) d が積層されているこの積層構造は、シリコン層 3 をチャネルとし、絶縁膜 6 (X) a をトンネル膜とし、電荷蓄積層 6 (X) b を電荷蓄積層とし、絶縁膜 6 (X) c をブロック絶縁膜とし、電極 6 (X) d をコントロールゲートとしたダブルゲート (シリコン層 3 の両側にコントロールゲートが配置される構造) のメモリセルを形成している。

[0025] また、積層膜 6 (X) は、それぞれが電氣的に絶縁されており、全体として一本のメモリストリング構造となっている。ここで、図 1 では、シリコン層 3 が複数積層されており、さらに、それぞれのシリコン層 3 は、独立したメモリストリングのチャネルとして制御が可能であるため、図 1 全体として、メモリストリングを 3 次元に積層させた構造となっている。

[0026] 尚、絶縁膜 6 (X) a は、各世代の不揮発性半導体記憶装置に必要な材料を適宜選択して用いることができる。

[0027] 具体的には、シリコン酸窒化膜や、シリコン酸化膜とシリコン窒化膜との組み合わせ等が挙げられる。また、それらの膜に、シリコンナノ粒子や金属

イオンを混ぜた材料も有効であるし、それらの材料を組み合わせたものでも良い。

[0028] また、電荷蓄積層 6 (X) b は、各世代の不揮発性半導体記憶装置で必要な材料を適宜選択して用いることができる。

[0029] 具体的には、ハフニウム酸化膜 (HfO_2) や、シリコン窒化膜 (Si_3N_4) 等の構成元素であるシリコン及び窒素の組成比を変化させた材料、及び、それらの膜に、シリコンナノ粒子や金属イオンを混ぜた材料も有効であるし、それらの材料の組み合わせでも良い。或いは、シリコン層などの半導体層でも良い。

[0030] また、絶縁膜 6 (X) c は、各世代の不揮発性半導体記憶装置で必要な材料を適宜選択して用いることができる。

[0031] 具体的には、シリコン酸化膜、酸化アルミニウム膜 (Al_2O_3)、ランタンアルミニウム酸化膜 (LaAlO_3)、ランタンアルミニウムシリコン酸化膜 (LaAlSiO) 及びそれらの構成元素の組成比を変化させてものでも良い。

[0032] また、電極 6 (X) d は、各世代の不揮発性半導体記憶装置で必要な材料を適宜選択して用いることができる。

[0033] 具体的には、タンタルナイトライド (TaN)、タンタルカーバイド (TaC)、チタンナイトライド (TiN) 等のような金属化合物でも同様の効果が得られる。

[0034] さらに、金属的な電気伝導特性を示す、V、Cr、Mn、Y、Mo、Ru、Rh、Hf、Ta、W、Ir、Co、Ti、Er、Pt、Pd、Zr、Gd、Dy、Ho、Er 及びそれら種々のシリサイドでも良い。

[0035] 本実施形態では、積層膜 6 (X) と平行に 10a、10b、10c からなる複数のレイヤー選択トランジスタ 10 及び選択トランジスタ 11 が形成されている。

[0036] 図 1 では、レイヤー選択トランジスタ 10 及び選択トランジスタ 11 が積層膜 6 (X) と同様の構造で描かれているが、シリコン層 3 をチャンネルとし

たトランジスタ動作をする構造であれば良い。

[0037] 即ち、レイヤー選択トランジスタ 10 は、メモリセルとは異なる構造、例えば、1つの絶縁膜と、1つのゲート電極からなる MOS (Metal - Oxide - Semiconductor) 型トランジスタであっても良い。

[0038] さらに、図 1 の A - A 線に沿う断面である図 2 に示すように、各シリコン層 3 にはレイヤー選択トランジスタ 10 が常時オン (ノーマリーオン) 状態になる不純物添加領域がレイヤー選択トランジスタ 10 のチャネル部の一部領域 13 に施されている。

[0039] 例えば、図 2 で示すように、シリコン層 3 a では、レイヤー選択トランジスタ 10 a のチャネル領域 13 a に、シリコン層 3 b ではレイヤー選択トランジスタ 10 b のチャネル領域 13 b に、シリコン層 3 c ではレイヤー選択トランジスタ 10 c のチャネル領域 13 c に、それぞれ不純物添加が施されている。

[0040] 尚、不純物の材料としては、N 型半導体となる不純物、例えば、砒素 (As) リン (P) などの 5 価元素、また、P 型半導体となる不純物、例えば、ホウ素 (B) インジウム (In) などの 3 価元素であり、それらの材料を組み合わせたものでも可能である。

[0041] 各シリコン層 3 (メモリストリング) は、オン / オフが可能なレイヤー選択トランジスタ 10、例えば、チャネルに不純物添加が施されていないレイヤー選択トランジスタ 10 で制御されることになる。但し、オン / オフ制御可能なレイヤー選択トランジスタ 10 のチャネルに閾値制御のための不純物添加を行ってもよい。

[0042] この場合、シリコン層 3 a は、レイヤー選択トランジスタ 10 b、10 c で、シリコン層 3 b は、レイヤー選択トランジスタ 10 a、10 c で、シリコン層 3 c は、レイヤー選択トランジスタ 10 a、10 b で、それぞれのメモリストリングが制御される。

[0043] この構造となることで、従来、メモリストリングスのレイヤーそれぞれに独立に形成していたコンタクトを取るための電極は、例えば、図 1 に代表さ

れるように、電極 7 及び電極 8 として、全てのシリコン層 3 に共通にコンタクトが取れるそれぞれ 1 つのみを形成すれば良い。

[0044] 従って、メモリストリングを積層させたとしても、メモリストリングの長さの増大は、一層ごとにレイヤー選択トランジスタ 10 を形成する領域のみとなるため、メモリストリングを積層させるごとにコンタクト用電極と選択トランジスタを形成していた従来の構造に比べてその長さを短くすることが可能となる。

[0045] 尚、電極 7、8 としては、タングステン (W) の他、アルミニウム (Al) 等の金属材料が挙げられる。

[0046] また、集積度を上げるためには、図 3 に示すように、それぞれのメモリストリングスを並べて配置するのが有効であるが、この場合、従来のようにメモリストリング一層増加ごとにコンタクト電極の数が増加すると、それぞれから引き出される配線数及びその制御のための回路面積が増大してしまう。

[0047] 一方、本発明では、メモリストリング一層増加ごとにコンタクト用電極の数が増えることは無いため、一層増加ごとにレイヤー選択トランジスタ 10 が一本増加するのに対応する増大量に抑えることが可能となりチップ面積の縮小が可能となる。

[0048] 尚、図 3 では、例として、メモリストリングスが 3 つ配置した構造を示しているが、これに限定されるものではない。

[0049] また、各メモリストリングが制御できる構造であれば、図 2 に示した形態に限らず適宜変形することが可能である。

[0050] 例えば、図 8 に示すように、複数の不純物添加領域 13 が、シリコン層 3 に存在しても良いし、図 11 に示すように、積層膜 6 (X) を挟むように両側に形成されていても良い。また、図 11 に示すように、レイヤー選択トランジスタ 10 の数は、シリコン層 3 の数と同じある必要は無く、各メモリストリングが制御できる構成であれば、その数が多くても少なくても良い。

[0051] 図 11 のように、レイヤー選択トランジスタを、メモリストリングスを挟み込むように配置すれば、不純物添加領域 13 の拡散による影響を最小限に

抑えることができる。

[0052] 但し、メモリストリングスの長さを考えると数が少ない方が短くでき、その分集積度が高まるため望ましい。

[0053] 図4A乃至図4Fに、本発明の一実施形態に係る不揮発性半導体記憶装置9の製造工程、特に、シリコン層3における不純物添加領域13の一形成工程を示す。

[0054] まず、図4Aに示すように、例えば、面方位(100)、比抵抗 $10\sim 20\ \Omega\text{cm}$ のp型(第1導電型)シリコン基板1を用意し、このシリコン基板1の上に、シリコン酸化膜層2を介して、シリコン層3aを例えば堆積により積層させる。

[0055] 次に、図では省略するが、フォトエッチングプロセス(Photo Etching Process、以下「PEP」という。いわゆるフォトレジストを使ったリソグラフィ工程)により塗布したレジストに開口を設けるパターニングを行い、イオンインプラ(Ion Implantation)を施すことでシリコン層3a内に不純物添加領域13aを形成する。

[0056] 次に、同様の方法で、シリコン酸化膜層4aを介して、シリコン層3bを積層させPEPによるパターニングとイオンインプラを施すことで不純物添加領域13bを形成する。

[0057] 次に、同様の方法で、シリコン酸化膜層4bを介して、シリコン層3cを積層させPEPによるパターニングとイオンインプラを施すことで不純物添加領域13cを形成する。

[0058] 次に、シリコン層3cの上に、シリコン酸化膜層5を積層させる。この状態を図4Bに示す。

[0059] 次に、シリコン基板1上のシリコン酸化膜層2、シリコン層3a、シリコン酸化膜層4a、シリコン層3b、シリコン酸化膜層4b、シリコン層3c、絶縁膜5を、例えば、PEPによるパターニングの後、異方性ドライエッチングを施すことにより、図4Cで示すような短冊(フィン)形状に加工する。

- [0060] 次に、フィン形状に加工したシリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 に対して、例えば、熱酸化を施すことによりシリコン酸化膜 106 a を形成する。
- [0061] このシリコン酸化膜 106 a は、堆積によっても形成が可能である。また、シリコン酸化膜に限らず、各世代の不揮発性半導体記憶装置に必要なトンネル絶縁膜材料を適宜選択して用いることができる。
- [0062] 次に、電荷蓄積層 106 b、絶縁膜 106 c、電極 106 d を堆積する。この状態を図 4 D に示す。
- [0063] 次に、図 4 E に示すように、シリコン酸化膜 106 a、電荷蓄積層 106 b、絶縁膜 106 c、電極 106 d を例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 1 で示した、そのそれぞれが電氣的に絶縁された積層膜 6 (X)、レイヤー選択トランジスタ 10 及び選択トランジスタ 11 を形成する。
- [0064] この時、レイヤー選択トランジスタ 10 は、それぞれに対応する不純物添加領域 13 がチャネルとなる位置に形成される必要がある。
- [0065] 次に、図では省略するが、例えば、シリコン酸化膜を全体に埋め込み化学機械的研磨 (CMP) 処理することで、積層膜 6 (X)、レイヤー選択トランジスタ 10、選択トランジスタ 11、フィン形状に加工したシリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 のそれぞれの間を埋めるような層間絶縁膜を形成する。
- [0066] 次に、図 4 F に示すように、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより電極 7 及び電極 8 を形成する領域にホールパターンを形成する。その後、例えばタングステンの堆積後、ホールパターン以外のタングステンを CMP 処理することで電極 7 及び電極 8 が形成され、図 1 の不揮発性半導体記憶装置 9 が形成される。
- [0067] 以上は、図 1 及び図 2 で示した実施形態を形成する製造工程である。特に

図示しないが、他の実施形態もその一部を変更することで形成することが可能である。

[0068] 図 8 で示した構造を形成する場合には、図 4 A 及び図 4 B で示す不純物添加領域 1 3 を形成する工程において、図 8 中に示した不純物添加領域 1 3 が形成されるように P E P によるパターニングを変更させれば良い。

[0069] 図 1 1 で示した構造を形成する場合には、図 4 A 及び図 4 B で示す不純物添加領域 1 3 を形成する工程において、図 1 1 中に示した不純物添加領域 1 3 が形成されるように P E P によるパターニングを変更し、さらに、図 4 C で示すフィン形状の加工においては、そのフィンの長さがレイヤー選択トランジスタを増加させた分、長くなるよう P E P によるパターニングを変更して加工し、その後、図 4 E で示す加工でも同様に、図 1 1 の構造となるように P E P によるパターニングを変更して加工すれば良い。

[0070] このように、各不純物添加領域を形成するには P E P が必要となるが、コンタクト加工の P E P に比べてラフな P E P で済み、生産コストを抑えることが出来ると同時に、複雑な形状に加工する必要が無く形成がしやすい。また、電極 7 及び電極 8 は、加工深さが等しくても良いため、両者は、同時に形成することが可能となる。以上の点で従来よりも有効な構造である。

[0071] 図 5 A 乃至図 5 C に、本発明の一実施形態に係る不揮発性半導体記憶装置 9 の製造工程、特に、シリコン層 3 における不純物添加領域 1 3 の一形成工程を示す。

[0072] まず、例えば、面方位（100）、比抵抗 $10 \sim 20 \Omega \text{ cm}$ の p 型（第 1 導電型）シリコン基板 1 を用意し、このシリコン基板 1 の上に、シリコン酸化膜層 2 を介して、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c と交互に、例えば、堆積により積層させていき、この最表面のシリコン層 3 の上に絶縁膜 5 を、例えば、堆積により形成する。この状態を図 5 A に示す。

[0073] 次に、P E P によりレジストパターニングを行い、イオンインプラを施すことで、シリコン層 3 a 内に不純物添加領域 1 3 a を形成する。この状態を

図 5 B に示す。

- [0074] 次に、同様に、PEPによるパターニングとイオンインプラによりシリコン層 3 b 内に不純物添加領域 1 3 b を、シリコン層 3 c 内に不純物添加領域 1 3 c を、それぞれ形成する。この時、不純物添加領域 1 3 a、1 3 b、1 3 c は、打ち込むイオンのエネルギーを変化させることにより深さを変化させて形成する。この状態を図 5 C に示す。
- [0075] この状態は、前述した図 4 B に対応している。この後は図示しないが、図 4 C～図 4 F の図を用いて前述したプロセスと同様な手順で形成することで、図 1 の不揮発性半導体記憶装置 9 が形成される。
- [0076] 以上は、図 1 及び図 2 で示した実施形態を形成する製造工程である。特に図示しないが、他の実施形態もその一部を変更することで形成することが可能である。
- [0077] 図 8 で示した構造を形成する場合には、図 5 B 及び図 5 C で示す不純物添加領域 1 3 を形成する工程において、図 8 中に示した不純物添加領域 1 3 が形成されるように PEP によるパターニングを変更させれば良い。
- [0078] 図 1 1 で示した構造を形成する場合には、図 5 B 及び図 5 C で示す不純物添加領域 1 3 を形成する工程において、図 1 1 中に示した不純物添加領域 1 3 が形成されるように PEP によるパターニングを変更し、さらに、図 4 C で示すフィン形状の加工においては、そのフィンの長さがレイヤー選択トランジスタを増加させた分、長くなるよう PEP によるパターニングを変更して加工し、その後、図 4 E で示す加工でも同様に、図 1 1 の構造となるように PEP によるパターニングを変更して加工すれば良い。
- [0079] このような形成方法により、シリコン層 3 を連続的に形成することができ、また、レジストがシリコン層 3 と接することが無いので、シリコン層 3 が汚染されることは無く、それによるチャネルとしての特性劣化を抑制することができる。
- [0080] 但し、図 4 A～図 4 F で示したプロセスに比べ、不純物添加領域を制御良く形成させるのが難しく、例えば、図 5 B において、シリコン層 3 a 内に不

純物添加領域 1 3 a を形成した際、シリコン層 3 b、3 c における不純物添加領域 1 3 a の直上の領域内に不純物が添加されてしまう可能性がある。

[0081] 図 6 A 乃至図 6 C に、本発明の一実施形態に係る不揮発性半導体記憶装置 9 の製造工程、特に、シリコン層 3 における不純物添加領域 1 3 の一形成工程を示す。

[0082] まず、図 6 A に示すように、例えば、面方位 (1 0 0)、比抵抗 1 0 ~ 2 0 Ω cm の p 型 (第 1 導電型) シリコン基板 1 を用意し、このシリコン基板 1 の上に、シリコン酸化膜層 2 を介して、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c と交互に、例えば、堆積により積層させていき、この最表面のシリコン層 3 の上に絶縁膜 5 を、例えば、堆積により形成する。

[0083] 次に、シリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 を、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 6 A で示すようなフィン形状に加工する。

[0084] 次に、シリコン酸化膜を堆積し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 6 B 中、1 5 で示すように、階段形状を有し、かつ、フィン形状に加工された積層膜 (シリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5) に接するような形状に加工する。

[0085] この時、階段形状のそれぞれの高さは、シリコン層 3 a、3 b、3 c の上端よりも下に位置するのが望ましい。

[0086] 次に、不純物添加領域 1 3 を作成するのに望ましい不純物が添加されたシリコン酸化膜を堆積し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 6 C 中、1 6 で示すように、シリコン酸化膜 1 5 の階段形状のそれぞれの上に形成されるような形状に加工する。

[0087] この時、1 6 の高さは、それぞれが接しているシリコン層 3 の上に形成さ

れているシリコン酸化膜 4 a、4 b、絶縁膜 5 の上端よりも下に位置するのが望ましい。

[0088] ここで、例えば 1000℃の熱を加えることで、不純物添加シリコン酸化膜 16 から不純物添加シリコン酸化膜 16 がそれぞれ接しているシリコン層 3 へと不純物が固層拡散し、不純物添加領域 13 が形成される。

[0089] 次に、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16 を例えば異方性ドライエッチングを施すことにより除去すると、図 4 C と同様の構造になる。

[0090] この後は図示しないが、図 4 D ～図 4 F の図を用いて前述したプロセスと同様な手順で形成することで、図 1 及び図 2 で示した不揮発性半導体記憶装置 9 が形成される。

[0091] 図 8 で示した構造を形成する場合には、図 9 で示すように、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16 を入れ替えることで形成が可能となる。

[0092] まず、シリコン基板 1 上に、シリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 をそれぞれ積層し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことによりフィン形状に加工する。

[0093] 次に、不純物添加シリコン酸化膜を堆積し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 9 A 中、16 a で示すように、階段形状を有し、かつ、フィン形状に加工された積層膜（シリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5）に接するような形状に加工する。

[0094] この時、階段形状のそれぞれの高さは、シリコン層 3 a、3 b、3 c の上端よりも下に位置するのが望ましい。

[0095] 次に、シリコン酸化膜を堆積し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 9 B 中、15 で示すように

、不純物添加シリコン酸化膜 16 a の階段形状のそれぞれの上に形成されるような形状に加工する。

[0096] この時、15 の高さは、それぞれが接しているシリコン層 3 の上に形成されているシリコン酸化膜 4 a、4 b、絶縁膜 5 の上端よりも下に位置するのが望ましい。

[0097] 次に、不純物添加シリコン酸化膜を堆積し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 9 C 中、16 b で示すように、シリコン酸化膜 15 のそれぞれの上に形成されるような形状に加工する。

[0098] ここで、例えば、1000℃の熱を加えることで、不純物添加シリコン酸化膜 16 a、16 b から不純物添加シリコン酸化膜 16 a、16 b がそれぞれ接しているシリコン層 3 へと不純物が固層拡散し、不純物添加領域 13 が形成される。

[0099] 次に、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16 a、16 b を、例えば、異方性ドライエッチングを施すことにより除去すると、図 9 D と同様の構造になる。

[0100] この後は図示しないが、図 4 D～図 4 F の図を用いて前述したプロセスと同様な手順で形成することで、図 1 及び図 8 で示した不揮発性半導体記憶装置 9 が形成される。

[0101] 特に図示しないが、他の実施形態もその一部を変更することで形成することが可能である。

[0102] 図 7 A 及び図 7 B は、図 6 A 乃至図 6 C とその一部が異なる不揮発性半導体記憶装置 9 の製造工程である。

[0103] まず、シリコン基板 1 上に、シリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 をそれぞれ積層し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことによりフィン形状に加工する。

[0104] 次に、シリコン酸化膜を堆積し、例えば、PEP によるパターニングの後

、異方性ドライエッチングを施すことにより、図 7 A 中、15 で示すように、階段形状を有し、かつ、フィン形状に加工された積層膜（シリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5）に接するような形状に加工する。

[0105] この時、階段形状のそれぞれの高さは、シリコン層 3 a、3 b、3 c の上端よりも下に位置するのが望ましい。

[0106] ここで、シリコン絶縁膜層 15 を図 7 A で示すような形状にすることにより、図 7 B で示すように、その後の不純物添加シリコン酸化膜層 16 を形成する際、堆積のみで形成することが可能であり、PEP などのプロセスを省略できるため、製造コストを低減することができる。

[0107] 図 7 B の構造に形成した後、例えば、1000℃の熱を加えることで、不純物添加シリコン酸化膜 16 から不純物添加シリコン酸化膜 16 がそれぞれ接しているシリコン層 3 へと不純物が固層拡散し、不純物添加領域 13 が形成される。

[0108] 次に、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16 を例えば異方性ドライエッチングを施すことにより除去すると、図 4 C と同様の構造になる。

[0109] この後は図示しないが、図 4 D ～図 4 F の図を用いて前述したプロセスと同様な手順で形成することで、図 1 及び図 2 で示した不揮発性半導体記憶装置 9 が形成される。

[0110] 図 10 A 及び図 10 B は、図 9 A 乃至図 9 D とその一部が異なる不揮発性半導体記憶装置 9 の製造工程である。

[0111] まず、シリコン基板 1 上に、シリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 をそれぞれ積層し、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことによりフィン形状に加工する。

[0112] 次に、不純物添加シリコン酸化膜を堆積し、例えば、PEP によるパター

ニングの後、異方性ドライエッチングを施すことにより、図10A中、16aで示すように、階段形状を有し、かつ、フィン形状に加工された積層膜（シリコン基板1上のシリコン酸化膜層2、シリコン層3a、シリコン酸化膜層4a、シリコン層3b、シリコン酸化膜層4b、シリコン層3c、絶縁膜5）に接するような形状に加工する。

[0113] この時、階段形状のそれぞれの高さは、シリコン層3a、3b、3cの上端よりも下に位置するのが望ましい。

[0114] 次に、シリコン酸化膜を堆積し、例えば、PEPによるパターニングの後、異方性ドライエッチングを施すことにより、図10A中、15で示すように、不純物添加シリコン酸化膜16aの階段形状のそれぞれの上及びそれ以外の積層フィン構造を覆うような形状に加工する。

[0115] この時、不純物添加シリコン酸化膜層16a上に形成された15の高さは、それぞれが接しているシリコン層3の上に形成されているシリコン酸化膜4a、4b、絶縁膜5の上端よりも下に位置するのが望ましい。

[0116] ここで、シリコン絶縁膜層15を図10Aで示すような形状にすることにより、図10Bで示すようにその後の不純物添加シリコン酸化膜層16bを形成する際、堆積のみで形成することが可能であり、PEPなどのプロセスを省略できるため、製造コストを低減することができる。

[0117] 図10Bの構造に形成した後、例えば、1000℃の熱を加えることで、不純物添加シリコン酸化膜16a、16bから不純物添加シリコン酸化膜16a、16bがそれぞれ接しているシリコン層3へと不純物が固層拡散し、不純物添加領域13が形成される。

[0118] 次に、シリコン酸化膜15及び不純物添加シリコン酸化膜16a、16bを、例えば、異方性ドライエッチングを施すことにより除去すると、図9Dと同様の構造になる。

[0119] この後は図示しないが、図4D～図4Fの図を用いて前述したプロセスと同様な手順で形成することで、図1及び図8で示した不揮発性半導体記憶装置9が形成される。

- [0120] 図 10 A の構造からは、図 10 B の構造を形成しなくても図 9 D と同様の構造が形成できる。
- [0121] まず、図 10 A の構造に形成した後、不純物添加領域 13 を作成するのに望ましい不純物を含むガス雰囲気中で熱処理を加えると、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16 a で覆われていないシリコン層 3 中に不純物が拡散し、また、一方で、不純物添加シリコン酸化膜 16 a から不純物添加シリコン酸化膜 16 a が接しているシリコン層 3 へと不純物が固相拡散することになり不純物添加領域 13 が形成される。
- [0122] 特に図示しないが、他の実施形態もその一部を変更することで形成することが可能である。
- [0123] 図 6 A 乃至図 6 C、図 7 A 及び図 7 B、図 9 A 乃至図 9 D、図 10 A 及び図 10 B で示した方法で形成する場合、不純物添加領域 13 の位置関係は、不純物添加シリコン酸化膜 16、16 a、16 b のそれぞれの形状で決まるため、図 4 A 乃至図 4 F、図 5 A 乃至図 5 C で示した方法で形成した場合において、イオンインプラのための PEP によるパターニングを行う際、それぞれの領域の位置関係が PEP の精度により保たれなくなってしまうという問題を回避できる。
- [0124] 但し、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16、16 a、16 b を階段状に加工する際に高さ制御が必要な形状の加工が必要となり、層が増加するとさらに困難度が上がってしまう。
- [0125] また、図 6 A 乃至図 6 C、図 7 A 及び図 7 B、図 9 A 乃至図 9 D、図 10 A 及び図 10 B では、フィン形状の両側を挟み込むように、シリコン酸化膜 15 及び不純物添加シリコン酸化膜 16、16 a 16 b を形成していたが、片側にのみ形成した場合でも可能である。但し、気相拡散を用いる場合は、もう一方の片側を全てシリコン層 3 への意図しない固相拡散が起こらない任意の層で覆う必要がある。
- [0126] また、図 6 A 乃至図 6 C、図 7 A 及び図 7 B、図 9 A 乃至図 9 D、図 10 A 及び図 10 B では、シリコン酸化膜を用いたが、材料はこれに限らず不純

物を固層拡散させることができる材料であれば特に制限しない。

[0127] 図 1 2 A 及び図 1 2 B は、本発明の一実施形態に係る不揮発性半導体記憶装置の断面図である。

[0128] 図 1 2 A は、図 8 で示した構造に、さらに、選択トランジスタ 1 1 b を追加した構造である。

[0129] このような構造をとることでメモリストリングスのカットオフ特性が向上し、誤動作を抑制することができる。その場合、図 1 2 B に示すように選択トランジスタ 1 1 c をさらに追加することでその効果は得られる。

[0130] 但し、選択トランジスタを増やした分、メモリストリングスの長さが長くなり、集積度を高めるという観点からは、選択トランジスタを増加しすぎることは望ましくない。

[0131] 図 1 3 は、本発明の一実施形態に係る不揮発性半導体記憶装置の断面図である。

[0132] 図 2 に示した構造と異なるのは、シリコン層 3 はそれぞれの不純物添加領域 1 3 で途切れており、また、各シリコン層 3 のそれぞれの上に積層された絶縁膜 4 a、4 b、5 は、各シリコン層 3 における不純物添加領域 1 3 のそれぞれの直上から途切れており、途切れた先の領域は、シリコン層 1 4 となっていることである。

[0133] 即ち、各シリコン層 3 は、不純物添加領域 1 3 を介して、各シリコン層 3 とは異なる別のシリコン層 1 4 により互いに接続される。

[0134] この構造となることで、レイヤー選択トランジスタのチャンネル部分のストリングが太くなり、その分電気抵抗が低くなるため、図 2 の構造よりもレイヤー選択が高速化し、メモリセルを高速に動作させることができる。

[0135] この例では、不純物添加領域 1 3 は、シリコン層 3 c では、メモリストリングスに最も近いレイヤー選択トランジスタのチャンネルに設けられ、そのレイヤー選択トランジスタを制御不可能状態にする。

[0136] また、不純物添加領域 1 3 は、シリコン層 3 b では、メモリストリングスにから 2 番目に近いレイヤー選択トランジスタのチャンネルに設けられ、その

レイヤー選択トランジスタを制御不可能状態にする。

[0137] さらに、不純物添加領域 13 は、シリコン層 3a では、メモリストリングスから最も遠いレイヤー選択トランジスタのチャンネルに設けられ、そのレイヤー選択トランジスタを制御不可能状態にする。

[0138] 但し、この順番は、これに限られることはなく、逆であってもよい。

[0139] 図 14A 乃至図 14E は、本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程である。

[0140] まず、例えば、面方位 (100)、比抵抗 $10 \sim 20 \Omega \text{ cm}$ の p 型 (第 1 導電型) シリコン基板 1 を用意し、このシリコン基板 1 の上に、シリコン酸化膜層 2 を介して、シリコン層 3a、シリコン酸化膜層 4a、シリコン層 3b、シリコン酸化膜層 4b、シリコン層 3c と交互に、例えば、堆積により積層させていき、この最表面のシリコン層 3 の上に絶縁膜 5 を、例えば、堆積により形成する。

[0141] 次に、シリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3a、シリコン酸化膜層 4a、シリコン層 3b、シリコン酸化膜層 4b、シリコン層 3c、絶縁膜 5 からなる積層膜の一部を、図 14A で示すように、シリコン層 3 がそれぞれ一部露出するような階段形状に、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより加工する。

[0142] 次に、イオンインプラにより、シリコン層 3 の露出部に不純物添加領域 13 を形成する。この状態を図 14B に示す。この時必要あれば、不純物添加領域 13 のみを開口する PEP によるパターニングを行っても良い。

[0143] 次に、図 14C に示すように、シリコンを堆積し、例えば CMP で平坦化処理を行うことでシリコン層 14 を形成する。シリコン層 14 の平坦化は、ドライエッチングでも形成可能である。

[0144] また、この時、シリコンを不純物添加領域 13 の上にエピタキシャル成長させて単結晶状態に形成しても良い。シリコン層が多結晶状態だと、結晶粒界を電流が流れてしまい、レイヤー選択トランジスタ 10 のオフ特性が劣化してしまうため、シリコン層 14 は、単結晶状態が望ましい。また、シリコ

ン層 1 4 の上に絶縁膜を形成し、シリコン層 1 4 を保護しても良い。

[0145] 次に、例えば、PEPによるパターニングの後、異方性ドライエッチングを施すことにより、図 1 4 Cに示した積層構造を、図 1 4 Dで示すようなフィン形状に加工する。

[0146] 詳しい説明は省略するが、その後、図 4 D～図 4 Fの図を用いて前述したプロセスと同様な手順で形成することで、図 1 4 Eで示す構造となり、図 1 3で示す不揮発性半導体記憶装置 9 が形成される。

[0147] 図 1 5 は、本発明の一実施形態に係る不揮発性半導体記憶装置の断面図である。

[0148] 図 2 に示した構造と異なるのは、メモリストリングへのコンタクト用電極 7 の周りに、不純物添加シリコン 1 7 が形成されている。

[0149] 本実施形態において、例えば、電極 7 がビット線に接続されているとし、電極 8 がソース線に接続されているとし、シリコン層 3 内の不純物添加領域 1 3 及び不純物添加シリコン 1 7 がそれぞれ n^+ 型となっている場合における書き込みと消去の動作例を以下に示す。

[0150] 本実施形態は、本発明を限定するものではない。以下の実施形態において、 p 型半導体の構成要素を n 型半導体に代え、かつ、 n 型半導体の構成要素を p 型半導体に代えてもよい。

[0151] 書き込みは、ソース線コンタクト電極 8 とビット線コンタクト電極 7 とを接地し、選択トランジスタ 1 1 にはバイアスを印加せず、レイヤー選択トランジスタ 1 0 a、1 0 b 及び各メモリセル 6 ($X=1\sim n$) の制御ゲート 6 ($X=1\sim n$) d に正のバイアスを印加することで、メモリストリングスのチャネルとなるシリコン層 3 a、3 b、3 c に n 型の蓄積領域を生じさせる。

[0152] 次いで、書き込みたいメモリセル、例えば、メモリセル 6 (3) の制御ゲート 6 (3) d に大きな正のバイアスを印加しメモリセル 6 (3) の電荷蓄積層 6 (3) b に電子を注入し書き込みを行う。

[0153] この時、レイヤー選択トランジスタ 1 0 c にはバイアスが印加されてい

いので、シリコン層 3 a、3 b をチャネルとするメモリセル 6 (3) には書き込まれず、シリコン層 3 c をチャネルとするメモリセル 6 (3) のみが書き込まれる。

[0154] また、書き込みたくないメモリセル、例えば 6 (3) 以外の 6 (X) の制御ゲート 6 (X) d については、負のバイアスを印加しても良い。

[0155] 消去は、ビット線コンタクト電極 7 を接地し、選択トランジスタ 1 1、レイヤー選択トランジスタ 1 0 a、1 0 b、1 0 c 及び各 6 (X = 1 ~ n) の制御ゲート 6 (X = 1 ~ n) d に負のバイアスを印加することで、メモリストリングスのチャネルとなるシリコン層 3 a、3 b、3 c に p 型の蓄積領域を生じさせる。

[0156] 次に、消去したいメモリセル、例えば、メモリセル 6 (2) の制御ゲート 6 (2) d に大きな負のバイアスを印加して、メモリセル 6 (2) の電荷蓄積層 6 (2) b にホールを注入し消去を行う。

[0157] この時、消去したくないメモリセル、例えば、メモリセル 6 (2) 以外の 6 (X) の制御ゲート 6 (X) d に正のバイアスを印加しても良い。

[0158] 読み出しは、通常の NAND 型フラッシュメモリと同様、ソース線コンタクト電極 7 を接地、ビット線コンタクト電極 8 に正のバイアスを印加して、読み出したいメモリセル、例えば、メモリセル 6 (1) 以外のメモリセル 6 (X) の制御ゲート 6 (X) d に正のバイアスを印加し、電流が流れるか否かで “0” 又は “1” の情報として読み出しを行う。

[0159] この場合も同様に、レイヤー選択ゲート 1 0 a、1 0 b、1 0 c のバイアス印加の方法により積層されたメモリストリングを選択し、読み出すことができる。

[0160] 以上の動作は、ソース線コンタクト電極 8 とビット線コンタクト電極 7 の両方に不純物領域 1 7 が形成されていない図 2 の場合も、書き込み及び消去は、本実施形態と同様に行うことができるが、ショットキー障壁によるソース抵抗が、読み出し時に流れる電流を著しく小さくする可能性がある。ちなみに、このようなショットキー障壁は、ドレイン領域側では問題になること

はないため、本実施形態では上述の問題は生じない。

[0161] また、本実施形態は、電極 8 が金属材料で形成されており、電極 7 が不純物添加シリコンにより形成されていても同様の効果が得られる、その場合、電極 7 の周りに、不純物添加シリコン 17 が形成されていなくても良い。

[0162] 図 16 A 及び図 16 B は、本発明の一実施形態に係る不揮発性半導体記憶装置 9 における、特に、積層膜 6 により囲まれたシリコン層 3 の概略構成図である。

[0163] 各シリコン層 3 a、3 b、3 c は、積層膜 6 で囲まれた部分において、それぞれエアーギャップ 18 a、18 b、18 c を有する。このエアーギャップ 18 a、18 b、18 c は、絶縁膜 4 a、4 b、5 に形成される。

[0164] エアーギャップ 18 a、18 b、18 c は、積層膜 6 に囲まれた部分だけではなく、レイヤー選択トランジスタ 10、選択トランジスタ 11 で囲まれた部分に形成されていても良いし、さらには、シリコン層 3 a、3 b、3 c の間の全体に広がっていても良い。

[0165] その場合、シリコン層 3 a、3 b、3 c 間の比誘電率が低くなり、その間を狭くしても同じ絶縁特性が得られる。その結果、シリコン層 3 a、3 b、3 c 間を狭めることができ、集積度を高めることができる。

[0166] 図 18 A 乃至図 18 H は、本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程、特に、シリコン層 3 おけるエアーギャップを含む絶縁層 18 の一形成工程を示す。

[0167] これらの図は、図 1 の B-B 線に沿う断面に相当する。

[0168] まず、図 18 A に示すように、例えば、面方位 (100)、比抵抗 $10 \sim 20 \Omega \text{ cm}$ の p 型 (第 1 導電型) シリコン基板 1 を用意し、このシリコン基板 1 の上に、シリコンゲルマニウム (SiGe) 層 102 を介して、シリコン層 3 とシリコンゲルマニウム層 104 とが 3 a、104 a、3 b、104 b、3 c となるように交互に積層する。

[0169] この時、シリコンとシリコンゲルマニウムは、シリコン基板 1 と結晶学的方位関係を保ちつつ結晶膜を堆積成長するエピタキシャル成長をさせること

ができるため、シリコン層 3 とシリコンゲルマニウム層 104 は単結晶で形成することができる。この最表面のシリコン層 3 の上に絶縁膜 5 を例えば堆積により形成する。この状態を図 18B に示す。

[0170] 次に、シリコン基板 1 上のシリコンゲルマニウム層 102、シリコン層 3a、シリコンゲルマニウム層 104a、シリコン層 3b、シリコンゲルマニウム層 104b、シリコン層 3c、絶縁膜 5 からなる積層構造を、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 18C で示すような短冊形状に加工する。

[0171] 次に、図 18D に示すように、短冊形状に加工したシリコンゲルマニウム層 102、シリコン層 3a、シリコンゲルマニウム層 104a、シリコン層 3b、シリコンゲルマニウム層 104b、シリコン層 3c、絶縁膜 5 に対して、例えば、熱酸化を施すことによりシリコン酸化膜 106a を形成する。

[0172] この時、シリコンゲルマニウム層 102、104 上にはシリコンゲルマニウム酸化膜が形成される。このシリコン酸化膜 106a は堆積によっても形成が可能である。また、シリコン酸化膜に限らず、各世代の不揮発性半導体記憶装置で必要なトンネル絶縁膜材料を適宜選択して用いることができる。

[0173] 次に、図 18E に示すように、電荷蓄積層 106b、絶縁膜 106c、電極 106d を堆積する。

[0174] 次に、図 18F に示すように、シリコン酸化膜 106a、電荷蓄積層 106b、絶縁膜 106c、電極 106d を例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより、図 1 で示した、そのそれぞれが電氣的に絶縁された積層膜 6 (X) を形成する。

[0175] 次に、図 18G に示すように、例えば等方性エッチングによりシリコンゲルマニウム層 102、104 のみを選択的に除去する。

[0176] ここで、図 18F において、シリコンゲルマニウム層 102、104 は、積層膜 6 (X) により全て囲まれているように示しているが、実際には、積層膜 6 (X) のそれぞれの間には空隙があり、その空隙からシリコンゲルマニウム層 102、104 はエッチングされる。

- [0177] 次いで、図 1 8 H に示すように、例えば、シリコン酸化膜を全体に堆積させ、シリコンゲルマニウム層 1 0 2、1 0 4 が除去された領域に、シリコン酸化膜 2 及びシリコン酸化膜 4 を形成する。ここで、シリコン酸化膜 2 及びシリコン酸化膜 4 はその領域がすべてシリコン酸化膜で形成される必要はなく。その一部、又は全くシリコン酸化膜が形成されないエアーギャップの状態でも良い。
- [0178] また、その際、例えば埋め込み性能の悪いシリコン酸化膜を堆積させることで、積層膜 6 (X)、レイヤー選択トランジスタ 1 0 及び選択トランジスタ 1 1 で囲まれた空隙は、優先的に埋め込みが起こらず、エアーギャップを含んだ絶縁層 1 8 a、1 8 b、1 8 c が形成される。
- [0179] この後は図示しないが、例えば、PEP によるパターニングの後、異方性ドライエッチングを施すことにより電極 7 及び電極 8 を形成する領域にホールパターンを形成する。
- [0180] その後、例えば、タングステンの堆積後、ホールパターン以外のタングステンを CMP 処理することで電極 7 及び電極 8 が形成され、図 1 6 A 及び図 1 6 B で示したエアーギャップを含んだ絶縁層 1 8 を備えた不揮発性半導体記憶装置 9 が形成される。
- [0181] 図 1 7 は、本発明の一実施形態に係る不揮発性半導体記憶装置 9 の概略構成図である。
- [0182] シリコン基板 1 上のシリコン酸化膜層 2、シリコン層 3 a、シリコン酸化膜層 4 a、シリコン層 3 b、シリコン酸化膜層 4 b、シリコン層 3 c、絶縁膜 5 の積層構造からなる 2 本のフィン構造の間に消去用電極 1 9 が形成されており、積層膜 6 (X) からなるメモリセルの消去動作時にはこの消去用電極 1 9 にバイアスを印加することによってメモリセルの電荷蓄積層 6 (X) b にホールを注入し、動作させることができる構造である。
- [0183] この時、図 1 6 A 及び図 1 6 B で示したエアーギャップを含んだ絶縁層 1 8 が備わることで、消去用電極 1 9 にバイアスを印加した際、消去用電極 1 9 から絶縁層 1 8 方向へのフリンジ電界が弱まり、それぞれのシリコン層 3

への電界が集中する結果、消去特性を向上させることができる。

[0184] (変形例)

尚、本発明は、上述した各実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で、各実施形態の一部を適宜組み合わせて実施することができる。

[0185] また、実施形態の形成方法も限定されるわけではなく、例えば、S i 単結晶でチャネルを形成する目的で図 18 に示した S i G e と S i のエピタキシャル成長による形成方法を用いても良い。

[0186] S i 単結晶でチャネルを形成させることでセル電流値を稼ぐことが可能となり、さらに、単結晶シリコン上に熱酸化プロセスによるトンネル膜を形成することができるため、不揮発性半導体記憶装置としての書き込み、保持特性などの特性向上が期待される。

[0187] また、実施形態では基板としてシリコンを用いたが、ゲルマニウム基板など他の基板を用いることも可能である。

[0188] また、シリコン層 3 における積層膜 6 (X) からなるメモリセル、選択トランジスタ 11、レイヤー選択トランジスタ 10 a、10 b、10 c それぞれの間の拡散層領域については説明していないが、適宜必要な拡散層を形成すれば良い。

[0189] また、例えば電極 6 (X) d に電圧を印加すると積層膜 6 (X) 直下だけではなく積層膜 6 (X) 間のシリコン層 3 にも電界（フリンジ電界）がかかり、ゲート間隔（積層膜 6 (X) 間隔）が短く、例えば 30nm 以下となる場合には、そのフリンジ電界だけでもチャネルに電流パスが通るため（例えば、Chang-Hyum Lee, et al, VLSI Technology Digest of Technical Papers, pp118-119, 2008）、拡散層が形成されていなくても良い。

[0190] その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

[0191] (効果)

本発明によれば、レイヤー選択トランジスタ構造により、ソース線及びピ

ット線が積層ストリングでそれぞれ共通の一本ずつとなり、メモリストリングを積層させたとしても長さの増大は一層ごとにレイヤー選択トランジスタを形成する領域のみとなるため、従来の構造に比べてその長さを短くすることが可能となる。また、配線数及び回路面積も同様に一層ごとにレイヤー選択トランジスタ一本が増加するのに対応する増大量に抑えることが可能となる。

産業上の利用可能性

[0192] 本発明は、高速ランダム書き込み可能なファイルメモリ、高速ダウンロード可能な携帯端末、高速ダウンロード可能な携帯プレーヤー、放送機器用半導体メモリ、ドライブレコーダ、ホームビデオ、通信用大容量バッファメモリ、防犯カメラ用半導体メモリなどに対して産業上のメリットは多大である。

符号の説明

[0193] 1…シリコン (Si) 基板 (半導体基板)、2…シリコン酸化膜 (SiO₂)、3 (3a、3b、3c)…シリコン層 (メモリストリングチャネル領域)、4 (4a、4b)…シリコン酸化膜 (メモリストリング絶縁領域)、5…シリコン酸化膜、6 (X)…積層膜 (Xは1～nの自然数)、6 (X) a…シリコン酸化膜 (メモリセルトンネル絶縁膜)、6 (X) b…シリコン窒化膜 (Si₃N₄) (メモリセル電荷蓄積層)、6 (X) c…シリコン酸化膜 (メモリセルブロック絶縁膜)、6 (X) d…ニッケルシリサイド (NiSi) (メモリセルコントロール電極)、7、…タングステン (W) (メモリストリング独立コンタクト)、8…タングステン (メモリストリング共通コンタクト)、9…不揮発性半導体記憶装置、10 (10a、10b、10c)…レイヤー選択トランジスタ、11、11b、11c…選択トランジスタ、13 (13a、13b、13c)…シリコン層3における不純物添加領域、14…シリコン層、15…シリコン酸化膜、16、16a、16b…不純物添加シリコン酸化膜、17…不純物添加シリコン (拡散層領域)、18 (18a、18b、18c)…エアーギャップを含む絶縁層、19…消去用

電極、102…シリコンゲルマニウム（SiGe）層、104（104a、104b）…シリコンゲルマニウム層、106a…シリコン酸化膜、106b…シリコン窒化膜、106c…シリコン酸化膜、106d…ニッケルシリサイド。

請求の範囲

[請求項1]

半導体基板と、前記半導体基板の表面に対して垂直な第1方向に積み重ねられ、前記半導体基板の表面に平行な第2方向に延びる第1乃至第 n のメモリストリングス（ n は2以上の自然数）と、前記第1乃至第 n のメモリストリングスのうちの1つを選択する第1乃至第 k のレイヤー選択トランジスタ（ k は2以上の自然数）とを具備し、

前記第1乃至第 n のメモリストリングスは、前記第1方向に互いに絶縁されて積み重ねられる第1乃至第 n の半導体層と、前記第1乃至第 n の半導体層の前記第1及び第2方向に垂直な第3方向の側面上に、第1の絶縁膜、電荷蓄積層、第2の絶縁膜及びコントロールゲート電極の順番で、前記第3方向に積み重ねられる第1の積層構造とを有し、

前記第1乃至第 n のメモリストリングスは、前記第1乃至第 n の半導体層をチャネルとし、前記第2方向に直列に接続される電氣的に書き換え可能な第1乃至第 m のメモリセル（ m は2以上の自然数）を有し、

前記コントロールゲート電極は、前記第1乃至第 n の半導体層に跨って形成され、

前記第1乃至第 k のレイヤー選択トランジスタは、前記第1乃至第 n の半導体層の前記第3方向の側面上に、第3の絶縁膜及び第1のセレクトゲート電極の順番で、前記第3方向に積み重ねられる第2の積層構造を有し、

前記第1乃至第 k のレイヤー選択トランジスタは、前記第1乃至第 n の半導体層をチャネルとし、前記第1乃至第 m のメモリセルに対して前記第2方向に直列に接続され、

前記第1のセレクトゲート電極は、前記第1乃至第 n の半導体層に跨って形成され、

前記第1乃至第 k のレイヤー選択トランジスタの各々は、前記第1

乃至第 n の半導体層のうちの少なくとも 1 つで常時オンの制御不可能状態であり、残りの少なくとも 1 つの半導体層でオン／オフが可能である制御可能状態であり、

前記第 1 乃至第 k のレイヤー選択トランジスタの前記第 1 乃至第 n の半導体層での前記制御不可能状態／前記制御可能状態の関係は、互いに異なっている

ことを特徴とする不揮発性半導体記憶装置。

[請求項2]

前記第 1 乃至第 n の半導体層をチャネルとし、前記第 1 乃至第 k のレイヤー選択トランジスタに対して前記第 2 方向に直列に接続される追加の選択トランジスタをさらに具備し、

前記追加の選択トランジスタは、前記第 1 乃至第 n の半導体層の前記第 3 方向の側面上に、第 4 の絶縁膜及び第 2 のセレクトゲート電極の順番で、前記第 3 方向に積み重ねられる第 3 の積層構造を有し、

前記第 2 のセレクトゲート電極は、前記第 1 乃至第 n の半導体層に跨って形成され、

前記追加の選択トランジスタは、前記第 1 乃至第 n の半導体層の全てで前記制御可能状態である

ことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項3]

前記 k は、前記 n に等しく、

前記第 1 乃至第 k のレイヤー選択トランジスタのうち前記第 1 乃至第 n のメモリストリングスに最も近いレイヤー選択トランジスタは、前記第 1 乃至第 n の半導体層のうち最上層の半導体層で前記制御不可能状態であり、

前記第 1 乃至第 k のレイヤー選択トランジスタのうち前記第 1 乃至第 n のメモリストリングスに i 番目 (i は、 $2 \sim n-1$ のうちの 1 つ) に近いレイヤー選択トランジスタは、前記第 1 乃至第 n の半導体層のうち最上層から i 番目の半導体層で前記制御不可能状態であり、

前記第 1 乃至第 k のレイヤー選択トランジスタのうち前記第 1 乃至

第 n のメモリストリングスから最も遠いレイヤー選択トランジスタは、前記第 1 乃至第 n の半導体層のうち最下層の半導体層で前記制御不可能状態であり、

前記制御不可能状態は、前記第 1 乃至第 n の半導体層内に形成される不純物領域により実現し、前記第 1 乃至第 n の半導体層は、前記不純物領域を介して前記第 1 乃至第 n の半導体層とは別の半導体層により互いに結合されている

ことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項 4]

前記第 1 乃至第 n の半導体層をチャネルとし、前記第 1 乃至第 n のレイヤー選択トランジスタに対して前記第 2 方向に直列に接続される追加の選択トランジスタをさらに具備し、

前記追加の選択トランジスタは、前記第 1 乃至第 n の半導体層の前記第 3 方向の側面上に、第 4 の絶縁膜及び第 2 のセレクトゲート電極の順番で、前記第 3 方向に積み重ねられる第 3 の積層構造を有し、

前記第 2 のセレクトゲート電極は、前記第 1 乃至第 n の半導体層に跨って形成され、

前記追加の選択トランジスタは、前記第 1 乃至第 n の半導体層の全てで前記制御可能状態である

ことを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

[請求項 5]

前記第 1 乃至第 n の半導体層は、少なくともエアーギャップを含んだ絶縁層により電氣的に絶縁されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項 6]

前記第 1 乃至第 n の半導体層は、少なくともエアーギャップを含んだ絶縁層により電氣的に絶縁されていることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

[請求項 7]

前記第 1 乃至第 n の半導体層の前記第 3 方向の 2 つの側面のうち前記第 1 及び第 2 の積層構造を有する側面とは反対側の側面上に電極をさらに具備することを特徴とする請求項 5 に記載の不揮発性半導体記

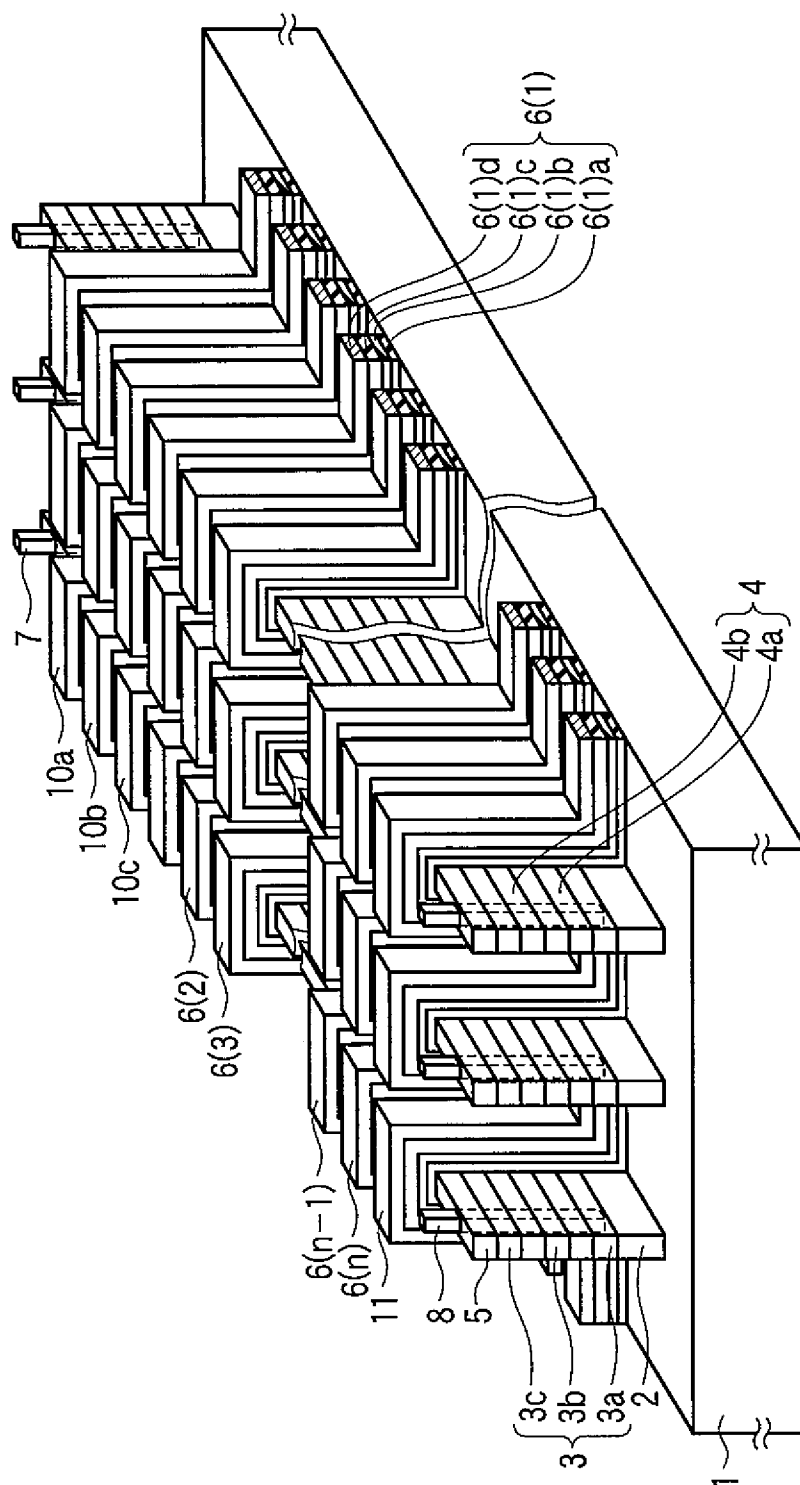
憶装置。

[請求項8] 前記第 1 乃至第 n の半導体層の前記第 3 方向の 2 つの側面のうち前記第 1 及び第 2 の積層構造を有する側面とは反対側の側面上に電極をさらに具備することを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

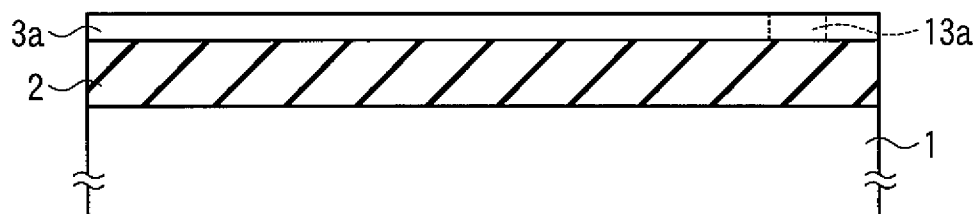
[請求項9] 前記第 1 乃至第 n の半導体層の前記第 2 方向の一端に設けられ、前記第 1 乃至第 n の半導体層を貫通する金属電極と、前記金属電極の周りの前記第 1 乃至第 n の半導体層内に形成される拡散層とをさらに具備することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項10] 前記第 1 乃至第 n の半導体層の前記第 2 方向の一端に設けられ、前記第 1 乃至第 n の半導体層を貫通する金属電極と、前記金属電極の周りの前記第 1 乃至第 n の半導体層内に形成される拡散層とをさらに具備することを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

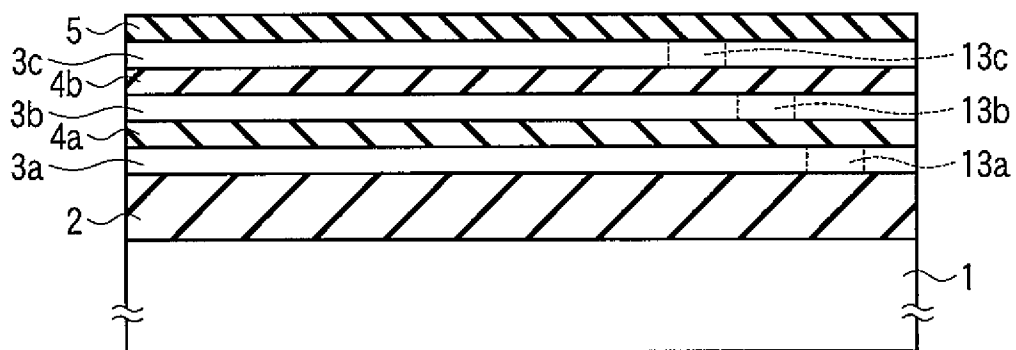
[図3]



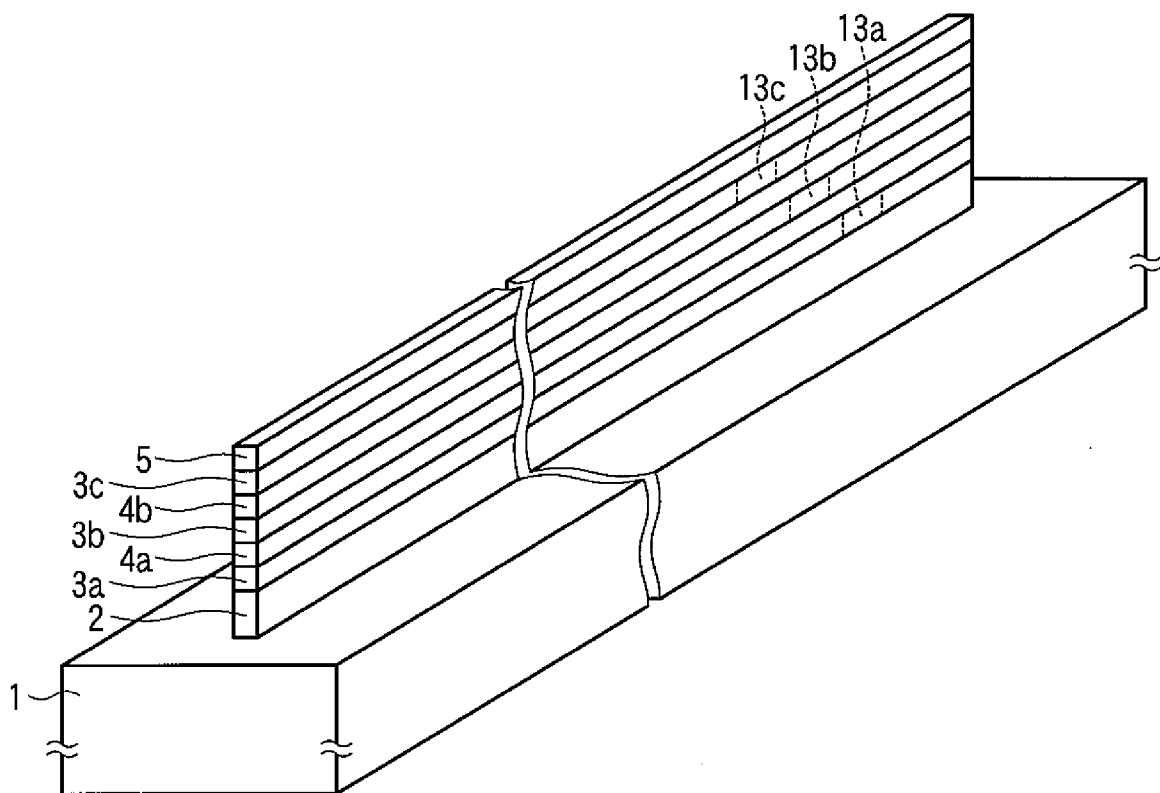
[図4A]



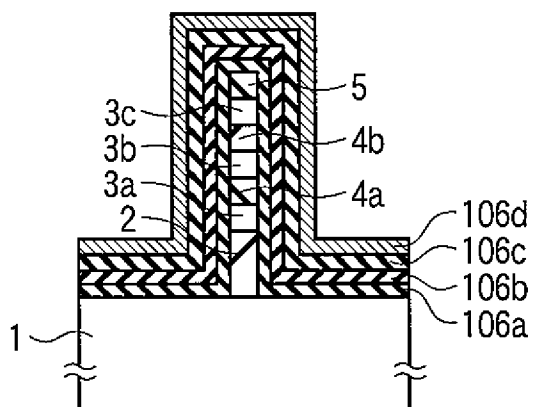
[図4B]



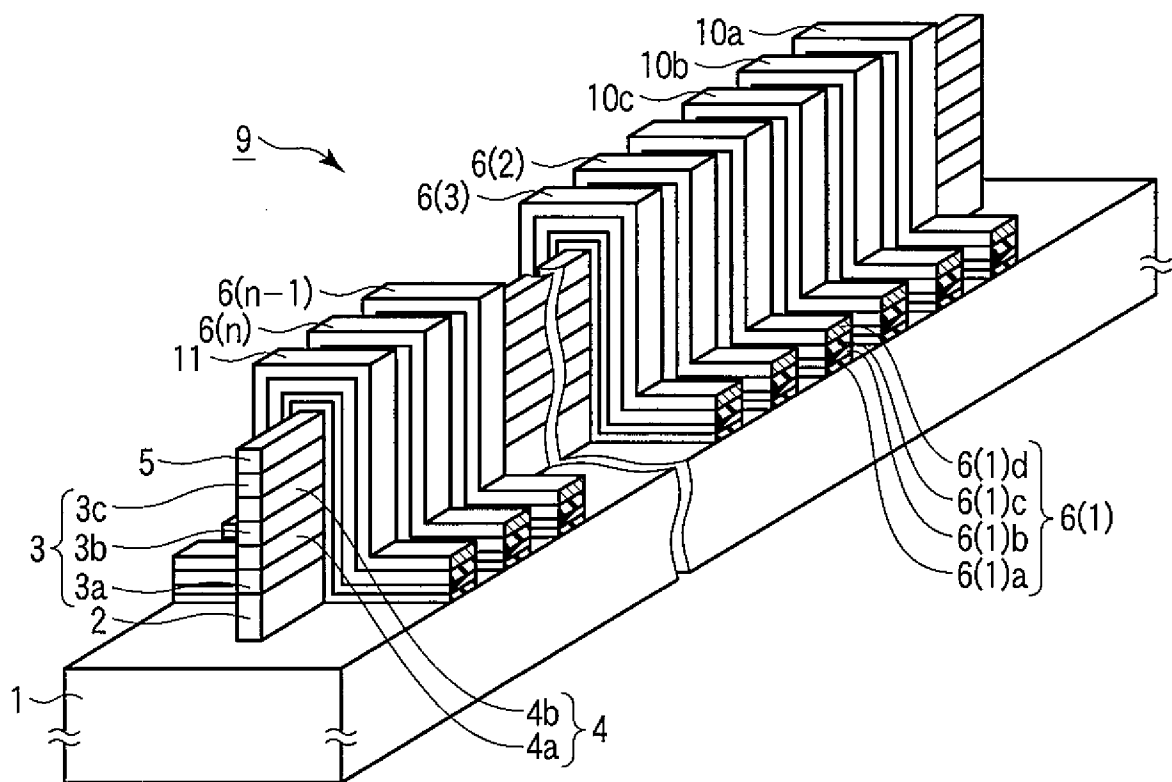
[図4C]



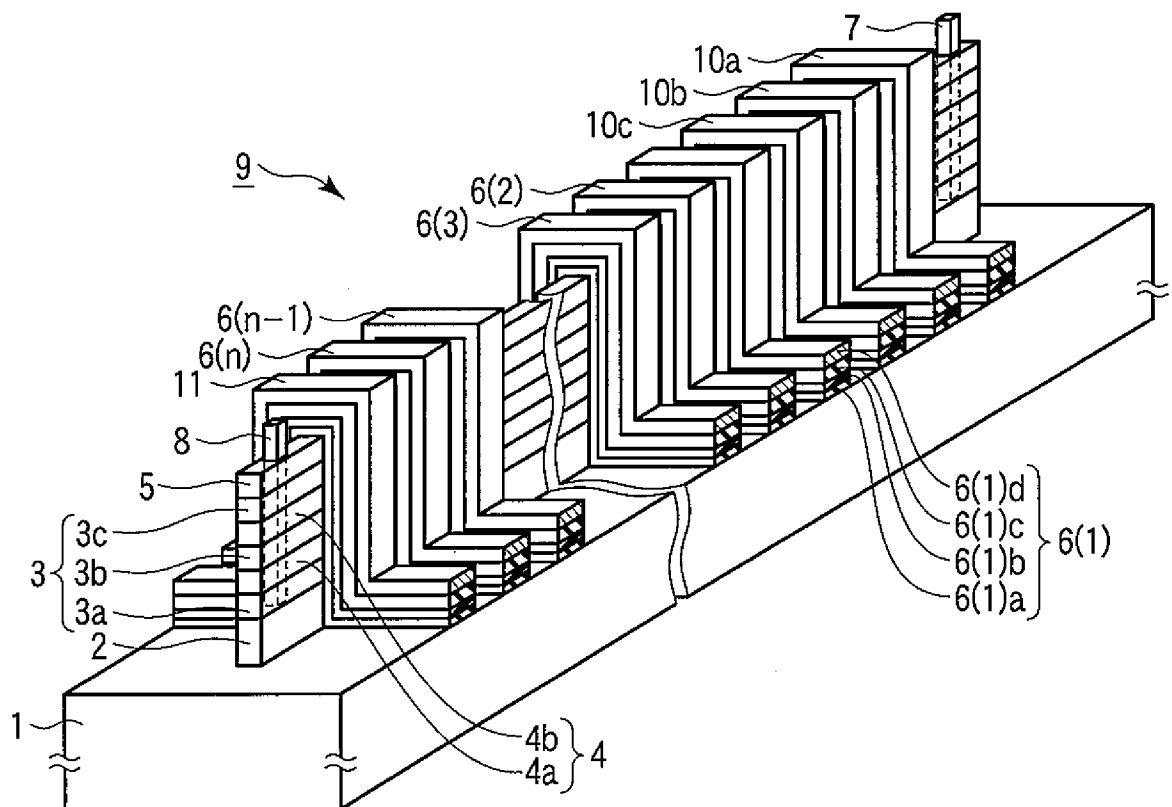
[図4D]



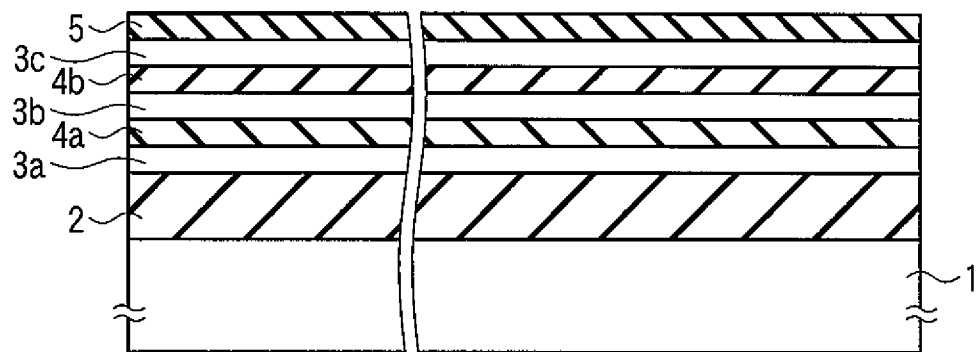
[図4E]



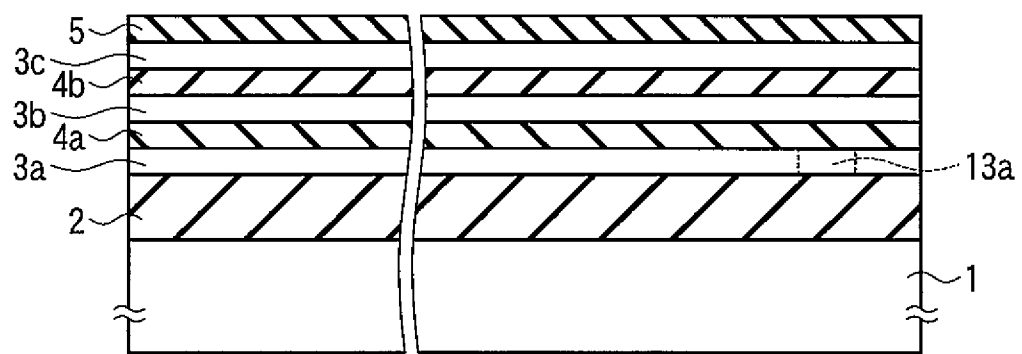
[図4F]



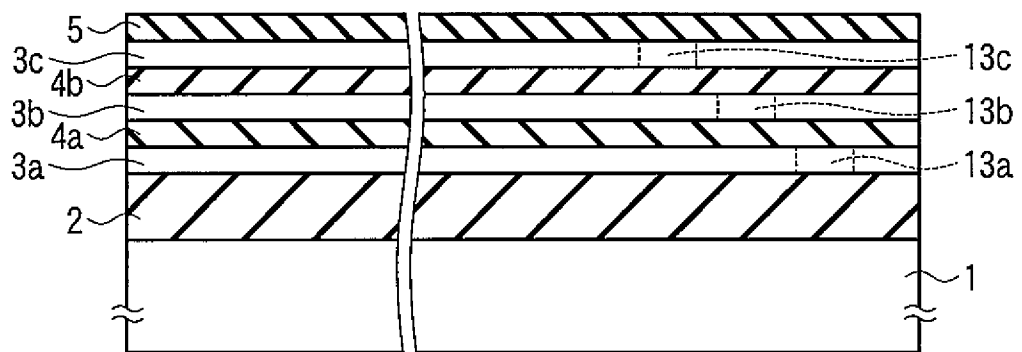
[図5A]



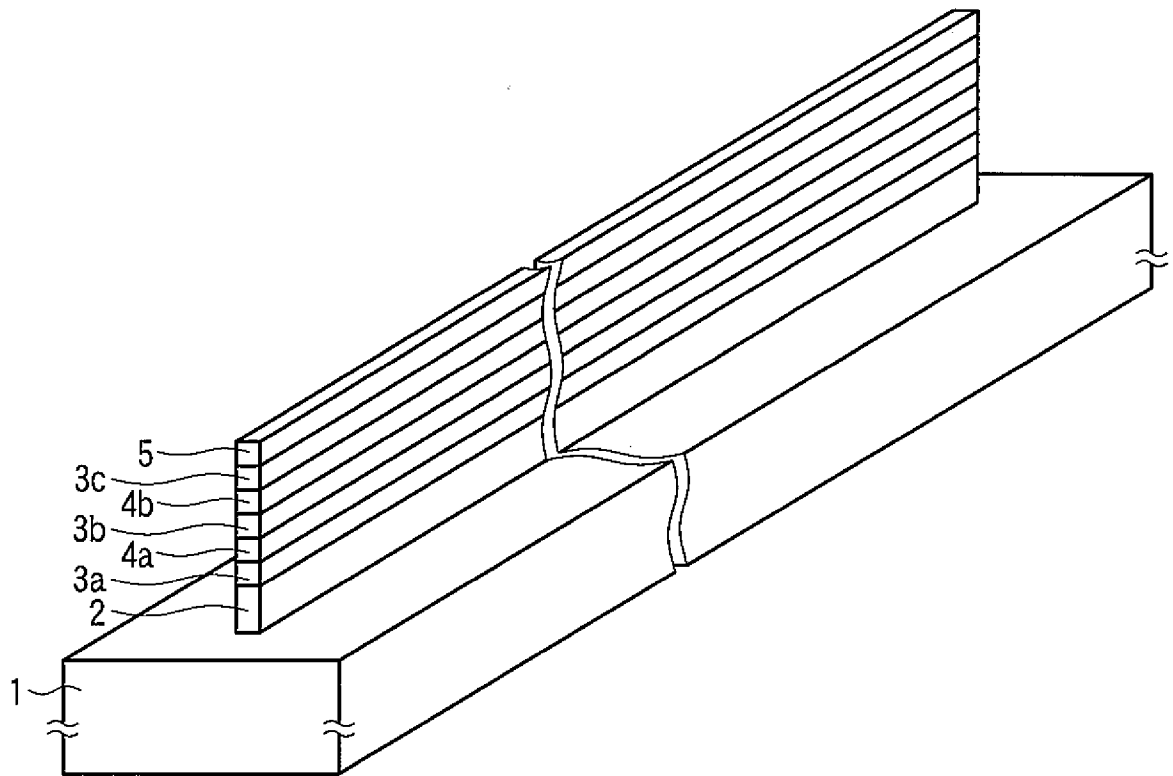
[図5B]



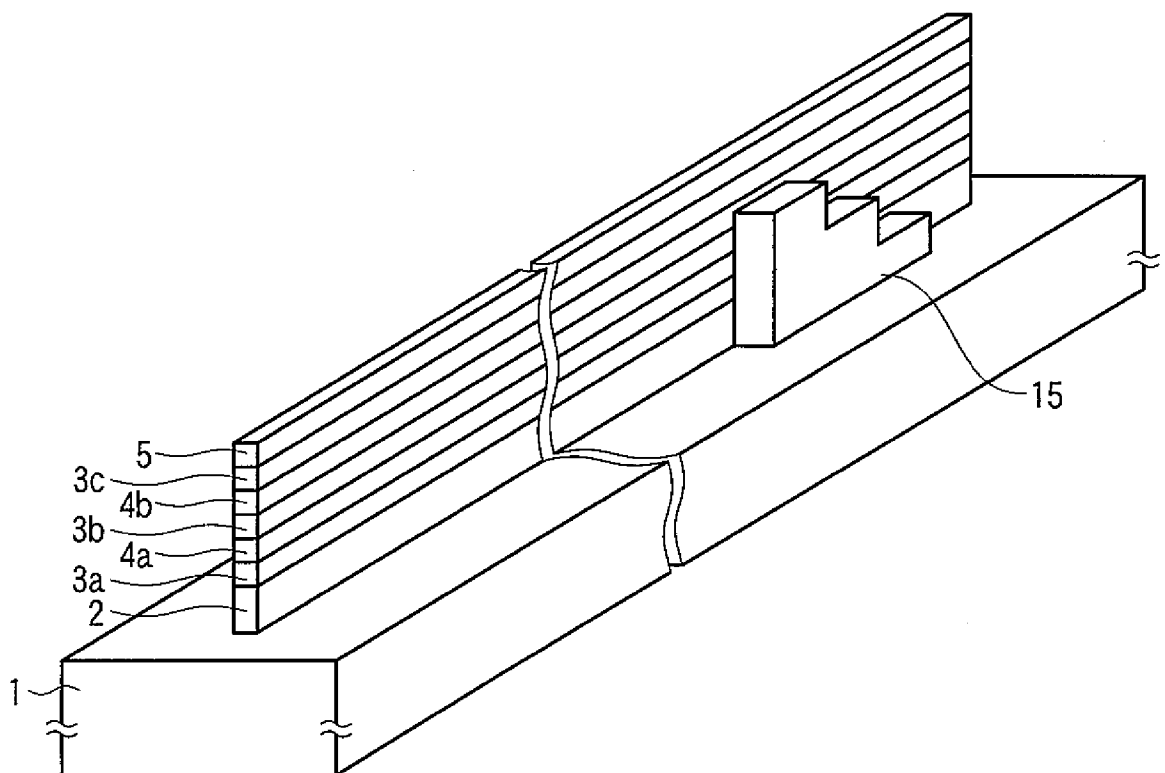
[図5C]



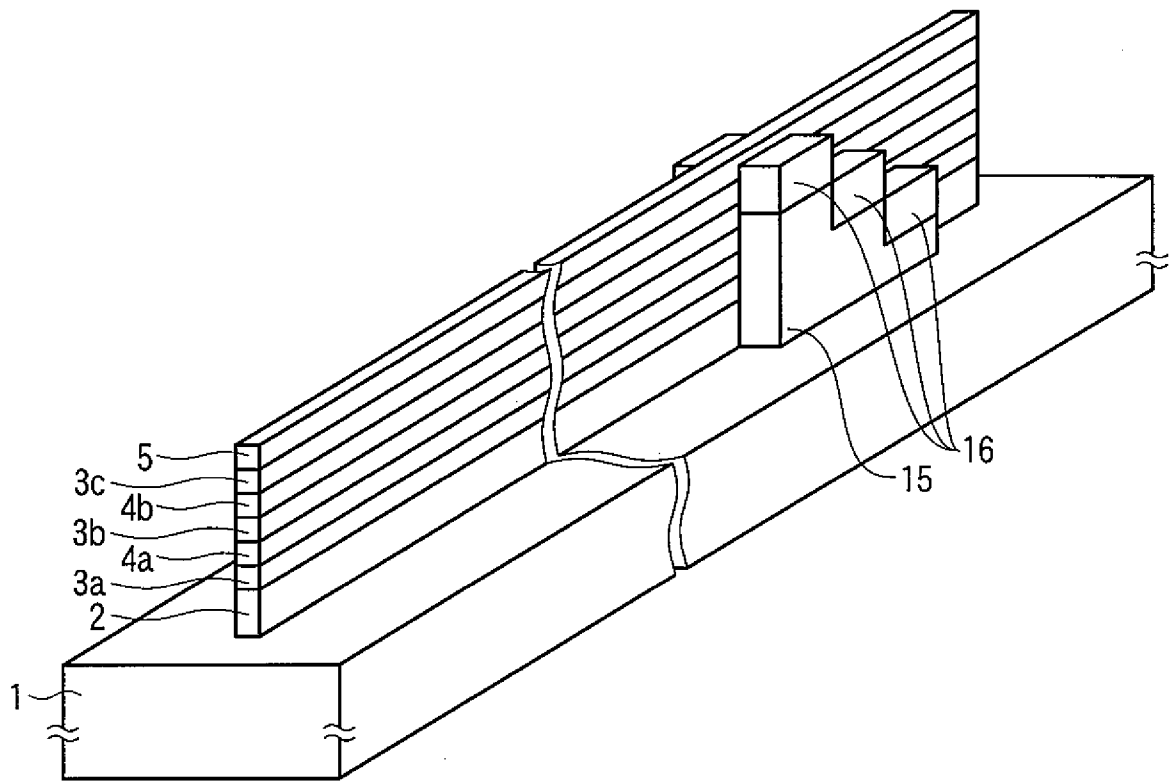
[図6A]



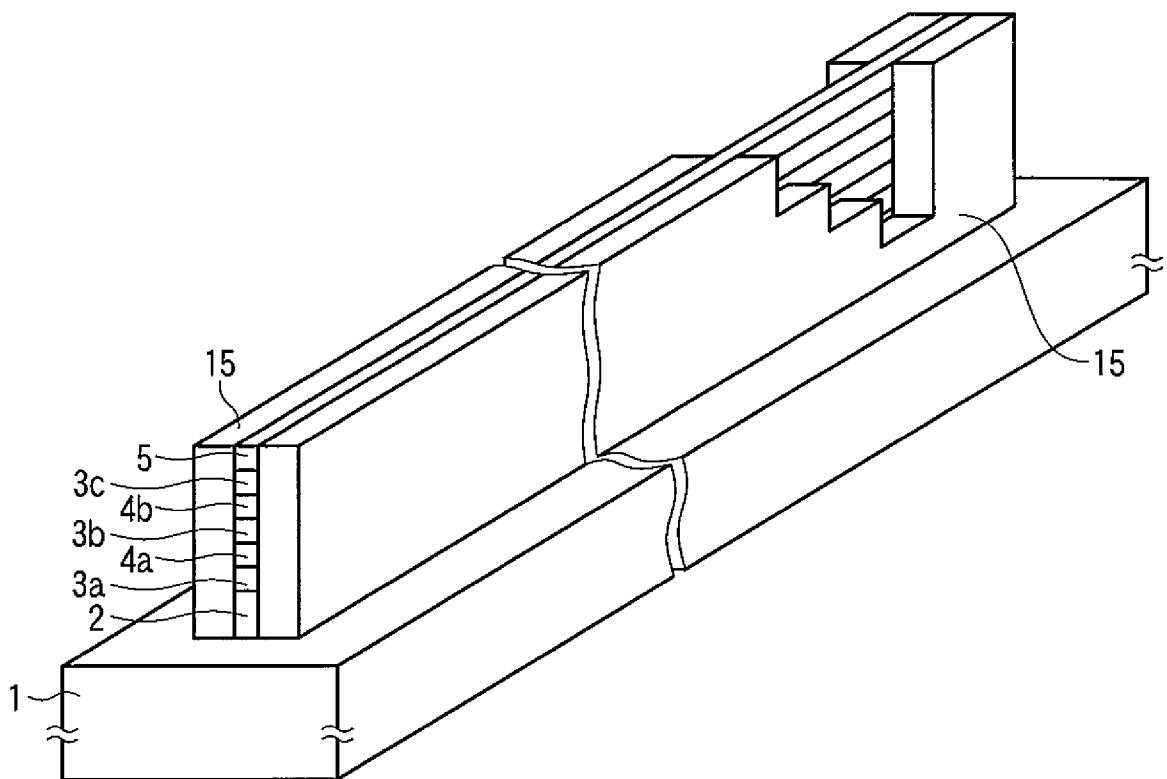
[図6B]



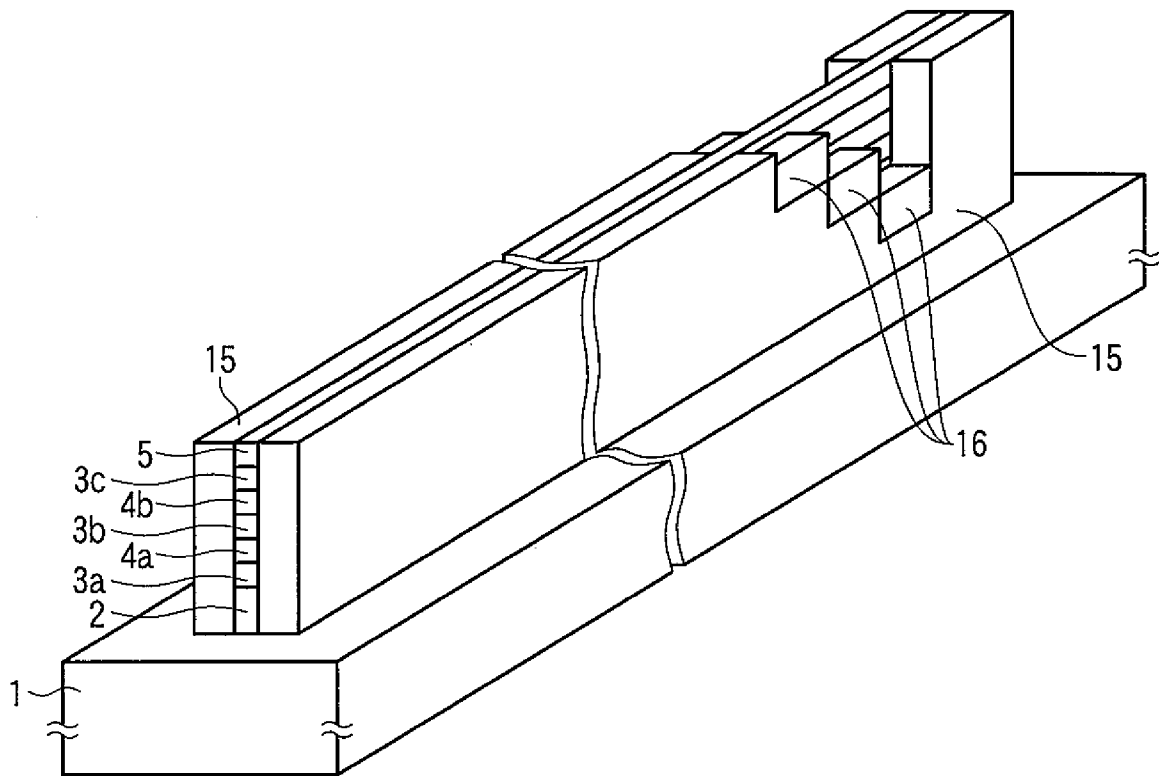
[図6C]



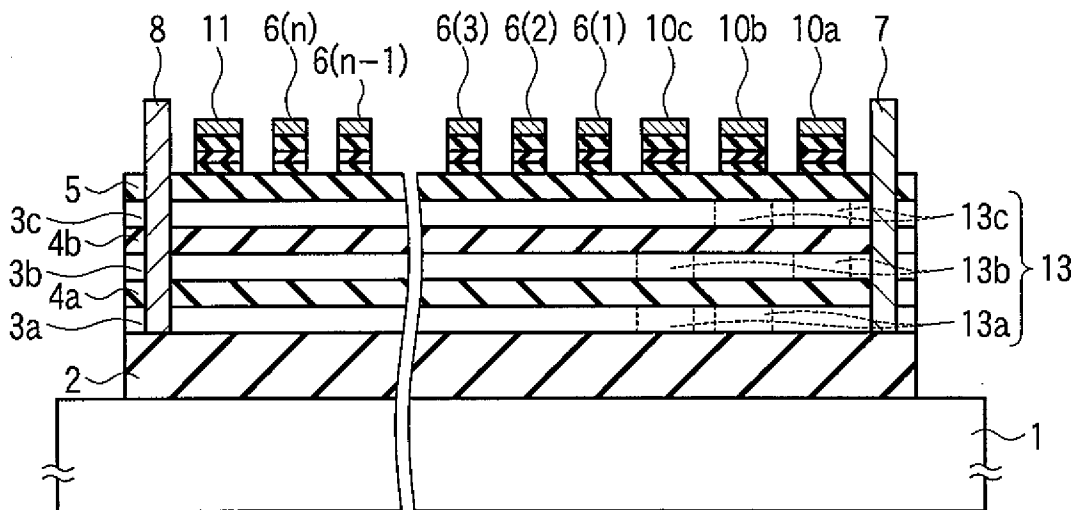
[図7A]



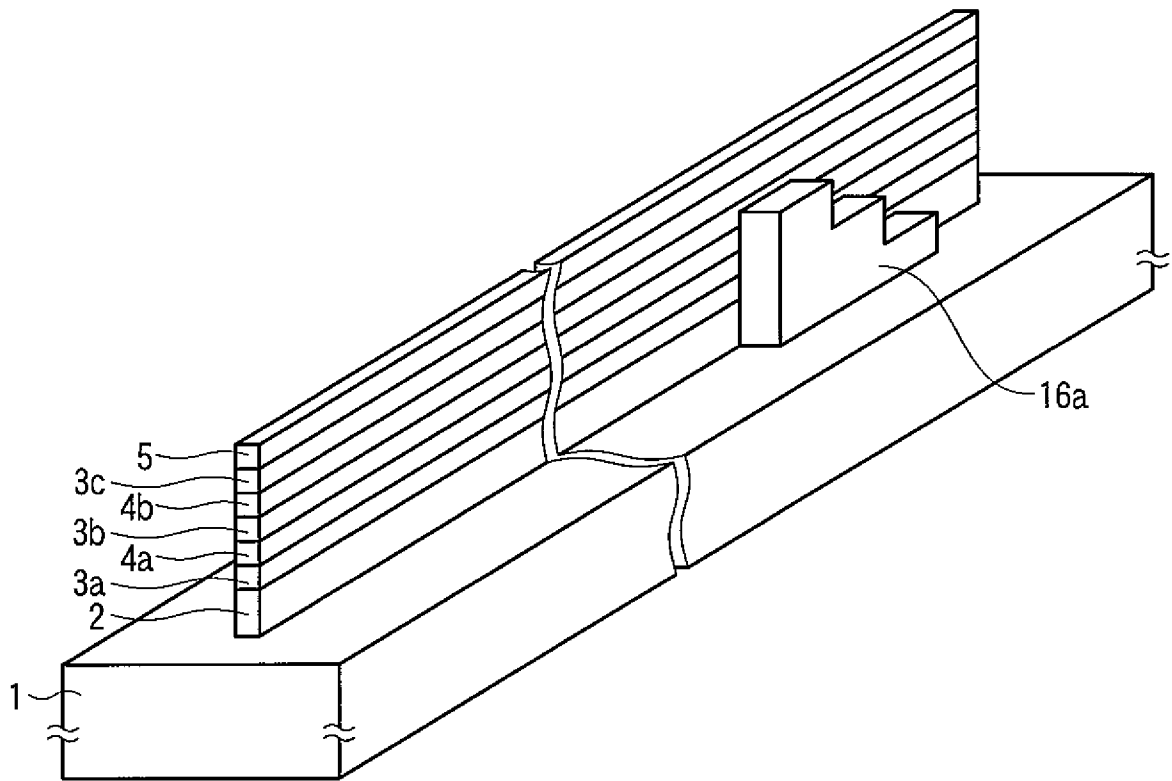
[図7B]



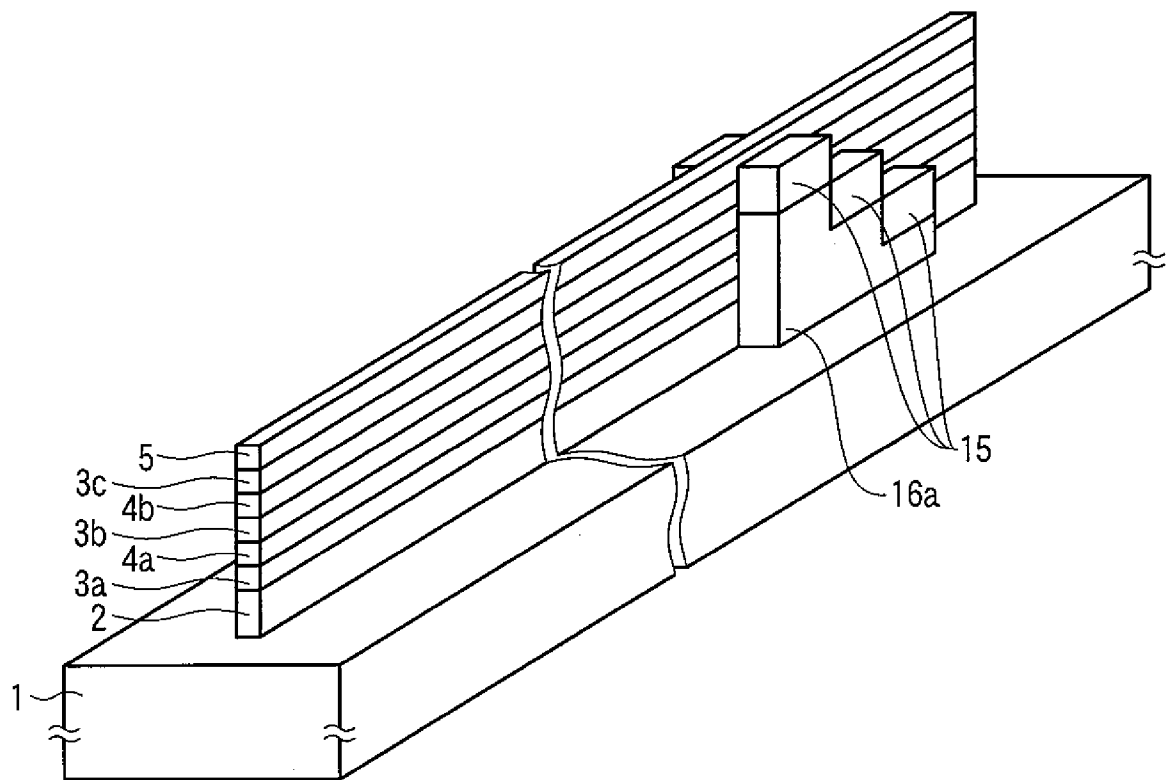
[図8]



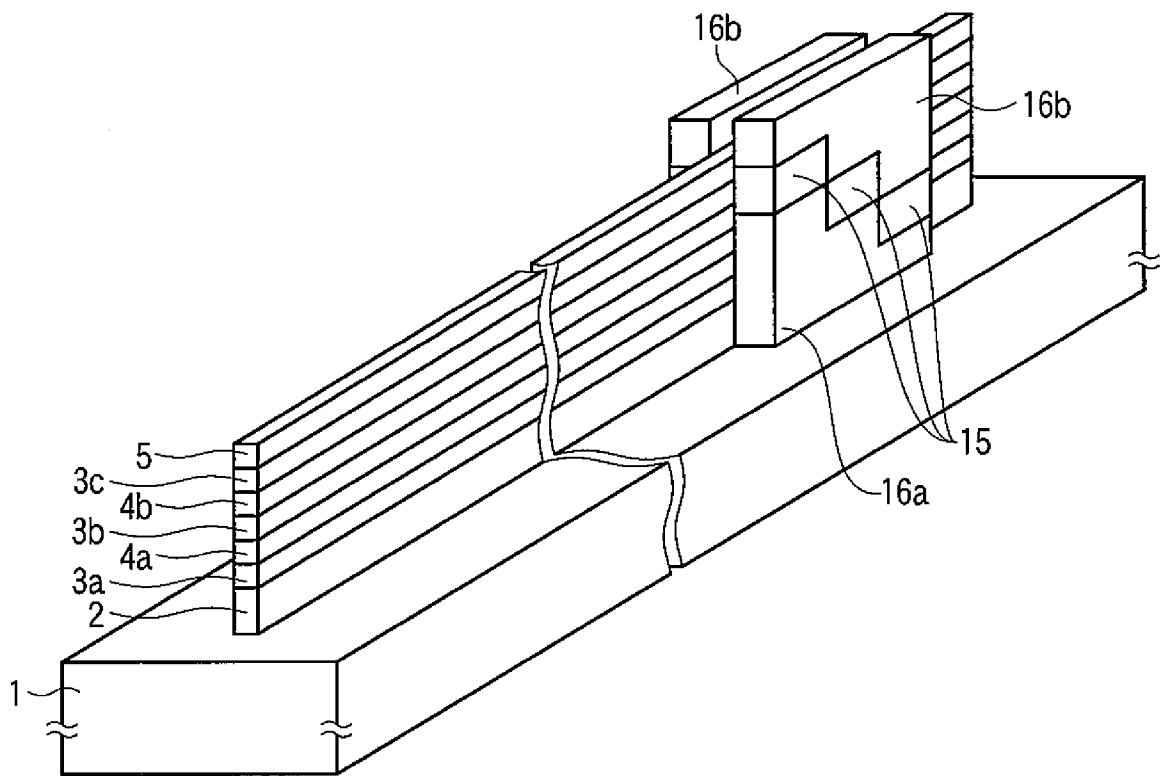
[図9A]



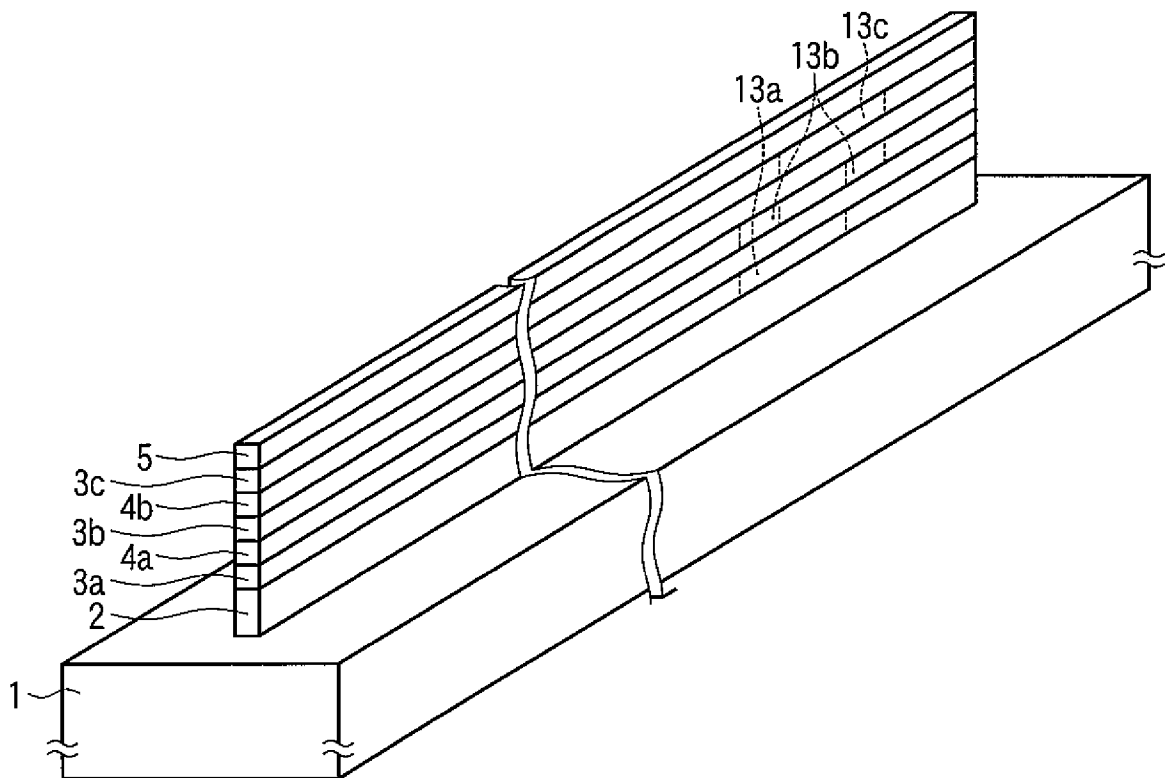
[図9B]



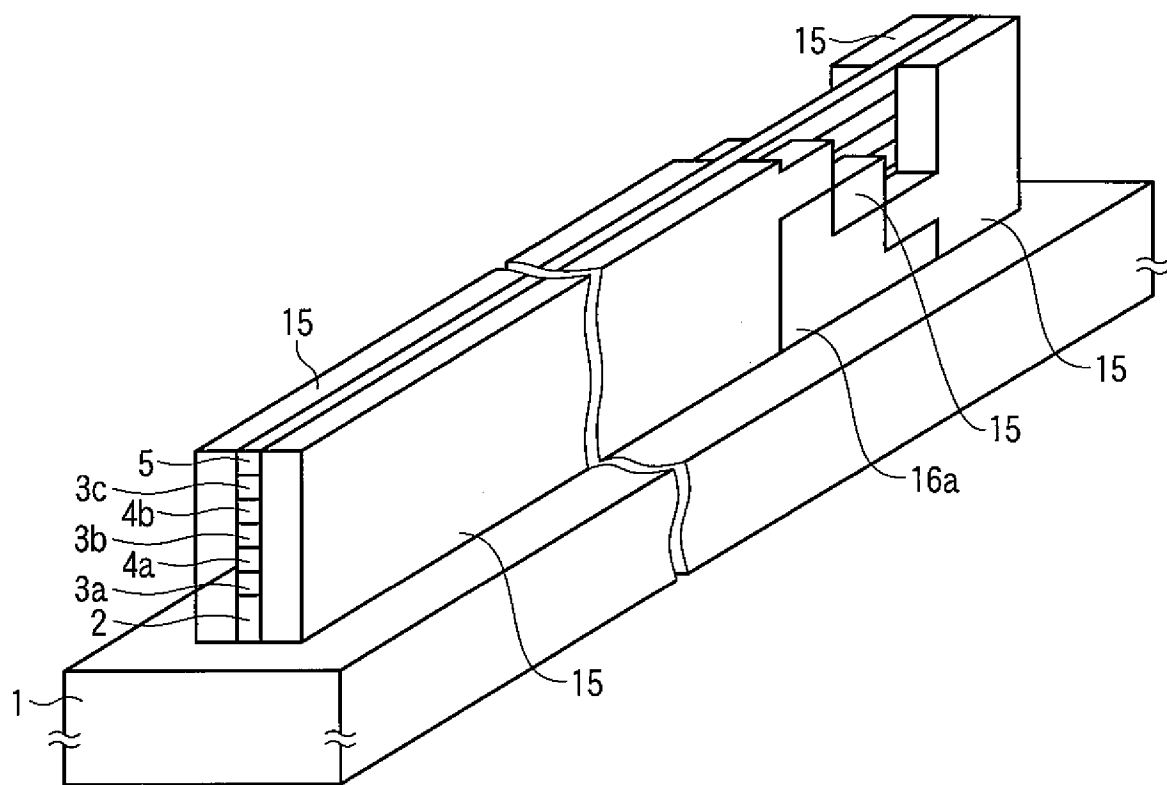
[図9C]



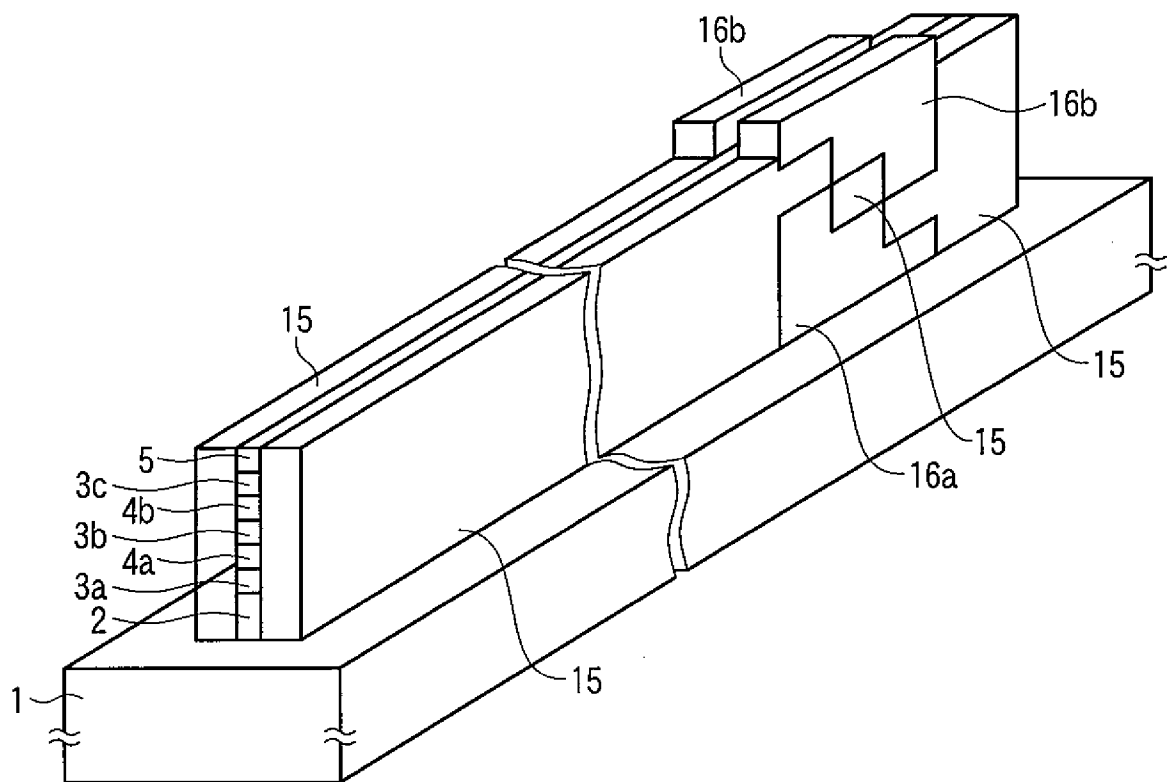
[図9D]



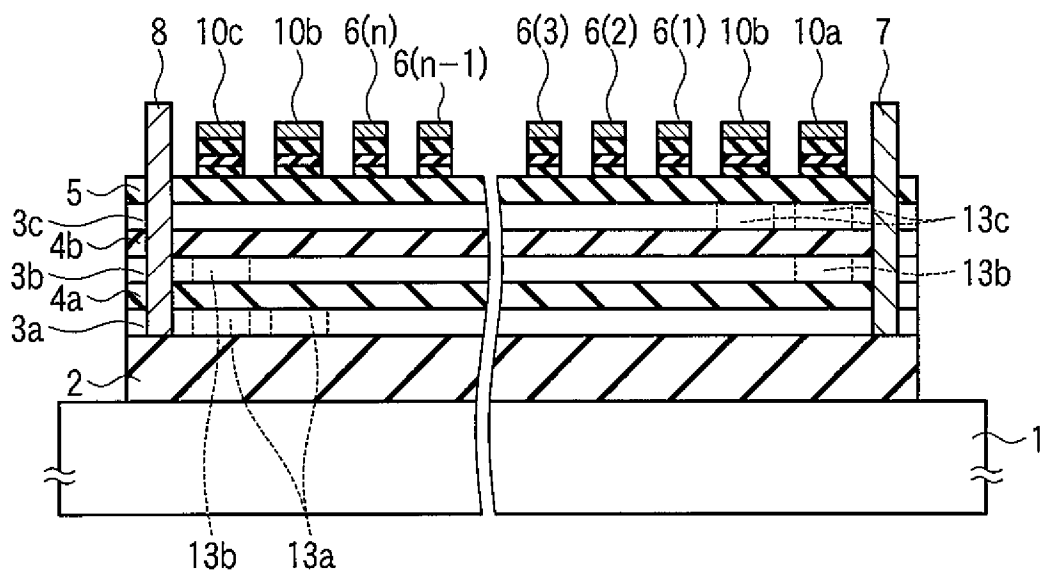
[図10A]



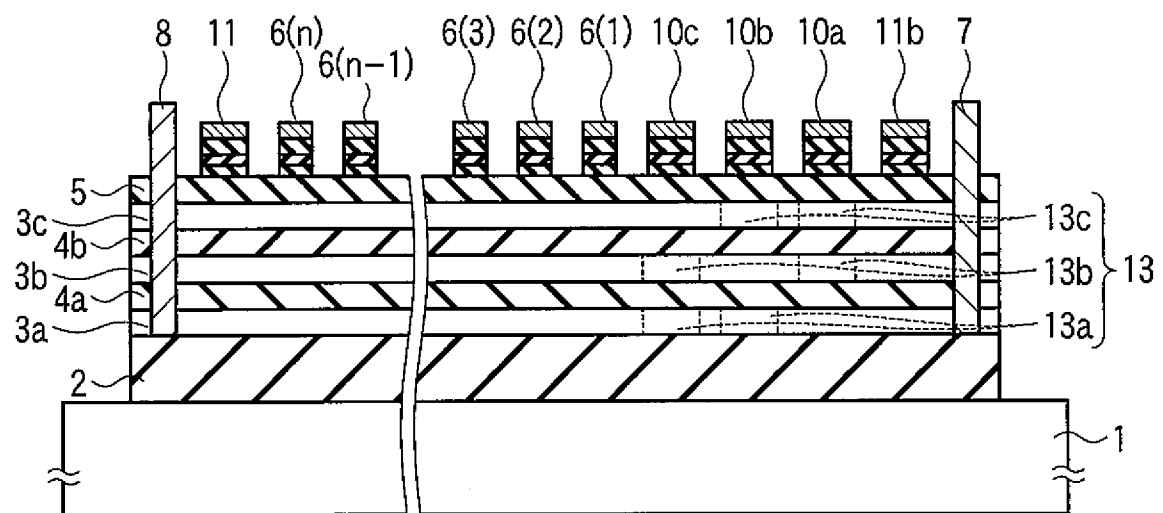
[図10B]



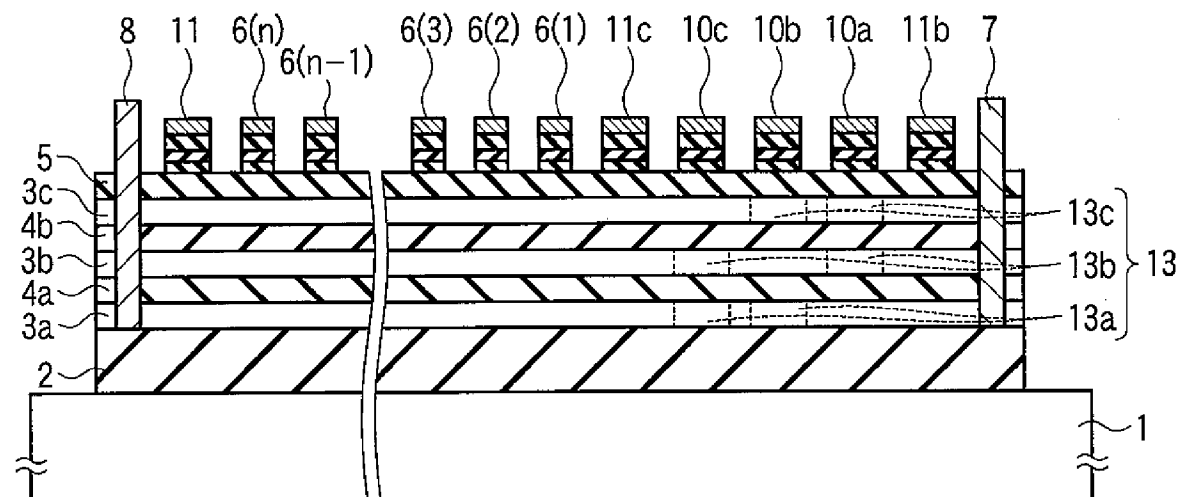
[図11]



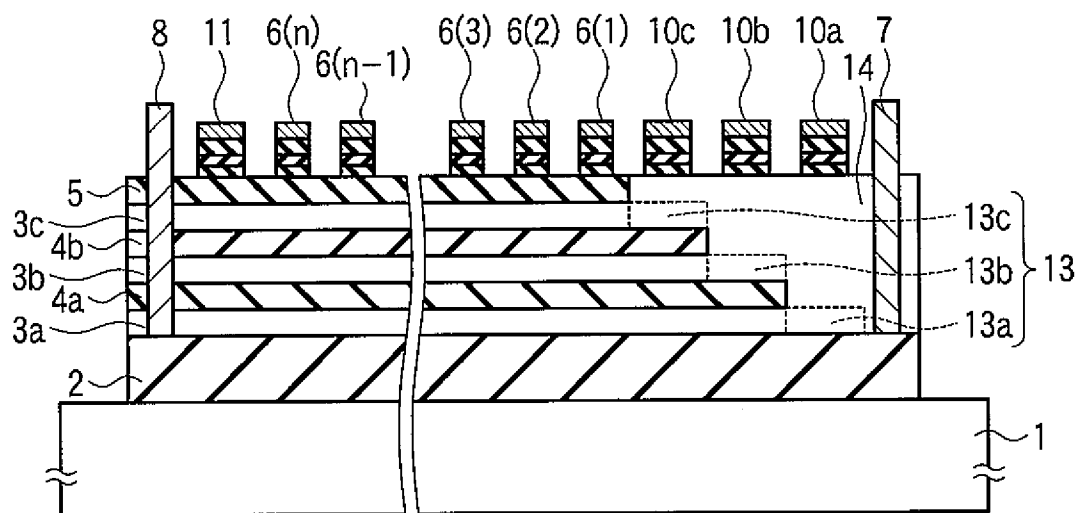
[図12A]



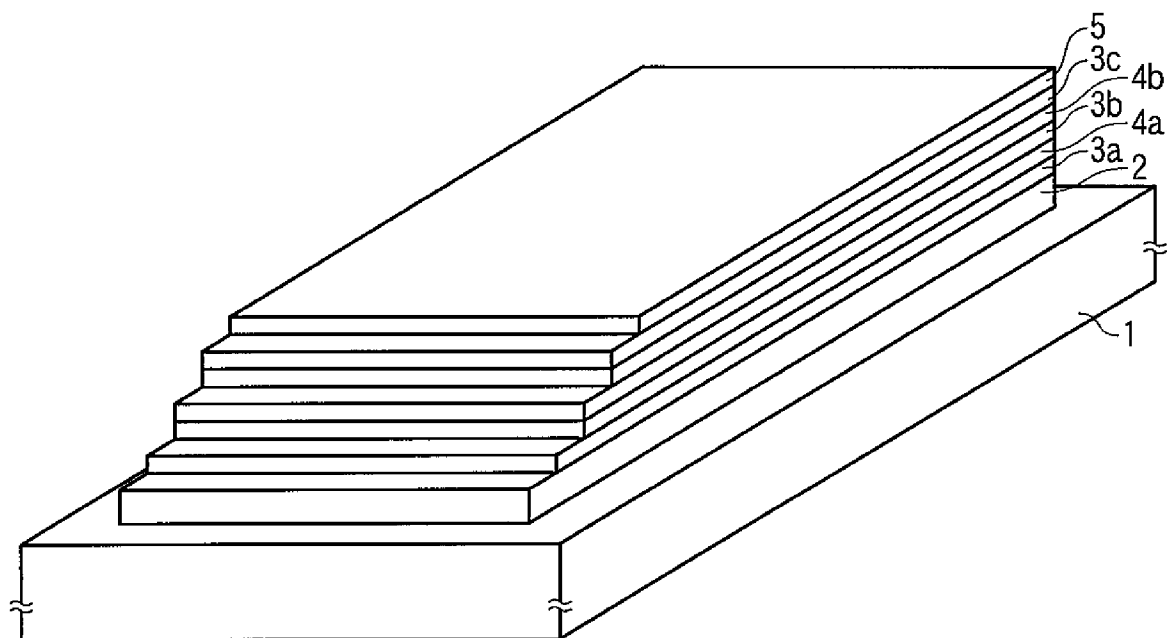
[図12B]



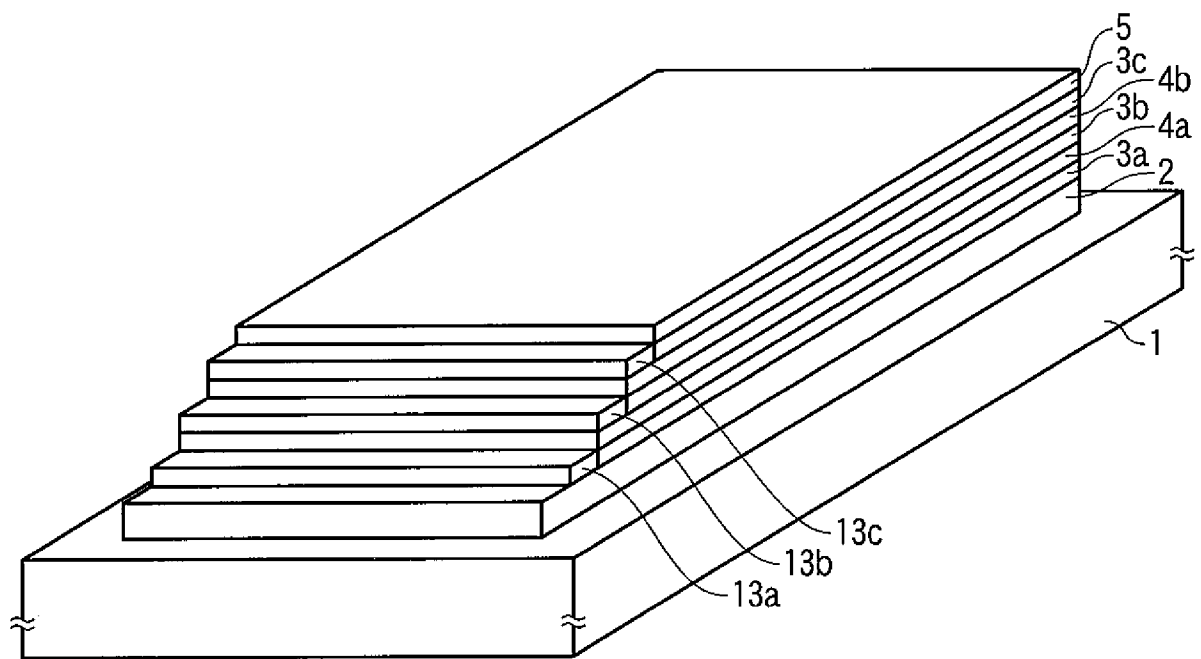
[図13]



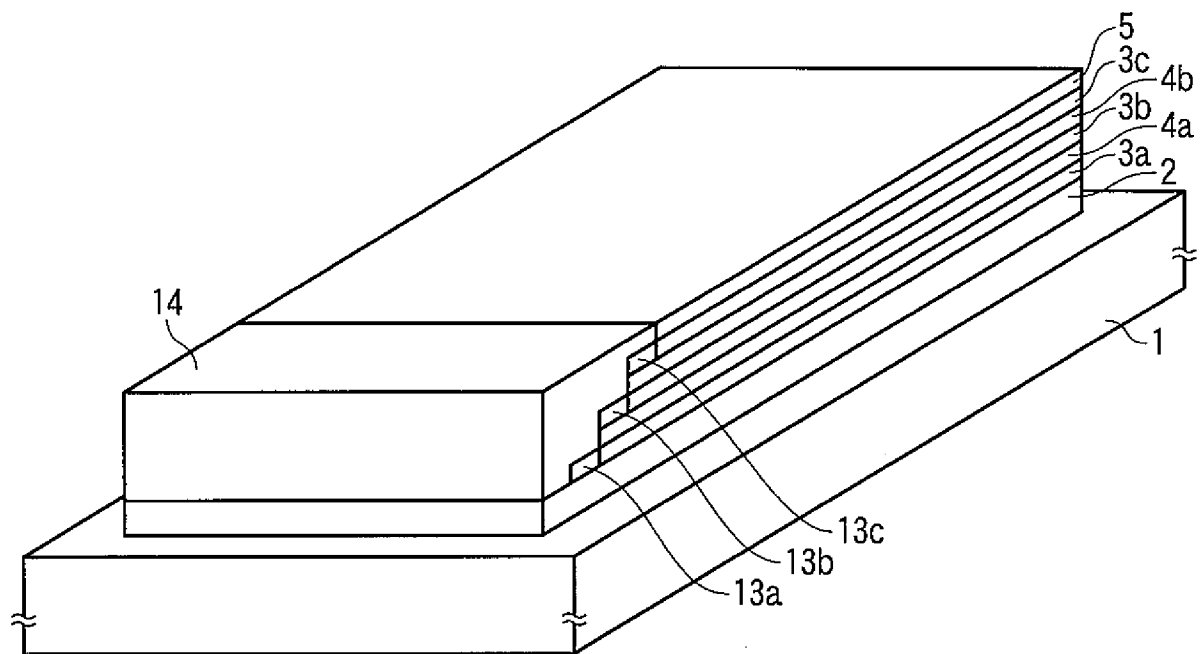
[図14A]



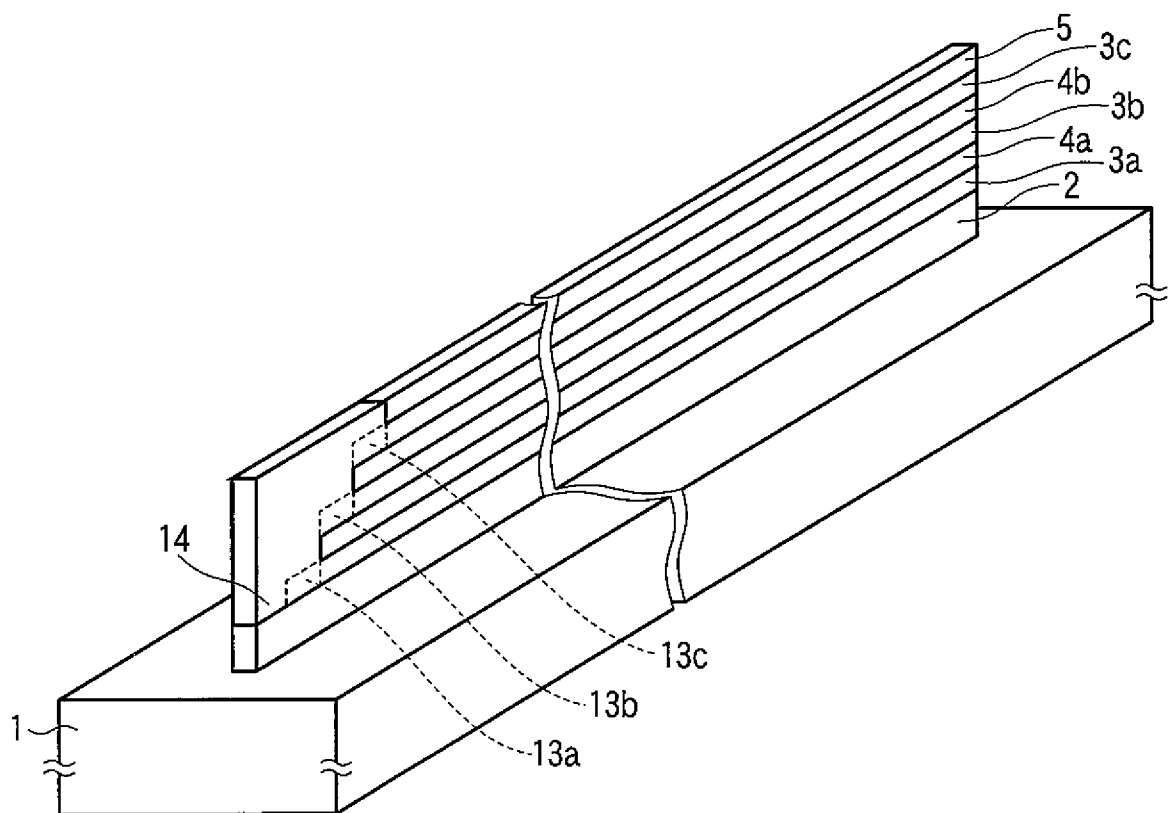
[図14B]



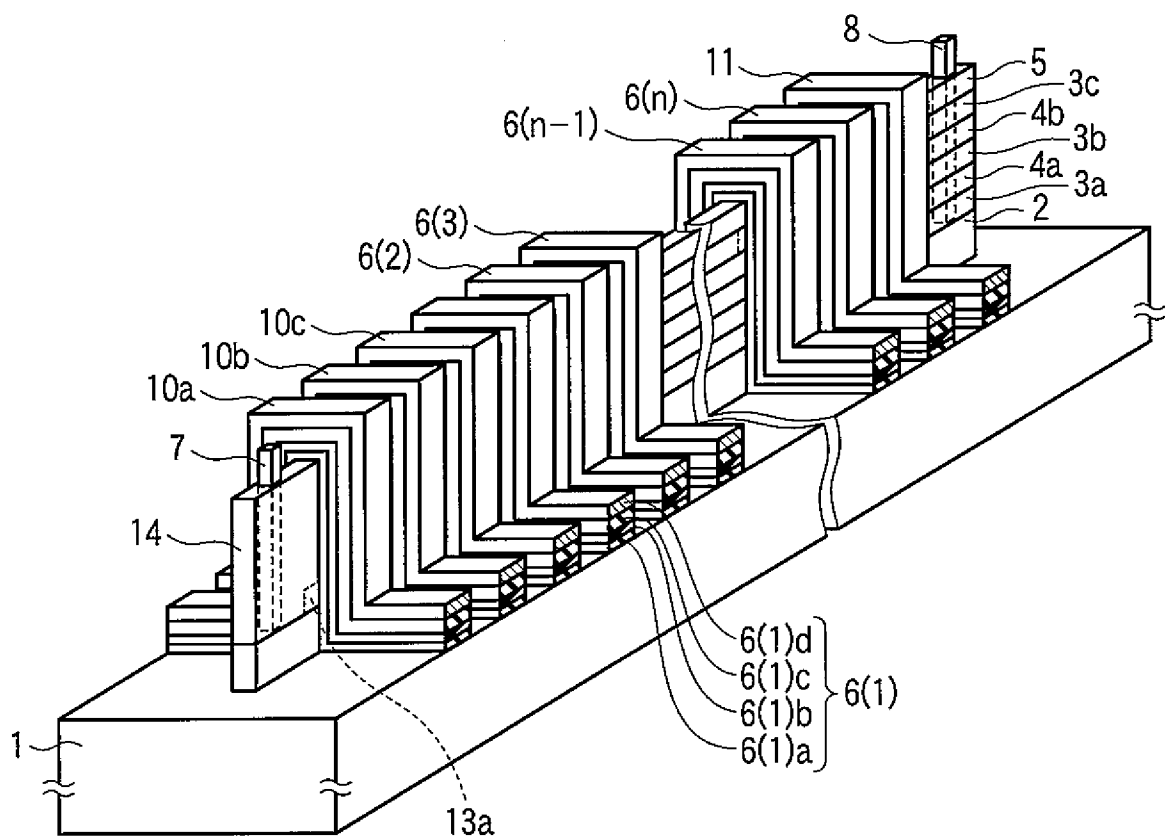
[図14C]



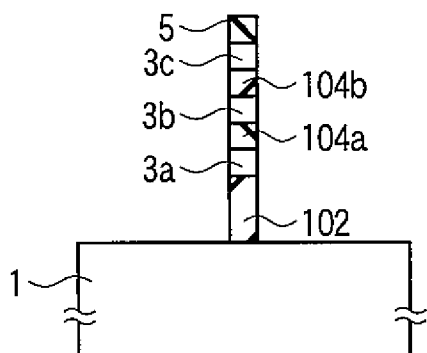
[図14D]



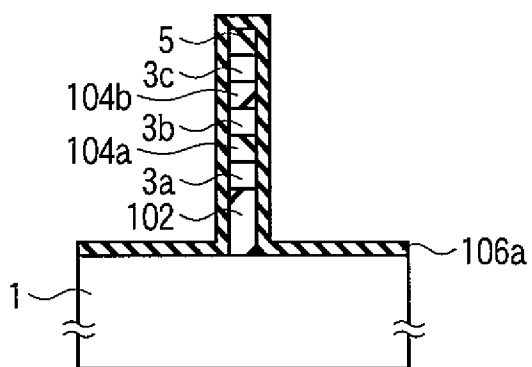
[図14E]



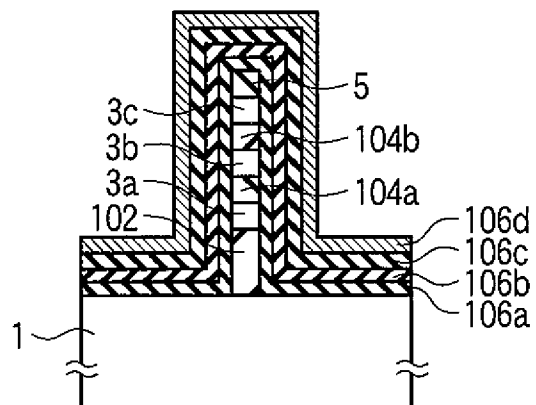
[図18C]



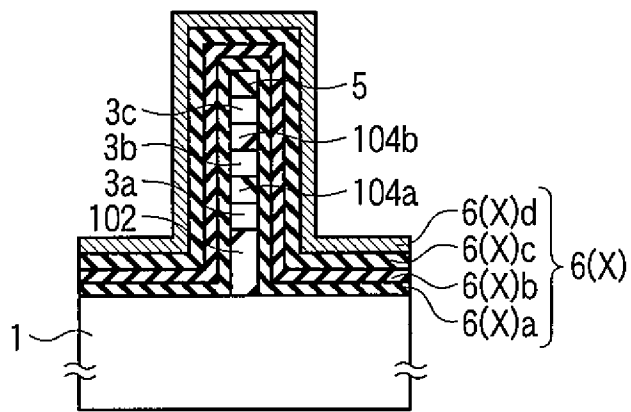
[図18D]



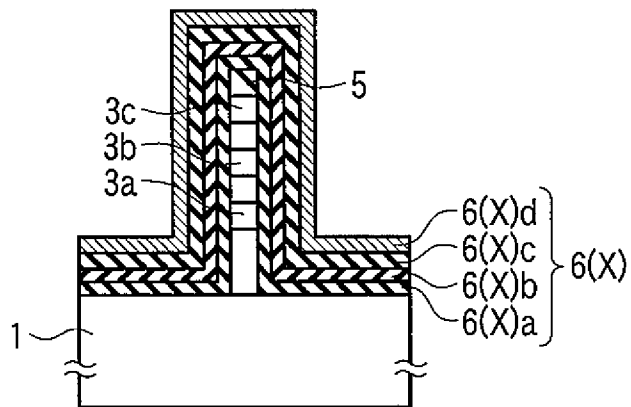
[図18E]



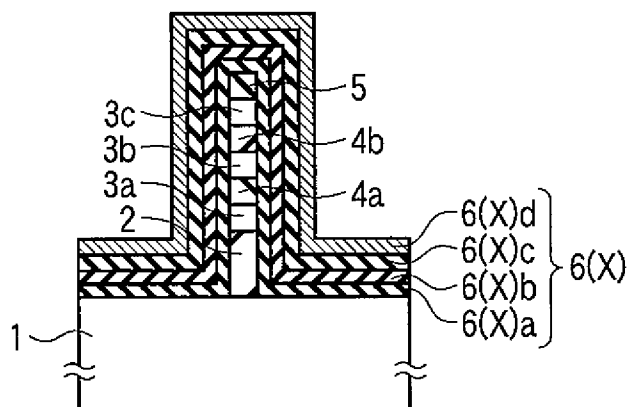
[図18F]



[図18G]



[図18H]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060803

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L21/762(2006.01)i, H01L21/764(2006.01)i,
H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L21/762, H01L21/764, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-155750 A (Sony Corp.), 15 June, 2006 (15.06.06), Par. Nos. [0062] to [0072]; Figs. 9 to 12 (Family: none)	1-4, 9-10 5-8
Y	JP 2004-349702 A (Sharp Corp.), 09 December, 2004 (09.12.04), Par. Nos. [0045] to [0047]; Fig. 5C & US 2004/0235262 A1 & TW 248650 B & KR 10-2004-0100977 A	5-8
Y	JP 2008-78404 A (Toshiba Corp.), 03 April, 2008 (03.04.08), Par. Nos. [0028] to [0062]; Figs. 6, 18, 27 & US 2008/0073635 A1 & KR 10-2008-0027162 A	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 August, 2009 (17.08.09)

Date of mailing of the international search report
25 August, 2009 (25.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060803

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-124107 A (Samsung Electronics Co., Ltd.), 04 June, 2009 (04.06.09), Par. Nos. [0018] to [0033]; Fig. 1 (Family: none)	1-10
A	JP 2008-166759 A (Samsung Electronics Co., Ltd.), 17 July, 2008 (17.07.08), Full text; all drawings & US 2008/0157176 A1 & EP 1939934 A2 & KR 10-2008-0061764 A & KR 10-0784803 B1 & CN 101286514 A	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060803

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

In view of the contents disclosed in Document 1 (JP 2006-155750 A (Sony Corp.), 15 June, 2006 (15.06.06)), it is admitted that the inventions of claims 1 - 10 contain the main invention (Invention 1) and the two additional inventions (Inventions 2 and 3) relating in the individual special technical features, as follow.

(Invention 1) Invention of claims 1 - 4 and 9 - 10
a nonvolatile semiconductor storage device of the invention of claims 1 - 4 and 9 - 10

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060803

Continuation of Box No.III of continuation of first sheet (2)

(Invention 2) Invention of claims 6 and 8
a nonvolatile semiconductor storage device of the invention of claims
6 and 8 referring to claim 3
(Invention 3) Invention of claims 5 and 7
a nonvolatile semiconductor storage device of the invention of claims
5 and 7 referring to claim 1

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8247(2006.01)i, H01L21/762(2006.01)i, H01L21/764(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8247, H01L21/762, H01L21/764, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2006-155750 A (ソニー株式会社) 2006.06.15, 段落【0062】-【0072】、図9-12 (ファミリーなし)	1-4, 9-10 5-8
Y	JP 2004-349702 A (シャープ株式会社) 2004.12.09, 段落【0045】-【0047】、図5C & US 2004/0235262 A1 & TW 248650 B & KR 10-2004-0100977 A	5-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 8 . 2 0 0 9

国際調査報告の発送日

2 5 . 0 8 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小森 重樹

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

4 1 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-78404 A (株式会社東芝) 2008. 04. 03, 段落【0028】 - 【0062】、図 6, 18, 27 & US 2008/0073635 A1 & KR 10-2008-0027162 A	1-10
Y	JP 2009-124107 A (三星電子株式会社) 2009. 06. 04, 段落【0018】 - 【0033】、図 1 (ファミリーなし)	1-10
A	JP 2008-166759 A (三星電子株式会社) 2008. 07. 17, 全文、全図 & US 2008/0157176 A1 & EP 1939934 A2 & KR 10-2008-0061764 A & KR 10-0784803 B1 & CN 101286514 A	1-10

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求項 1-10 に係る発明は、文献 1（JP 2006-155750 A（ソニー株式会社）2006.06.15）の開示内容に照らして、主発明である（発明 1）と、以下に示す各特別な技術的特徴で連関する2つの追加発明（発明 2， 3）が含まれるものと認められる。

（発明 1）請求項 1-4,9-10 に係る発明

・請求項 1-4,9-10 に係る発明の不揮発性半導体記憶装置。

（発明 2）請求項 6,8 に係る発明

・請求項 3 を引用する請求項 6,8 に係る発明の不揮発性半導体記憶装置。

（発明 3）請求項 5 及び 7 に係る発明

・請求項 1 を引用する請求項 5,7 に係る発明の不揮発性半導体記憶装置。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。