

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/02 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510003531.7

[43] 公开日 2006年10月4日

[11] 公开号 CN 1841735A

[22] 申请日 2005.12.29

[21] 申请号 200510003531.7

[30] 优先权

[32] 2004.12.29 [33] US [31] 11/025,755

[71] 申请人 杜邦显示器股份有限公司

地址 美国加利福尼亚州

[72] 发明人 俞 钢

[74] 专利代理机构 上海专利商标事务所有限公司
代理人 徐 迅

权利要求书 2 页 说明书 22 页 附图 9 页

[54] 发明名称

包含像素的有机电子设备

[57] 摘要

本发明涉及一种包含像素的有机电子设备。所述的像素包含第一晶体管 and 电容式电子部件。在某一实施方式中，该第一晶体管是门下 TFT，且第一传导构件的第一部分是第一晶体管的门电极。第一传导构件的第二部分是所述电容式电子部件的第一电极。在另一实施方式中，从平面图可见，该第一晶体管具有长度和宽度。第一晶体管的长度大于第一晶体管的宽度。电容式电子部件具有长度和宽度。电容式电子部件的长度大于电容式电子部件的宽度。第一晶体管和电容式电子部件基本上相互邻接。

- 1.一种包含像素的有机电子设备，其特征在于，所述像素包括：
第一晶体管，其中：
 该第一晶体管是门下薄膜晶体管(TFT)；且
 第一传导构件的第一部分是第一晶体管的门电极；以及
 电容式电子部件，其中第一传导构件的第二部分是该电容式电子部件的第一电极。
- 2.如权利要求1所述的有机电子设备，其特征在于：
第二传导构件的第一部分是第一晶体管源/漏区的接触结构；且
第二传导构件的第二部分是电容式电子部件的第二电极。
- 3.如权利要求2所述的有机电子设备，其特征在于：
第一层的第一部分是第一晶体管的门电介质层的至少一部分；且
第一层的第二部分是电容式电子部件的电容电介质层的至少一部分。
- 4.如权利要求2所述的有机电子设备，其特征在于：
第一晶体管包括：
 沟道区，它包含第一半导体层的一部分；和
 源/漏区，它是覆盖第一半导体层的第二半导体层的空间分离部分；和
 第二半导体层，它接触并覆盖第一晶体管沟道区和源/漏区。
- 5.如权利要求1所述的有机电子设备，其特征在于，所述像素还包括选择晶体管，该选择晶体管为门下TFT。
- 6.如权利要求3所述的有机电子设备，其特征在于，第一半导体层是作为无定形硅(a-Si)、低温多晶硅(LTPS)、连续晶粒硅(CGS)或它们的任选组合形式形成的。
- 7.如权利要求1所述的有机电子设备，其特征在于：
所述有机电子设备是底部发射电子设备；且
所述像素的孔径比至少为40%。
- 8.如权利要求1所述的有机电子设备，其特征在于，所述有机电子设备还包括选择晶体管，其中：
 所述选择晶体管包含沟道区；
 所述选择晶体管的沟道区、第一晶体管或两者都具有物理沟道长度；以及

所述物理沟道长度不大于有机电子设备设计规则中最小尺寸的2倍。

9.如权利要求8所述的有机电子设备，其特征在于，所述物理沟道长度不大于有机电子设备设计规则中最小尺寸的1.2倍。

10.一种包含像素的有机电子设备，其特征在于，所述像素包括：

第一晶体管，从平面图可见它具有长度和宽度，其中该第一晶体管的长度大于该第一晶体管的宽度；和

电容式电子部件，从平面图可见它具有长度和宽度，其中该电容式电子部件的长度大于该电容式电子部件的宽度，

其中，从平面图可见，第一晶体管和电容式电子部件沿基本上平行于第一晶体管和电容式电子部件的长度的一线基本上彼此邻接。

包含像素的有机电子设备

发明背景

技术领域

一般而言，本发明涉及电子设备，更具体地涉及包含像素的有机电子设备。

相关技术描述

电子设备，包括有机电子设备，在日常生活中的应用正日益变得广泛。有机电子设备的例子包括有机发光二极管(Organic Light-Emitting Diodes, OLEDs)。有源矩阵OLED(Active Matrix OLED, AMOLED)显示器包含各自含有像素电路的像素。常规的像素为矩形形状，并沿像素的宽度具有一对较短的相对侧部(shorter opposing sides)以及沿像素的长度具有一对较长的相对侧部(shorter opposing sides)。典型的像素设计(layout)具有像素驱动电路，因而从平面图上看，由像素驱动电路占据的区域位于较长侧部之间，且从一个较短侧部部分延伸向另一较短侧部。在同一电路设计中，由OLED占据的区域位于较长侧部之间，且从另一个较短侧部延伸向像素驱动电路。使用了这一电路设计的底部发射(bottom emission)电子设备的孔径比(aperture ratio)通常不大于35%。

发明概述

有机电子设备包含像素，其中的像素包含第一晶体管 and 电容式电子部件(electronic component)。在某一实施方式中，所述第一晶体管是门下薄膜晶体管(under-gate TFT)，且第一传导构件(member)的第一部分是第一晶体管的门电极。第一传导构件的第二部分是该电容式电子部件的第一电极。

在某一实施方式中，有机电子设备中包含像素。该像素包含第一晶体管。从平面图可见，第一晶体管具有长度和宽度，其中，第一晶体管的长度大于第一晶体管的宽度。该像素还包含电容式电子部件。从平面图可见，电容式电子部件具有长度和宽度，其中，电容式电子部件的长度大于电容式电子部件的宽度。从平面图可见，第一晶体管和电容式电子部件基本上沿一线(基本上与第一晶体管和电容式

电子部件的长度方向平行)相互邻接。

以上的概要描述和以下的详细描述仅是示范性和说明性的,并不对由所附的权利要求所定义的本发明构成限制。

附图说明

本发明通过实施例进行解释,并不限于所附的图。

图1为包含电子设备中的像素电路的电路图。

图2和图3分别为阵列的一部分在基片上形成第一组传导构件后的平面图和截面图。

图4为图3所示阵列的一部分在形成门电介质层、第一半导体层和第二半导体层后的截面图。

图5和图6分别为图2和图4所示阵列的一部分在第一和第二半导体层图案形成后的平面图和截面图。

图7和图8分别为图5和图6所示阵列的一部分在第一和第二半导体层的一部分上形成第二组传导构件后的平面图和截面图。

图9为图8所示阵列的一部分在蚀刻一部分第二半导体层以在第一半导体层内限定沟道区后的截面图。

图10和图11分别为图7和图9所示阵列的一部分在部分基片上形成第三组传导构件后的平面图和截面图。

图12和图13分别为图10和图11所示阵列的一部分在至少部分像素驱动电路上形成基片结构后的平面图和截面图。

图14为图13所示阵列的一部分在形成基本整个的电子设备后的截面图。

本领域的熟练技术人员意识到图中的元件是简明的示意,并无必要完全按照比例绘制。例如,图中某些元件的尺寸可相对于其它元件有所放大,以有助于更好地理解本发明的实施方式。

发明详述

一种有机电子设备包含有像素,其中的像素包含第一晶体管 and 电容式电子部件。在某一实施方式中,该第一晶体管是门下TFT,且第一传导构件的第一部分是第一晶体管的门电极。第一传导构件的第二部分是所述电容式电子部件的第一电极。

在另一实施方式中，第二传导构件的第一部分是第一晶体管源/漏区的触点结构。第二传导构件的第二部分是电容式电子部件的第二电极。在某一具体实施方式中，第一层的第一部分是第一晶体管的门电介质层的至少一部分。第一层的第二部分是电容式电子部件的电容电介质层的至少一部分。在另一具体实施方式中，第一晶体管包括沟道区，该沟道区包含第一半导体层的一部分。该第一晶体管还包括源/漏区，该源/漏区是叠加于第一半导体层之上的第二半导体层的分隔(spaced-apart)部分。第二半导体层与第一晶体管的沟道区和源/漏区接触并叠加。在某一更具体的实施方式中，从截面图可见，源/漏区的至少一部分位于第一和第二传导构件之间。在另一更具体的实施方式中，该像素还包含选择晶体管，该选择晶体管是门下TFT。在还有的另一具体实施方式中，该第一半导体层以无定形硅(a-Si)、低温多晶硅(LTPS)、连续晶粒硅(continuous grain silicon, CGS)或它们的任选组合形式形成。

在另一实施方式中，有机电子设备是底部发射电子设备，而像素所具的孔径比至少为40%。在还有另一实施方式中，有机电子设备还包括选择晶体管。该选择晶体管包括沟道区、选择晶体管(第一晶体管)的沟道区，或两者都具有物理沟道长度，且该物理沟道长度不大于有机电子设备设计规则中最小尺寸的2倍。在具体实施方式中，该物理沟道长度不大于有机电子设备设计规则中最小尺寸的1.2倍。

在某一实施方式中，有机电子设备包括像素。该像素包括第一晶体管。由平面图可见，该第一晶体管具有长度和宽度，其中该第一晶体管的长度大于第一晶体管的宽度。该像素还包括电容式电子部件。从平面图可见，电容式电子部件具有长度和宽度，其中该电容式电子部件的长度大于该电容式电子部件的宽度。从平面图可见，第一晶体管和电容式电子部件基本上沿一线(基本上与第一晶体管和电容式电子部件的长度方向平行)相互邻接。

在另一实施方式中，像素包括单一传导构件，该单一传导构件为电容式电子部件的第一电极和第一晶体管的门电极。在某一具体实施方式中，像素包括第一传导构件和第二传导构件。第一传导构件的第一部分是第一晶体管的第一源/漏区，而第二传导构件的第一部分是电容式电子部件的第二电极。在另一具体的实施方式中，像素包括电介质层。电介质层的第一部分是第一晶体管门电介质层的至少一部分，而电介质层的第二部分是电容式电子部件的电容电介质层的至少一部分。在另一更具体的实施方式中，第一晶体管包括沟道区，它包含第一半导体层的一部分。第一源/漏区和第二源/漏区是覆盖第一半导体层的第二半导体层的分离部分。第二

半导体层接触并覆盖第一半导体层。在还有另一更具体的实施方式中，第一半导体层以无定形硅(a-Si)、低温多晶硅(LTPS)、连续晶粒硅(continuous grain silicon, CGS)或它们的任选组合形式构成。

在某一更具体的实施方式中，像素还包括选择晶体管(为门下TFT)。在还有的某一更具体的实施方式中，选择晶体管、第一晶体管或两者都具有沟道区。选择晶体管、第一晶体管或两者的沟道区具有物理沟道长度。该物理沟道长度不大于有机电子设备设计规则中最小尺寸的2倍。在还有的另一更具体的实施方式中，该物理沟道长度不大于有机电子设备设计规则中最小尺寸的1.2倍。

在还有的另一具体实施方式中，有机电子设备是底部发射电子设备。像素所具的孔径比至少为40%。

详细描述首先提出术语的定义和说明，然后是电路图、像素布图和电子设备的制造、其它实施方式，最后是优点。

1. 术语的定义和说明

在对实施方式进行如下文所述的详细说明之前，对某些术语进行定义和说明。术语“无定形硅”(amorphous silicon, a-Si)是指一层或多层不具有可辨别的晶体结构的硅。

术语“孔径比”(aperture ratio)是指像素中可发射或响应辐射的面积与像素总面积之比。孔径比通常以百分比来表示。

术语“阵列”(array)、“外部电路”(peripheral circuitry)和“远程电路”(remote circuitry)是指电子设备中的不同区域或部件。例如，阵列可包括有序排列(通常特指列或行)中的像素、单元或其它结构。阵列中的像素、单元或其它结构可部分受控于外部电路，该外部电路可位于与该阵列相同的基片上但在阵列本身之外。远程电路通常远离外部电路，并能向阵列传输信号或从阵列接受信号(通常通过外部电路)。远程电路还可执行与阵列无关的功能。远程电路可位于或不位于带有阵列的基片上。

术语“黑层”(black layer)是指对目标波长或波谱辐射的透过不大于约10%的层。

术语“底部发射”(bottom emission)在用于显示器或其它电子设备中时是指：

- (a) 将从辐射发射部件发射的辐射设计为透过基片发射，在该基片上形成该辐射发射部件；
- (b) 将对辐射响应部件的辐射设计为透过基片接受，在该基片上形成辐射

响应部件；或(c)它们的任何组合。

术语“电容式电子部件”(capacitive electronic component)是指在电路图中显示时是设定为作为电容器使用的一种电子部件。电容式电子部件的例子包括电容器或二极管结构。

术语“电容电介质层”(capacitor dielectric layer)是指在电容式电子部件中位于电容式电子部件的电极之间的一层或多层电介质层。

术语“沟道区”(channel region)是指位于场效应晶体管源/漏区之间的区域，它的偏置(通过场效应晶体管的门电极)影响到源/漏区之间的载流子的流动或其缺少。

术语“电路”(circuit)是指集合在一起的电子部件的集合，当将其适当连接并供给适当的电压时，可执行某一功能。电路的一个例子是有机电子部件的TFT驱动电路。

术语“连接”(connected)在涉及电子部件、电路或它们的部分时，是指两个或多个电子部件、电路或至少一个电子部件和至少一个电路的任何组合，它们之间不具有任何中间电子部件。寄生电阻、寄生电容或这两者同时均不被认为是本定义中的电子部件。在某一实施方式中，当电子部件相互电气短路并位于基本上同一电压时，这些电子部件是连接的。应注意的是，电子部件可通过光导纤维线连接在一起，以使光信号可在这些电子部件间传输。

术语“邻接”(contiguous)是指沿边界接触。两个邻接的对象可具有或不具有明显可辨别的边界。

术语“连续晶粒硅”(continuous grain silicon, CGS)是指各个晶体以平行于场效应晶体管的沟道长度定向排列的一类多晶硅。该定向的晶体可降低电荷和晶粒边缘的遭遇频度，从而使得沟道区的迁移率比随机排列的多晶硅沟道更高。

术语“相连”(coterminous)是指具有相同或重合的边界。

术语“耦联的”(coupled)是指以使信号(例如电流、电压或光信号)可相互传递的方式连接、链接或组合两个或多个电子部件、电路、系统或以下至少两者的任意组合：(1)至少一个电子部件；(2)至少一个电路；(3)至少一个系统。“耦联的”的非限制性的例子可包含以连接在其间的开关(例如，晶体管)在电子部件间、电路间或电子部件或电路间的直接连接。

术语“数据线”(data line)是指具有传输一种或多种信号(含有信息)的主要功能的信号线。

术语“设计规则”(design rule)是指设计电子部件、电子设备或它们的组合所须遵循的一组规则或指导方针。一组设计规则通常是指该组设计规则可支持某一特征的最小尺度。

术语“驱动晶体管”(driving transistor)是指通过晶体管本身或与一个或多个其它电子部件一起控制流向另一电子部件的信号强度(例如, 电流)的一种晶体管。

术语“电子部件”(electronic component)是指执行某一电子功能的电路的最低层次单元。电子部件可包括晶体管、二极管、电阻器、电容器、电感器等。电子部件不包括寄生电阻(例如, 导线的电阻)或寄生电容(例如, 在两个导体间连接不同的电子部件的电容式耦联, 其中在导体间的电容器是非设定的或附带的)。

术语“场效应晶体管”(field-effect transistor)是指载流特性受到门电极的电压影响的一种晶体管。场效应晶体管包括结型场效应晶体管(JFET)和金属-绝缘体-半导体场效应晶体管(MISFET), 其包括金属-氧化物-半导体场效应晶体管(MOSFET)、金属-氮化物-氧化物-半导体(MNOS)场效应晶体管或它们的组合。场效应晶体管可为N沟道(N型载流子在沟道区内流通)或P沟道(P型载流子在沟道区内流通)。场效应晶体管可为增强型晶体管(与同一场效应晶体管的源/漏区具有不同传导类型的沟道区)或耗尽型晶体管(与同一场效应晶体管的沟道和源/漏区具有相同传导类型的沟道区)。

术语“门电介质层”(gate dielectric layer)是指位于场效应晶体管沟道区和同一场效应晶体管的门电极间的一层或多层电介质层。

术语“低温多晶硅”(low-temperature polysilicon, LTPS)是指在不高于550℃的温度下沉积或加工的一层或多层多晶硅。形成LTPS的方法的例子是顺序侧向固化(Sequential Lateral Solidification, SL 362S), 在该方法中使用了改良的准分子激光结晶法(ELC)以形成大尺寸的有序晶粒, 从而使电荷载流子的迁移率比使用常规ELC技术所形成的LTPS更高。

术语“最小尺寸”(minimum dimension)在用于设计规则时是指由一组设计规则所规定的特征的最小尺寸。例如, 4微米设计规则的最小尺寸就是4微米。

术语“N掺杂”(n⁺ doped)和“P掺杂”(p⁺ doped)在用于材料、层或区域时是指包含足够量的N型或P型掺杂物的材料、层或区域, 从而使得在含金属的材料或层接触该掺杂材料、层或区域时, 该掺杂的材料、层或区域可形成欧姆接触。在某一实施方式中, N掺杂区至少为 1×10^{19} 负电荷载流子/立方厘米。

术语“有机有源层”(organic active layer)是指一层或多层有机层,该有机层中的至少一层其本身或与异种材料接触时可形成整流结。

术语“有机电子设备”(organic electronic device)是指含有一层或多层有机半导体层或材料的设备。有机电子设备包括:(1)将电能转换为辐射的设备(例如,发光二极管、发光二极管显示器、二极管激光或照明面板);(2)在电子过程中检测通过的信号的设备的设备(例如,光电探测器(如光电导池、光敏电阻、光控开关、光电晶体管、光电管)、红外(IR)检测器、生物传感器);(3)将辐射转换为电能的设备(例如,光伏设备或太阳能电池);(4)含有一个或多个包含一层或多层有机半导体层的电子部件的设备(例如,晶体管或二极管);或第(1)-(4)项中所述设备的任意组合。

术语“物理沟道长度”(physical channel length)是指场效应晶体管源/漏区间的实际距离。

术语“像素”(pixel)是指阵列中对应于某一电子部件及其所对应的电子部件的一部分,若有的话,它是专用于某一具体电子部件的。在某一实施方式中,像素具有OLED和它所对应的像素驱动电路。应注意的是,在本说明书中所用的像素可为像素或亚像素,正如本领域熟练技术人员在本说明书之外所使用的那些术语一样。

术语“像素电路”(pixel circuit)是指像素中的电路。在某一实施方式中,该像素电路可用于显示器或传感器阵列。

术语“像素驱动电路”(pixel driving circuit)是指像素中的电路,该电路用于控制由这一电路驱动的不超过一个电子部件的信号。

术语“多晶硅”(polysilicon)是指由无序排列的晶体组成的一层硅层。

术语“辐射发射部件”(radiation-emitting component)是指一种被适当加偏压(biased)时,能发射目标波长或波谱的辐射的电子部件。该辐射可在可见光谱之内或在可见光谱之外(紫外线(“UV”)或IR)。辐射发射部件的一个例子是发光二极管。

术语“辐射响应部件”(radiation-responsive component)是指一种可响应目标波长或波谱辐射的电子部件。该辐射可在可见光谱之内或在可见光谱之外(紫外线(“UV”)或IR)。辐射读出(radiation-sensing)部件的例子是IR传感器和光伏太阳能电池。

术语“整流结”(rectifying junction)是指半导体层中的一种结或由半导体层和异种材料间的内表面所形成的结,其中在流通通过结时,一种类型载流子在某一方向比其相反方向的更易流通。可用于二极管的整流结的例子为pn结。

术语“选择线路”(select line)是指一组信号线路中的特定信号线路,该特定信号线路受激时,具有传输一种或多种用于激活一个或多个电子部件、一个或多个电路或它们的任何组合的信号的主要功能,其中当该特定信号线路受激时,该组信号线路中与另一信号线路相连的其它电子部件、电路或它们的任何组合不会被激活。信号线路组中的信号线路可随或不随时间作用而激活。

术语“选择晶体管”(select transistor)是指受选择线路中的信号控制的晶体管。

术语“半导体”(semiconductor)是指可包含或具有在其中或当其与异种材料(例如,含金属的材料)接触时形成整流结的材料。

术语“信号”(signal)是指电流、电压、光信号或它们的任何组合。信号可为来自电源的电压或电流,或可以其自身或与其它信号、数据或其它信息一起表现。光信号可以脉冲、强度或它们的组合为基础。信号可基本恒定(例如,电源电压)或可随时间变化(例如,一个电压代表接通,另一电压代表断开)。

术语“信号线路”(signal line)是指一种可通过其传输一个或多个信号的线路。要被传输的信号可以基本恒定或变化、信号线路可包含控制线路、数据线路、扫描线路、选择线路、电源线路或它们的任何组合。应注意的是,信号线路可用于一种或多种主功能(principle function)。

术语“源/漏区”是指场效应晶体管中的一个区域,该区域将电荷载流子注入沟道区或接受来自沟道区的电荷载流子。源/漏区可包含源区或漏区,这取决于穿过场效应晶体管的电流流动。当电流以一个方向流过场效应晶体管时,源/漏区可作为源区,而当电流以反方向流过场效应晶体管时,源/漏区可作为漏区。

术语“门下”在用于场效应晶体管时是指位于场效应晶体管沟道区和基片(场效应晶体管形成于其上)之间的门电极。

如本文所用,术语“包括”(comprises)、“包括”(comprising)、“具有”(has)、“具有”(having)或它们的其它任何变体都是指涵盖非排它性的包含。例如,包含一系列部件的方法、过程、物件或设备并不限于仅含那些部件,还可含有在该方法、过程、物件或设备中其它未列出或固有的部件。此外,除非另有相反的说明,“或”(or)是指“包含的或”(inclusive or),而非“排它的或”(exclusive or)。例如,下述任一情况均满足条件A或B: A为真(或存在)而B为假(或不存在), A为假(或不存在)而B为真(或存在),以及A和B均为真(或存在)。

此外,为明确本文所述的实施方式的范围,并对其有一大致的概念,用术语“一”

(a)或“一”(an)来描述“一”(a)或“一”(an)所指的一个或多个物件。因此,当说明书中使用“一”(a)或“一”(an)时,应理解为含有一个或至少一个,而单数也可包括复数(除非很明确反之会代表其它意义)。

除非另有定义,本文所用的所有技术和科学术语都具有与本发明所属技术领域的普通技术人员所普遍理解相同含义。虽然在本文的本发明实施方式中描述了适合的方法和材料,或实施或使用这些方法和材料的方法,与那些描述中类似或等价的其它方法和材料也可在不脱离本发明范围条件下使用。本文中所提及的所有出版物、专利申请、专利和其它参考文献均整体纳入作为参考文献。在有冲突的情况下,以本说明书(包括定义)为准。此外,材料、方法和实施例仅用于说明而不用限制。

对应于元素周期表中列的组号采用了见于《CRC化学和物理手册》(CRC Handbook of Chemistry and Physics,第81版,2000年)中的“新符号”(New Notation)惯例。

对于未在本文中描述到的范围,许多关于具体材料、处理步骤和电路的描述是很常规的,且可在有机发光显示器、光电检测器、半导体和微电子电路领域中的教科书或其它信息来源中找到。在转向描述辐射传感元件和电路之前,将对辐射发射元件、像素和像素电路进行描述。

2. 电路图

图1为电子设备100的一部分的线路图。电子设备100包括第一像素120、第二像素140和第三像素160。像素120、140和160各包含如图1所示的像素电路。每个像素电路包含像素驱动电路和电子部件128、148或168。

第一像素120包括选择晶体管122、电容式电子部件124、驱动晶体管126和电子部件128。电子部件128可为被电流驱动的几乎任何电子部件。在某一实施方式中,电子部件128是辐射发射部件,例如OLED。

在像素120中,像素驱动电路包括选择晶体管122。选择晶体管122包括与选择线路(“SL”)134相连的门电极、与数据线路(“DL”)132相连的第一源/漏区、以及与电容式电子部件124的第一电极相连的第二源/漏区和驱动晶体管126的门电极。SL134为选择晶体管122提供控制信号,而DL132则在选择晶体管122受激时,提供要被传递给电容式电子部件124和驱动晶体管126的门电极的数据信号。

该像素驱动电路还包括电容式电子部件124。电容式电子部件124包括第一电极

和第二电极。电容式电子部件124的第一电极与选择晶体管122的第二源/漏区和驱动晶体管126的门电极相连。电容式电子部件124的第二电极与第一电源线路相连，该第一电源线路在某一实施方式中为 V_{dd1} 线路136。在某一附加的实施方式中(未示出)，任选的抗劣化单元可与电容式电子部件124和至少一个与像素120相连的电源线路(例如， V_{ss} 线路138、 V_{dd1} 线路136或两者)相连。

该像素驱动电路还包括驱动晶体管126。驱动晶体管126包括第一门电极、第一源/漏区和第二源/漏区。驱动晶体管126的第一源/漏区与电子部件128的第一电极相连，而驱动晶体管126的第二源/漏区则与 V_{dd1} 线路136相连。

该像素驱动电路还包括电子部件128。电子部件128包括第一电极和与 V_{ss} 线路138相连的第二电极。在某一实施方式中，第一电极是正电极，而第二电极是负电极。在另一实施方式中，电子部件128是有机辐射发射电子部件，例如OLED。像素电路的其余部分(在某一实施方式中是像素驱动电路)适于为驱动电子部件128而设置可变电流源。因此，由电流驱动的一个或多个电子部件可用于替代电子部件128或与电子部件128相连。应注意的是，该一个或多个电子部件可包含或不包含二极管。

在另一实施方式中(未显示)，电子部件128和驱动晶体管126可反向。更具体而言，(1)电子部件128的第一电极(例如，正电极)与 V_{dd1} 线路136相连；(2)电子部件128的第二电极(例如，负电极)与驱动晶体管126的源/漏区之一相连；和(3)驱动晶体管126的另一源/漏区与 V_{ss} 线路138相连。

第二像素140类似于第一像素120，除了在第二像素140中，数据线路152与选择晶体管122的第一源/漏区相连， V_{dd2} 线路156与驱动晶体管126的第二源/漏区相连，电子部件148连接于驱动晶体管126的第一源/漏区和 V_{ss} 线路138之间。第三像素160与第一(120)和第二像素(140)类似，除了在第三像素160中，数据线路172与选择晶体管122的第一源/漏区相连， V_{dd3} 线路176与驱动晶体管126的第二源/漏区相连，以及电子部件148连接于驱动晶体管126的第一源/漏区和 V_{ss} 线路138之间。

在某一实施方式中，电子部件128、148、168基本上彼此相同。在另一实施方式中，电子部件128、148、168互不相同。例如，电子部件128是蓝光发射部件，电子部件148是绿光发射部件，而电子部件168是红光发射部件。 V_{dd1} 、 V_{dd2} 和 V_{dd3} 线路136、156和176可为处于相互比较相同或不同的电压下。在另一实施方式中(未显示)，电子部件128、148、168的第二电极可与不同的电源线路(可在基本上相同或显著不同的电压下工作)相连。在阅读本说明书后，本领域的熟练技术人员将可设计电子设

备100以满足具体应用的需求。

选择晶体管122、驱动晶体管126或它们的任何组合可包括场效应晶体管。在如图1所示的像素电路中，所有晶体管均为N沟道晶体管。N沟道晶体管中的任何一个或多个可被任何一个或多个P沟道晶体管所取代。在另一实施方式中，可在选择晶体管122中使用其它晶体管(包括JFET和双极晶体管)。

3. 像素布图和电子设备的制造

图2-图14是如图1所示的电路在形成过程中的电子设备部分平面图和截面图。这些图仅示意布图中的一些实施方式以及形成电子部件的制造顺序和它们在电路中的互连。在阅读了本说明书后，本领域的熟练技术人员将理解其它布图也可用于形成如图1所示的电路。为方便起见，电介质和绝缘层未在平面图中示出。

图2和图3分别是形成传导构件222和224后阵列200一部分的平面图和截面图。传导构件222是两行像素的选择线路134的部分。离图2顶部较近的传导构件222是图1所示的像素的选择线路。另一传导构件222(离图2底部较近的)是位于所形成的像素下一行的像素(未显示)的选择线路。传导构件222中随后被有源区所覆盖的部分是选择晶体管122的门电极。在某一实施方式中，传导构件224是电容式电子部件124的第一电极和驱动晶体管126的门电极。

图3为如截面线3-3所见的基片300的一部分和传导构件224之一的截面图。基片300可为刚性或挠性，且可含有一层或多层有机材料层、无机材料层或有机和无机材料层。在某一实施方式中，电子设备包括底部发射显示器，而基片300包括透明材料，该透明材料允许至少70%入射在基片300上的辐射传输透过基片。

传导构件222和224各自含有黑层322和传导层324，这两层都形成在基片300上。在某一实施方式中，黑层322和传导层324可采用常规的沉积方法和任选的图案形成来形成。例如，黑层322和传导层324可通过图案掩模(stencil mask)作为图案层来沉积。在另一实施方式中，黑层322和传导层324可顺序沉积在基片300上，且黑层322和传导层324可采用常规的平版工艺进行图案形成。在另一实施方式中，黑层322的形成可基本覆盖整个基片300，而传导层324可作为图案形成层沉积在黑层322之上。传导层324在为去除不被传导层324所覆盖的部分黑层322，至蚀刻步骤中可作为硬掩模(hard mask)。在另一实施方式中，可略去黑层322，传导层324可在基片300的表面形成。在阅读本说明书后，本领域的熟练技术人员将意识到许多其它技术均可用于形成黑层322和传导层324。

当黑层322使用于环境光线条件下时，它使电子设备的对比度得以改善。黑层的材料和厚度在题为“Array Comprising Organic Electronic Devices With a Black Lattice and Process For Forming the Same”的美国专利申请No. 10/840,807(余钢等，提交于2004年5月7日)中有更为全面的描述。在某一实施方式中，黑层322包括一层或多层Cr、Ni或两者皆有。

传导层324可包括含有选自元素周期表组4-6、8、10-14中至少一种元素或它们的任何组合的一层或多层。在某一实施方式中，传导层324可包括Cu、Al、Ag、Au、Mo或它们的任何组合。在另一实施方式中，传导层324包括多于一层的层，其中一层可包含可含有Cu、Al、Ag、Au、Mo或它们的任何组合，而其它层可包含Mo、Cr、Ti、Ru、Ta、W、Si或它们的任何组合。应注意的是，传导金属氧化物、传导金属氮化物或它们的组合可用于替代或结合任何金属元素或它们的合金。在某一实施方式中，第一门电极的厚度范围为约0.2-5微米。

电介质层422、第一半导体层442和第二半导体层444依次形成于基片300之上，传导层324如图4所示。电介质层422、第一半导体层442和第二半导体层444可采用常规的沉积技术形成。

电介质层422可包括一层或多层含有二氧化硅、氧化铝、氧化铪、氮化硅、氮化铝、氮氧化硅、其它半导体领域常规使用的门电介质材料及其任何组合材料。在另一实施方式中，电介质层422的厚度范围约为50-1000纳米。

第一和第二半导体层442和444各自可包含在电子设备的半导体中常规使用的一种或多种材料。在某一实施方式中，第一半导体层422、第二半导体层444或两者都可以无定形硅(a-Si)、低温多晶硅(LTPS)、连续晶粒硅(continuous grain silicon, CGS)或它们的任选组合的形式构成(例如，经沉积)。在另一实施方式中，其它组14中的元素(例如，碳、锗)本身或组合(与硅组合或不与硅组合)可用于第一半导体层422、第二半导体层444或两者。在另一实施方式中，第一和第二半导体层442和444包含III-V(组13-组15)半导体(例如，GaAs、InP、GaAlAs等)、II-VI(组2-组16或组12-组16)半导体(例如，CdTe、CdSe、CdZnTe、ZnSe、ZnTe、CuO等)或它们的任意组合。在更进一步的实施方式中，第一和第二半导体层442和444包含聚乙炔(PA)或它的任何衍生物、聚噻吩(PT)或它的任何衍生物、聚对二氯乙烯苯(PPV)或它的任何衍生物(如MEH-PPV)、富勒烯分子(例如C₆₀)或它的任何衍生物、bucky tubes、葱、并四苯、并五苯、Alq₃或其它金属螯合(M-L₃)型有机金属分子或它们的任何组合。第一和第二半导体层442和444之一或两者也可为含有有机与无机材料的

合成物或这些材料的双层或多层形式。

在某一实施方式中，第一半导体层442包含硅作为唯一的半导体材料，而第二半导体层444包含锗、硅化锗或另一不同于单独的硅或与硅混合的半导体材料。第一和第二半导体层442和444内不同材料差的作用将在本说明书以后将描述的图案形成顺序中变得明显。

第一半导体层442不掺杂或具有浓度不大于约 1×10^{19} 个原子/立方厘米的N型或P型掺杂物。第二半导体层444包含浓度大于第一半导体层442的N型或P型掺杂物。在某一实施方式中，第二半导体层444是至少 1×10^{19} 个原子/立方厘米 N^+ 或 P^+ 掺杂的，目的是与依次形成的含金属结构形成欧姆接触。在另一实施方式中，第二半导体层444中的掺杂浓度低于 1×10^{19} 个原子/立方厘米，且当与依次形成的含金属结构接触时形成Schottky接触。可使用常规的N型掺杂物(磷、砷、锑等)或P型掺杂物(硼、镓、铝等)。这些掺杂物可在沉积时掺入或在独立的掺杂程序(例如，植入和退火)中加入。第一和第二半导体层442和444通过常规的沉积和掺杂技术形成。在某一实施方式中，第一半导体层442的厚度范围为约30-550纳米，而第二半导体层444的厚度范围为约50-500纳米。在阅读本说明书后，本领域的熟练技术人员将意识到其它厚度也可用于获得所需的驱动晶体管126的电子特性。

第一和第二半导体层442和444经图案形成可分别形成如图5所示的选择晶体管122和驱动晶体管126的有源区(active region)522和526。有源区522和526将随后经图案形成以限定选择晶体管122和126的沟道和源/漏区。

第一和第二半导体层442和444的图案形成采用了常规的平版制版技术。在图6中所形成的结构具有一对边界622和624。应注意的是，第一和第二半导体层442和444是在各边界622和624相连的。在另一实施方式中，第一和第二半导体层442和444采用了图案掩模法作为图案形成层沉积，从而形成如图6所示的经图案形成的第一和第二半导体层442和444。应注意的是，在图6中传导层324的部分延伸至边界624的右侧。传导层324的那一部分是电容式电子部件124的第一电极。在边界624右侧并接触传导层324的电介质层422的部分是电容式电子部件124的电容电介质层。在边界624左侧并接触传导层324的电介质层422的部分是驱动晶体管126的门电介质层。

如图7所示，传导构件732、736、744、746、752、756、772和776形成于基片300之上。为便于理解传导构件732、736、744、746、752、756、772和776的位置关系，在图7中未显示下层(underlying layer)。传导构件732是数据线路132的一

部分且包含部分734。接近于图7顶部的传导构件732的734部分是像素120中选择晶体管122的第一源/漏接触结构。734的其它部分是像素120下部像素(未显示)中选择晶体管122的第一源/漏接触结构。传导构件752是数据线路152的一部分且包括部分754。接近于图7顶部的传导构件752的754部分是像素140中选择晶体管122的第一源/漏接触结构。754的其它部分是像素140下部像素(未显示)中选择晶体管122的第一源/漏接触结构。传导构件772是数据线路172的一部分且包括部分774。接近于图7顶部的传导构件772的774部分是像素160中选择晶体管122的第一源/漏接触结构。774的其它部分是像素160下部像素(未显示)中选择晶体管122的第一源/漏接触结构。

传导构件744是选择晶体管122的第二源/漏接触结构。传导构件746是驱动晶体管126的第一源/漏接触结构。传导构件736是 V_{dd1} 线路136的部分, 传导构件756是 V_{dd2} 线路156的部分, 而传导构件776是 V_{dd3} 线路176的部分。

参照图8, 位于边界624右侧的传导构件776的部分是像素160中电容式电子部件124的第二电极。位于边界624左侧的传导构件776的部分是像素160中驱动晶体管126的第二源/漏区接触结构。在图8中以虚线表示的像素160中的电容式电子部件124包括部分传导层324、电介质层422和位于边界624右侧的传导构件776。像素120和140的电容式电子部件124具有相似的结构。传导构件736和756的部分分别是像素120和140中电容式电子部件的第二电极。

传导构件732、736、744、746、752、756、772和776可通过使用常规技术形成。在某一实施方式中, 在沉积操作中可使用图案掩模来形成传导构件732、736、744、746、752、756、772和776。在另一实施方式中, 传导构件732、736、744、746、752、756、772和776是通过在基本上整个基片300上沉积一层或多层而形成的, 且采用了常规的平版技术来形成沉积层图案。关于传导层324描述中的任何材料和厚度均可用于传导构件732、736、744、746、752、756、772和776。在某一实施方式中, 传导构件732、736、744、746、752、756、772和776具有与传导层324基本相同的组成和厚度。在另一实施方式中, 传导构件732、736、744、746、752、756、772和776具有与传导层324不同的组成、厚度或两者均不相同。

参照图7, 从该电子设备的平面图可见, 第二半导体层444的暴露部分(未在图7中显示)位于以下两者之间: (1) 传导构件744和传导构件732的734部分之间; (2) 传导构件744和传导构件752的754部分之间; (3) 传导构件744和传导构件772的774部分之间; (4) 传导构件746和传导构件736之间; (5) 传导构件746和传导构件756

之间；(6)传导构件746和传导构件776之间。

在某一实施方式中，第二半导体层444之上与传导构件之间的各个间距约为设计规则中所用的最小尺寸。在某一实施方式中，当使用4微米的设计规则时，该间距各约为4微米。在另一实施方式中，该间距大于设计规则中的最小尺寸。在阅读本说明书后，本领域的熟练技术人员将可选择出最能够满足具体晶体管设计需求的漏和源接触之间的间距。

然后将第二半导体层444的暴露部分去除，以形成如图9所示延伸穿过第二半导体层444的开口902。在这一实施方式中，传导构件746和776是去除第二半导体层444的暴露部分时的部分硬掩模。第二半导体层844的剩余部分彼此分离，且是选择和驱动晶体管122和126的源/漏区。在第三像素160中，驱动晶体管126的沟道区是自对准传导构件746和776。其它驱动晶体管126和选择晶体管122的沟道区922基本上同时以基本上相同的方式形成。选择和驱动晶体管122和126是门下TFT，因为那些晶体管的门电极位于它们相应的沟道区922之下。位于传导构件722与选择和驱动晶体管122和126的覆盖沟道区922之间的电介质层422的部分，是那些选择和驱动晶体管122和126的门电介质层。

沟道区922的各物理沟道长度924是第二半导体层444沿开口902的部分间的距离。在某一实施方式中，一段或多段物理沟道长度924不超过设计规则中最小尺寸的2倍。在另一实施方式中，一段或多段物理沟道长度924不超过设计规则中最小尺寸的1.2倍。在另一实施方式中，物理沟道长度924可大于或小于那些所述的尺寸。

第二半导体层444的蚀刻可使用湿法蚀刻或干法蚀刻技术。在某一实施方式中，所述蚀刻剂可选择使第二半导体层444相对于传导构件732、736、744、746、752、756、772和776被选择性去除(即，以较高速率蚀刻)的蚀刻剂。

在某一实施方式中，含卤素的等离子体可用于实施干法蚀刻技术，以去除第二半导体层444的暴露部分。供气(feed gas)可包含含卤素的气体，例如含氟的气体。含卤素气体可具有式 $C_aX_bH_c$ ，其中X为一个或多个卤素，a为1或2，b至少为1，且若a为1，则b+c为4，而a为2，则b+c为4或6。例如，当X是F时，该含卤素气体是碳氟化合物。在另一实施方式中，含氟气体可包括 F_2 、HF、 SF_6 、 NF_3 、含氟的卤间化合物(ClF 、 ClF_3 、 ClF_5 、 BrF_3 、 BrF_5 和 IF_5)或它们的任何混合物。在另一实施方式中，含卤素气体是含氯气体，包括 Cl_2 、HCl、 BCl_3 、含氯的卤间化合物(ClF 、 ClF_3 和 ClF_5)或它们的任何混合物。在还有另一实施方式中，含卤素气体是含溴气体，包括 Br_2 、HBr、 BBr_3 、含溴的卤间化合物(BrF_3 和 BrF_5)或它们的任何混合物。在还有的另一实

施方式中, 含卤素气体是含碘气体, 包括 I_2 、HI或它们的任何混合物。在还有的另一实施方式中, 含卤素气体是这段中所描述的任何气体的混合物。在具体实施方式中, 在第二半导体层444和第一半导体层442间的蚀刻选择性(即, 第二半导体层444的蚀刻速率与第一半导体层442的蚀刻速率之比)可通过使用比氟更重的更多卤素来提高。例如, 蚀刻选择性随 $CF(1-y)Cl_y$ 中 y 的增大而提高。

供气可包括任何一种或多种含氧气体, 例如 O_2 、 O_3 、 N_2O 或其它在半导体工艺中常规用于产生氧等离子体的含氧气体。供气还可包含一种或多种惰性气体(例如, 稀有气体、 N_2 、 CO_2 或它们的任何组合)。

蚀刻可在蚀刻室中进行, 压力范围为约0.01-5000毫托。在这些压力下, 供气可以约10-1000标准立方厘米/分钟(“sccm”)的速率流动。在另一实施方式中, 压力范围可为约100-500毫托, 供气可以约100-500sccm的速率流动。可使用电压和功率(power)产生等离子体。功率通常为基片表面积的线性或接近线性的函数。因此, 给出功率密度(功率/基片单位面积)。电压范围为约10-1000伏, 而功率密度范围则为约10-5000毫瓦/平方厘米。在某一实施方式中, 电压范围为约20-300伏, 而功率密度范围则为约50-500毫瓦/平方厘米。

蚀刻可作为计时蚀刻(timed etch)进行或通过计时过蚀刻(timed overetch)中使用终点检测来进行。若第一和第二半导体层442和444的大部分为硅, 则可使用计时蚀刻。若第一和第二半导体层442和444使用了非类似的材料, 则可使用终点检测法。例如, 在某一实施方式中, 若第二半导体层444包含锗化硅, 则当第一半导体层442暴露出来后, 终点检测可基于在蚀刻室排除物中的不含锗。在另一实施方式中, 若第二半导体层444包含锗而几乎不含硅, 则当第一半导体层442暴露出来后, 终点检测可基于在蚀刻室排除物中硅的存在。计时过蚀刻可用于确保第二半导体层444的部分从基片30区(此处的蚀刻发生得更慢)的去除。在某一实施方式中, 蚀刻中的功率密度在过蚀刻时可降低, 以提高第二半导体层444对第一半导体层442和电子设备暴露在蚀刻等离子体中的其它部分的选择性。

湿法化学蚀刻剂的选择将部分取决于第二半导体层444和电子设备在蚀刻中暴露的其它部分的组成。在某一实施方式中, 蚀刻剂可包括碱(例如, KOH、三甲基氢氧化铵等)或氧化剂(例如, HNO_3)和HF的组合。湿法化学蚀刻通常使用计时蚀刻。

蚀刻完成后, 第一半导体层442的某些部分被去除或没有被去除的部分。在某一实施方式中, 不多于约50纳米的第一半导体层442被去除。

在工艺中的这一方面, 像素驱动电路中的电子部件的形成基本上完成。参考图

9, 在像素160中, 在边界624左侧的传导层324的部分包括驱动晶体管126的门电极。在边界624右侧的传导层324部分是电容式电子部件124的第一电极。在传导构件746下方的第二半导体层444的部分是驱动晶体管126的第一源/漏区, 在传导构件776下面的第二半导体层444是驱动晶体管126的第二源/漏区。暴露于902开口中的第一半导体层的部分是驱动晶体管126的沟道区。在边界624右侧的传导构件776的部分是电容式电子部件124的第二电极。在其它像素120和140中的其它驱动晶体管126和电容式电子部件124与那些在图9中所示的基本相同。

在绝缘层中的绝缘层和接触开口是在部分基片300上形成的。传导构件1022和1024如图10所示是在部分基片300上形成的。传导构件1022是电子部件128、148和168的第一电极, 且连接下面的传导构件746。在各像素120、140和160中, 传导构件1024与传导构件744和传导构件224相连。传导构件1024局部互连以连接选择晶体管122的第二源/漏区和驱动晶体管126的门电极以及电容式电子部件124的第一电极。

在工艺中的这一方面, 像素驱动电路形成并包括选择晶体管122、电容式电子部件124和驱动晶体管126。参考图10, 选择晶体管122的长基本上平行于传导构件222的长, 它们也是选择线路134, 且如图10所示左右(side to side)延伸。电容式电子部件124和驱动晶体管126的长基本上平行于传导构件736、756和776的长。从电子设备的平面图可见, 对于各选择晶体管122、电容式电子部件124和驱动晶体管126, 它们的长度大于它们相应的宽度。在某一实施方式中, 电容式电子部件124的长度大于驱动晶体管126的长度。在另一实施方式中, 电容式电子部件124的长度小于或基本上等于驱动晶体管126的长度。

由平面图可见, 在各像素120、140和160中, 驱动晶体管126和电容式电子部件124是沿基本上平行于驱动晶体管126和电容式电子部件124的长度的一线上基本上相互邻接的。在某一实施方式中, 相应于边界624的线路如图9所示。驱动晶体管126位于边界624的左侧, 而电容式电子部件124则位于边界624的右侧。如本说明书中所用, 邻接可包括如图9和10所示的彼此接触的清晰物理结构或穿过线路延伸的物理非清晰结构。更具体而言, 位于边界624左侧的传导构件224、电介质层422和传导构件776部分是像素160中驱动晶体管126的部分或接触结构。位于边界624右侧的传导构件224、电介质层422和传导构件776部分是像素160中电容式电子部件124的部分或接触结构。各传导构件224、电介质层422和传导构件776连续延伸穿过边界624。因此, 电容式电子部件124和驱动晶体管126在像素160中是基本上邻接的。其

它像素140和160具有基本上相同的性质。

在各像素120、140和160中，选择晶体管122的长沿像素的第一侧分布，且驱动晶体管126的长沿像素的第二侧分布。在某一具体实施方式中，像素各第一侧基本上垂直于像素各第二侧。在另一具体实施方式中，驱动晶体管126的长度是像素的第二侧长度的至少一半。在某一实施方式中，驱动晶体管的长度延伸超过像素的第二侧长度的70%，在另一具体实施方式中，驱动晶体管的长度延伸超过像素的第二侧长度的85%。

图11为图10中截面线(section line)11-11的截面图，并显示了在传导构件1022和1024形成后电子设备的制造。绝缘层1122和绝缘层1122中的开口可通过一种或多种常规的技术形成。在某一实施方式中，绝缘层1122采用图案掩模沉积为图案层。在另一实施方式中，绝缘层1122可通过使用常规的平版制版技术席状沉积于基本上整个基片300之上并形成图案。绝缘层1122可包括一层或多层前述关于电介质层422的任何材料。绝缘层1122的厚度范围为约0.1-5.0微米。

传导构件1022和1024可包含一层或多层在常规OLED中常规用于电极的任何材料。传导构件1022和1024可使用常规的沉积形成或通过常规的沉积和图案形成序列形成。

在某一实施方式中，传导构件1022透过至少70%发射自或响应于随后形成的有机有源层的辐射。在某一实施方式中，传导构件1022和1024的厚度范围为约100-200纳米。若辐射无需透过传导构件1022和1024，则其厚度可更大，例如达到1000纳米或甚至更厚。

如图12所示，基片结构1222形成于像素驱动电路之上。在某一实施方式中，基片结构1222是一种井状结构，而在另一实施方式中，基片结构1222可为液体导向(liquid guide)结构(即，具有条状形状而不是点阵形状)。在某一实施方式中，基片结构1222的至少部分位于电子部件128、148、168或它们的任何组合和选择与驱动晶体管122和126的至少部分(例如，选择与驱动晶体管122和126的至少一半)之间。在另一实施方式中，基本上所有像素驱动电路(包括选择与驱动晶体管122和126和电容式电子部件124)被基片结构1222所覆盖。在还有另一实施方式中，选择与驱动晶体管122和126的沟道区被基片结构1222所覆盖。

图13为图12中截面线13-13的截面图，用以说明像素160中一部分基片结构1222和下层驱动晶体管126与电容式电子部件124之间的位置关系。基片结构1222覆盖于基片300和传导构件1022之上。基片结构1222确定了开口的阵列，其中辐射可传导

到或传导出随后形成的有机有源层。基片结构1222中的开口暴露出传导构件1022的部分。

在某一具体实施方式中，基片结构1222包含无机材料(例如，二氧化硅、氮化硅、氧化铝、氮化铝等)或有机材料(光致抗蚀剂、聚酰亚胺等)或它们的任何组合物。在另一实施方式中，基片结构1222可包含黑层(例如，含有碳的层)从而在电子设备工作时提高与环境光线的对比度。在某一示范性的实施方式，基片结构1222可由一层或多层抗蚀层或聚合物层形成。抗蚀剂可为，例如，负性抗蚀剂或正性抗蚀剂。

抗蚀剂可通过采用常规的技术沉积于基片300和传导构件1022上。基片结构1222可在沉积时进行图案形成或可作为覆盖层沉积并通过采用常规的平版制版技术进行图案形成。在某一具体实施方式中，由截面图可见，基片结构1222的厚度范围约为2-10微米。在某一具体实施方式中，由平面图可见，基片结构1222中开口的宽度范围为约50-100微米，长度范围为约100-500微米。基片结构1222开口处相对于传导构件1022表面的斜度可为小于90度、约为90度或大于90度。

在某一实施方式中，基片结构1222在形成随后的有机层之前可接受或不接受表面处理。可通过进行常规的氟化表面处理来降低基片结构1222的表面能。

继续加工以形成如图14所示的基本上完成的电子部件。有机层1430和第二电极1442形成于基片300之上。有机层1430可含有一层或多层。有机层1430包括有机有源层1434，并任选地可含有任何一层或多层电荷注入层、电荷传输层、电荷闭锁(charge-blocking)层或它们的任何组合。任选的电荷注入层、电荷传输层、电荷闭锁层或它们的任何组合可位于有机有源层1434和传导构件1022之间、有机有源层1434和第二电极1442之间或它们的组合。在某一实施方式中，空穴传递层1432位于传导构件1022和有机有源层1434之间。

有机层1430的形成是通过采用任何一种或多种用于在OLED中形成有机层的常规技术进行的。空穴传递层1432的厚度范围为约50-200纳米，有机有源层1434的厚度范围为约50-100纳米。在某一实施方式中，在阵列中只使用了一层有机有源层。在另一实施方式中，可在阵列的不同部分使用不同的有机有源层。

第二电极1442包含一层或多层具有一种或多种用于常规OLED负电极的材料。第二电极1442的形成采用了一种或多种常规沉积或常规沉积和平版制版技术。在某一实施方式中，第二电极1442的厚度范围为约0.1-5.0微米。在某一具体实施方式中，第二电极1442可为阵列的公共负电极。

其它在图14中未显示的电路可采用任何数量的上述或附加层来形成。附加绝缘层和互连层(interconnect level)的形成使得外围区域(未显示)的电路可位于阵列之外。此电路可包含行或列译码器,即频闪观测器(例如,行阵列频闪观测器、列阵列频闪观测器)或读出放大器。或者,此电路可在图14中所示的任何层的形成之前、之时或之后形成。在某一实施方式中,第二电极1442是 V_{SS} 线路138的部分。

罩盖1462和干燥剂1464在阵列外部的位罝(未在图14中显示)与基片300连接以形成基本上完成的设备。间隙1466可位于或不位于第二电极1442和干燥剂1464之间。罩盖1462和干燥剂所用的材料和附着方法是常规的。

4. 其它实施方式

上述的实施方式十分适合于AMOLED显示器(包括单色显示器和全色显示器)。本文所述的概念还可用于其它类型的辐射发射电子部件。其它辐射发射电子部件可包括无源矩阵显示光板、无机LED(包括基于III-IV或II-V族的无机辐射发射部件)。在某一实施方式中,辐射发射电子部件可发射可见光谱区内的辐射,而在另一实施方式中,辐射发射电子部件可发射可见光谱区外的辐射(例如,UV或IR)。

在另一实施方式中,本文所述的概念可延展到其它类型的电子设备。在某一实施方式中,传感器阵列可包括辐射响应电子部件的阵列。在某一实施方式中,不同的辐射响应电子部件可具有相同或不同的有源材料。那些有源材料的响应可随时间变化。进一步而言,某些传感器阵列可具有接受不同波长、不同辐射强度或它们的组合的不同部分。与具有辐射发射电子部件的电子设备类似,具有辐射响应电子部件的电子设备可具有更长的使用寿命。

辐射可透过基片300、罩盖1462或透过两者。若辐射要透过罩盖1462,该罩盖将可使得至少70%的辐射透过它。干燥剂1464可经改进以使得至少70%的辐射透过它或到位(located at position),从而辐射可通过罩盖1462发射出或接收到有机有源层1434。例如,干燥剂可覆盖基片结构1322但不覆盖有机有源层1434。在另一实施方式中,传导构件1022和1442的成分可以互换。在这一实施方式中,负电极与公共正电极相比离基片300更近。像素驱动电路和电子部件互连可为此结构进行改进。

电容式电子部件124的电容可被提高或降低在任何一个或多个传导构件224和它的覆盖传导构件736、756或776之间的重叠。例如,作为电容式电子部件124的部分的传导构件224、736、756、776的部分或它们的任意组合可比在图9和图10中所

示的更窄、更宽、更长或更短。应注意的是，电容式电子部件124的电容的变化可独立于或不独立于驱动晶体管126(例如，在驱动晶体管126之中或与其接触的传导构件224、736、756、776或它们的任何组合)。

类似地，驱动晶体管126的电子特性可通过改变有源区526的长度(例如，有源区526的长度)来改变。应注意的是，驱动晶体管126电子特性的改变可独立于或不独立于电容式电子部件124(例如，电容式电子部件124部分的传导构件224、736、756、776部分或它们的任何组合)。

许多尺寸(包括厚度、宽度和长度)已在相关的一些实施方式中给出。本发明的范围不限于那些尺寸或尺寸范围。在阅读了本说明书后，本领域的熟练技术人员将意识到其它尺寸也是可用的。

5. 优点

本文所描述的电路图和电子部件结构可使得像素中的空间得到更充分的利用，从而提高该像素相对于常规像素的孔径比。在某一实施方式中，在各像素中，电容式电子部件124和驱动晶体管126是基本上彼此邻接的。由于不必保持电容式电子部件124和驱动晶体管126间最小尺寸的间隔，这种配置使得像素驱动电路在像素中占据更少的区域。同样，选择和驱动晶体管122和126的长位于沿像素的不同侧。

可获得至少40%的孔径比。在某一实施方式中，孔径比至少为50%，在另一实施方式中，孔径比约为53%，而在更为具体的实施方式中，孔径比约为55%。这样的孔径比在常规的底部发射有机电子设备中是达不到的。更大的孔径比可使得像素电路(包括驱动晶体管126和电子部件128、148和168)在更为苛刻(aggressive)的条件下(即，较低的电流)工作，并还可获得所需的强度。通过降低电流，该电子设备的寿命得到延长，这是因为驱动晶体管126和电子部件128、148和168不会很快降质。

应注意的是，并非所有在本文总体说明和实施例中所描述的行为都是必需的，部分具体行为可能不是必需的，且也可执行除所描述的行为以外的其它行为。而且，所列出的各个行为的顺序不必是它们执行的顺序。在阅读本说明书后，熟练技术人员将能够确定何种行为可以用于他们的特定需求。

在前面的说明书中，已经参考具体的实施方式描述了本发明。然而，本领域普通技术人员要理解，可以在不脱离如权利要求书所述的本发明的范围的情况下作出各种修改和改变。因此，要将说明书与附图视为一种示例而不是限制的意义，并且所有这样的修改要被包括在本发明的范围之内。

上面已经参考具体的实施方式描述了任何一种或多种益处、一种或多种其它优点和一种或多种问题的一种或多种解决方案或它们的任何组合。然而，益处、优点、问题的解决方案以及可引起益处、优点、问题的解决方案的发生或变得更为明确的任何元素，不被解释为任何或全部权利要求的关键性的、必需的或基本的特征或元素。

应理解的是，为了清楚起见，在上述或下述的独立实施方案内容中，本发明的某些特征也可以组合地在单个实施方式中提供。相反，为了精简起见，在单个实施方式的内容中，本发明的各种特征也可独立地或以任何子组合(subcombination)提供。此外，所参考的范围中的值包括在该范围内的各个和每个值。

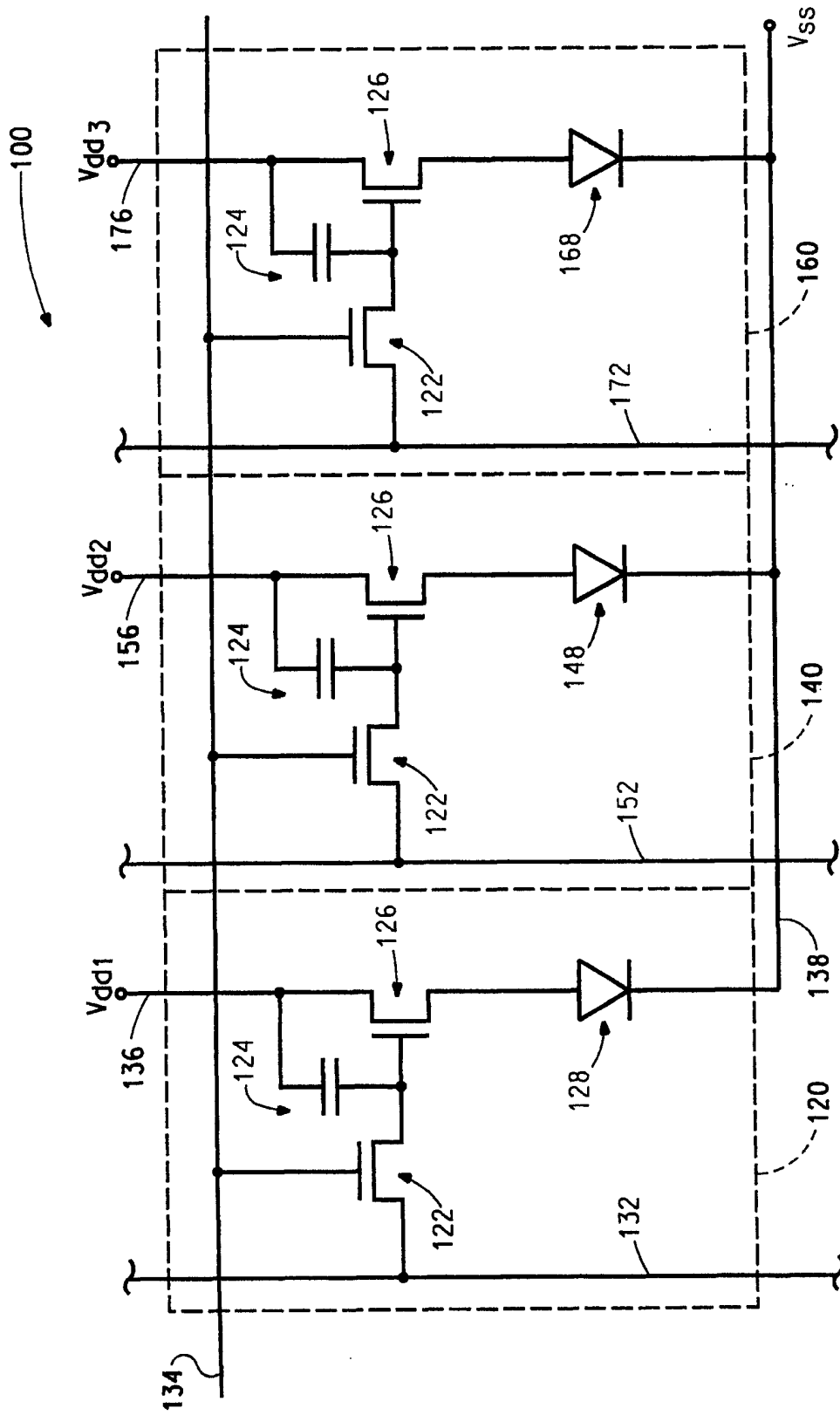


图 1

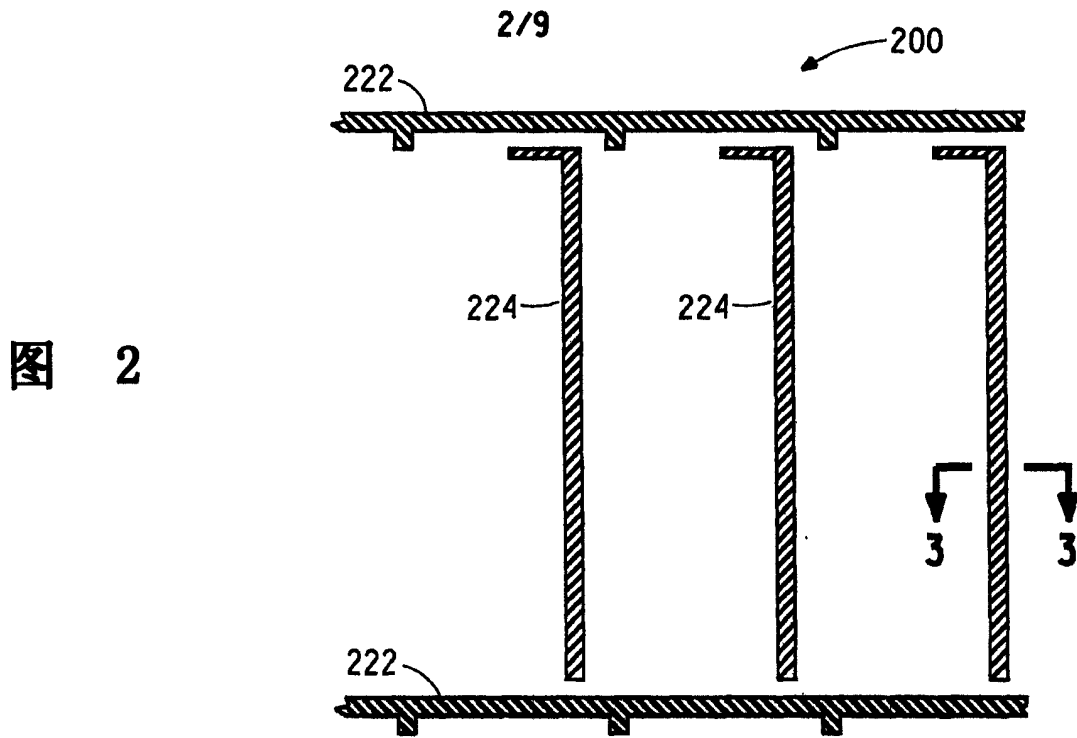


图 2

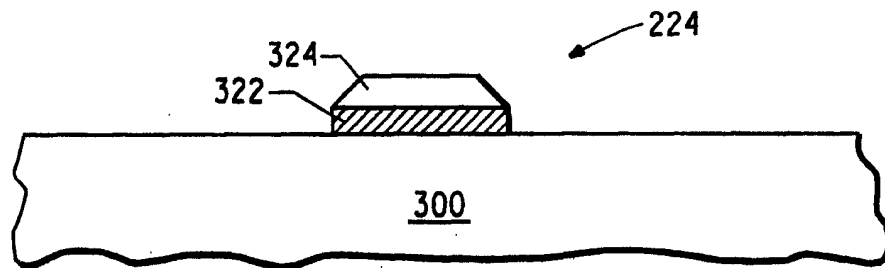


图 3

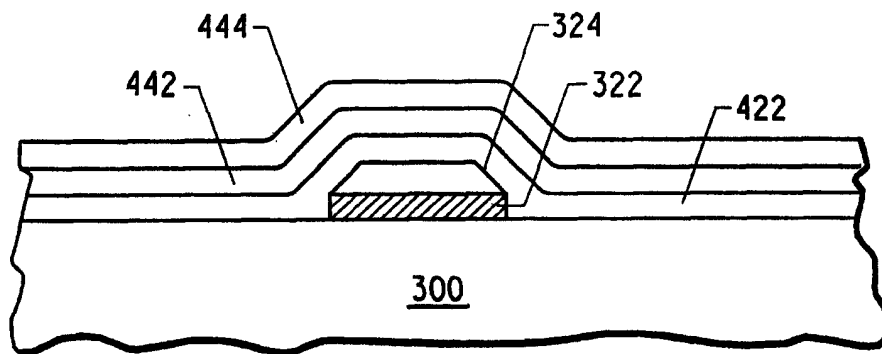


图 4

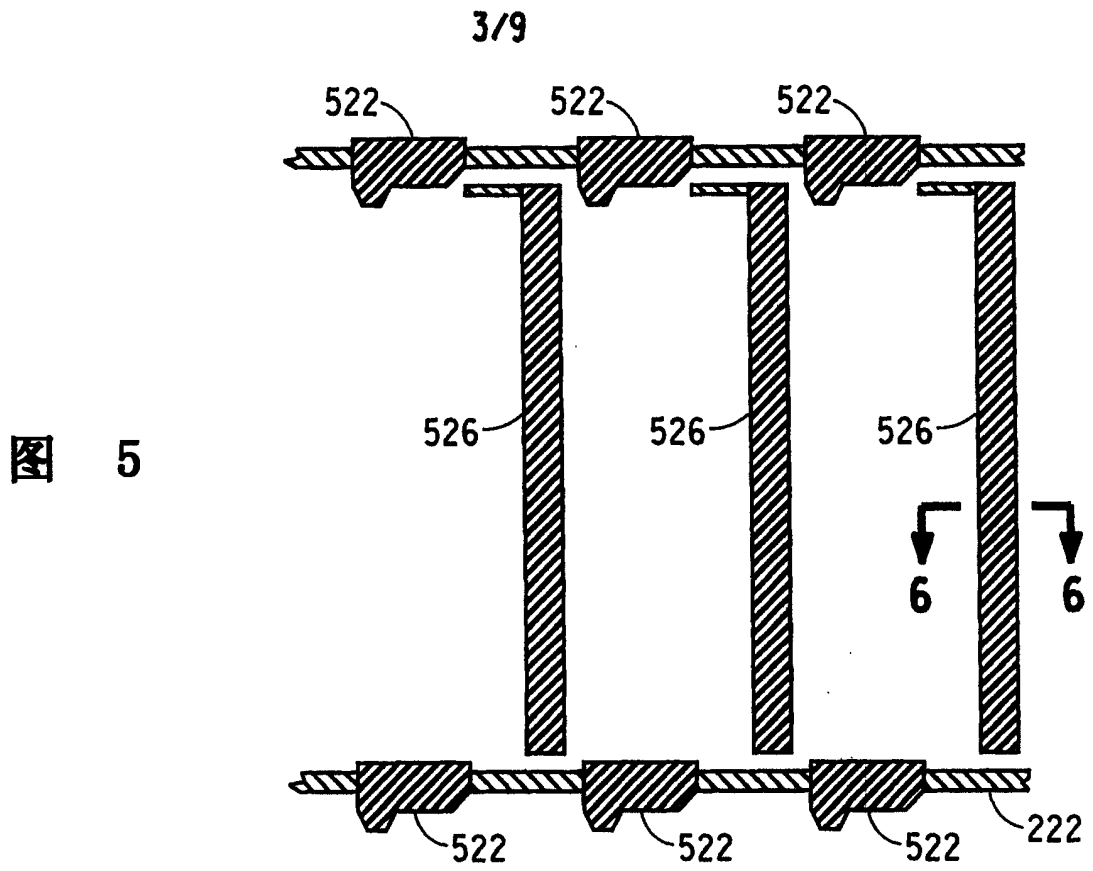


图 5

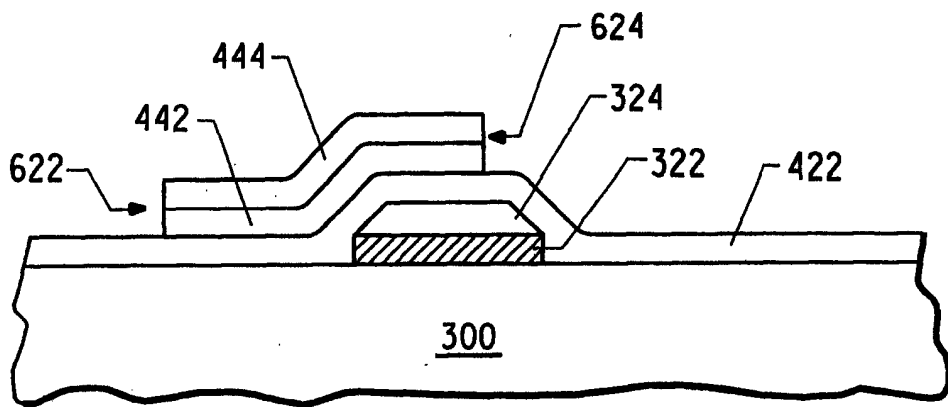


图 6

图 7

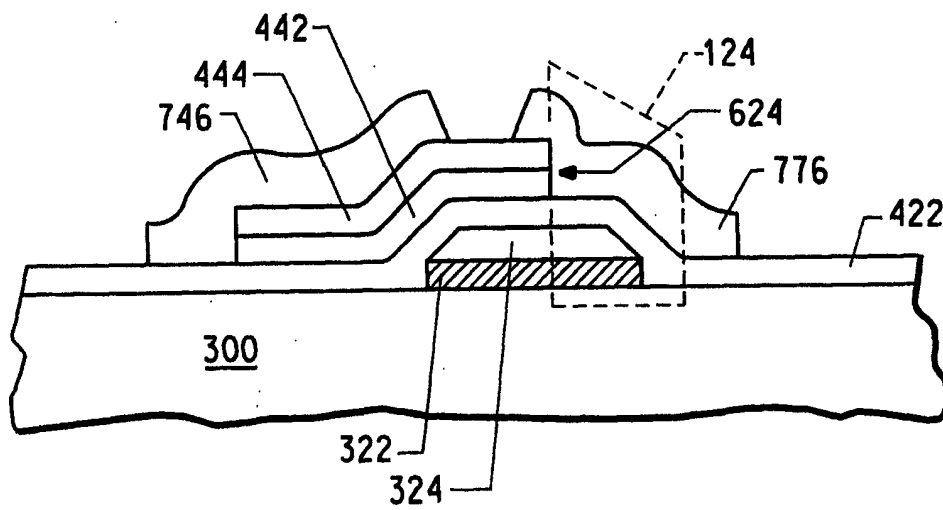
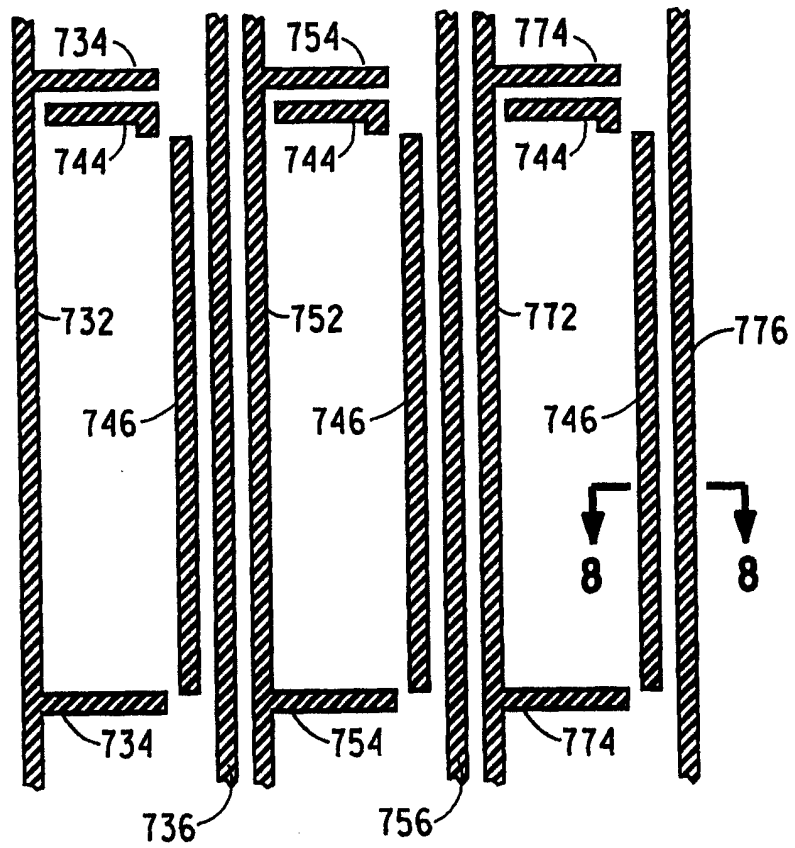


图 8

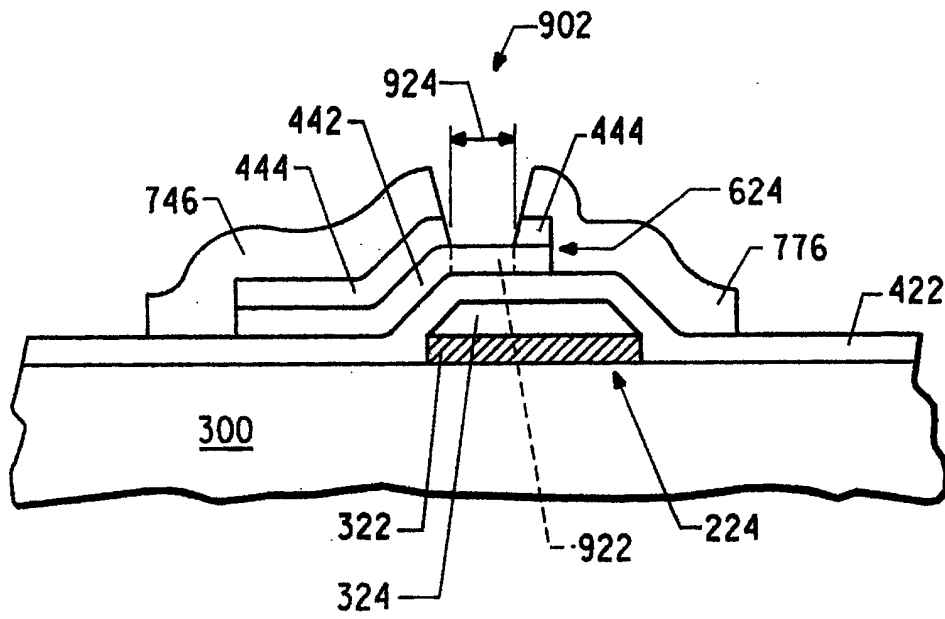
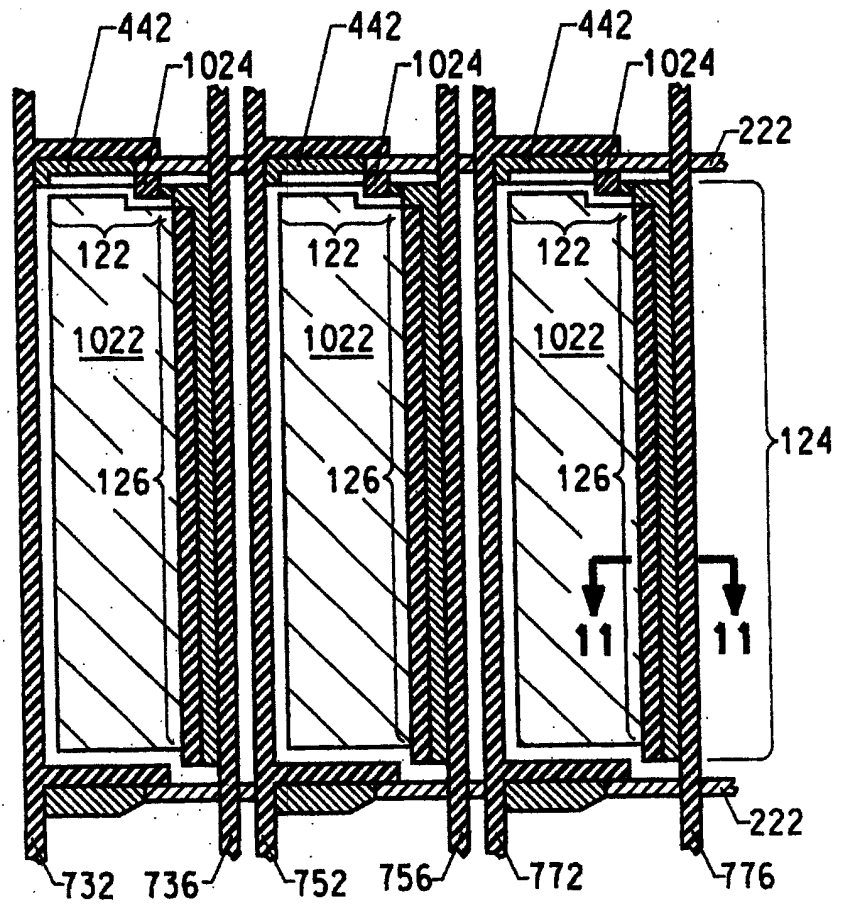


图 9

图 10



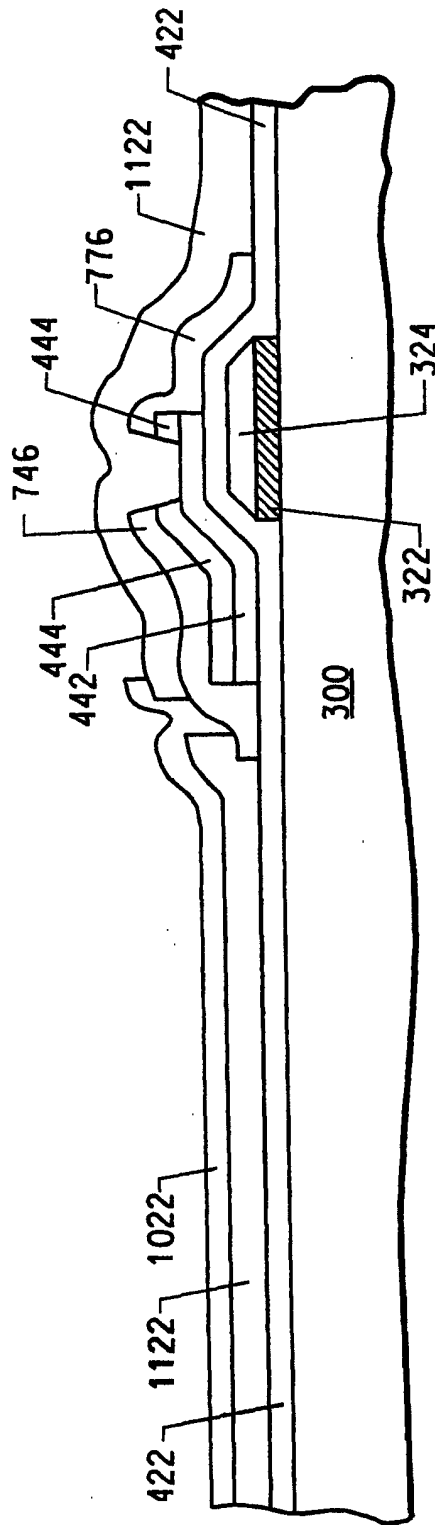


图 11

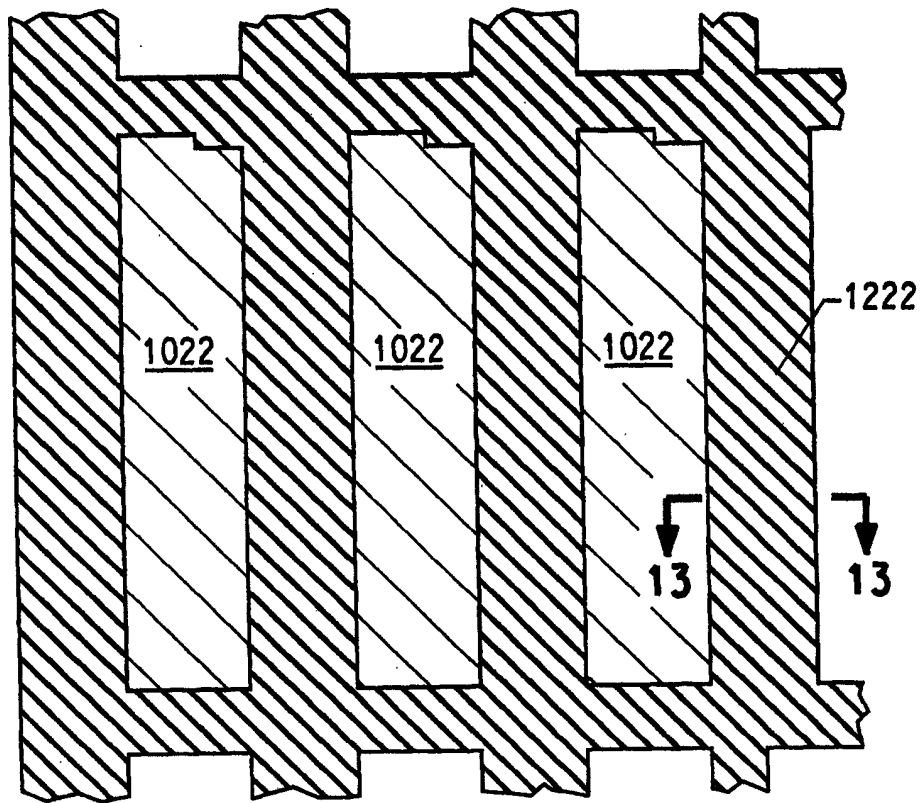


图 12

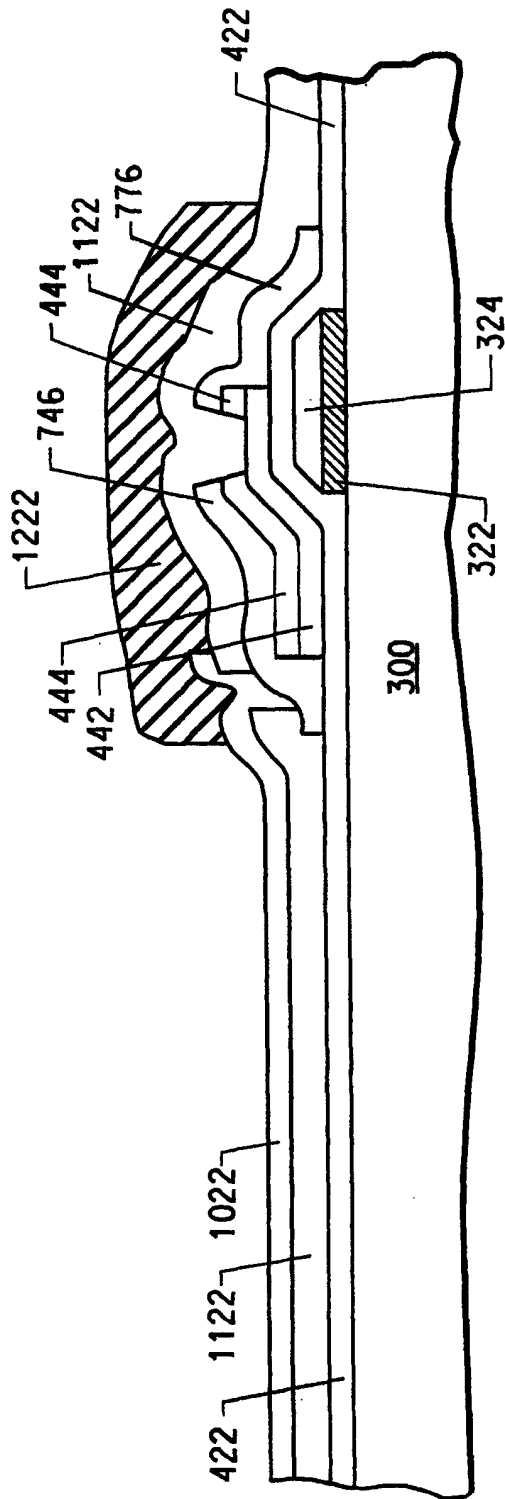


图 13

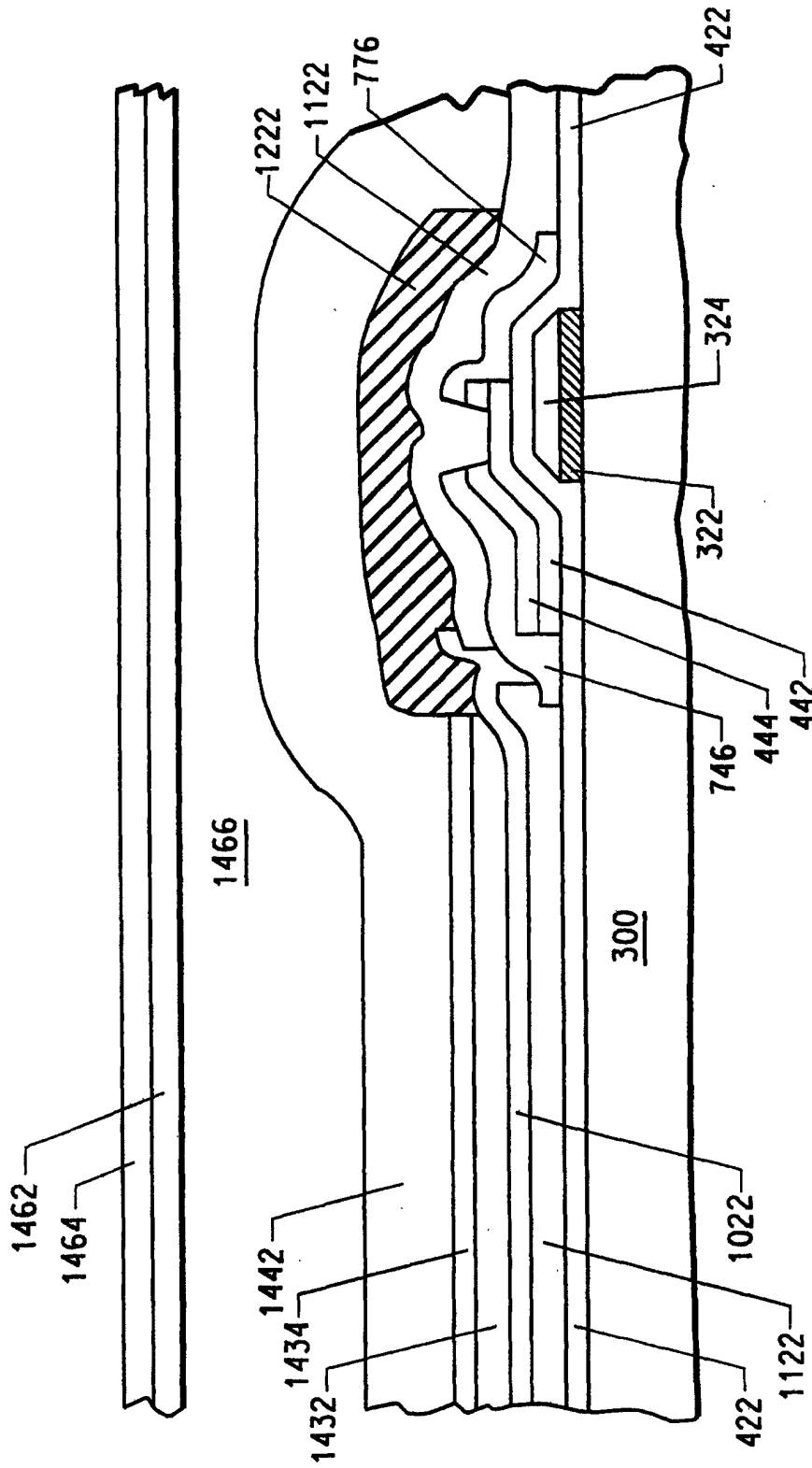


图 14