



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년07월04일  
 (11) 등록번호 10-1414494  
 (24) 등록일자 2014년06월26일

(51) 국제특허분류(Int. Cl.)  
**G11C 16/34** (2006.01)  
 (21) 출원번호 10-2008-0024414  
 (22) 출원일자 2008년03월17일  
 심사청구일자 2013년02월14일  
 (65) 공개번호 10-2009-0099264  
 (43) 공개일자 2009년09월22일  
 (56) 선행기술조사문헌  
 KR1020060064856 A  
 KR1020060112413 A  
 KR1020040524643 A

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**유동현**  
 서울특별시 송파구 동남로 160, 17동 203호 (문정동, 현대아파트)  
**조경래**  
 경기도 용인시 기흥구 예현로 15, SK아파트 103동 1202호 (서천동)  
 (뒷면에 계속)  
 (74) 대리인  
**윤재석, 한지희, 권영규**

전체 청구항 수 : 총 10 항

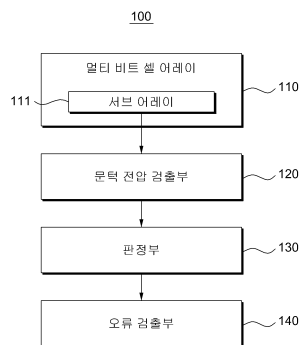
심사관 : 한선경

(54) 발명의 명칭 **메모리 장치 및 메모리 데이터 읽기 방법**

**(57) 요약**

메모리 장치 및 메모리 데이터 읽기 방법이 제공된다. 본 발명의 메모리 장치는 멀티 비트 셀 어레이, 복수의 문턱 전압 구간들 중에서 상기 멀티 비트 셀 어레이의 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출하는 문턱 전압 검출부, 상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층의 데이터를 판정하는 판정부 및 상기 제1 비트 계층의 데이터의 오류 비트를 검출하는 오류 검출부를 포함하며, 상기 판정부는 상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류 비트와 다른 상기 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정할 수 있고, 이를 통해 멀티 비트 셀에 저장된 데이터를 읽을 때 소요되는 시간을 줄일 수 있다.

**대표도 - 도1**



(72) 발명자

**강동구**

경기도 용인시 수지구 고기로67번길 55-5 (동천동)

**채동혁**

서울특별시 관악구 신림로3길 40, 건영3차 아파트  
1동 405호 (신림동)

**공준진**

경기도 용인시 수지구 진산로66번길 27, 삼성7차아  
파트 703동 301호 (풍덕천동)

---

**특허청구의 범위**

**청구항 1**

멀티 비트 셀 어레이;

복수의 문턱 전압 구간들 중에서 상기 멀티 비트 셀 어레이의 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출하는 문턱 전압 검출부;

상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층의 데이터를 판정하는 판정부; 및

상기 제1 비트 계층의 데이터의 오류 비트를 검출하는 오류 검출부를 포함하고,

상기 판정부는 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류 비트와 다른 상기 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정하는 메모리 장치.

**청구항 2**

제1항에 있어서,

상기 복수의 문턱 전압 구간들 중 연속된 홀수 개의 문턱 전압 구간들은 비대칭적으로 상기 제1 비트 계층의 값을 가지는 메모리 장치.

**청구항 3**

제1항에 있어서,

상기 복수의 문턱 전압 구간들 중 어느 하나를 중심으로 양쪽에서 가장 가깝게 존재하는 두 개의 문턱 전압 구간들은 상기 제1 비트 계층에서 서로 다른 값들을 가지는 메모리 장치.

**청구항 4**

제1항에 있어서,

상기 판정부는 상기 검출된 제1 문턱 전압 구간들로부터 상기 제1 비트 계층의 데이터와 제3 비트 계층의 데이터를 판정하고,

상기 오류 검출부는 상기 제1 비트 계층의 데이터 또는 상기 제3 비트 계층의 데이터의 오류 비트를 검출하고,

상기 제2 문턱 전압 구간은 상기 제1 비트 계층 또는 상기 제3 비트 계층에 대하여 상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류 비트와 다른 상기 제1 비트 계층 또는 상기 제3 비트 계층의 값을 가지는 메모리 장치.

**청구항 5**

제4항에 있어서,

상기 복수의 문턱 전압 구간들 중 서로 인접한 2개의 문턱 전압 구간들의 상기 제1 비트 계층의 값들이 서로 다를 때, 상기 서로 인접한 2개의 문턱 전압 구간들의 상기 제3 비트 계층의 값들은 서로 다른 메모리 장치.

**청구항 6**

제4항에 있어서,

상기 제3 비트 계층의 천이의 횟수는 상기 제1 비트 계층의 천이의 횟수보다 크고, 상기 제1 비트 계층의 천이의 횟수는 상기 제2 비트 계층의 천이의 횟수보다 큰 메모리 장치.

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

멀티 비트 셀 어레이;

복수의 프로그램 검증 전압들 중 연속된 홀수 개의 프로그램 검증 전압들은 비대칭적으로 제1 비트 계층의 값을 가지도록 상기 복수의 프로그램 검증 전압들을 설정하고, 상기 복수의 프로그램 검증 전압들 각각에 제2 비트 계층의 값을 할당하는 제어부; 및

상기 멀티 비트 셀 어레이의 멀티 비트 셀들 각각에 저장될 상기 제1 비트 계층 및 상기 제2 비트 계층의 값에 따라 상기 복수의 프로그램 검증 전압들 중 하나를 선택하고, 상기 선택된 프로그램 검증 전압을 이용하여 상기 멀티 비트 셀들 각각의 문턱 전압을 변경하는 프로그래밍부

를 포함하는 메모리 장치.

**청구항 10**

제9항에 있어서,

상기 제어부는, 상기 복수의 프로그램 검증 전압들 중 서로 인접한 2개의 프로그램 검증 전압들의 상기 제1 비트 계층의 값들이 서로 같을 때, 상기 서로 인접한 2개의 프로그램 검증 전압들의 상기 제2 비트 계층의 값들은 서로 다른 값들을 가지도록 상기 서로 인접한 2개의 프로그램 검증 전압들을 설정하는 메모리 장치.

**청구항 11**

제9항에 있어서,

상기 프로그래밍부는

상기 멀티 비트 셀들 각각의 문턱 전압이 상기 선택된 프로그램 검증 전압 이상이면 상기 멀티 비트 셀들 각각에 대한 프로그램 동작을 종료하는 메모리 장치.

**청구항 12**

복수의 문턱 전압 구간들 중에서 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출하는 단계;

상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층의 데이터를 판정하는 단계;

상기 판정된 제1 비트 계층의 데이터의 오류 비트를 검출하는 단계;

상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류 비트와 다른 상기 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 선택하는 단계; 및

상기 선택된 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정하는 단계

를 포함하는 데이터 읽기 방법.

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 메모리 장치의 데이터를 읽는 방법에 관한 것으로, 보다 상세하게는 멀티 레벨 셀(Multi-level Cell, MLC) 또는 멀티 비트 셀(Multi-Bit Cell, MBC) 메모리 장치의 데이터를 읽는 장치 및 방법에 관한 것이다.

배경기술

[0002] 싱글 레벨 셀(SLC: single-level cell) 메모리는 하나의 메모리 셀에 1비트의 데이터를 저장하는 메모리이다. 싱글 레벨 셀 메모리는 싱글 비트 셀(SBC: single-bit cell) 메모리로도 불린다. 싱글 레벨 셀 메모리의 메모리 셀(싱글 레벨 셀)에 데이터를 저장하는 과정은 프로그램 과정이라고도 불리며, 메모리 셀의 문턱 전압(threshold voltage)을 변화시킬 수 있다. 예를 들어, 싱글 레벨 셀에 논리 "1"의 데이터가 저장된 경우에는 싱글 레벨 셀은 1.0 Volt의 문턱 전압을 가질 수 있으며, 논리 "0"의 데이터가 저장된 경우에는 싱글 레벨 셀은 3.0 Volt의 문턱 전압을 가질 수 있다.

[0003] 싱글 레벨 셀들 간의 미세한 전기적 특성의 차이로 인해 동일한 데이터가 프로그램된 싱글 레벨 셀들 각각에 형성된 문턱 전압은 일정한 범위의 산포(distribution)를 가지게 된다. 예를 들어, 메모리 셀로부터 판독된 전압이 0.5-1.5 Volt인 경우에는 상기 메모리 셀에 저장된 데이터는 논리 "1"이고, 메모리 셀로부터 판독된 전압이 2.5-3.5 Volt인 경우에는 상기 메모리 셀에 저장된 데이터는 논리 "0"으로 판정(decision)될 수 있다. 메모리 셀에 저장된 데이터는 판독 동작 시 메모리 셀의 전류/전압의 차이에 의하여 구분된다.

[0004] 한편 메모리의 고집적화 요구에 응답하여 하나의 메모리 셀에 2비트 이상의 데이터를 프로그램할 수 있는 멀티 레벨 셀(MLC: multi-level cell) 메모리가 제안되었다. 멀티 레벨 셀 메모리는 멀티 비트 셀(MBC: multi-bit cell) 메모리로도 불린다. 그러나, 하나의 메모리 셀에 프로그램되는 비트의 수가 증가할수록 신뢰성은 떨어지고, 판독 실패율(read failure rate)은 증가하게 된다. 하나의 메모리 셀에 m개의 비트를 프로그램하려면,  $2^m$ 개의 문턱 전압 중 어느 하나가 상기 메모리 셀에 형성되어야 한다. 메모리 셀들 간의 미세한 전기적 특성의 차이로 인해, 동일한 데이터가 프로그램된 메모리 셀들의 문턱 전압들은 일정한 범위의 산포(distribution)를 형성할 수 있다. 이 때, m개의 비트에 의해 생성될 수 있는  $2^m$ 개의 데이터 값 각각에 하나씩의 문턱 전압 산포가 대응할 수 있다.

[0005] 그러나, 메모리의 전압 윈도우(voltage window)는 제한되어 있기 때문에, m이 증가함에 따라 인접한 비트들 간의 문턱 전압(threshold)의  $2^m$ 개의 산포들 간의 거리는 줄어들고, 산포들 간의 거리가 더욱 줄어들면 산포들끼리 겹칠 수 있다. 산포들끼리 겹치면 판독 실패율이 증가할 수 있다.

[0006] 멀티 레벨 셀 메모리의 이용이 최근의 추세로 확산되고 있는 가운데, 데이터를 저장하고 읽는 과정에서 발생하는 오류를 검출하고, 검출된 오류를 정정하는 오류 제어 코드(error control codes or error control coding or error correction codes, ECC)의 이용이 활발해지고 있다.

**발명의 내용**

- [0007] 본 발명의 실시예들에 따르면 멀티 레벨 셀 메모리에 새로운 멀티 레벨(멀티 비트) 읽기 기법을 적용함으로써, 데이터를 읽는 데 소요되는 시간을 줄일 수 있다.
- [0008] 본 발명의 실시예들에 따르면 멀티 레벨 셀 메모리로부터 읽은 데이터를 판정(decision)하기 위한 하드웨어의 복잡도를 줄일 수 있다.
- [0009] 본 발명의 실시예들에 따르면 멀티 레벨 셀 메모리의 데이터 페이지들에 대하여 동일한 읽기 알고리즘(algorithm)을 적용할 수 있다.
- [0010] 본 발명의 실시예들에 따르면 멀티 레벨 셀 메모리 장치에 필요한 오류 제어 코드(error control codes or error control coding or error correction codes, ECC)의 요구 조건(requirement)을 낮출 수 있다. 본 발명의 실시예들은 ECC requirement를 낮춤으로써 읽기 성능을 향상시킬 수 있다.
- [0011] 본 발명의 실시예들은 부가적인 fractional read 없이 멀티 레벨 셀 메모리로부터 데이터를 읽을 수 있다.
- [0012] 본 발명의 일 실시예에 따른 메모리 장치는 멀티 비트 셀 어레이, 문턱 전압 검출부, 판정부 및 오류 검출부를 포함할 수 있다. 문턱 전압 검출부는 복수의 문턱 전압 구간들 중에서 상기 멀티 비트 셀 어레이의 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출할 수 있다. 판 정부는 상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층(bit layer)의 데이터를 판정할 수 있다. 오류 검출부는 상기 제1 비트 계층의 데이터의 오류 비트를 검출할 수 있다. 상기 판 정부는 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정할 수 있다. 제2 문턱 전압 구간은 상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가까울 수 있고 상기 검출된 오류 비트와 다른 상기 제1 비트 계층의 값을 가질 수 있다.
- [0013] 본 발명의 다른 실시예에 따른 메모리 장치는 멀티 비트 셀 어레이, 제어부 및 프로그래밍부를 포함할 수 있다. 제어부는 복수의 프로그램 검증 전압들을 설정할 수 있다. 상기 복수의 프로그램 검증 전압들 중 연속된 홀수 개의 프로그램 검증 전압들은 비대칭적으로 제1 비트 계층의 값을 가지도록 설정될 수 있다. 제어부는 상기 복수의 프로그램 검증 전압들 각각에 제2 비트 계층의 값을 할당할 수 있다. 프로그래밍부는 상기 멀티 비트 셀 어레이의 멀티 비트 셀들 각각에 저장될 상기 제1 비트 계층 및 상기 제2 비트 계층의 값에 따라 상기 복수의 프로그램 검증 전압들 중 하나를 선택할 수 있다. 프로그래밍부는 상기 선택된 프로그램 검증 전압을 이용하여 상기 멀티 비트 셀들 각각의 문턱 전압을 변경할 수 있다.
- [0014] 본 발명의 또 다른 실시예에 따른 데이터 읽기 방법은 복수의 문턱 전압 구간들 중에서 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출하는 단계, 상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층의 데이터를 판정하는 단계, 상기 판정된 제1 비트 계층의 데이터의 오류 비트를 검출하는 단계, 상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류 비트와 다른 상기 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 선택하는 단계 및 상기 선택된 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정하는 단계를 포함할 수 있다.
- [0015] 본 발명의 또 다른 실시예에 따른 멀티 비트 프로그래밍 방법은 복수의 프로그램 검증 전압들 중 연속된 홀수 개의 프로그램 검증 전압들은 비대칭적으로 제1 비트 계층의 값을 가지도록 상기 복수의 프로그램 검증 전압들을 설정하는 단계, 상기 복수의 프로그램 검증 전압들 각각에 제2 비트 계층의 값을 할당하는 단계, 멀티 비트 셀들 각각에 저장될 상기 제1 비트 계층 및 상기 제2 비트 계층의 값에 따라 상기 복수의 프로그램 검증 전압들 중 하나를 선택하는 단계, 및 상기 선택된 프로그램 검증 전압을 이용하여 상기 멀티 비트 셀들 각각의 문턱 전압을 변경하는 단계를 포함할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0016] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 메모리 장치(100)를 도시하는 도면이다.
- [0018] 도 1을 참조하면, 메모리 장치(100)는 멀티 비트 셀 어레이(110), 문턱 전압 검출부(120), 판정부(130) 및 오류 검출부(140)를 포함한다.
- [0019] 멀티 비트 셀 어레이(110)는 복수의 멀티 비트 셀들을 포함한다. 멀티 비트 셀 어레이(110)에 포함되는 서브

어레이(111)는 문턱 전압 검출부(120)에 의하여 동시에 접근되는 멀티 비트 셀들의 집합일 수 있다. 문턱 전압 검출부(120)는 서브 어레이(111) 내의 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 동시에 검출할 수 있다.

- [0020] 실시예에 따라서는, 서브 어레이(111)는 하나의 워드 라인(word line)에 연결된 메모리 셀들의 집합일 수 있다. 메모리 장치(100)는 서브 어레이(111)에 연결된 워드 라인에 특정 전압을 인가함으로써 서브 어레이(111) 내의 메모리 셀들로부터 동시에 데이터를 읽을 수 있다. 본 명세서에서는 하나의 워드 라인에 연결된 메모리 셀들의 집합을 메모리 페이지(memory page)로 명명하기로 사용하기로 한다.
- [0021] 복수의 문턱 전압 구간들 각각은 멀티 비트 셀들에 저장된 데이터의 값을 하나씩 가질 수 있다. 하나의 멀티 비트 셀이 m비트의 데이터를 저장할 수 있으면  $2^m$  개의 문턱 전압 구간들이 m비트의 데이터를 나타낼 수 있다.
- [0022] 문턱 전압 검출부(120)는 상기 서브 어레이(111) 내의 멀티 비트 셀들 각각의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 식별할 수 있다. 하나의 멀티 비트 셀의 문턱 전압은 제1 문턱 전압 구간들 중 하나에 포함된다.
- [0023] 판정부(130)는 상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층(bit layer)의 데이터를 판정(decision)할 수 있다. 판정부(130)는 상기 서브 어레이(111) 내의 멀티 비트 셀들 각각에 대하여 식별된 제1 문턱 전압 구간들을 이용하여 상기 서브 어레이(111) 내의 멀티 비트 셀들 각각의 제1 비트 계층의 데이터를 판정할 수 있다.
- [0024] 비트 계층(bit layer)을 형성하는 데이터를 페이지(page)를 형성한다고 하기도 한다. 본 명세서에서는, 하나의 워드 라인(word line)에 연결되는 멀티 비트 셀들의 집합을 메모리 페이지(memory page)라 명명하고, 하나의 메모리 페이지의 멀티 비트 셀들에 저장되며 하나의 비트 계층을 형성하는 데이터를 데이터 페이지(data page)라고 명명하여 사용하기로 한다. 상기 명칭은 설명의 편의를 위한 것으로 이로 인해 본 발명의 권리 범위가 좁아지도록 해석되어서는 안 될 것이다. 멀티 비트 셀들 각각이 m비트의 데이터를 저장할 수 있으면, 하나의 메모리 페이지에는 m개의 데이터 페이지들이 저장될 수 있다.
- [0025] 판정부(130)가 제1 비트 계층의 데이터를 판정하는 동작의 일 예는 도 2를 통하여 도시된다.
- [0026] 도 2를 참조하면, 판정부(120)는 8개의 문턱 전압 구간들(210 내지 280)을 이용하여 제1 비트 계층의 데이터를 판정한다. 행(201)은 8개의 문턱 전압 구간들(210 내지 280)이 가지는 제1 비트 계층의 값을 나타낸다.
- [0027] 문턱 전압 구간(210)은 제1 비트 계층의 값 "1"을 가진다. 문턱 전압 구간(210)에 포함되는 문턱 전압을 가지는 멀티 비트 셀은 판정부(120)에 의하여 제1 비트 계층의 데이터 "1"을 저장하는 것으로 판정된다.
- [0028] 문턱 전압 구간(220)은 제1 비트 계층의 값 "0"을 가진다. 문턱 전압 구간(220)에 포함되는 문턱 전압을 가지는 멀티 비트 셀은 판정부(120)에 의하여 제1 비트 계층의 데이터 "0"을 저장하는 것으로 판정된다.
- [0029] 문턱 전압 구간(240), 문턱 전압 구간(250) 및 문턱 전압 구간(280)은 제1 비트 계층의 값 "1"을 가진다. 문턱 전압 구간(240), 문턱 전압 구간(250) 및 문턱 전압 구간(280)에 포함되는 문턱 전압을 가지는 멀티 비트 셀은 판정부(120)에 의하여 제1 비트 계층의 데이터 "1"을 저장하는 것으로 판정된다.
- [0030] 문턱 전압 구간(230), 문턱 전압 구간(260) 및 문턱 전압 구간(270)은 제1 비트 계층의 값 "0"을 가진다. 문턱 전압 구간(230), 문턱 전압 구간(260) 및 문턱 전압 구간(270)에 포함되는 문턱 전압을 가지는 멀티 비트 셀은 판정부(120)에 의하여 제1 비트 계층의 데이터 "0"을 저장하는 것으로 판정된다.
- [0031] 도 2의 8개의 문턱 전압 구간들(210 내지 280)은 연속된 홀수 개의 문턱 전압 구간들이 비대칭적으로 제1 비트 계층의 값을 가지도록 설정된다. 예를 들면 3개의 연속된 문턱 전압 구간들(210, 220, 230)이 가지는 제1 비트 계층의 값은 "1", "0", "0"이다. 도 2의 실시예와 반대로 대칭적인 제1 비트 계층의 값을 가지는 예는 "1", "0", "1" 등이 있을 수 있다. 다른 3개의 연속된 문턱 전압 구간들(230, 240, 250)이 가지는 제1 비트 계층의 값은 "0", "1", "1"로, 비대칭이다.
- [0032] 다시 도 1 및 도 2를 참조하면, 오류 검출부(140)는 상기 판정된 제1 비트 계층의 데이터의 오류 비트를 검출한다. 오류 검출부(140)가 오류 비트를 검출하는 과정은 상기 판정된 제1 비트 계층의 데이터를 오류 제어 코드(error control codes or error control coding or error correction codes, ECC) 디코드하는 과정일 수 있다.
- [0033] 판정부(130)는 상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류

비트와 다른 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정한다.

- [0034] 특정 멀티 비트 셀의 문턱 전압이 문턱 전압 구간(250)에 포함되면 상기 특정 멀티 비트 셀의 제1 비트 계층의 데이터는 "1"로 판정된다. 오류 검출부(140)는 서브 어레이(111)의 멀티 비트 셀들 및 제1 문턱 전압 구간들로부터 판정된 제1 비트 계층의 데이터를 ECC 디코딩할 수 있다. 오류 검출부(140)는 제1 비트 계층의 데이터를 ECC 디코딩하여 제1 비트 계층의 데이터의 오류 비트를 검출할 수 있다. 오류 검출부(140)에 의하여 상기 특정 멀티 비트 셀의 제1 비트 계층의 데이터가 오류 비트로 검출되면, 상기 특정 멀티 비트 셀의 제1 비트 계층의 올바른 데이터는 "1"이 아닌 "0"이다. 판정부(130)는 상기 특정 멀티 비트 셀의 문턱 전압과 가장 가까우면서 제1 비트 계층의 값 "0"을 가지는 문턱 전압 구간(260)을 탐색할 수 있다. 판정부(130)는 상기 특정 멀티 비트 셀의 문턱 전압은 데이터 저장 시 문턱 전압 구간(260)이었다고 간주할 수 있다. 판정부(130)는 문턱 전압 구간(260)의 제2 비트 계층의 값에 따라 상기 특정 멀티 비트 셀의 제2 비트 계층의 데이터를 판정할 수 있다.
- [0035] 상기 특정 멀티 비트 셀의 제1 문턱 전압 구간은 문턱 전압 구간(250)이고, 제2 문턱 전압 구간은 문턱 전압 구간(260)이다. 반대로, 상기 특정 멀티 비트 셀의 데이터가 오류가 없으면 판정부(130)는 제1 문턱 전압 구간을 이용하여 상기 특정 멀티 비트 셀의 제2 비트 계층의 데이터를 판정할 수 있다.
- [0036] 상기 특정 멀티 비트 셀의 제1 문턱 전압 구간인 문턱 전압 구간(250) 주변의 문턱 전압 구간(240) 및 문턱 전압 구간(260)은 제1 비트 계층의 값에 대하여 비대칭이므로, 서로 다른 제1 비트 계층의 값을 가진다. 상기 특정 멀티 비트 셀의 제1 비트 계층의 데이터가 오류로 검출되면, 판정부(130)는 문턱 전압 구간(240) 또는 문턱 전압 구간(260) 중 어느 하나의 구간을 제2 문턱 전압 구간으로 선택할 수 있다. 문턱 전압 구간(240) 및 문턱 전압 구간(260)은 서로 다른 제1 비트 계층의 값을 가지므로 판정부(130)는 어느 경우에도 제2 문턱 전압 구간을 선택할 수 있다.
- [0037] 도 3은 메모리 장치(100)의 데이터 판정 동작의 다른 예를 도시하는 도면이다.
- [0038] 도 3을 참조하면, 메모리 장치(100)는 8개의 문턱 전압 구간들(310 내지 380)을 이용하여 제1 비트 계층, 제2 비트 계층 및 제3 비트 계층의 데이터를 판정할 수 있다.
- [0039] 행(301)은 8개의 문턱 전압 구간들(310 내지 380)이 가지는 제1 비트 계층의 값을 나타내고, 행(302)은 8개의 문턱 전압 구간들(310 내지 380)이 가지는 제2 비트 계층의 값을 나타내고, 행(303)은 8개의 문턱 전압 구간들(310 내지 380)이 가지는 제3 비트 계층의 값을 나타낸다.
- [0040] 문턱 전압 구간(310)은 "011"의 값을 가지고, 문턱 전압 구간(320)은 "110"의 값을 가지고, 문턱 전압 구간(330)은 "000"의 값을 가지고, 문턱 전압 구간(340)은 "101"의 값을 가진다. 문턱 전압 구간(350)은 "111"의 값을 가지고, 문턱 전압 구간(360)은 "010"의 값을 가지고, 문턱 전압 구간(370)은 "100"의 값을 가지고, 문턱 전압 구간(380)은 "001"의 값을 가진다.
- [0041] 문턱 전압 검출부(120)는 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출할 수 있다. 판정부(130)는 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층 및 제2 비트 계층의 데이터를 판정할 수 있다. 오류 검출부(140)는 상기 판정된 제1 비트 계층 및 제2 비트 계층의 데이터의 오류 비트를 검출할 수 있다. 판정부(130)는 검출된 오류 비트에 대응하는 멀티 비트 셀을 식별할 수 있다. 판정부(130)는 식별된 멀티 비트 셀의 문턱 전압에 가장 가까우면서 검출된 오류 비트와 다른 제1 비트 계층 또는 제2 비트 계층의 값을 가지는 제2 문턱 전압 구간을 상기 식별된 멀티 비트 셀에 대하여 선택할 수 있다. 판정부(130)는 상기 선택된 제2 문턱 전압 구간을 이용하여 상기 식별된 멀티 비트 셀의 제3 비트 계층의 데이터를 판정할 수 있다.
- [0042] 서브 어레이(111)의 멀티 비트 셀들 중에서 제1 멀티 비트 셀의 문턱 전압이 문턱 전압 구간(310)에 포함된다고 가정한다. 문턱 전압 검출부(120)는 문턱 전압 구간(310)을 제1 멀티 비트 셀의 제1 문턱 전압 구간으로 검출할 수 있다.
- [0043] 판정부(130)는 제1 멀티 비트 셀의 제1 문턱 전압 구간으로부터 제1 멀티 비트 셀의 제1 비트 계층의 데이터를 "1"로 판정할 수 있고 제2 비트 계층의 데이터를 "1"로 판정할 수 있다. 오류 검출부(140)에 의하여 제1 멀티 비트 셀의 제1 비트 계층의 데이터가 오류로 검출되면, 판정부(130)는 문턱 전압 구간(310)과 가장 가까우면서 제1 비트 계층의 값 "0"을 가지는 문턱 전압 구간(320)을 제1 멀티 비트 셀의 제2 문턱 전압 구간으로 선택할 수 있다. 판정부(130)는 제1 멀티 비트 셀의 제2 문턱 전압 구간의 제3 비트 계층의 값인 "1"에 따라 제1 멀티 비트 셀의 제3 비트 계층의 데이터를 "1"로 판정할 수 있다.
- [0044] 데이터 저장 시에 문턱 전압 구간(320)에 포함되는 문턱 전압을 가졌던 멀티 비트 셀의 문턱 전압이 시간이 경



과함에 따라 문턱 전압 구간(310)에 포함되도록 변화할 수 있다. 멀티 비트 셀의 문턱 전압이 시간이 경과함에 따라 감소하는 과정의 예로는 전하 유실(charge loss) 메커니즘 등을 들 수 있다.

- [0045] 멀티 비트 셀은 제어 게이트(Control Gate, CG) 및 부유 게이트(floating gate, FG) 사이에 절연체(insulator) 층이 위치하고, FG 및 substrate 사이에도 절연체 층이 위치하는 구조를 가진다. 메모리 장치(100)는 멀티 비트 셀의 CG 및 substrate 에 특정 전압을 인가하여 전하를 FG에 충전(charge)하거나 FG로부터 방전(discharge)할 수 있다. 전하가 FG에 충전 또는 FG로부터 방전되는 과정은 F-N 터널링(Fowler-Nordheim Tunneling, F-N tunneling) 또는 핫 캐리어 효과(hot carrier effect) 등의 메커니즘에 의해 수행될 수 있다. FG에 충전된 전하는 방전(discharge) 조건이 갖추어지기 전에는 FG에 유지되어야 하지만, 자연적인 확산 현상에 의해 FG에 충전되어 있는 전하가 주위로 퍼져서, FG 내의 전하가 줄어들거나, FG 주변의 절연체가 손상되어 전하의 누설 경로(leaking path)가 형성되면 FG에 충전된 전하가 유실될 수 있다.
- [0046] 실시예에 따라서는, 제1 멀티 비트 셀의 제1 비트 계층의 데이터 및 제2 비트 계층의 데이터 모두가 오류로 검출되면 판정부(130)는 문턱 전압 구간(330)을 제1 멀티 비트 셀의 제2 문턱 전압 구간으로 선택할 수도 있다. 이 때, 판정부(130)는 문턱 전압 구간(330)의 제3 비트 계층의 값 "0"에 따라 제1 멀티 비트 셀의 제3 비트 계층의 데이터를 "0"으로 판정할 수도 있다.
- [0047] 서브 어레이(111)의 멀티 비트 셀들 중에서 제2 멀티 비트 셀의 문턱 전압이 문턱 전압 구간(320)에 포함된다고 가정한다. 문턱 전압 검출부(120)는 문턱 전압 구간(320)을 제2 멀티 비트 셀의 제1 문턱 전압 구간으로 검출할 수 있다.
- [0048] 판정부(130)는 제2 멀티 비트 셀의 제1 문턱 전압 구간으로부터 제2 멀티 비트 셀의 제1 비트 계층의 데이터를 "0"으로 판정할 수 있고 제2 비트 계층의 데이터를 "1"로 판정할 수 있다. 오류 검출부(140)에 의하여 제2 멀티 비트 셀의 제1 비트 계층의 데이터가 오류로 검출되면, 판정부(130)는 문턱 전압 구간(320)과 가장 가까우면서 제1 비트 계층의 값 "1"을 가지는 문턱 전압 구간(310)을 제2 멀티 비트 셀의 제2 문턱 전압 구간으로 선택할 수 있다. 판정부(130)는 제2 멀티 비트 셀의 제2 문턱 전압 구간의 제3 비트 계층의 값인 "0"에 따라 제2 멀티 비트 셀의 제3 비트 계층의 데이터를 "0"으로 판정할 수 있다.
- [0049] 데이터 저장 시에 문턱 전압 구간(310)에 포함되는 문턱 전압을 가졌던 멀티 비트 셀의 문턱 전압이 시간이 경과함에 따라 문턱 전압 구간(320)에 포함되도록 변화할 수 있다. 멀티 비트 셀의 문턱 전압이 시간이 경과함에 따라 감소하는 과정의 예로는 FG 커플링(FG coupling) 메커니즘 등을 들 수 있다.
- [0050] FG 커플링이란, 중심 멀티 비트 셀의 문턱 전압이 주변의 멀티 비트 셀들의 문턱 전압의 변화 량에 따라 영향 받는 현상을 말한다. 멀티 비트 셀들의 FG들 간의 기생 커패시턴스(parasitic capacitance)의 커플링으로 인해 중심 멀티 비트 셀의 문턱 전압이 영향 받는다.
- [0051] 만일, 프로그래밍 과정(멀티 비트 셀에 데이터를 저장하는 과정)이 주변의 멀티 비트 셀의 문턱 전압을 증가시킨다면, 중심 멀티 비트 셀의 문턱 전압은 FG 커플링에 의해 타겟 값보다 증가하게 된다.
- [0052] FG 커플링과 같은 메커니즘에 의해, 멀티 비트 셀들의 문턱 전압의 산포는 확산되는 경향을 가진다. 일반적으로 FG 커플링에 의한 문턱 전압의 변화는 중심 멀티 비트 셀의 문턱 전압이 낮은 경우에 더 크게 나타난다는 사실이 알려져 있다.
- [0053] 오류 검출부(140)에 의하여 제2 멀티 비트 셀의 제2 비트 계층의 데이터가 오류로 검출되면, 판정부(130)는 문턱 전압 구간(320)과 가장 가까우면서 제2 비트 계층의 값 "0"을 가지는 문턱 전압 구간(330)을 제2 멀티 비트 셀의 제2 문턱 전압 구간으로 선택할 수 있다. 판정부(130)는 제2 멀티 비트 셀의 제2 문턱 전압 구간의 제3 비트 계층의 값인 "0"에 따라 제2 멀티 비트 셀의 제3 비트 계층의 데이터를 "0"으로 판정할 수 있다. 판정부(130)는 문턱 전압 구간(320)을 제1 문턱 전압 구간으로 가지는 제2 멀티 비트 셀의 전하 유실 메커니즘에 의한 오류를 제2 비트 계층에 대한 ECC 디코딩 과정을 통하여 정정할 수 있고, 제2 멀티 비트 셀의 FG 커플링 메커니즘에 의한 오류를 제1 비트 계층에 대한 ECC 디코딩 과정을 통하여 정정할 수 있다.
- [0054] 도 3의 8개의 문턱 전압 구간들(310 내지 380) 중 3개의 연속된 문턱 전압 구간들을 선택하면, 선택된 3개의 연속된 문턱 전압 구간들은 비대칭적으로 제1 비트 계층의 값을 가지므로 판정부(130)는 판정된 제1 비트 계층의 데이터가 오류인 경우 올바른 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 선택할 수 있다. 마찬가지로, 선택된 3개의 연속된 문턱 전압 구간들은 비대칭적으로 제2 비트 계층의 값을 가지므로 판정부(130)는 판정된 제2 비트 계층의 데이터가 오류인 경우 올바른 제2 비트 계층의 값을 가지는 제2 문턱 전압 구

간을 선택할 수 있다.

- [0055] 메모리 장치(100)는 제1 비트 계층의 판정된 데이터가 오류인 경우 또는 제2 비트 계층의 판정된 데이터가 오류인 경우에 오류에 대응하는 멀티 비트 셀의 제2 문턱 전압 구간을 시행 착오 없이 선택할 수 있다. 메모리 장치(100)는 올바른 데이터에 대응하는 제2 문턱 전압 구간을 시행 착오 없이 선택함으로써 멀티 비트 셀로부터 데이터를 읽는 시간을 단축할 수 있다.
- [0056] 판정부(130)는 특정 멀티 비트 셀에 대하여 판정된 제1 비트 계층 또는 제2 비트 계층의 데이터의 오류를 검출함으로써, 상기 특정 멀티 비트 셀의 올바른 문턱 전압 구간인 제2 문턱 전압 구간을 선택할 수 있다.
- [0057] 도 3의 8개의 문턱 전압 구간들(310 내지 380) 중 서로 인접한 2개의 문턱 전압 구간들은 제1 비트 계층 또는 제2 비트 계층 중 적어도 하나에 대하여 서로 다른 값을 가진다. 예를 들어 문턱 전압 구간(310) 및 문턱 전압 구간(320)은 서로 다른 제1 비트 계층의 값을 가지고, 문턱 전압 구간(320) 및 문턱 전압 구간(330)은 서로 다른 제2 비트 계층의 값을 가진다.
- [0058] 서로 인접한 2개의 문턱 전압 구간들이 제1 비트 계층, 제2 비트 계층 또는 제3 비트 계층의 서로 다른 값을 가지는 이벤트를 천이(transition)라 한다. 예를 들어 문턱 전압 구간(310) 및 문턱 전압 구간(320) 사이에서는 제1 비트 계층 및 제3 비트 계층의 천이가 발생한다. 문턱 전압 구간(320) 및 문턱 전압 구간(330) 사이에서는 제2 비트 계층 및 제3 비트 계층의 천이가 발생한다.
- [0059] 메모리 장치(100)는 천이가 발생하는 문턱 전압 구간들 사이에서 읽기 전압을 이용하여 멀티 비트 셀들의 문턱 전압을 감지할 수 있다. 제1 비트 계층에 대해서는 4번의 천이가 발생하고, 제2 비트 계층에 대해서는 3번의 천이가 발생한다. 제3 비트 계층에 대해서는 6번의 천이가 발생한다. 메모리 장치(100)는 제1 비트 계층의 데이터를 판정하기 위해서 적어도 4개의 읽기 전압 레벨들을 이용하여 멀티 비트 셀들의 문턱 전압을 감지한다. 메모리 장치(100)는 제2 비트 계층의 데이터를 판정하기 위해서 적어도 3개의 읽기 전압 레벨들을 이용하여 멀티 비트 셀들의 문턱 전압을 감지한다. 메모리 장치(100)는 제3 비트 계층의 데이터를 판정하기 위해서 적어도 6개의 읽기 전압 레벨들을 이용하여 멀티 비트 셀들의 문턱 전압을 감지한다.
- [0060] 일반적으로 비트 계층 각각에 대하여 판정된 데이터의 오류 발생 확률은 천이 횟수와 관련된다는 점이 알려져 있다. 도 3의 실시예에서는, 제3 비트 계층에 대하여 판정된 데이터의 오류 발생 확률이 제1 비트 계층 또는 제2 비트 계층에 대하여 판정된 데이터의 오류 발생 확률보다 높을 것으로 예측될 수 있다.
- [0061] 메모리 장치(100)는 오류 발생 확률이 상대적으로 낮은 제1 비트 계층 또는 제2 비트 계층의 판정 결과 및 ECC 디코딩 결과를 이용하여 오류 발생 확률이 상대적으로 높은 제3 비트 계층의 데이터를 판정함으로써 제3 비트 계층의 데이터의 오류 발생 확률을 낮출 수 있다.
- [0062] 메모리 장치(100)는 제1 비트 계층 또는 제2 비트 계층의 데이터의 ECC 디코딩 결과를 이용하여 제3 비트 계층의 데이터를 판정함으로써, 제3 비트 계층의 데이터를 ECC 디코딩하지 않고도 제3 비트 계층의 데이터를 판정할 수 있다.
- [0063] 문턱 전압 검출부(120)는 7개의 읽기 전압 레벨들을 이용하여 멀티 비트 셀들의 문턱 전압이 포함되는 제1 문턱 전압 구간들을 검출할 수 있다. 문턱 전압 검출부(120)는 읽기 전압 레벨들 각각에 관련되는 전압을 서브 어레이(111)의 멀티 비트 셀들의 게이트 단자(gate terminal)에 인가하고 멀티 비트 셀들 각각의 전류를 감지함으로써 멀티 비트 셀들 각각의 문턱 전압이 읽기 전압 레벨들 각각보다 높은지 낮은지를 판정할 수 있다.
- [0064] 3개의 연속적인 문턱 전압 구간들이 비대칭적으로 제1 비트 계층 및 제2 비트 계층의 값을 가지고 2개의 인접한 문턱 전압 구간들이 제1 비트 계층의 서로 다른 값을 가지거나 제2 비트 계층의 서로 다른 값을 가지면, FG 커플링 메커니즘(멀티 비트 셀의 문턱 전압이 증가하는 현상) 또는 전하 유실 메커니즘(멀티 비트 셀의 문턱 전압이 감소하는 현상) 중 어느 현상이 발생하더라도 판정부(130)는 제1 비트 계층 또는 제2 비트 계층의 데이터의 오류를 검출함으로써 제3 비트 계층의 데이터를 판정할 수 있다. 이 때, 메모리 장치(100)는 제3 비트 계층의 데이터에 대한 ECC 디코딩을 수행하지 않고 제3 비트 계층의 데이터를 판정할 수 있다.
- [0065] 이 때, 제1 비트 계층 및 제2 비트 계층의 데이터에 대한 ECC 디코딩 결과 오류가 발견되지 않은 멀티 비트 셀의 제1 문턱 전압 구간은 정확한 문턱 전압 구간으로 간주될 수 있다. 따라서 메모리 장치(100)는 제1 비트 계층 및 제2 비트 계층의 데이터에 대한 ECC 디코딩 결과 오류가 발견되지 않은 멀티 비트 셀에 대해서는 제1 문턱 전압 구간을 이용하여 제3 비트 계층의 데이터를 판정할 수 있다.
- [0066] 메모리 장치(100)는 제3 비트 계층의 데이터에 대한 ECC 디코딩을 수행하지 않음으로써, 멀티 비트 셀 어레이

(110)의 멀티 비트 셀들의 데이터를 읽는 시간을 단축할 수 있다.

- [0067] 구간들 각각이 "0" 또는 "1" 중 어느 하나의 값을 할당 받고, 구간들 각각에 할당된 값을 이용하여 데이터를 판정하는 기법을 경관정(hard decision)이라 한다. 문턱 전압 검출부(120)는 7개의 읽기 전압 레벨들을 이용하여 멀티 비트 셀들의 문턱 전압이 포함되는 문턱 전압 구간들을 검출할 수 있고, 판정부(130)는 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층 및 제2 비트 계층의 데이터를 경관정할 수 있다. 판정부(130)는 제1 비트 계층 또는 제2 비트 계층의 데이터의 검출된 오류를 이용하여 제3 비트 계층의 데이터의 일부를 경관정할 수 있다. 판정부(130)는 제1 문턱 전압 구간들로부터 나머지 제3 비트 계층의 데이터의 일부를 경관정할 수 있다.
- [0068] 읽기 전압 레벨들 사이에 fractional 읽기 전압 레벨들을 설정하고, fractional 읽기 전압 레벨들을 이용하여 세분화된 문턱 전압 구간들을 검출하는 읽기 기법을 fractional read 라 하기도 한다. 메모리 장치(100)는 fractional read 를 수행하지 않고 멀티 비트 셀에 저장된 데이터를 판정할 수 있다. 메모리 장치(100)는 fractional read 를 수행하지 않음으로써 멀티 비트 셀에 저장된 데이터를 읽는 시간을 단축할 수 있다. 메모리 장치(100)는 fractional read 를 수행하지 않고 멀티 비트 셀로 읽은 데이터의 오류를 정정할 수 있다.
- [0069] 실시예에 따라서는, 메모리 장치(100)는  $2^m$  개의 문턱 전압 구간들을 이용하여 m개의 비트 계층의 데이터를 판정할 수 있다. 메모리 장치(100)는 제m 비트 계층의 데이터에 대하여 ECC 디코딩을 수행하지 않고 제m 비트 계층의 데이터를 판정할 수 있다. 메모리 장치(100)는 제m 비트 계층의 데이터에 대하여 ECC 디코딩을 수행하지 않음으로써 ECC requirement를 줄일 수 있다. 메모리 장치(100)는 ECC requirement를 줄임으로써 하드웨어의 복잡도를 줄일 수 있다.
- [0070] 실시예에 따라서는, 메모리 장치(100)는 16개의 문턱 전압 구간들을 이용하여 4개의 비트 계층의 데이터를 판정할 수 있다.
- [0071] 이 때, 판정부(130)는 제1 비트 계층 및 제2 비트 계층의 데이터를 판정하고, 오류 검출부(140)는 상기 판정된 제1 비트 계층 및 제2 비트 계층의 데이터의 오류 비트를 검출할 수 있다. 판정부(130)는 검출된 오류 비트에 대응하는 멀티 비트 셀을 식별할 수 있다. 판정부(130)는 식별된 멀티 비트 셀의 문턱 전압에 가장 가까우면서 검출된 오류 비트와 다른 제1 비트 계층 또는 제2 비트 계층의 값을 가지는 제2 문턱 전압 구간을 상기 식별된 멀티 비트 셀에 대하여 선택할 수 있다. 판정부(130)는 상기 선택된 제2 문턱 전압 구간을 이용하여 상기 식별된 멀티 비트 셀의 제3 비트 계층 및 제4 비트 계층의 데이터를 판정할 수 있다.
- [0072] 본 발명의 실시예들은 모든 비트 계층, 즉, 모든 데이터 페이지들에 대하여 동일한 read algorithm을 적용할 수 있다. 본 발명의 실시예들은 모든 데이터 페이지들에 대하여 동일한 read algorithm을 적용함으로써 하드웨어의 복잡도를 줄일 수 있다.
- [0073] 도 4는 본 발명의 다른 실시예에 따른 메모리 장치(400)를 도시하는 도면이다.
- [0074] 도 4를 참조하면, 메모리 장치(400)는 멀티 비트 셀 어레이(410), 프로그래밍부(420) 및 제어부(430)를 포함한다.
- [0075] 멀티 비트 셀 어레이(410)는 복수의 멀티 비트 셀들을 포함한다. 서브 어레이(411)는 동시에 데이터가 프로그램되는 멀티 비트 셀들의 집합일 수 있다. 프로그래밍부(420)는 서브 어레이(411)의 멀티 비트 셀들에 데이터를 동시에 프로그램할 수 있다.
- [0076] 제어부(430)는 복수의 프로그램 검증 전압들을 설정한다. 복수의 프로그램 검증 전압들 중 연속된 홀수 개의 프로그램 검증 전압들은 비대칭적으로 제1 비트 계층의 값을 가지도록 설정될 수 있다. 제어부(430)는 상기 설정된 복수의 프로그램 검증 전압들 각각에 제2 비트 계층의 값을 할당할 수 있다.
- [0077] 프로그래밍부(420)는 서브 어레이(411)의 멀티 비트 셀들 각각에 저장될 제1 비트 계층 및 제2 비트 계층의 값에 따라 복수의 프로그램 검증 전압들 중 하나를 선택할 수 있다. 프로그래밍부(420)는 상기 선택된 프로그램 검증 전압을 이용하여 서브 어레이(411)의 멀티 비트 셀들 각각의 문턱 전압을 변경할 수 있다.
- [0078] 제어부(430)는 복수의 프로그램 검증 전압들 중 서로 인접한 프로그램 검증 전압들은 제2 비트 계층을 제외한 나머지 비트 계층 중 적어도 하나에 대하여 서로 다른 값을 가지도록 복수의 프로그램 검증 전압들을 설정할 수 있다.
- [0079] 프로그래밍부(420)는 서브 어레이(411)의 멀티 비트 셀들 각각의 문턱 전압이 상기 선택된 프로그램 검증 전압 이상이면 서브 어레이(411)의 멀티 비트 셀들 각각에 대한 프로그램 동작을 종료할 수 있다.

- [0080] 도 5는 도 4의 제어부(430)에 의해 설정된 프로그램 검증 전압들의 일 예를 도시하는 도면이다.
- [0081] 도 5를 참조하면, 8개의 프로그램 검증 전압들(510 내지 580) 각각에 하나 씩의 3비트의 데이터가 할당된다.
- [0082] 행(501)은 프로그램 검증 전압들(510 내지 580)에 할당된 제1 비트 계층의 값을 나타낸다. 행(502)은 프로그램 검증 전압들(510 내지 580)에 할당된 제2 비트 계층의 값을 나타낸다. 행(503)은 프로그램 검증 전압들(510 내지 580)에 할당된 제3 비트 계층의 값을 나타낸다.
- [0083] 제1 프로그램 검증 전압(510)은 제1 비트 계층의 값 "0"을 가지고, 제2 비트 계층의 값 "1"을 가지고, 제3 비트 계층의 값 "1"을 가진다. 제1 프로그램 검증 전압(510)에 할당된 데이터는 "110"으로 나타낼 수 있다.
- [0084] 제2 프로그램 검증 전압(520)은 제1 비트 계층의 값 "1"을 가지고, 제2 비트 계층의 값 "1"을 가지고, 제3 비트 계층의 값 "0"을 가진다. 제2 프로그램 검증 전압(520)에 할당된 데이터는 "011"로 나타낼 수 있다.
- [0085] 마찬가지로, 제3 프로그램 검증 전압(530)에 할당된 데이터는 "101"로 나타낼 수 있고, 제4 프로그램 검증 전압(540)에 할당된 데이터는 "000"으로 나타낼 수 있고, 제5 프로그램 검증 전압(550)에 할당된 데이터는 "010"으로 나타낼 수 있다. 제6 프로그램 검증 전압(560)에 할당된 데이터는 "111"로 나타낼 수 있고, 제7 프로그램 검증 전압(570)에 할당된 데이터는 "001"로 나타낼 수 있고, 제8 프로그램 검증 전압(580)에 할당된 데이터는 "100"으로 나타낼 수 있다.
- [0086] 3개의 연속된 프로그램 검증 전압은 비대칭적으로 제1 비트 계층 및 제2 비트 계층의 값을 가진다. 예를 들어 제3 프로그램 검증 전압(530), 제4 프로그램 검증 전압(540) 및 제5 프로그램 검증 전압(550)이 가지는 제1 비트 계층의 값은 "1", "0", "0"이고, 제2 비트 계층의 값은 "0", "0", "1"이다.
- [0087] 인접한 프로그램 검증 전압들은 서로 다른 제1 비트 계층 또는 제2 비트 계층의 값을 가진다. 제6 프로그램 검증 전압(560) 및 제7 프로그램 검증 전압(570)은 서로 다른 제2 비트 계층의 값을 가지고, 제5 프로그램 검증 전압(550) 및 제6 프로그램 검증 전압(560)은 서로 다른 제1 비트 계층의 값을 가진다.
- [0088] 도 6은 프로그래밍부(420)에 의해 형성된 멀티 비트 셀들의 문턱 전압의 산포의 일 예를 도시하는 도면이다.
- [0089] 도 6을 참조하면, 가로축은 멀티 비트 셀들의 문턱 전압을 나타내고, 세로축은 해당 문턱 전압을 가지는 멀티 비트 셀들의 개수를 나타낸다.
- [0090] 프로그래밍부(420)는 데이터 "110"을 저장할 멀티 비트 셀들의 문턱 전압이 제1 프로그램 검증 전압(510) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 멀티 비트 셀들 각각의 전기적인 특성이 미세하게 다르므로, 데이터 "110"이 저장된 멀티 비트 셀들의 문턱 전압들은 일정 범위의 산포(distribution)를 형성할 수 있다. 데이터 "110"이 저장된 멀티 비트 셀들의 문턱 전압들은 제1 산포(610)를 형성한다.
- [0091] 프로그래밍부(420)는 데이터 "011"을 저장할 멀티 비트 셀들의 문턱 전압이 제2 프로그램 검증 전압(520) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "011"이 저장된 멀티 비트 셀들의 문턱 전압들은 제2 산포(620)를 형성한다.
- [0092] 프로그래밍부(420)는 데이터 "101"을 저장할 멀티 비트 셀들의 문턱 전압이 제3 프로그램 검증 전압(530) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "101"이 저장된 멀티 비트 셀들의 문턱 전압들은 제3 산포(630)를 형성한다.
- [0093] 프로그래밍부(420)는 데이터 "000"을 저장할 멀티 비트 셀들의 문턱 전압이 제4 프로그램 검증 전압(540) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "000"이 저장된 멀티 비트 셀들의 문턱 전압들은 제4 산포(640)를 형성한다.
- [0094] 프로그래밍부(420)는 데이터 "010"을 저장할 멀티 비트 셀들의 문턱 전압이 제5 프로그램 검증 전압(550) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "010"이 저장된 멀티 비트 셀들의 문턱 전압들은 제5 산포(650)를 형성한다.
- [0095] 프로그래밍부(420)는 데이터 "111"을 저장할 멀티 비트 셀들의 문턱 전압이 제6 프로그램 검증 전압(560) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "111"이 저장된 멀티 비트 셀들의 문턱 전압들은 제6 산포(660)를 형성한다.
- [0096] 프로그래밍부(420)는 데이터 "001"을 저장할 멀티 비트 셀들의 문턱 전압이 제7 프로그램 검증 전압(570) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "001"이 저장된 멀티 비트 셀들의 문턱 전압들은

제7 산포(670)를 형성한다.

- [0097]    프로그래밍부(420)는 데이터 "100"을 저장할 멀티 비트 셀들의 문턱 전압이 제8 프로그램 검증 전압(580) 이상이 되도록 멀티 비트 셀들의 문턱 전압을 변경한다. 데이터 "100"이 저장된 멀티 비트 셀들의 문턱 전압들은 제8 산포(680)를 형성한다.
- [0098]    실시예에 따라서는, 프로그램 검증 전압들 대신 산포들 각각이 데이터를 할당 받는 것으로 간주될 수 있다.
- [0099]    도 7은 본 발명의 또 다른 실시예에 따른 데이터 읽기 방법을 도시하는 동작 흐름도이다.
- [0100]    도 7을 참조하면, 데이터 읽기 방법은 복수의 문턱 전압 구간들 중에서 멀티 비트 셀들의 문턱 전압들을 포함하는 제1 문턱 전압 구간들을 검출한다(S710).
- [0101]    데이터 읽기 방법은 단계(S710)에서 멀티 비트 셀들 각각의 문턱 전압을 포함하는 제1 문턱 전압 구간을 검출할 수 있다. 데이터 읽기 방법은 단계(S710)에서 멀티 비트 셀들 각각의 제1 문턱 전압 구간을 검출할 수 있다.
- [0102]    데이터 읽기 방법은 상기 검출된 제1 문턱 전압 구간들로부터 제1 비트 계층의 데이터를 판정한다(S720). 데이터 읽기 방법은 단계(S720)에서 멀티 비트 셀들 각각의 제1 문턱 전압 구간으로부터 멀티 비트 셀들 각각의 제1 비트 계층의 데이터를 판정할 수 있다.
- [0103]    데이터 읽기 방법은 상기 판정된 제1 비트 계층의 데이터의 오류 비트를 검출한다(S730). 데이터 읽기 방법은 단계(S730)에서 상기 판정된 제1 비트 계층의 데이터를 일정 길이의 코드워드 단위로 ECC 디코딩할 수 있다. 데이터 읽기 방법은 단계(S730)에서 상기 ECC 디코딩 과정에서 상기 판정된 제1 비트 계층의 데이터의 오류 비트를 검출할 수 있다.
- [0104]    데이터 읽기 방법은 상기 검출된 오류 비트에 대응하는 멀티 비트 셀의 문턱 전압에 가장 가깝고 상기 검출된 오류 비트와 다른 제1 비트 계층의 값을 가지는 제2 문턱 전압 구간을 선택한다(S740). 데이터 읽기 방법은 검출된 오류 비트에 대응하는 멀티 비트 셀을 식별할 수 있다. 데이터 읽기 방법은 상기 식별된 멀티 비트 셀의 문턱 전압에 가장 가까운 문턱 전압 구간들 또는 문턱 전압 구간 중 상기 검출된 오류 비트와 다른 제1 비트 계층의 값 (또는 상기 검출된 오류 비트가 정정된 제1 비트 계층의 값)을 가지는 제2 문턱 전압 구간을 선택할 수 있다. 데이터 읽기 방법은 상기 식별된 멀티 비트 셀의 제2 문턱 전압 구간을 선택할 수 있다.
- [0105]    데이터 읽기 방법은 상기 선택된 제2 문턱 전압 구간을 이용하여 제2 비트 계층의 데이터를 판정한다(S750). 데이터 읽기 방법은 상기 선택된 제2 문턱 전압 구간을 이용하여 상기 식별된 멀티 비트 셀의 제2 비트 계층의 데이터를 판정하고, 상기 식별된 멀티 비트 셀 이외의 나머지 멀티 비트 셀들의 제1 문턱 전압 구간을 이용하여 상기 나머지 멀티 비트 셀들의 제2 비트 계층의 데이터를 판정할 수 있다.
- [0106]    데이터 읽기 방법은 복수의 문턱 전압 구간들 중 연속된 홀수 개의 문턱 전압 구간들이 비대칭적으로 제1 비트 계층의 값을 가지도록 복수의 문턱 전압 구간들을 설정할 수 있다.
- [0107]    데이터 읽기 방법은 복수의 문턱 전압 구간들은 제2 비트 계층을 제외한 나머지 비트 계층 중 적어도 하나에 대하여 서로 다른 값을 가지도록 복수의 문턱 전압 구간들을 설정할 수 있다.
- [0108]    데이터 읽기 방법은 상기 판정된 제1 비트 계층의 데이터의 상기 검출된 오류 비트를 정정할 수 있다. 이 때, 데이터 읽기 방법은 부가적인 읽기 없이 상기 검출된 오류 비트를 정정할 수 있다.
- [0109]    데이터 읽기 방법은 단계(S750)에서 부가적인 읽기 없이 제2 비트 계층의 데이터를 판정할 수 있다.
- [0110]    도 8은 본 발명의 또 다른 실시예에 따른 멀티 비트 프로그래밍 방법을 도시하는 동작 흐름도이다.
- [0111]    도 8을 참조하면, 멀티 비트 프로그래밍 방법은 복수의 프로그램 검증 전압들을 설정한다(S810). 멀티 비트 프로그래밍 방법은 복수의 프로그램 검증 전압들 중 연속된 홀수 개의 프로그램 검증 전압들이 비대칭적으로 제1 비트 계층의 값을 가지도록 복수의 프로그램 검증 전압들을 설정한다.
- [0112]    멀티 비트 프로그래밍 방법은 복수의 프로그램 검증 전압들 각각에 제2 비트 계층의 값을 할당한다(S820).
- [0113]    멀티 비트 프로그래밍 방법은 멀티 비트 셀들 각각에 저장될 제1 비트 계층 및 제2 비트 계층의 값에 따라 복수의 프로그램 검증 전압들 중 하나를 선택한다(S830). 멀티 비트 프로그래밍 방법은 멀티 비트 셀들 각각에 대하여 하나씩의 프로그램 검증 전압을 선택할 수 있다.
- [0114]    멀티 비트 프로그래밍 방법은 상기 선택된 프로그램 검증 전압을 이용하여 멀티 비트 셀들 각각의 문턱 전압을

변경한다(S840).

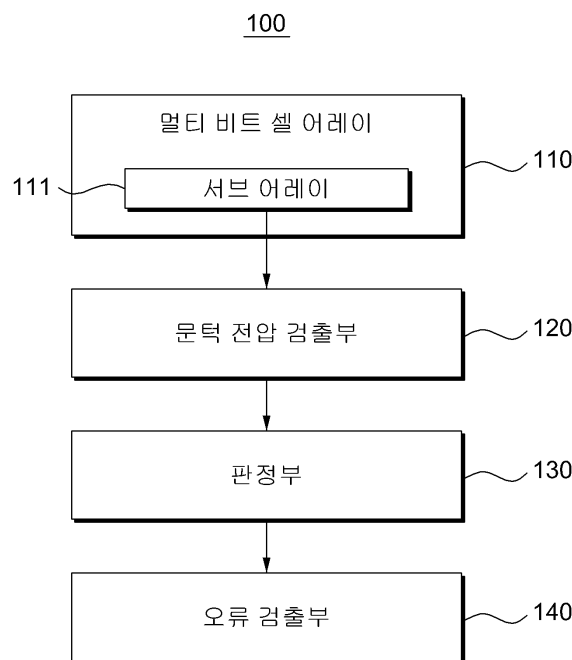
- [0115] 멀티 비트 프로그래밍 방법은 단계(S810)에서 복수의 프로그램 검증 전압들 중 서로 인접한 프로그램 검증 전압들이 제2 비트 계층을 제외한 나머지 비트 계층 중 적어도 하나에 대하여 서로 다른 값을 가지도록 복수의 프로그램 검증 전압들을 설정할 수 있다.
- [0116] 본 발명의 실시예들에 따른 데이터 읽기 방법 및/또는 멀티 비트 프로그래밍 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0117] 본 발명의 실시예들에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 구현될 수 있다.
- [0118] 플래시 메모리 장치와 메모리 컨트롤러는 메모리 카드를 구성할 수 있다. 이러한 경우, 메모리 컨트롤러는 USB, MMC, PCI-E, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 수 있다.
- [0119] 플래시 메모리 장치는 전력이 차단되어도 저장된 데이터를 유지할 수 있는 비휘발성 메모리 장치이다. 셀룰러 폰, PDA 디지털 카메라, 포터블 게임 콘솔, 그리고 MP3와 같은 모바일 장치들의 사용 증가에 따라, 플래시 메모리 장치는 데이터 스토리지 뿐만 아니라 코드 스토리지로서 보다 널리 사용될 수 있다. 플래시 메모리 장치는, 또한, HDTV, DVD, 라우터, 그리고 GPS와 같은 홈 어플리케이션에 사용될 수 있다.
- [0120] 본 발명의 실시예들에 따른 컴퓨팅 시스템은 버스에 전기적으로 연결된 마이크로프로세서, 사용자 인터페이스, 베이스밴드 칩셋(baseband chipset)과 같은 모뎀, 메모리 컨트롤러, 그리고 플래시 메모리 장치를 포함한다. 플래시 메모리 장치에는 마이크로프로세서에 의해서 처리된/처리될 N-비트 데이터(N은 1 또는 그 보다 큰 정수)가 메모리 컨트롤러를 통해 저장될 것이다. 본 발명의 실시예들에 따른 컴퓨팅 시스템이 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리가 추가적으로 제공될 것이다.
- [0121] 본 발명의 실시예들에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 컨트롤러와 플래시 메모리 장치는, 예를 들면, 데이터를 저장하는 데 비휘발성 메모리를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.
- [0122] 본 발명의 실시예들에 따른 메모리 장치들은 NAND flash, NOR flash, AND flash 등에 적용될 수 있고, 멀티 비트 데이터를 저장할 수 있는 단위를 가지는 저장 장치에 적용될 수 있다.
- [0123] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0124] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

**도면의 간단한 설명**

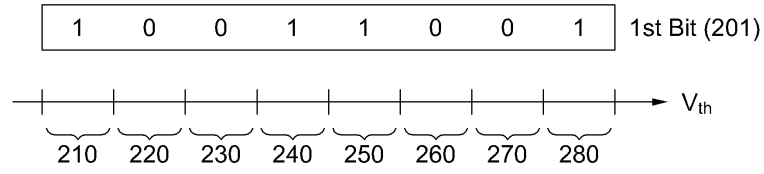
- [0125] 도 1은 본 발명의 일 실시예에 따른 메모리 장치(100)를 도시하는 도면이다.
- [0126] 도 2는 판정부(130)가 제1 비트 계층의 데이터를 판정하는 동작의 일 예를 도시하는 도면이다.
- [0127] 도 3은 메모리 장치(100)의 데이터 판정 동작의 다른 예를 도시하는 도면이다.
- [0128] 도 4는 본 발명의 다른 실시예에 따른 메모리 장치(400)를 도시하는 도면이다.
- [0129] 도 5는 도 4의 제어부(430)에 의해 설정된 프로그램 검증 전압들의 일 예를 도시하는 도면이다.
- [0130] 도 6은 프로그래밍부(420)에 의해 형성된 멀티 비트 셀들의 문턱 전압의 산포의 일 예를 도시하는 도면이다.
- [0131] 도 7은 본 발명의 또 다른 실시예에 따른 데이터 읽기 방법을 도시하는 동작 흐름도이다.
- [0132] 도 8은 본 발명의 또 다른 실시예에 따른 멀티 비트 프로그래밍 방법을 도시하는 동작 흐름도이다.
- [0133] <도면의 주요 부분에 대한 부호의 설명>
- [0134] 110: 멀티 비트 셀 어레이
- [0135] 111: 서브 어레이
- [0136] 120: 문턱 전압 검출부
- [0137] 130: 판정부
- [0138] 140: 오류 검출부

**도면**

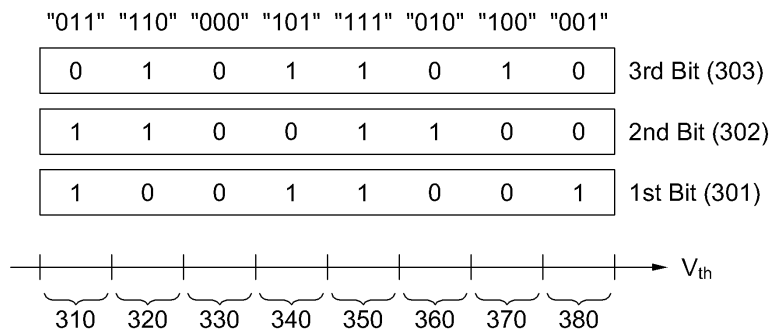
**도면1**



도면2

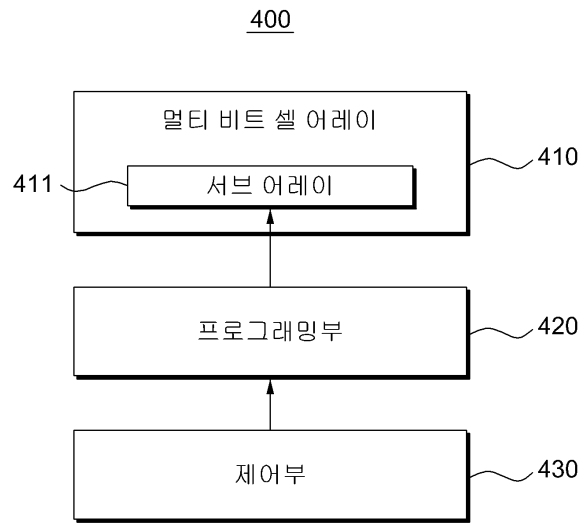


도면3

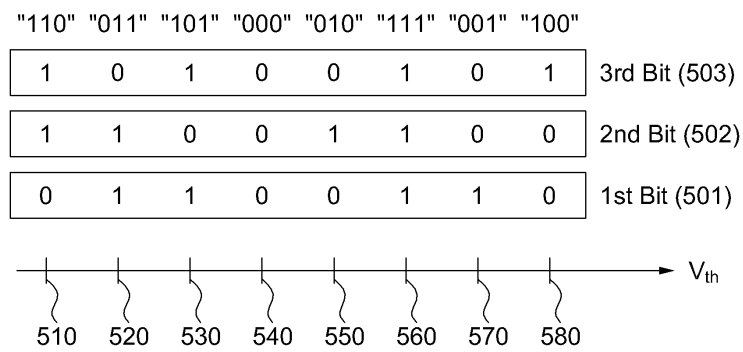




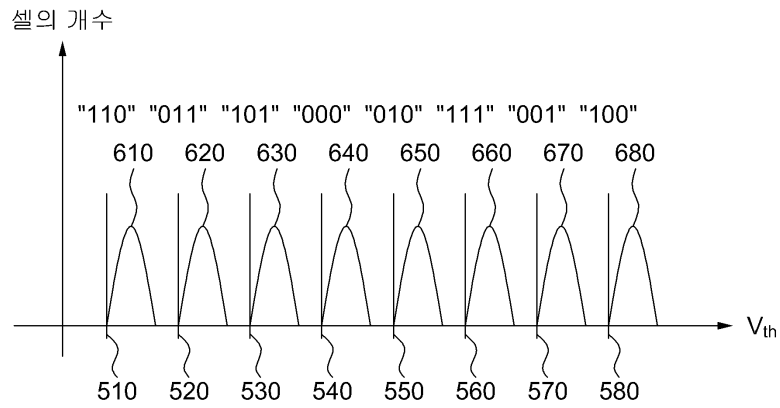
도면4



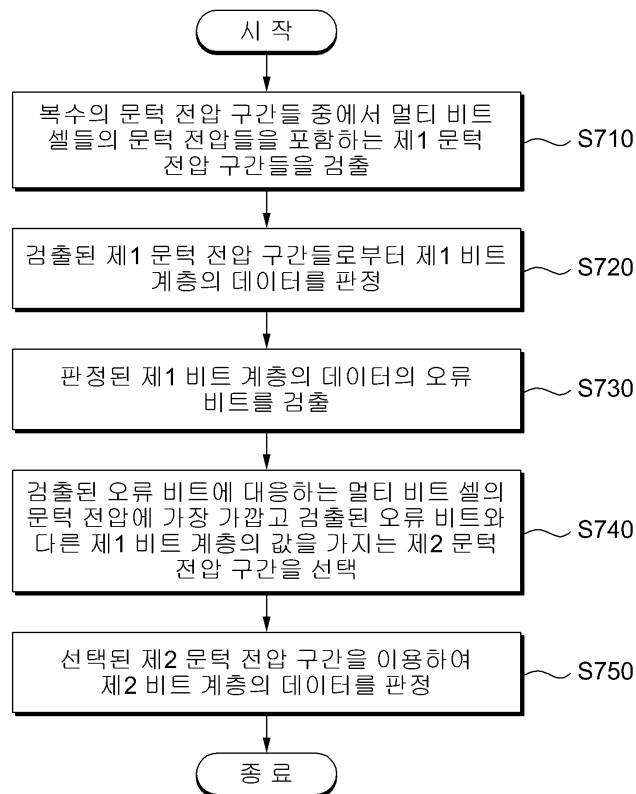
도면5



도면6



도면7



도면8

