

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年9月25日(25.09.2014)



(10) 国際公開番号  
WO 2014/148392 A1

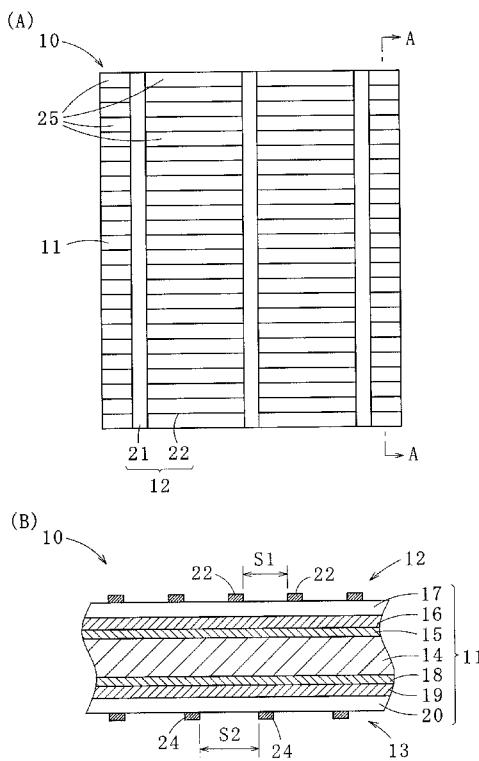
- (51) 国際特許分類:  
*H01L 31/0747* (2012.01)    *H01L 31/20* (2006.01)
- (21) 国際出願番号: PCT/JP2014/056939
- (22) 国際出願日: 2014年3月14日(14.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-056713 2013年3月19日(19.03.2013) JP
- (71) 出願人: 長州産業株式会社(CHOSHU INDUSTRY CO., LTD.) [JP/JP]; 〒7578511 山口県山陽小野田市大字山野井字新山野井3740番地 Yamaguchi (JP).
- (72) 発明者: 小林 英治(KOBAYASHI Eiji); 〒7578511 山口県山陽小野田市新山野井3740番地 長州産業株式会社内 Yamaguchi (JP).
- (74) 代理人: 中前 富士男, 外(NAKAMAE Fujio et al.); 〒8028691 福岡県北九州市小倉北区浅野2丁目13番23号 幹線ビル401号 中前国際特許商標事務所 Fukuoka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: PHOTOVOLTAIC DEVICE

(54) 発明の名称: 光発電装置



であり、第1の透明導電膜(17)表面における第1の集電部材(12)の非積層領域(25)の最大幅(S1)が2mm未満である。

**(57) Abstract:** The purpose of the present invention is to provide a photovoltaic device that has a high fill factor. This photovoltaic device (10) is provided with a multilayer photovoltaic element (11), a first collection member (12) laminated to one surface of said photovoltaic element (11), and a second collection member (13) laminated to the other surface of the photovoltaic element (11). The photovoltaic element (11) has the following: an n-type crystalline semiconductor substrate (14); a first intrinsic amorphous silicon thin film (15), a p-type amorphous silicon thin film (16), and a first transparent conductive film (17) layered in that order on the side of the n-type crystalline semiconductor substrate (14) facing the first collector member (12); and an n-type amorphous silicon thin film (19) and a second transparent conductive film (20) layered in that order on the side of the n-type crystalline semiconductor substrate (14) facing the second collector member (13). The p-type amorphous silicon thin film (16) is less than 6 nm thick, and the maximum width (S1) of the regions (25) of the surface of the first transparent conductive film (17) not covered by the first collector member (12) is less than 2 mm.

**(57) 要約:** フィルファクターの高い光発電装置を提供することを目的とする。本発明の光発電装置(10)は、多層状の光発電素子(11)と、光発電素子(11)の一方の面上に積層される第1の集電部材(12)及び他方の面上に積層される第2の集電部材(13)とを備え、光発電素子(11)が、n型結晶半導体基板(14)と、n型結晶半導体基板(14)の第1の集電部材(12)側にこの順で積層される第1の真性非晶質系シリコン薄膜(15)、p型非晶質系シリコン薄膜(16)及び第1の透明導電膜(17)と、n型結晶半導体基板(14)の第2の集電部材(13)側にこの順で積層されるn型非晶質系シリコン薄膜(19)及び第2の透明導電膜(20)とを有する光発電装置(10)であつて、p型非晶質系シリコン薄膜(16)の膜厚が6nm未満

WO 2014/148392 A1

## 明 細 書

### 発明の名称：光発電装置

### 技術分野

[0001] 本発明は光発電装置に関し、詳細には、ヘテロ接合を有する光発電装置（太陽電池）に関する。

### 背景技術

[0002]  $\text{CO}_2$ 等の温室効果ガスを発生しないクリーンな発電手段として、また、原子力発電に代わる操業安全性の高い発電手段として、光発電装置が注目されている。光発電装置の一つとして、発電効率の高いヘテロ接合を有する光発電装置がある。

[0003] 図6 (A)、(B)に示すように、ヘテロ接合を有するこの光発電装置60は、光照射により電力を発生させる光発電素子61と、光発電素子61の両面上に設けられ、発生した電力を集める集電部材62、63とを備える。光発電素子61は、n型結晶半導体基板64の一側に第1の真性非晶質系シリコン薄膜65、p型非晶質系シリコン薄膜66及び第1の透明導電膜67がこの順に積層され、n型結晶半導体基板64の他側に第2の真性非晶質系シリコン薄膜68、n型非晶質系シリコン薄膜69及び第2の透明導電膜70がこの順に積層されてなる多層構造体である。このように、n型結晶半導体基板64とp型非晶質系シリコン薄膜66との間に第1の真性非晶質系シリコン薄膜65を設けることで、n型結晶半導体基板64とp型非晶質系シリコン薄膜66との間で生じるキャリア再結合を抑制することができ、n型結晶半導体基板64とn型非晶質系シリコン薄膜69との間に第2の真性非晶質系シリコン薄膜68を設けることで、同様にこの間で生じうるキャリアの再結合を抑制することができる。また、集電部材62(63)は、互いに平行に形成される複数のバスバー電極71と、バスバー電極71に接続され、互いに平行に形成される複数のフィンガー電極72とを有する。集電部材62(63)をこのような形状とすることで、集電部材自体による光の遮蔽を

抑えつつ、効率的な集電を行っている。

[0004] このような構造を有する光発電装置60においては、p型非晶質系シリコン薄膜66の膜厚を大きく、具体的には例えば6nm以上とすることが好ましいとされている（特許文献1参照）。p型非晶質系シリコン薄膜66上に積層される第1の透明導電膜67は、通常スパッタリングにより成膜される。そこで、ある程度の膜厚を有するp型非晶質系シリコン薄膜66を用いることで、スパッタリングによる表面劣化を防ぎ、光発電装置60の性能低下を抑えることができるとされている。しかし、光発電装置に対して、より低コストかつ効率的な発電が求められる今日においては、フィルファクターを高めるべく、更なる改良が求められている。

## 先行技術文献

### 特許文献

[0005] 特許文献1：特許第5031007号公報

## 発明の概要

### 発明が解決しようとする課題

[0006] 本発明はかかる事情に鑑みてなされたもので、フィルファクター（曲線因子）の高い光発電装置を提供することを目的とする。

### 課題を解決するための手段

[0007] 本発明者は、（1）p型非晶質系シリコン薄膜の膜厚を大きくすると、直列抵抗の増大因子となり逆にフィルファクターが低下すること、（2）フィルファクターを高めるためには、p型非晶質系シリコン薄膜の膜厚を小さくすると共に、このp型非晶質系シリコン薄膜側に設けたフィンガー電極の間隔等を小さくすることが効果的であること、及び（3）逆にn型非晶質系シリコン薄膜側に設けたフィンガー電極の間隔を小さくしても、フィルファクターを向上させないことを見出し、これらの知見に基づき本発明に至った。

[0008] すなわち前記目的に沿う本発明に係る光発電装置は、

多層状の光発電素子と、該光発電素子の一方の面上に積層される第1の集電

部材及び他方の面上に積層される第2の集電部材とを備え、  
前記光発電素子が、n型結晶半導体基板と、該n型結晶半導体基板の前記第  
1の集電部材側にこの順で積層される第1の真性非晶質系シリコン薄膜、p  
型非晶質系シリコン薄膜及び第1の透明導電膜と、前記n型結晶半導体基板  
の前記第2の集電部材側にこの順で積層されるn型非晶質系シリコン薄膜及  
び第2の透明導電膜とを有する光発電装置において、  
前記p型非晶質系シリコン薄膜の膜厚が6nm未満であり、  
前記第1の透明導電膜表面における前記第1の集電部材の非積層領域の最  
大幅が2mm未満である。

[0009] 本発明に係る光発電装置によれば、p型非晶質系シリコン薄膜の膜厚を6nm  
未満と薄くし、かつ光発電素子の第1の透明導電膜表面における第1の集  
電部材の非積層領域の最大幅（例えば、フィンガー電極の間隔）を2mm未  
満と狭めることで、フィルファクターが高まり、発電効率を高めることができ  
る。また、n型非晶質系シリコン薄膜側の第2の集電部材は任意の形状と  
することができる。このため、例えば第2の集電部材（n型非晶質系シリコ  
ン薄膜側のフィンガー電極等）の間隔を広げて遮光性を低くし、第2の集電  
部材（n型非晶質系シリコン薄膜）側を光入射面とすることで発電効率を高  
めることができるなど、使用形態の幅を広げることができる。

[0010] 本発明に係る光発電装置において、前記第1の透明導電膜がイオンプレーテ  
ィング法により形成されていることが好ましい。p型非晶質系シリコン薄膜  
上に積層される第1の透明導電膜をイオンプレーティング法により形成する  
ことにより、p型非晶質系シリコン薄膜表面の劣化を抑制することができる  
。従って、このようにすることで、良好な品質を維持したp型非晶質系シリ  
コン薄膜を用いることができ、フィルファクターをより高めることができる  
。

[0011] 本発明に係る光発電装置において、前記p型非晶質系シリコン薄膜の膜厚が  
1nm以上であることが好ましい。p型非晶質系シリコン薄膜の膜厚を1nm  
以上とすることで、例えば欠陥の発生が抑えられ、よりフィルファクター

を高めることができる。

- [0012] 本発明に係る光発電装置において、前記第2の集電部材が、互いに平行に形成される複数のバスバー電極（II）、及び該バスバー電極（II）に接続され、互いに平行に形成される複数のフィンガー電極（II）を有し、前記フィンガー電極（II）の間隔が2mmより大きいことが好ましい。このようにフィンガー電極（II）の間隔を広げて遮光性を低くすることで、第2の集電部材側を光入射面とした場合の発電効率を高めることができる。
- [0013] 本発明に係る光発電装置において、前記第1の集電部材が、互いに平行に形成される複数のバスバー電極（I）、及び該バスバー電極（I）に接続され、互いに平行に形成される複数のフィンガー電極（I）を有し、前記フィンガー電極（I）の間隔が前記非積層領域の最大幅となることが好ましい。このように第1の集電部材をバスバー電極とフィンガー電極とで形成することで、生産効率を高めることなどができる。
- [0014] 本発明に係る光発電装置において、前記第1の集電部材が金属膜であること（すなわち、前記第1の集電部材の非積層領域の最大幅が0mmであること）も好ましい。このようにすることで第1の集電部材の導電性、ひいては集電効率をさらに高めることができる。また、この場合、金属膜を薄膜化しても十分な導電性等を発揮することができるため、結果として金属膜（集電部材）を形成する金属材料の使用量を減らすことも可能となる。
- [0015] 本発明に係る光発電装置において、前記金属膜の膜厚が100nm以上500nm未満であることが好ましい。金属膜の膜厚を上記範囲とすることで、十分な導電性等を発揮させつつ、製造コストを抑制することができる。
- [0016] 本発明に係る光発電装置において、前記第2の集電部材側が光入射面として用いられることが好ましい。本発明に係る光発電装置においては、前述のように第2の集電部材は任意の形状とすることができます。このため、第2の集電部材のフィンガー電極の間隔を広げて遮光性を低くすることができ、前記第2の集電部材側を光入射面として用いることで、発電効率を高めることができます。

- [0017] また、本発明に係る光発電装置においては、前記第1の集電部材側が光入射面として用いられることもできる。本発明に係る光発電装置は、p型非晶質系シリコン薄膜の膜厚を薄くしているため、第1の集電部材側を光入射面として用いる場合、p型非晶質系シリコン薄膜を透過する光の割合を高めることができる。
- [0018] 本発明に係る光発電装置において、前記n型結晶半導体基板と前記n型非晶質系シリコン薄膜との間に積層される第2の真性非晶質系シリコン薄膜を有していてもよい。n型結晶半導体基板とn型非晶質系シリコン薄膜との間に第2の真性非晶質系シリコン薄膜を積層させることで、キャリアの再結合を抑制することなどができる。
- [0019] 本発明に係る光発電装置において、前記n型結晶半導体基板がエピタキシャル成長法によって作製されていることが好ましい。エピタキシャル成長法により作製されたn型結晶半導体基板を用いることで、光発電装置の最大出力等の出力特性及びその均一性を高めることができる。
- [0020] 本発明に係る光発電装置において、前記n型結晶半導体基板の比抵抗が0.5Ωcm以上5Ωcm以下であることが好ましい。比抵抗が前記範囲のn型結晶半導体基板を用いることで、最大出力等を高めることができる。
- [0021] 本発明に係る光発電装置において、前記n型結晶半導体基板の厚さが50μm以上200μm以下であることが好ましく、80μm以上150μm以下であることがより好ましい。このように、比較的薄型の基板とすることで、十分な出力特性を發揮しつつ、素子自体のコンパクト化、低コスト化を図ることができる。
- [0022] ここで、「非積層領域の最大幅」とは、非積層領域内に存在し、その非積層領域の外縁から最も離れた位置を点Pとした場合、点Pからその非積層領域の外縁までの最短距離の2倍の長さをいう。例えば、非積層領域が長方形である場合、その最大幅は短辺長であり、非積層領域が円である場合、その最大幅は直径であり、非積層領域が三角形である場合、その最大幅は内接円の直径である。また、非積層領域が無い、すなわち全面に積層されている場合

、その最大幅は0mmである。真性非晶質系シリコン薄膜における「真性」とは、不純物が意図的にドープされていないことをいい、原料に本来含まれる不純物や製造過程において非意図的に混入した不純物が存在するものも含む意味である。「非晶質系」とは、非晶質体のみならず、微結晶体を含む意味である。「光入射面」とは、使用の際に太陽光等の光源と対向する側（一般的に外側）に配置され、実質的に光を入射させる側の面をいい、このとき、この光入射面とは逆の面からも光が入射するように構成されていてもよい。

## 発明の効果

[0023] 本発明に係る光発電装置はフィルファクターが高く、発電効率を高めることができる。

## 図面の簡単な説明

[0024] [図1] (A) は本発明の第1の実施の形態に係る光発電装置を示す平面図であり、(B) は図1 (A) のA-A矢視断面図である。

[図2]実施例1～3及び比較例1、2の測定結果を示すグラフである。

[図3]実施例4、5の測定結果を示すグラフである。

[図4]本発明の第2の実施の形態に係る光発電装置を示す断面図である。

[図5]実施例における非晶質系シリコン薄膜の膜厚測定方法を示す模式図である。

[図6] (A) は従来例に係る光発電装置を示す平面図であり、(B) は図6 (A) のB-B矢視断面図である。

[図7] (A) は実施例7の各光発電装置のFF(曲線因子)の測定結果を示すグラフであり、(B) は実施例7の各光発電装置のPma×(最大出力)の測定結果を示すグラフである。

## 発明を実施するための形態

[0025] 続いて、添付した図面を参照しながら本発明を具体化した実施の形態について説明する。

(第1の実施の形態)

図1（A）、（B）に示すように、本発明の第1の実施の形態に係る光発電装置10は、光発電素子11と第1の集電部材12及び第2の集電部材13とを備えている。第1の集電部材12は光発電素子11の一方の面上（図1における上側）に積層されている。第2の集電部材13は光発電素子11の他方の面上（図1における下側）に積層されている。

[0026] 光発電素子11は多層状かつ板状の構造を有する。光発電素子11は、n型結晶半導体基板14と、n型結晶半導体基板14の第1の集電部材12側（図1における上側）にこの順で積層される第1の真性非晶質系シリコン薄膜15、p型非晶質系シリコン薄膜16及び第1の透明導電膜17と、n型結晶半導体基板14の第2の集電部材13側（図1における下側）にこの順で積層される第2の真性非晶質系シリコン薄膜18、n型非晶質系シリコン薄膜19及び第2の透明導電膜20とを有する。

[0027] n型結晶半導体基板14としては、n型の半導体特性を有する結晶体であれば特に限定されず公知のものを用いることができる。n型結晶半導体基板14を構成するn型の結晶半導体としては、シリコン（Si）の他、SiC、SiGe、SiN等を挙げることができるが、生産性等の点からシリコンが好ましい。n型結晶半導体基板14は、単結晶体であってもよいし、多結晶体であってもよい。n型結晶半導体基板14の上下（一側及び他側）の表面は、光の乱反射による光閉じ込めをより有効にするために、凹凸加工が行われているのが好ましい（図示しない）。なお、例えば、約1～5質量%の水酸化ナトリウム、又は水酸化カリウムを含むエッチング液に基板材料を浸漬することによって、多数のピラミッド状の凹凸部を形成できる。

[0028] n型結晶半導体基板14は、エピタキシャル成長法によって作製されていることが好ましい。エピタキシャル成長法とは、例えば結晶基板上に原料ガスの供給によりエピタキシャル層を形成させる方法である。この形成されたエピタキシャル層を結晶基板から分離し、n型結晶半導体基板14として好適に用いることができる。エピタキシャル成長法により作製されたn型結晶半導体基板14は、一般的なCz法等により作製されたものと比べ、酸素に誘

起された欠陥が少ない、不純物が少ない、ドーパントを再現性よく含有させることができるとといった利点がある。従って、エピタキシャル成長法により作製されたn型結晶半導体基板14を用いることで、光発電装置10の最大出力等が高まると共にその均一性が高まる。すなわち、基板間の比抵抗の差が小さいため、所望する出力特性を備える光発電装置10の大量生産が容易になる。この効果は、特に第2の集電部材13側を光入射面（リアエミッタ型）としたときに顕著になる。また、Cz法による作成の場合は、シリコン結晶を所望する厚さへ切り出して基板を得るため、この切り出しの際のシリコンのロスが生じる。このシリコンのロスは、基板の厚さが薄くなるほど顕著になる。しかし、エピタキシャル成長法の場合は、所望の厚さに直接作製することができ、切り出す必要が無いため、シリコンのロスが生じず、低コスト化が図られる。

[0029] n型結晶半導体基板14の比抵抗は、0.5Ωcm以上5Ωcm以下が好ましく、1Ωcm以上3Ωcm以下がより好ましい。比抵抗が前記範囲のn型結晶半導体基板14を用いることで、最大出力等を高めることができる。この効果は、リアエミッタ型のときに顕著である。比抵抗が小さくなりすぎるとバルクライフタイムの減少により最大出力が低下する。比抵抗が大きくなりすぎるとn型非晶質系シリコン薄膜19形成側の横方向の抵抗が増大し、曲線因子（フィルファクター）が低下する。なお、エピタキシャル成長法により作製されたn型結晶半導体基板14を用いることで、この比抵抗の制御が容易になる。

[0030] n型結晶半導体基板14の厚さ（平均厚さ）としては、50μm以上200μm以下であることが好ましく、80μm以上150μm以下であることがより好ましい。このように、比較的薄型の基板とすることで、十分な出力特性を發揮しつつ、出力特性の向上とともに、低コスト化を図ることができる。

[0031] 第1の真性非晶質系シリコン薄膜15は、n型結晶半導体基板14の上面に積層されている。なお、上面及び下面是使用の際の上下を限定するものでは

ない（以下、同様）。第1の真性非晶質系シリコン薄膜15の膜厚としては特に限定されないが、例えば1nm以上10nm以下とすることができます。この膜厚が1nm未満の場合は、欠陥が発生しやすくなることなどにより、キャリアの再結合が生じやすくなる。また、この膜厚が10nmを超える場合は、フィルファクターの低下が生じやすくなる。

- [0032] 第1の真性非晶質系シリコン薄膜15は、例えば、化学気相成長法（例えば、プラズマCVD法等）などの公知の方法により成膜することができる。プラズマCVD法による場合、原料ガスとしては例えばSiH<sub>4</sub>とH<sub>2</sub>との混合ガスを用いることができる。
- [0033] プラズマCVD法による場合、周波数は例えば約13.56MHz又は約40.68MHzであって、約40.68MHzがより好ましい。形成温度は例えば100°C以上300°C未満であって、180°C以上220°C未満がより好ましい。反応圧力は5Pa以上300Pa未満であって、50Pa以上200Pa未満がより好ましい。RF又はVHFパワーは例えば約1mW/cm<sup>2</sup>以上500mW/cm<sup>2</sup>未満であって、約5mW/cm<sup>2</sup>以上100mW/cm<sup>2</sup>未満がより好ましい。
- [0034] p型非晶質系シリコン薄膜16は、第1の真性非晶質系シリコン薄膜15の上面に積層されている。p型非晶質系シリコン薄膜16の膜厚は、6nm未満であり、5nm以下がより好ましく4nm以下がさらに好ましい。光発電装置10においては、このようにp型非晶質系シリコン薄膜16の膜厚を薄くし、かつ後述するようにp型非晶質系シリコン薄膜16側の第1の集電部材12の形状（具体的にはフィンガー電極の間隔）を特定することで、フィルファクターや発電効率を高めることができる。なお、p型非晶質系シリコン薄膜16の膜厚の下限は、例えば1nmとすることができます、2nm、さらには3nmが好ましい。透明導電膜とp型非晶質系シリコン薄膜との接合により生じるバンドベンディングの影響を緩和するために、この膜厚を1nm以上とすることで、Voc（開放電圧）をさらに高めることができ、フィルファクターをさらに高めることができる。

- [0035] p型非晶質系シリコン薄膜16も、化学気相成長法（例えば、プラズマCVD法等）などの公知の方法により成膜することができる。プラズマCVD法による場合、原料ガスとしては例えばSiH<sub>4</sub>とH<sub>2</sub>とB<sub>2</sub>H<sub>6</sub>との混合ガスを用いることができる。
- [0036] プラズマCVD法による場合、周波数は例えば約13.56MHz又は約40.68MHzであって、約40.68MHzがより好ましい。形成温度は例えば100°C以上300°C未満であって、130°C以上200°C未満がより好ましい。反応圧力は5Pa以上300Pa未満であって、50Pa以上200Pa未満がより好ましい。RF又はVHFパワーは例えば約1mW/cm<sup>2</sup>以上500mW/cm<sup>2</sup>未満であって、約5mW/cm<sup>2</sup>以上100mW/cm<sup>2</sup>未満がより好ましい。
- [0037] 第1の透明導電膜17は、p型非晶質系シリコン薄膜16の上面に積層されている。第1の透明導電膜17を構成する透明電極材料としては、例えば、インジウム錫酸化物(Indium Tin Oxide:ITO)、タンゲステンドープインジウム酸化物(Indium Tungsten Oxide:ITWO)、セリウムドープインジウム酸化物(Indium Cerium Oxide:ICO)、IZO(Indium Zinc Oxide)、AZO(アルミニドープZnO)、GZO(ガリウムドープZnO)等の公知の材料を挙げることができる。
- [0038] 第1の透明導電膜17の成膜方法としては、特に制限されず、例えばスパッタリング法、真空蒸着法、イオンプレーティング法（反応性プラズマ蒸着法）等、公知の方法を用いることができるが、イオンプレーティング法を用いることが好ましい。高エネルギー粒子が生じないイオンプレーティング法により形成することにより、p型非晶質系シリコン薄膜16表面の劣化を抑制することができる。従って、このようにすることで、良好な品質を維持したp型非晶質系シリコン薄膜16を用いることができ、フィルファクターをより高めることができる。また、イオンプレーティング法を用いることで、密着性の高い第1の透明導電膜17を形成でき、このこともフィルファクター

を高める原因になっていると考えられる。

- [0039] 第2の真性非晶質系シリコン薄膜18は、n型結晶半導体基板14の下面に積層されている。第2の真性非晶質系シリコン薄膜18の好ましい膜厚や成膜方法は、第1の真性非晶質系シリコン薄膜15と同様である。
- [0040] n型非晶質系シリコン薄膜19は、第2の真性非晶質系シリコン薄膜18の下面に積層されている。n型非晶質系シリコン薄膜19の膜厚としては特に限定されないが、例えば1nm以上20nm以下が好ましく、3nm以上10nm以下がより好ましい。このような範囲の膜厚とすることで、短絡電流の低下とキャリアの再結合の発生とをバランスよく低減することができる。n型非晶質系シリコン薄膜19も、化学気相成長法（例えば、プラズマCVD法等）などの公知の方法により成膜することができる。プラズマCVD法による場合、原料ガスとしては例えばSiH<sub>4</sub>とH<sub>2</sub>とPH<sub>3</sub>との混合ガスを用いることができる。
- [0041] プラズマCVD法による場合、周波数は例えば約13.56MHz又は約40.68MHzであって、約40.68MHzがより好ましい。形成温度は例えば100°C以上300°C未満であって、180°C以上220°C未満がより好ましい。反応圧力は5Pa以上300Pa未満であって、50Pa以上200Pa未満がより好ましい。RF又はVHFパワーは例えば約1mW/cm<sup>2</sup>以上500mW/cm<sup>2</sup>未満であって、約5mW/cm<sup>2</sup>以上100mW/cm<sup>2</sup>未満がより好ましい。
- [0042] 第2の透明導電膜20は、n型非晶質系シリコン薄膜19の下面に積層されている。第2の透明導電膜20の材料や成膜方法は、第1の透明導電膜17と同様である。
- [0043] なお、光発電装置10においては、光発電素子11の両面に透明導電膜17、20がそれぞれ設けられている。すなわち、光が入射しない側にも透明な導電膜を積層している。このように、p型非晶質系シリコン薄膜16又はn型非晶質系シリコン薄膜19と集電部材12、13との間に透明電極膜17、20を設けることにより、界面準位の増加を抑えることができ、フィ

ルファクターを高めることができる。

- [0044] 第1の集電部材12は、光発電素子11の上面、すなわち第1の透明導電膜17の上面に積層されている。第1の集電部材12は、互いに平行に形成される複数のバスバー電極(1)21、及びバスバー電極(1)21に接続され、互いに平行に形成される複数のフィンガー電極(1)22を有する。
- [0045] 複数のバスバー電極(1)21は等間隔に配設されている。また、バスバー電極(1)21は、線状又は帯状であり、導電性材料から形成されている。この導電性材料としては、銀ペースト等の導電性接着剤や、銅線等の金属導線あるいは導電性接着剤と金属銅線の組み合わせを用いることができる。この金属導線は、導電性あるいは非導電性の固定用接着剤や低融点金属(半田等)を用いて、第1の透明導電膜17上に固定することができる。また、導電性接着剤が用いられている場合、スクリーン印刷やグラビアオフセット印刷等の印刷法によりバスバー電極(1)21を形成することができる。各バスバー電極(1)21の幅としては、その本数が3~5本の場合、例えば0.5mm以上2mm以下程度である。また、各バスバー電極(1)21の本数が10本以上の場合、0.1mm程度の直径のワイヤーを用いることもできる。
- [0046] フィンガー電極(1)22は、線状であり、導電性材料から形成される。フィンガー電極(1)22は、バスバー電極(1)21に直交して設けられている。また、複数のフィンガー電極(1)22は等間隔に配設されている。このフィンガー電極(1)22を形成する導電性材料はバスバー電極(1)21を構成するものと同様である。バスバー電極(1)21とフィンガー電極(1)22とが共に導電性接着剤から形成されている場合、印刷により同時に第1の透明導電膜17の一の面上に積層させることができる。各フィンガー電極(1)22の幅としては、例えば10μm以上300μm以下程度であり、30μm以上200μm以下が好ましい。
- [0047] 隣り合うフィンガー電極(1)22の間隔(S1)は、2mm未満であり、1.5mm以下が好ましい。なお、第1の実施の形態において、第1の集電

部材12(バスバー電極(I)21及びフィンガー電極(I)22)で区画された各領域が、第1の透明導電膜17(光発電素子11)の表面における第1の集電部材12の非積層領域25となる。第1の透明導電膜17(光発電素子11)の表面とは、第1の集電部材12が積層された側の面をいう。また、各非積層領域25は、フィンガー電極(I)22の長さ方向を長さ方向とする長方形形状(帯状)を有する。すなわち、フィンガー電極(I)22の間隔(S1)が第1の透明導電膜17の表面における第1の集電部材12の非積層領域25の最大幅となる。光発電装置10によれば、このように、p-n接合部分に対してp型非晶質系シリコン薄膜16側のフィンガー電極(I)22の間隔(S1)を2mm未満と狭めることで、フィルファクターが高まり、発電効率を高めることができる。このフィンガー電極(I)22の間隔(S1)の下限としては、特に制限されないが、例えば、0.1mmが好ましく、0.5mmがより好ましい。p型非晶質系シリコン薄膜16側のフィンガー電極(I)22の間隔(S1)を0.1mm以上とすることで、例えば第1の集電部材12側も十分に光入射面として用いることや、フィンガー電極(I)22を形成する導電性材料の使用量を削減することなどができる。

[0048] 第2の集電部材13は、光発電素子11の下面、すなわち第2の透明導電膜20の表面に設けられている。第2の集電部材13は、互いに平行に形成される複数のバスバー電極(II)(図示しない)、及びこのバスバー電極(II)

)に直角に接続され、互いに平行に形成される複数のフィンガー電極(II)24を有する。

[0049] 第2の集電部材13のバスバー電極(II)の形状、材料、サイズ、形成方法等は第1の集電部材12のバスバー電極(I)21と同様である。

[0050] フィンガー電極(II)24の形状、材料、サイズ、形成方法等も第1の集電部材12のフィンガー電極(I)22と同様である。但し、隣り合うフィンガー電極(II)24の間隔(S2)は、特に限定されない。この間隔(S2)としては、例えば0.5mm以上4mm以下とすることができます、1mm以

上、さらには2 mm以上、特には2 mmより大きくすることが好ましい。また、3 mm以下、さらには3 mm未満、特には2.5 mm以下が好ましい。このように、n型非晶質系シリコン薄膜19側のフィンガー電極(II)24の間隔(S2)を広げることで、例えば第2の集電部材13側を光入射面として好適に用いることや、フィンガー電極(II)24を形成する導電性材料の使用量を削減することなどができる。

[0051] このような構造を有する光発電装置10は、通常、複数を直列に接続して使用される。複数の光発電装置10を直列接続して使用することで、発電電圧を高めることができる。

[0052] 光発電装置10によれば、以上説明したようにp型非晶質系シリコン薄膜16の膜厚を6 nm未満と薄くし、かつフィンガー電極(I)22の間隔(S1)、すなわち、第1の透明導電膜17の表面における第1の集電部材12の非積層領域25の最大幅を2 mm未満と狭めることで、フィルファクターが高まり、発電効率を高めることができる。光発電装置10においては、光入射面をどちらにしてもよいが、第2の集電部材13側を光入射面として用いることができる。前述のように、フィンガー電極(II)24については、間隔(S2)を十分に広げ、遮光性を下げることができる。従って、このようにすることで、光発電装置10の発電効率をより高めることができる。また、光発電装置10においては、p型非晶質系シリコン薄膜16の膜厚を薄くしており、第1の集電部材12側を光入射面として用いることもできる。

[0053] (第2の実施の形態)

図4に示すように、本発明の第2の実施の形態に係る光発電装置30は、光発電素子31と光発電素子31の上面及び下面にそれぞれ積層される第1の集電部材32及び第2の集電部材33を有している。光発電素子31は、n型結晶半導体基板34と、n型結晶半導体基板34の第1の集電部材32側にこの順に積層される第1の真性非晶質系シリコン薄膜35、p型非晶質系シリコン薄膜36及び第1の透明導電膜37と、n型結晶半導体基板34の第2の集電部材33側にこの順に積層されるn型非晶質系シリコン薄膜39

及び第2の透明導電膜40とを備える層構造体である。光発電素子31は、第2の真性非晶質系シリコン薄膜を有さないこと以外は、図1の光発電素子11と同様である。すなわち、n型結晶半導体基板34、第1の真性非晶質系シリコン薄膜35、p型非晶質系シリコン薄膜36、第1の透明導電膜37、n型非晶質系シリコン薄膜39及び第2の透明導電膜40の形状、材質、成膜方法等は、それぞれ図1のn型結晶半導体基板14、第1の真性非晶質系シリコン薄膜15、p型非晶質系シリコン薄膜16、第1の透明導電膜17、n型非晶質系シリコン薄膜19及び第2の透明導電膜20と同様であるので詳しい説明を省略する。

[0054] 光発電装置30は、n型結晶半導体基板34とn型非晶質系シリコン薄膜39とが直接接合してなる構造となっている。このように、n型結晶半導体基板34とn型非晶質系シリコン薄膜39との間に第2の真性非晶質系シリコン薄膜を積層しなくとも十分なフィルファクターを有することができる。

[0055] 光発電素子31の上面（第1の透明導電膜37の表面）に積層される第1の集電部材32は金属膜となっている。この金属膜（第1の集電部材32）は、略全面（実質的に全面）に積層されている。すなわち、第1の透明導電膜37の表面（第1の集電部材32が積層されている側の面）における第1の集電部材32の非積層領域の最大幅は0mm（非積層領域が不存在）である。このようにすることで第1の集電部材32の導電性、ひいては集電効率をさらに高めることができる。また、この場合、金属膜をPVDやCVDなどの薄膜成膜法によって形成することができる。薄膜形成法によって得られる金属膜の導電率は、印刷法によるそれと比較して、一般的に大きくなるため、結果として金属膜（第1の集電部材32）を形成する金属材料の使用量を減らすことも可能となる。この金属膜は、Ag、Al、Cu、Ni、Cr等の公知の金属等から形成することができ、これらの金属の一種類以上を含む合金により形成することもできる。更に多種の金属を積層した構造ともできる。この金属膜は、Agを用いることが好ましい。この金属膜の膜厚は、例えば100nm以上1000nm以下とすることができます、コスト低

減のためには 500 nm 未満とすることがさらに好ましい。この金属膜は、真空蒸着法、スパッタ法等により成膜することが好ましい。

[0056] 光発電素子 31 の下面（第 2 の透明導電膜 40 の表面）に積層される第 2 の集電部材 33 は、バスバー電極とフィンガー電極とからなる形状となっている。第 2 の集電部材 33 の形状、材料、サイズ、形成方法等は図 1 の第 2 の集電部材 13 と同様であるので説明を省略する。光発電素子 31 においては、第 2 の集電部材 33 側が光入射面とされる。

[0057] （その他の実施の形態）

本発明は前記した実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲でその構成を変更することもできる。例えば、図 1 の形状の光発電装置において、第 2 の集電部材は、バスバー電極とフィンガー電極とからなる構造ではなく、略全面（実質的に全面）に導電性材料が積層された金属膜からなる構造とすることもできる。この金属膜を形成する導電性材料としては、Ag、Al、Cu、Ni、Cr 等の公知の金属やこれらの合金を挙げることができるが、赤外領域の波長において反射率が高い Ag を用いることが好ましい。この金属膜の膜厚は、例えば 100 nm 以上 1000 nm 以下とすることができます、コスト低減のためには 500 nm 未満とすることがさらに好ましい。前記金属膜は、真空蒸着法、スパッタ法等により成膜することができる。このようにすることで、第 2 の集電部材側の集電効率を高めることができる。この場合、第 1 の集電部材側が光入射面として用いられる。

[0058] また、第 1 の集電部材の形状としては、非積層領域の最大幅が 2 mm 未満となるような形状であれば特に限定されない。例えば、第 1 の集電部材としては、直径が 2 mm 未満の孔部を有する金属膜であってもよいし、2 mm 未満の間隔で配置されたバスバー電極のみからなる形状であってもよい。

## 実施例

[0059] 以下、実施例及び比較例を挙げて、本発明の内容をより具体的に説明する。なお、本発明は以下の実施例に限定されるものではない。

[0060] <実施例 1～3 及び比較例 1、2>

Cz 法で作製された n 型単結晶シリコン基板の一側に、第 1 の真性非晶質系シリコン薄膜、p 型非晶質系シリコン薄膜及び第 1 の透明導電膜をこの順に積層した。第 1 の真性非晶質系シリコン薄膜は化学気相成長法により膜厚 7 nm に、p 型非晶質系シリコン薄膜は化学気相成長法により膜厚 5 nm に、第 1 の透明導電膜はイオンプレーティング法により成膜した。

また、n 型単結晶シリコン基板の他側に、第 2 の真性非晶質系シリコン薄膜、n 型非晶質系シリコン薄膜及び第 2 の透明導電膜をこの順に積層した。第 2 の真性非晶質系シリコン薄膜は化学気相成長法により膜厚 7 nm に、n 型非晶質系シリコン薄膜は化学気相成長法により膜厚 5 nm に、第 2 の透明導電膜はイオンプレーティング法により成膜した。第 1 及び第 2 の透明導電膜を構成する透明電極材料としては、ITO を用いた。

このようにして得られた光発電素子の両面にそれぞれ、集電部材として、平行な複数のバスバー電極と、このバスバー電極にそれぞれ直交する複数のフィンガー電極を形成した。この集電部材は、銀ペーストを用いて印刷により形成した。なお、p 型非晶質系シリコン薄膜側のフィンガー電極 (I) 及び n 型非晶質系シリコン薄膜側のフィンガー電極 (II) の間隔は、それぞれ以下の通りとした。このようにして、実施例 1～3 及び比較例 1、2 の光発電装置を得た。フィンガー電極の幅は、50 μm 以上 100 μm 未満とした。

[0061] 比較例 1：p 型非晶質系シリコン薄膜側のフィンガー電極 (I) の間隔：2 mm

n 型非晶質系シリコン薄膜側のフィンガー電極 (II) の間隔：2 mm

比較例 2：p 型非晶質系シリコン薄膜側のフィンガー電極 (I) の間隔：2 mm

n 型非晶質系シリコン薄膜側のフィンガー電極 (II) の間隔：1.5 mm

実施例 1：p 型非晶質系シリコン薄膜側のフィンガー電極 (I) の間隔：1.5 mm

n型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔：2  
mm

実施例2：p型非晶質系シリコン薄膜側のフィンガー電極（I）の間隔：1  
. 5 mm

n型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔：2  
. 5 mm

実施例3：p型非晶質系シリコン薄膜側のフィンガー電極（I）の間隔：1  
. 5 mm

n型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔：3  
. 0 mm

[0062] 得られた各光発電装置のフィルファクター（FF）及び最大出力（P<sub>max</sub>）を測定した。なお、p型非晶質系シリコン薄膜側（第1の集電部材側）を光入射面とした。また、光入射面側の第1の集電部材が積層されていない部分（光が入射する部分）の面積は等しくなるようにした。すなわち、印刷に使用したスクリーンにおいて、フィンガー電極の間隔と共にフィンガー電極の幅を調節して、光入射面積が等しくなるようにした。測定結果を図2に示す。n型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔を狭めてもフィルファクター等は向上しないこと、p型非晶質系シリコン薄膜側のフィンガー電極（I）を2mm未満とすることでフィルファクター等が向上すること、n型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔を広げてもフィルファクター等は大きく減少しないことがわかる。

[0063] <実施例4>

p型非晶質系シリコン薄膜側のフィンガー電極（I）及びn型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔並びにp型非晶質系シリコン薄膜の膜厚を以下の通りとしたこと以外は、実施例1等と同様にして実施例4の光発電装置を得た。

p型非晶質系シリコン薄膜側のフィンガー電極（I）の間隔：1 mm

n型非晶質系シリコン薄膜側のフィンガー電極（II）の間隔：2 mm

p型非晶質系シリコン薄膜の膜厚 (p layer thickness)

: 1 nm~8

nmの間で変化させた。なお、6 nm以上は比較例である。

[0064] <実施例5>

p型非晶質系シリコン薄膜側の第1の集電部材を、真空蒸着法により成膜して、100 nmの厚みを有し、かつ表面の略全面を覆うようにして設けられたAgの金属膜とし、n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔並びにp型非晶質系シリコン薄膜の膜厚を以下の通りとし、n型非晶質系シリコン薄膜側に真性非晶質系シリコン薄膜は積層していないこと以外は、実施例1等と同様にして実施例5の光発電装置(図4に示す形状の光発電装置)を得た。

n型非晶質系シリコン薄膜側のフィンガー電極(II)の間隔: 2 mm

p型非晶質系シリコン薄膜の膜厚 (p layer thickness)

: 1 nm~8 nmの間で変化させた。なお、6 nm以上は比較例である。

[0065] 得られた実施例4及び実施例5の光発電装置の開放電圧( $V_{oc}$ )、フィルファクター(FF)及び最大出力(Pmax)を測定した。なお、n型非晶質系シリコン薄膜側(第2の集電部材側)を光入射面とした。測定結果を図3に示す。なお、図3中、実線が実施例4、破線が実施例5である。p型非晶質系シリコン薄膜の膜厚を6 nm未満とすることで高いフィルファクター及び最大出力を発揮すること、p型非晶質系シリコン薄膜側の第1の集電部材を真空蒸着法により成膜した100 nmの厚みを有するAgの金属層とすることでさらに高いフィルファクター及び最大出力を発揮することがわかる。

[0066] 本発明の効果を詳細に調べるため、以下の各試験膜を作製し、四端子抵抗測定法によりシート抵抗を測定した。

比較例3: 光閉じ込めのための凹凸加工が行われていない平滑なガラス基板上にイオンプレーティング法を用いてITO膜: 100 nmを形成した。

比較例4: 光閉じ込めのための凹凸加工が行われていない平滑なガラス基板上に、順にCVD法を用いてi型非晶質系シリコン薄膜: 7 nmとp型非晶質

系シリコン薄膜：5 nmとイオンプレーティング法を用いてITO膜：100 nmを形成した。

比較例5：光閉じ込めのための凹凸加工が行われていない平滑なガラス基板上に、順にCVD法を用いてi型非晶質系シリコン薄膜：7 nmとn型非晶質系シリコン薄膜：5 nmとイオンプレーティング法を用いてITO膜：100 nmを形成した。

比較例6：光閉じ込めのための凹凸加工が行われていない平滑なn型単結晶シリコン基板(200 μm、1～2Ωcm)上にイオンプレーティング法を用いてITO膜：100 nmを形成した。

比較例7：光閉じ込めのための凹凸加工が行われていない平滑なn型単結晶シリコン基板(200 μm、1～2Ωcm)上に、順にCVD法を用いてi型非晶質系シリコン薄膜：7 nmとp型非晶質系シリコン薄膜：5 nmとイオンプレーティング法を用いてITO膜：100 nmを形成した。

参考例1：光閉じ込めのための凹凸加工が行われていない平滑なn型単結晶シリコン基板(200 μm、1～2Ωcm)上に、順にCVD法を用いてi型非晶質系シリコン薄膜：7 nmとn型非晶質系シリコン薄膜：5 nmとイオンプレーティング法を用いてITO膜：100 nmを形成した。

各試験膜におけるシート抵抗の測定結果を表1に示す。

#### [0067] [表1]

試験膜	シート抵抗(Ω/□)
比較例3	27.5
比較例4	28.0
比較例5	27.4
比較例6	27.3
比較例7	27.1
参考例1	15.0

[0068] 表1に示すように、参考例1のシート抵抗は比較例3～7に比べて半分程度低くなることが確認された。参考例1の場合においてのみ低抵抗となっていることから、n型単結晶シリコン基板とn型非晶質系シリコン薄膜との間の

異種接合部との間にnチャネルが形成されていることが示唆される。

[0069] また、表1の結果は、p型非晶質系シリコン薄膜形成面側の横方向抵抗は、透明導電膜により決定されることを示唆している。ここで、例えば、p型非晶質系シリコン薄膜形成面側の透明導電膜の体積抵抗が $1.5 \times 10^{-4} \Omega \text{ cm}$ 未満であれば、本発明におけるp型非晶質系シリコン薄膜形成面側のフィンガー電極の間隔が2mm未満とすることによるフィルファクターの向上と同等の効果が得られることが期待される。しかしながら、キャリア密度の向上は透明導電膜中の光の吸収損失を増大させてしまう。従って、キャリア密度を抑制しつつ、移動度のみを向上させなければ電流特性の悪化により最大出力を発揮することはできないものの、このように移動度のみを劇的に向上させるのは難しい。また、p型非晶質系シリコン薄膜形成面側の透明導電膜を厚くすることでも横方向抵抗は低減される。しかし、光入射面の透明導電膜は太陽光のスペクトル強度が強い400~600nmの反射率が低くなる膜厚を選択することが電流特性の向上に効果的であるため、例えば透明導電膜の厚さは10nm程度の増加のみしか許容されない。このため、劇的に横方向抵抗を低減させることは難しい。また、光入射面とは反対側の透明導電膜においても、単結晶シリコン基板中で吸収されずに反対側に到達した例えば900~1200nmの光子は、他側の集電部材に反射し、再度他側から入射して発電に寄与することができるものの、反対側の透明導電膜の膜が厚くなるのに比例して透明導電膜中の吸収損失は増大する。さらには、透明導電膜の膜を厚くすることは生産性とコスト低減との観点からも好ましくない。従って、p型非晶質系シリコン薄膜側に設けたフィンガー電極の間隔を小さくすることによりフィルファクターを高くすることが、透明導電膜の抵抗を低減することによりフィルファクターを高くするよりも、性能、生産性、コスト低減の何れの観点からも好ましい。

[0070] <実施例6>

エピタキシャル成長法によって作製されたn型単結晶シリコン基板（厚さ150μm）を使用し、この基板に対するサーマルドナーキラーアニーリング

工程を省いたこと以外は、実施例5と同様にして、実施例6の光発電素子を得た。なお、p型非晶質系シリコン薄膜の膜厚は5nmとした。サーマルドナーキラーアニーリング工程とは、n型単結晶シリコン基板中のサーマルドナーを除去する手法であり、低温プロセスのヘテロ接合素子では特に重要である。Cz法で作製されたn型単結晶シリコン基板を用いた他の実施例及び比較例においては、このサーマルドナーキラーアニーリング工程を行っている。この工程を省くことで更に製造コストの低減が図られる。得られた実施例6の光発電素子の最大出力(Pmax)は5.27W、フィルファクター(FF)は81%であった。

#### [0071] <実施例7>

O. 3~6Ωcmの比抵抗を有するn型単結晶シリコン基板(Cz法)を用いて、実施例5と同様の方法で、光発電素子を得た。なお、p型非晶質系シリコン薄膜の膜厚は5nmとした。得られた各光発電素子のFF(曲線因子)とPmax(最大出力)の測定結果を図7(A)、(B)に示す。図7(A)に示されるように、比抵抗の増大とともにn層非晶質系シリコン薄膜形成面側の実効的な横方向の抵抗が増大し、FF(曲線因子)が減少する。図7(B)に示されるように、Pmax(最大出力)は、比抵抗の減少に伴うFF向上のメリットとバルクライフタイム減少のデメリットが競合するため、O. 5~5Ωcmの範囲が良好で、1~3Ωcmの範囲が特に良好である。エピタキシャル基板は酸素欠陥が極めて少なく、ドーピングレベルでのみ比抵抗をコントロールできるため、この良好な範囲を精度よく狙うことができる。

[0072] ここで、本実施例における各非晶質系シリコン薄膜の膜厚について説明する。平滑部51と凹凸部52を両方有する仮想的な基板50を図5に示す。例えば透過型電子顕微鏡(TEM)を用いることで、基板50に垂直な厚さt、平面に垂直な厚さt'、凹凸部52の角度αをそれぞれ測定することができる。本明細書において、平滑部51に積層された非晶質系シリコン薄膜53の膜厚はtを指し、凹凸部52に積層された非晶質系シリコン薄膜53の膜厚はt'を指す。実際の作業では、測定時間の短縮が可能であり、かつ簡便

である触針段差計等を用いた膜厚評価方法を用いるのが好ましい。例えば、KOH又はNaOHを40～50℃に加熱した液で非晶質系シリコン薄膜53をウェットエッチングすることにより段差54を形成させ、触針段差計を用いた膜厚評価方法により $t'$ が測定される。三角関数から $t' = t \times \cos \alpha$ が成り立つので、測定された $t$ により、 $t'$ が算出される。TEM測定で得られた $t'$ と、触針段差計を用いた膜厚評価方法により算出された $t'$ とは一致することが確認されたので、本実施例では触針段差計を用いた膜厚評価方法を採用した。なお、触針段差計は、あらかじめ段差をつけておいたサンプルの上を、針でサンプルに触れて水平に表面をなぞることによって、サンプルの段差に応じて針を上下させる測定を行う装置である。

### 符号の説明

[0073] 10：光発電装置、11：光発電素子、12：第1の集電部材、13：第2の集電部材、14：n型結晶半導体基板、15：第1の真性非晶質系シリコン薄膜、16：p型非晶質系シリコン薄膜、17：第1の透明導電膜、18：第2の真性非晶質系シリコン薄膜、19：n型非晶質系シリコン薄膜、20：第2の透明導電膜、21：バスバー電極（I）、22：フィンガー電極（I）、24：フィンガー電極（II）、25：非積層領域、30：光発電装置、31：光発電素子、32：第1の集電部材、33：第2の集電部材、34：n型結晶半導体基板、35：第1の真性非晶質系シリコン薄膜、36：p型非晶質系シリコン薄膜、37：第1の透明導電膜、39：n型非晶質系シリコン薄膜、40：第2の透明導電膜、50：基板、51：平滑部、52：凹凸部、53：非晶質系シリコン薄膜、54：段差

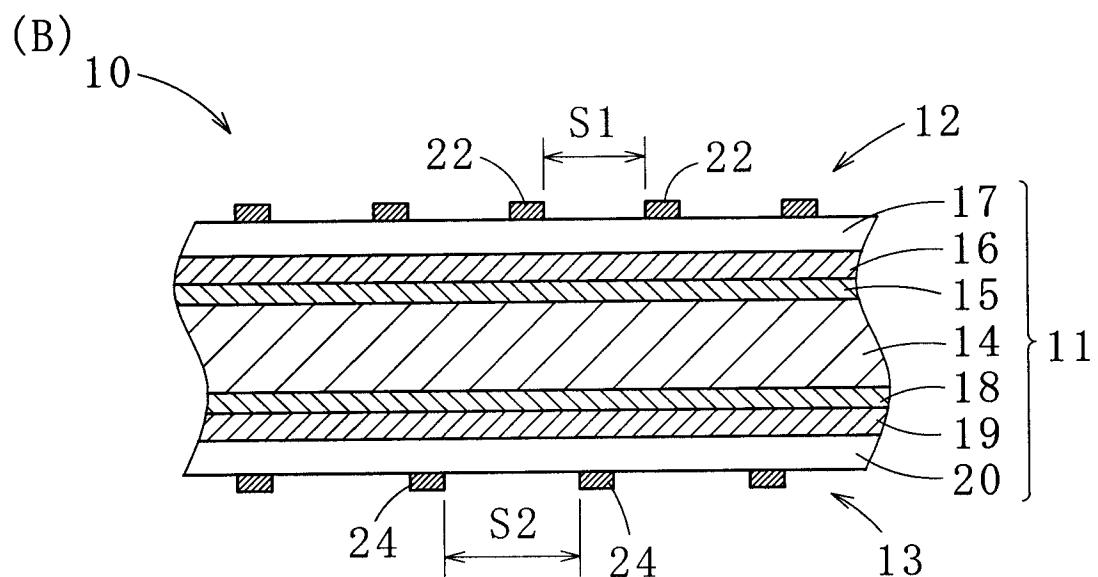
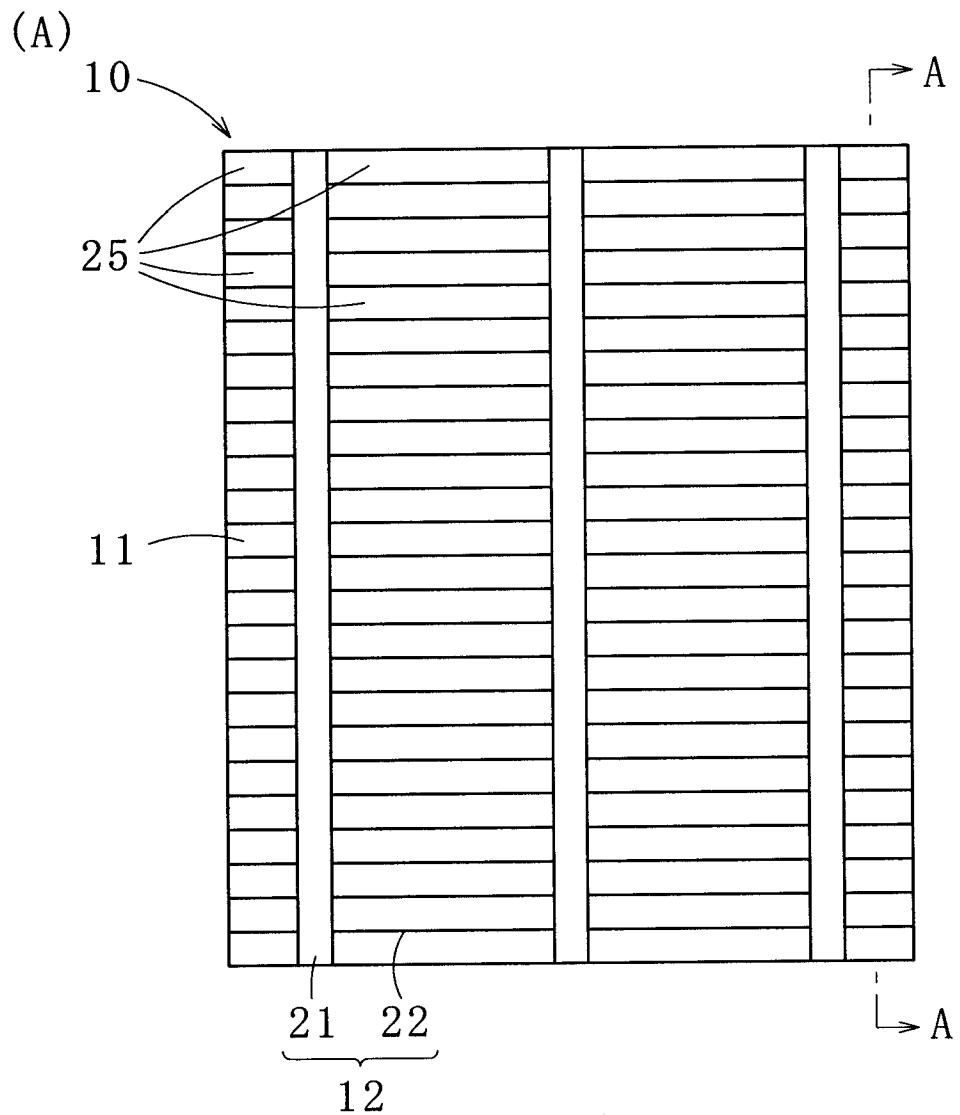
## 請求の範囲

- [請求項1] 多層状の光発電素子と、該光発電素子の一方の面上に積層される第1の集電部材及び他方の面上に積層される第2の集電部材とを備え、前記光発電素子が、n型結晶半導体基板と、該n型結晶半導体基板の前記第1の集電部材側にこの順で積層される第1の真性非晶質系シリコン薄膜、p型非晶質系シリコン薄膜及び第1の透明導電膜と、前記n型結晶半導体基板の前記第2の集電部材側にこの順で積層されるn型非晶質系シリコン薄膜及び第2の透明導電膜とを有する光発電装置において、  
前記p型非晶質系シリコン薄膜の膜厚が6nm未満であり、  
前記第1の透明導電膜表面における前記第1の集電部材の非積層領域の最大幅が2mm未満であることを特徴とする光発電装置。
- [請求項2] 請求項1記載の光発電装置において、前記第1の透明導電膜がイオンプレーティング法により形成されていることを特徴とする光発電装置。
- [請求項3] 請求項1又は2記載の光発電装置において、前記p型非晶質系シリコン薄膜の膜厚が1nm以上であることを特徴とする光発電装置。
- [請求項4] 請求項1～3のいずれか1項に記載の光発電装置において、前記第2の集電部材が、互いに平行に形成される複数のバスバー電極(II)及び該バスバー電極(II)に接続され、互いに平行に形成される複数のフィンガー電極(II)を有し、  
前記フィンガー電極(II)の間隔が2mmより大きいことを特徴とする光発電装置。
- [請求項5] 請求項1～4のいずれか1項に記載の光発電装置において、前記第1の集電部材が、互いに平行に形成される複数のバスバー電極(I)及び該バスバー電極(I)に接続され、互いに平行に形成される複数のフィンガー電極(I)を有し、  
前記フィンガー電極(I)の間隔が前記非積層領域の最大幅となるこ

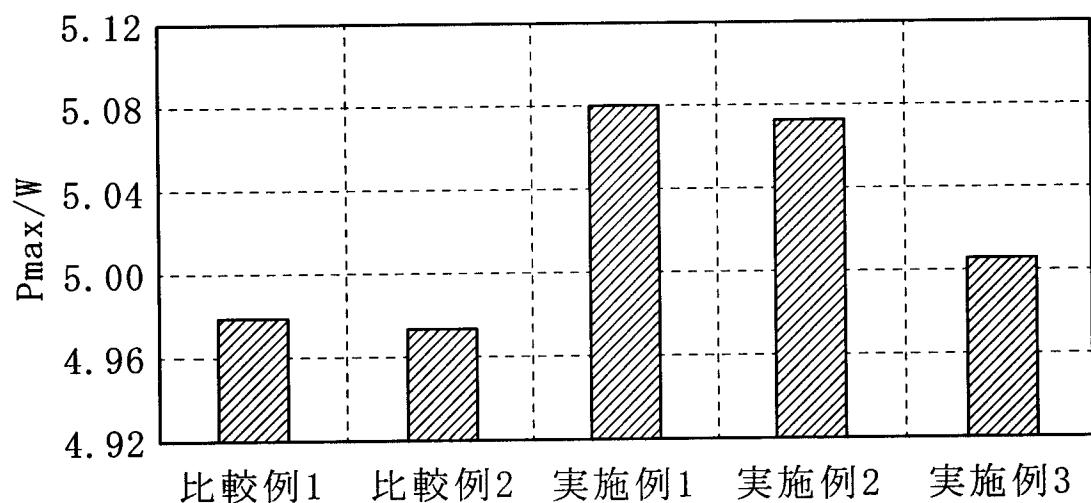
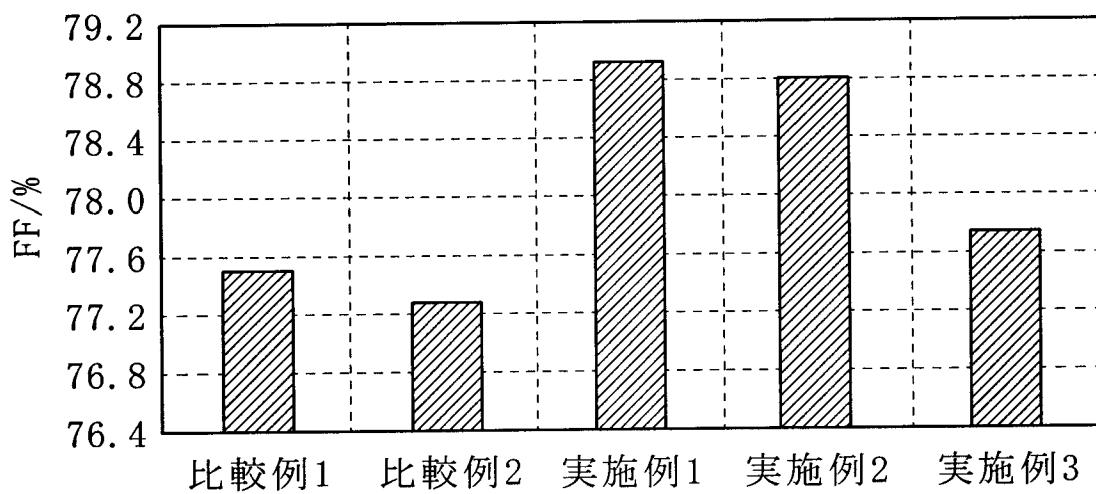
とを特徴とする光発電装置。

- [請求項6] 請求項1～4のいずれか1項に記載の光発電装置において、前記第1の集電部材が金属膜であることを特徴とする光発電装置。
- [請求項7] 請求項6記載の光発電装置において、前記金属膜の膜厚が100nm以上500nm未満であることを特徴とする光発電装置。
- [請求項8] 請求項1～7のいずれか1項に記載の光発電装置において、前記第2の集電部材側が光入射面として用いられることを特徴とする光発電装置。
- [請求項9] 請求項1～5のいずれか1項に記載の光発電装置において、前記第1の集電部材側が光入射面として用いられることを特徴とする光発電装置。
- [請求項10] 請求項1～9のいずれか1項に記載の光発電装置において、前記n型結晶半導体基板と前記n型非晶質系シリコン薄膜との間に積層される第2の真性非晶質系シリコン薄膜を有することを特徴とする光発電装置。
- [請求項11] 請求項1～10のいずれか1項に記載の光発電装置において、前記n型結晶半導体基板がエピタキシャル成長法によって作製されていることを特徴とする光発電装置。
- [請求項12] 請求項1～11のいずれか1項に記載の光発電装置において、前記n型結晶半導体基板の比抵抗が0.5Ωcm以上5Ωcm以下であることを特徴とする光発電装置。
- [請求項13] 請求項1～12のいずれか1項に記載の光発電装置において、前記n型結晶半導体基板の厚さが50μm以上200μm以下であることを特徴とする光発電装置。
- [請求項14] 請求項13記載の光発電装置において、前記n型結晶半導体基板の厚さが80μm以上150μm以下であることを特徴とする光発電装置。

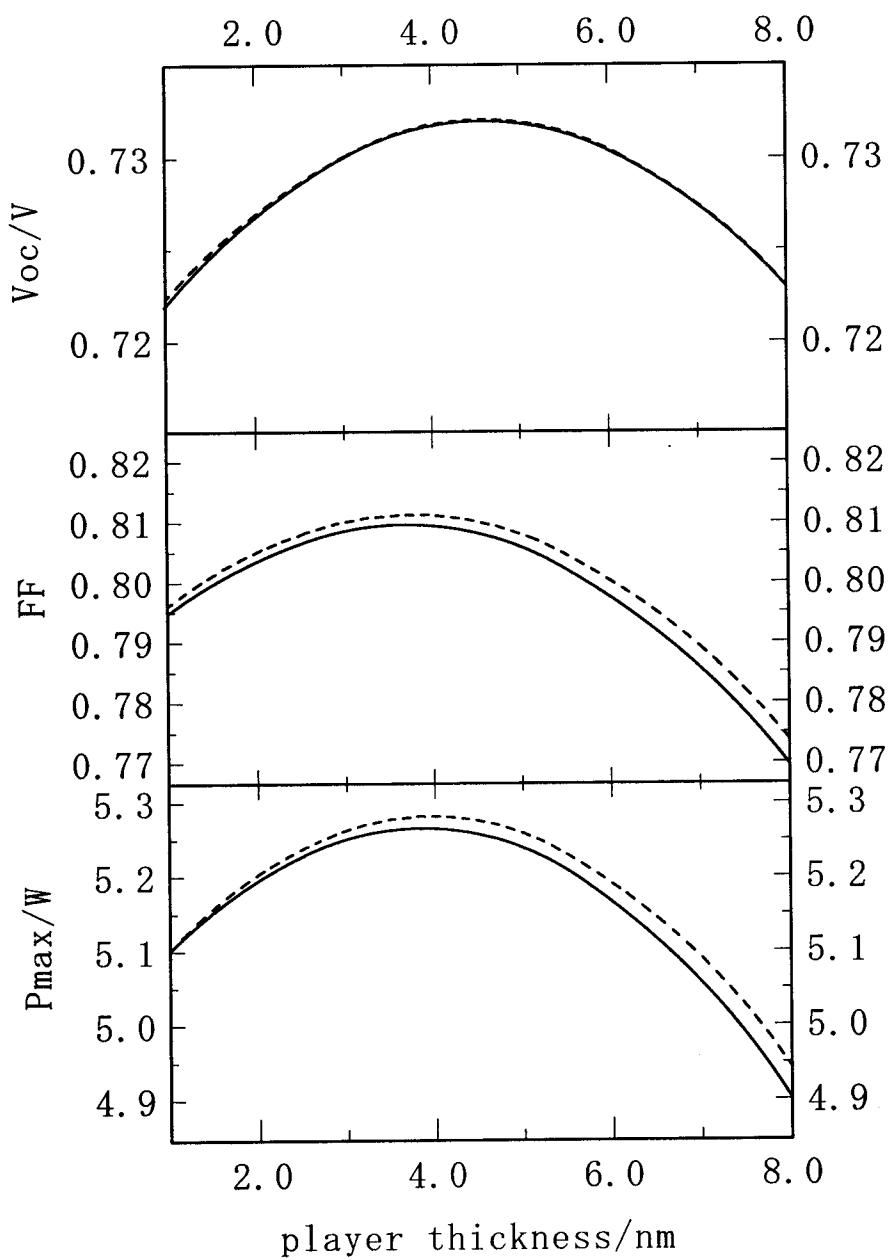
[図1]



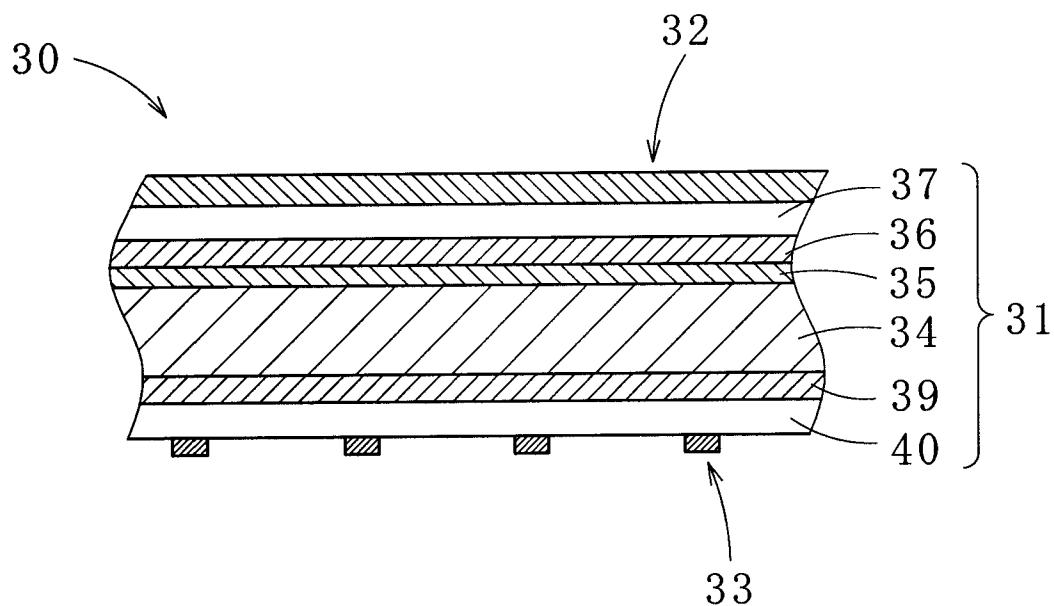
[図2]



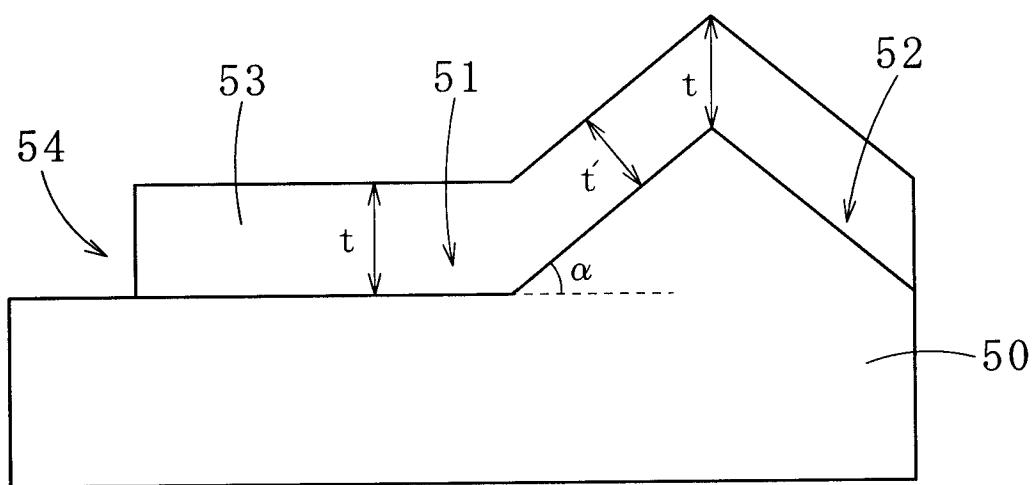
[図3]



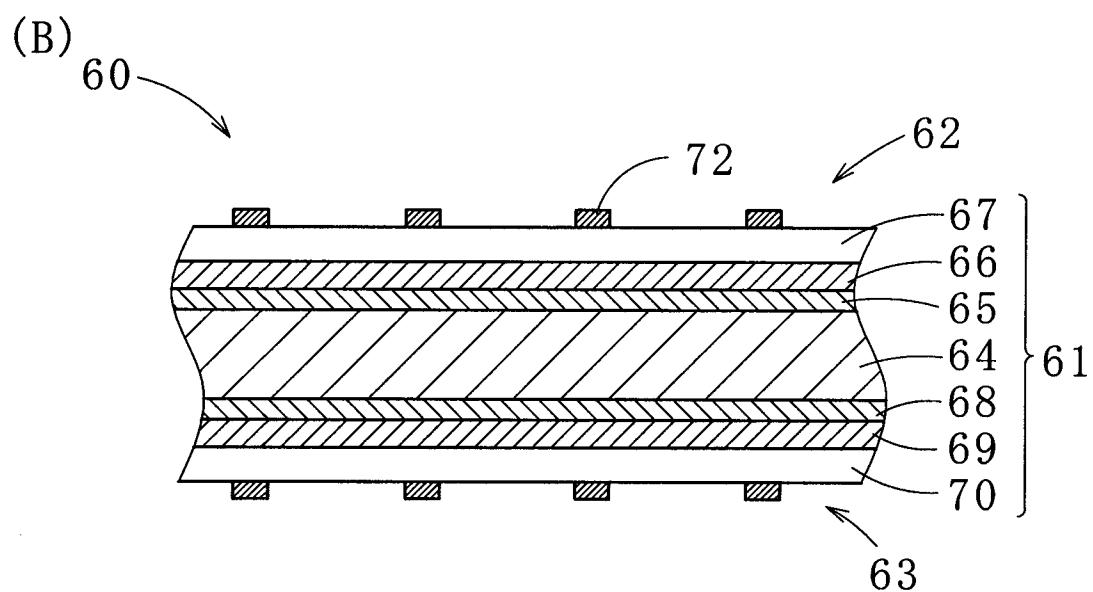
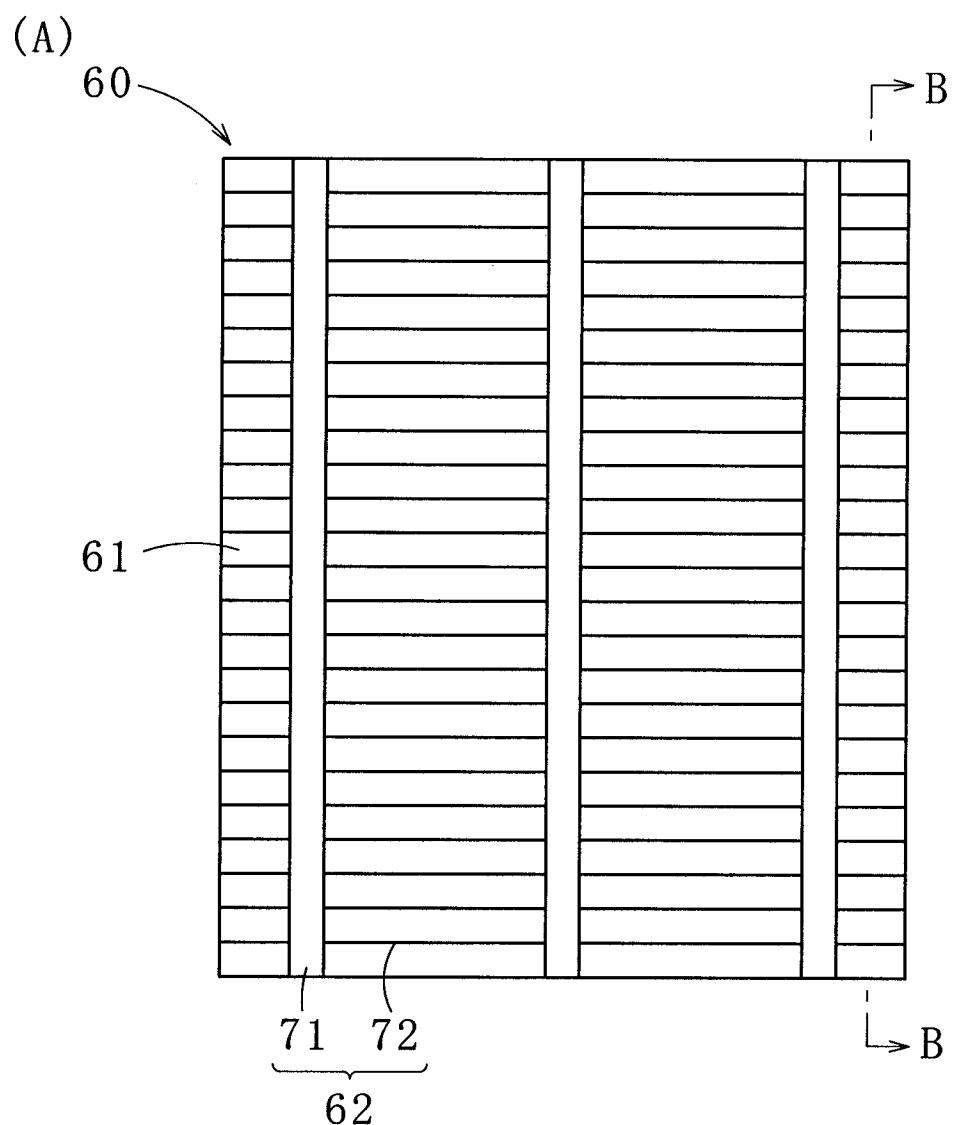
[図4]



[図5]

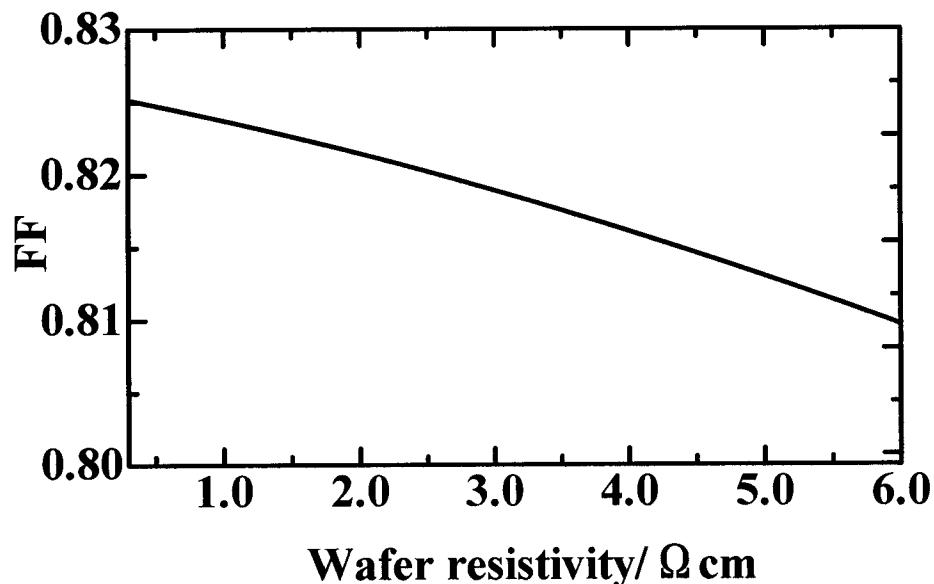


[図6]

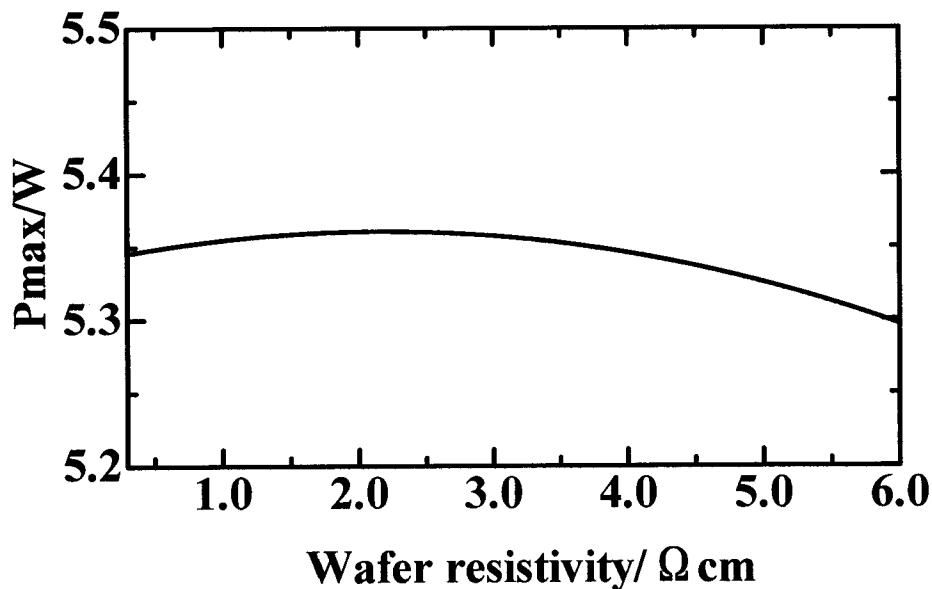


[図7]

(A)



(B)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/056939

### A. CLASSIFICATION OF SUBJECT MATTER

H01L31/0747(2012.01)i, H01L31/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

### B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/0745-31/0747, H01L31/18-31/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

### C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-272897 A (Sanyo Electric Co., Ltd.), 02 December 2010 (02.12.2010), paragraphs [0037] to [0046], [0079] to [0081]; fig. 1 to 3 (Family: none)	1-3, 5-10, 12-14 4, 11
Y	JP 2009-290234 A (Sanyo Electric Co., Ltd.), 10 December 2009 (10.12.2009), paragraphs [0033] to [0034]; fig. 1 to 3 (Family: none)	4, 11
Y	JP 2010-103514 A (Semiconductor Energy Laboratory Co., Ltd.), 06 May 2010 (06.05.2010), paragraphs [0092] to [0100]; fig. 4 & US 2010/0081254 A1	11

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 March, 2014 (27.03.14)

Date of mailing of the international search report

08 April, 2014 (08.04.14)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/056939

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-158273 A (Panasonic Corp.), 23 August 2012 (23.08.2012), paragraphs [0031] to [0036]; fig. 2 (Family: none)	1-14

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. H01L31/0747(2012.01)i, H01L31/20(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. H01L31/0745-31/0747, H01L31/18-31/20

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-272897 A (三洋電機株式会社) 2010.12.02, 【0037】-【0046】,【0079】-【0081】図1-3	1-3, 5-10, 12-14
Y	(ファミリーなし)	4, 11
Y	JP 2009-290234 A (三洋電機株式会社) 2009.12.10, 【0033】-【0034】図1-3 (ファミリーなし)	4, 11
Y	JP 2010-103514 A (株式会社半導体エネルギー研究所) 2010.05.06, 【0092】-【0100】図4 & US 2010/0081254 A1	11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願目前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

27.03.2014

## 国際調査報告の発送日

08.04.2014

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

2K 9215

堀部 修平

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-158273 A (パナソニック株式会社) 2012.08.23, 【0031】 - 【0036】 , 図2 (ファミリーなし)	1-14