

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-108317  
(P2008-108317A)

(43) 公開日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 2 B	5 B 1 2 5
<b>G 1 1 C 16/04 (2006.01)</b>	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 1 1 A	

審査請求 未請求 請求項の数 5 O L (全 27 頁)

(21) 出願番号 特願2006-288414 (P2006-288414)  
(22) 出願日 平成18年10月24日(2006.10.24)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 110000408  
特許業務法人高橋・林アンドパートナーズ  
(72) 発明者 二山 拓也  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
Fターム(参考) 5B125 BA02 CA14 CA15 CA19 DA03  
DB02 DB09 DC03 DC08 EA05  
EA07 EB01 EG17 FA01

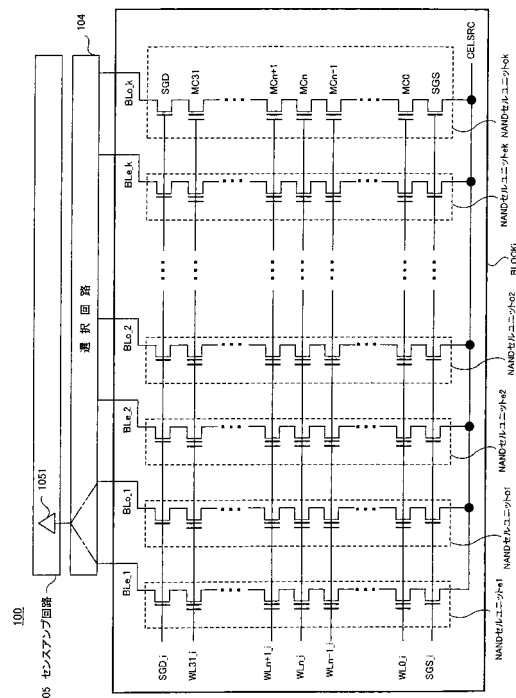
(54) 【発明の名称】 NAND型フラッシュメモリ装置

(57) 【要約】

【課題】データの誤書込により生じるメモリセルのしきい値分布のシフトを有効にキャンセルすることができるNAND型フラッシュメモリ装置を提供すること。

【解決手段】データ読出書込制御部は、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0のデータを消去する消去動作時において当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する消去ペリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の消去電圧レベルより第1及び第2の所定値だけ低く設定する。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

電氣的に書き換え可能な複数のメモリセルが配置され、かつ、複数の NAND メモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデータ読出書込制御部と、を具備し、

前記複数の NAND メモリセルユニットの各々は、

直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第 1 の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第 2 の選択ゲートトランジスタと、を具備し、

前記データ読出書込制御部は、

前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルのデータを消去する消去動作時において当該メモリセルの制御ゲート電極に接続されているワード線に印加する消去ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の消去電圧レベルより第 1 及び第 2 の所定値だけ低く設定することを特徴とする NAND 型フラッシュメモリ装置。

**【請求項 2】**

電氣的に書き換え可能な複数のメモリセルが配置され、かつ、複数の NAND メモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデータ読出書込制御部と、を具備し、

前記複数の NAND メモリセルユニットの各々は、

直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第 1 の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第 2 の選択ゲートトランジスタと、を具備し、

前記データ読出書込制御部は、

前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルに対し偶数ページのロウアーページデータを書き込む書込動作時において当該メモリセルの制御ゲート電極に接続されているワード線に印加する書込ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の書込電圧レベルより第 1 及び第 2 の所定値だけ低く設定し、かつ、前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルに対し偶数ページのロウアーページデータを読み出す読出動作時において当該奇数ページのロウアーページのデータが書き込まれていない時に当該メモリセルの制御ゲート電極に接続されているワード線に印加する読出ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第 3 及び第 4 の所定値だけ低く設定することを特徴とする NAND 型フラッシュメモリ装置。

**【請求項 3】**

電氣的に書き換え可能な複数のメモリセルが配置され、かつ、複数の NAND メモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデータ読出書込制御部と、を具備し、

前記複数の NAND メモリセルユニットの各々は、

直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第 1 の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第 2 の選択ゲートトランジスタと、を具備し、

前記データ読出書込制御部は、

前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルに対し偶数ページのロウアーページデータを読み出す読出動作時において当該奇数ページのロウアーページデータが書き込まれている時に当該メモリセルの制御ゲート電極に接続されているワード線に印加する読出ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第 1 及び第 2 の所定値だけ高く設定することを特徴とする NAND 型フラッシュメモリ装置。

10

【請求項 4】

電氣的に書き換え可能な複数のメモリセルが配置され、かつ、複数の NAND メモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデータ読出書込制御部と、を具備し、

前記複数の NAND メモリセルユニットの各々は、

直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第 1 の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第 2 の選択ゲートトランジスタと、を具備し、

20

前記データ読出書込制御部は、

前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルに対し偶数ページのアップページデータあるいは奇数ページのロウアーページデータを書き込む書込動作時において当該メモリセルの制御ゲート電極に接続されているワード線に印加する書込ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の書込電圧レベルより偶数ページのアップページデータに対しては第 1 及び第 2 の所定値だけ低く設定し、奇数ページのロウアーページデータに対しては第 3 および第 4 の所定値だけ低く設定し、

30

前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルに対し偶数ページのアップページデータを読み出す読出動作時において当該奇数ページのアップページデータが書き込まれていない時に当該メモリセルの制御ゲート電極に接続されているワード線に印加する読出ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第 5 及び第 6 の所定値だけ低く設定し、

前記第 1 の選択ゲートトランジスタあるいは前記第 2 の選択ゲートトランジスタに隣接する前記メモリセルに対し奇数ページのロウアーページデータを読み出す読出動作時において当該偶数ページのアップページのデータが書き込まれていない時に当該メモリセルの制御ゲート電極に接続されているワード線に印加する読出ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第 7 及び第 8 の所定値だけ低く設定することを特徴とする NAND 型フラッシュメモリ装置。

40

【請求項 5】

電氣的に書き換え可能な複数のメモリセルが配置され、かつ、複数の NAND メモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデー

50

タ読出書込制御部と、を具備し、

前記複数のNANDメモリセルユニットの各々は、

直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第1の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第2の選択ゲートトランジスタと、を具備し、

前記データ読出書込制御部は、

前記第1の選択ゲートトランジスタあるいは前記第2の選択ゲートトランジスタに隣接する前記メモリセルに対し偶数ページのアップページデータを読み出す読出動作時において当該奇数ページのアップページデータが書き込まれている時に当該メモリセルの制御ゲート電極に接続されているワード線に印加する読出ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加するように所定の読出電圧レベルより第1及び第2の所定値だけ高く設定し、

10

前記第1の選択ゲートトランジスタあるいは前記第2の選択ゲートトランジスタに隣接する前記メモリセルに対し奇数ページのアップページデータを読み出す読出動作時において当該偶数ページのアップページデータが書き込まれている時に当該メモリセルの制御ゲート電極に接続されているワード線に印加する読出ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第3及び第4の所定値だけ高く設定することを特徴とするNAND型フラッシュメモリ装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に書き換え可能な複数のメモリセルがマトリクス状に配置されているメモリセルアレイを具備するNAND型フラッシュメモリ装置に関するものである。

【背景技術】

【0002】

NAND型フラッシュメモリ装置は、電氣的に書き換え可能な複数のメモリセルがマトリクス状に配置され、かつ、複数のNANDメモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデータ読出書込制御部と、を具備している。

30

【0003】

そして、前記複数のNANDメモリセルユニットの各々は、直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第1の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第2の選択ゲートトランジスタと、を具備している。

【0004】

40

前記データ読出書込制御部は、前記複数のメモリセルに対しデータの書込及び読出の時に、前記第1の選択ゲートトランジスタ及び前記第2の選択ゲートトランジスタとこれらに隣接する前記メモリセルとの間に高電圧を印加し、かつ高電圧印加回数が多いため、これらのメモリセルの閾値分布が変化してしまい、データの誤書込が生じてしまう可能性がある。

【0005】

また、従来はNAND型フラッシュメモリ装置として、特許文献1に記載されたものが知られている。この特許文献1の従来はNAND型フラッシュメモリ装置は、選択されたメモリセルのワード線にこのメモリセルにデータを書込むための書込電圧を供給し、前記選択されたメモリセルからN個(Nは2以上の整数)分だけ共通ソース線側に位置するメモ

50

リセルのワード線にこのメモリセルをカットオフするための基準電圧を供給し、前記選択されたメモリセルのワード線と前記N個分の位置にあるメモリセルとの間に位置するN-1個のメモリセルの各ワード線に前記書込電圧より小さい補助電圧を供給し、かつ、残りのメモリセルのワード線に前記書込電圧と前記基準電圧との間の中間電圧を供給するものである。

【0006】

この特許文献1の従来 NAND型フラッシュメモリ装置においては、メモリセルの微細化のために、データの誤書込の防止が充分ではない。

【特許文献1】特開2005-108404号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、データの誤書込により生じるメモリセルのしきい値分布のシフトを有効にキャンセルすることができる NAND型フラッシュメモリ装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一実施形態は、電氣的に書き換え可能な複数のメモリセルがマトリクス状に配置され、かつ、複数の NANDメモリセルユニットを有するメモリセルアレイと、前記複数のメモリセルに接続されている複数のワード線及び複数のビット線と、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加するデータ読出書込制御部と、を具備し、前記複数の NANDメモリセルユニットの各々が、直列に接続されている前記複数のメモリセルと、前記複数のメモリセルの直列接続体の一端部と前記ビット線との間に接続されている第1の選択ゲートトランジスタと、前記複数のメモリセルの直列接続体の他端部とソース線との間に接続されている第2の選択ゲートトランジスタと、を具備し、前記データ読出書込制御部が、前記第1の選択ゲートトランジスタあるいは及び前記第2の選択ゲートトランジスタに隣接する前記メモリセルのデータを消去する消去動作時において当該メモリセルの制御ゲート電極に接続されているワード線に印加する消去ベリファイレベルを、当該メモリセル以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の消去電圧レベルより第1及び第2の所定値だけ低く設定する構成を採る。

【発明の効果】

【0009】

本発明によれば、データの誤書込により生じるメモリセルの閾値分布のシフトを有効にキャンセルすることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、本発明は、これらの実施の形態に限定されるものではない。

【0011】

(実施の形態1)

本発明の実施の形態1について、図面を参照しながら詳細に説明する。図1は、本発明の実施の形態1に係る NAND型フラッシュメモリ装置の構成を示すブロック図である。

【0012】

図1に示すように、本発明の実施の形態1に係る NAND型フラッシュメモリ装置100は、メモリセルアレイ101、ロウデコーダ102、カラムデコーダ103、選択回路104、センスアンプ回路105、主制御回路106、ブロック制御回路107、データレジスタ108及びインターフェイス回路109を具備している。

【0013】

インターフェイス回路109は、外部機器とデータ及び制御信号(コマンド、トグル信号及びクロック信号など)の送受信を行う。インターフェイス回路109は、外部機器から

10

20

30

40

50

のデータ及び制御信号を受けて所定の処理をして主制御回路 106 及びデータレジスタ 108 に与える。

【0014】

主制御回路 106 は、インターフェイス回路 109 からの制御信号に基づいて、ロウデコーダ 102、カラムデコーダ 103、選択回路 104、センスアンプ回路 105、ブロック制御回路 107 及びデータレジスタ 108 を制御する。

【0015】

主制御回路 106 は、ロウデコーダ 102 及びカラムデコーダ 103 にメモリセルアレイ 101 のメモリセルに対するアクセス情報を与える。ロウデコーダ 102 及びカラムデコーダ 103 は、当該アクセス情報及びデータに基づいてセンアンプ回路 105、選択回路 104 及びブロック制御部 107 を制御してメモリセルに対してデータの読出、書込又は消去を行う。主制御回路 106、ロウデコーダ 102、カラムデコーダ 103、センアンプ回路 105、選択回路 104 及びブロック制御部 107 は、メモリセルアレイ 101 の複数のメモリセルに対しデータの書込及び読出を行う時に複数のワード線及び複数のビット線を選択して電圧を印加するデータ読出書込制御部を構成している。

10

【0016】

図 3 に示すように、センスアンプ回路 105 は、複数のセンスアンプ 1051 を有し、メモリセルアレイ 101 のビット線に選択回路 104 を介して接続され、ビット線にデータを与え、かつ、ビット線の電位を検出してデータキャッシュで保持する。主制御回路 106 は、カラムデコーダ 103 によって制御されたセンアンプ回路 105 によりメモリセルから読み出されたデータをデータレジスタ 108 及びインターフェイス回路 109 を介して外部機器に与える。選択回路 104 は、センスアンプ回路 105 を構成する複数のデータキャッシュのうちビット線に接続するデータキャッシュの選択を行う。

20

【0017】

次に、本発明の実施の形態 1 に係る NAND 型フラッシュメモリ装置 100 のメモリセルアレイ 101 の 1 例について、図面を参照して詳細に説明する。

【0018】

図 2 は、本発明の実施の形態 1 に係るメモリセルアレイ 101 の 1 例を示すブロック図である。図 2 に示すように、メモリセルアレイ 101 は、分割されている  $m$  個のブロック BLOCK 1、BLOCK 2、BLOCK 3、 $\dots$ 、BLOCK  $i$ 、 $\dots$ 、BLOCK  $m$  を具備している。ここで、「ブロック」とは、データの一括消去の最小単位である。ブロック BLOCK 1、BLOCK 2、BLOCK 3、 $\dots$ 、BLOCK  $i$ 、 $\dots$ 、BLOCK  $m$  は、同じ構成を有している。

30

【0019】

メモリセルアレイ 101 は、電気的に書き換え可能な複数のメモリセルがマトリクス状に配置され、かつ、複数の NAND メモリセルユニットを有する。複数のワード線及び複数のビット線は、前記複数のメモリセルに接続されている。前記データ読出書込制御部は、前記複数のメモリセルに対しデータの書込、読出及び消去を行う時に前記複数のワード線及び前記複数のビット線を選択して電圧を印加する。

【0020】

図 3 は、メモリセルアレイ 101 の 1 つのブロック BLOCK  $i$  の構成を示す回路図である。図 3 に示すように、メモリセルアレイ 101 のブロック BLOCK  $i$  は、 $2 \times k$  個の NAND セルユニット  $e_1 \sim o_k$  を具備している。

40

【0021】

図 3 に示す NAND セルユニット  $e_1 \sim o_k$  の各々は、32 個のメモリセル  $MC_0 \sim MC_{31}$  を有している。メモリセル  $MC_0 \sim MC_{31}$  の 1 つは、代表してメモリセル  $MC$  と記される場合もある。メモリセル  $MC_0 \sim MC_{31}$  は、直列に接続されている。NAND セルユニット  $e_1 \sim o_k$  の一端部は、選択ゲートトランジスタ  $SGD$  を介してビット線  $BL_{e_1}$ 、 $BL_{o_1}$ 、 $BL_{e_2}$ 、 $BL_{o_2}$ 、 $\dots$ 、 $BL_{e_i}$ 、 $BL_{o_i}$ 、 $\dots$ 、 $BL_{e_k}$ 、 $BL_{o_k}$  に接続されている。

50

## 【0022】

選択ゲートトランジスタSGDの制御ゲート電極は、選択ゲート線SGD<sub>i</sub>に接続されている。また、NANDセルユニットe<sub>1</sub>～e<sub>k</sub>の他端部は、選択ゲートトランジスタSGSを介して共通ソース線CELSRCに接続されている。選択ゲートトランジスタSGSの制御ゲート電極は、選択ゲート線SGS<sub>i</sub>に接続されている。

## 【0023】

メモリセルMC<sub>0</sub>～MC<sub>31</sub>の各々の制御ゲート電極は、ワード線WL(WL<sub>0</sub><sub>i</sub>～WL<sub>31</sub><sub>i</sub>)に接続されている。ビット線BLE<sub>1</sub>、BLE<sub>2</sub>、・・・、BLE<sub>i</sub>、・・・、BLE<sub>k</sub>のうち、端から数えて偶数番目のビット線と奇数番目のビット線は、お互いに独立にデータの書き込みと読み出しが行われる。ワード線WL<sub>n</sub><sub>i</sub>の1つに接続される2×k個のメモリセルMCの偶数番目のビット線に接続されているk個のメモリセルMCに対して同時にデータの書き込みと読み出しが行われる。k個のメモリセルMCの各々は、例えば、2ビット(4値)のデータを記憶する。これらのk個のメモリセルMCは、「ページ」という単位を構成する。

10

## 【0024】

同様に、ワード線WL<sub>n</sub><sub>i</sub>の1つに接続される2×k個のメモリセルMCの奇数番目のビット線に接続されているk個のメモリセルMCに対して同時にデータの書き込みと読み出しが行われる。k個のメモリセルMCの各々は、例えば、2ビット(4値)のデータを記憶する。これらのk個のメモリセルMCもまた、「ページ」という単位を構成する。

20

## 【0025】

なお、本発明は、図示した本発明の実施の形態1に限定されるものでなく、必要に応じてブロックの数、NANDセルユニットの数、直列メモリセル数、及びメモリセルの個数を変更してもよい。また、本発明の実施の形態1においては、各メモリセルMCが2ビット(4値)のデータを記憶するものである。すなわち、データ読出書込制御部は、各ページのアップ(上位)ページ及びロウア(下位)ページに対しデータの書込及び読出を行うことができる。また、データ読出書込制御部は、各偶数ページ及び各奇数ページのアップ(上位)ページ及びロウア(下位)ページに対しデータの書込及び読出を行うことができる。

## 【0026】

センスアンプ回路105は、複数のセンスアンプ1051を具備している。複数のセンスアンプ1051の各々は、選択回路104を介してビット線BLE<sub>1</sub>、BLE<sub>2</sub>、・・・、BLE<sub>i</sub>、・・・、BLE<sub>k</sub>あるいは、BL<sub>o</sub><sub>1</sub>、BL<sub>o</sub><sub>2</sub>、・・・、BL<sub>o</sub><sub>i</sub>、・・・、BL<sub>o</sub><sub>k</sub>から構成される2つのビット線グループのいずれか一方に選択的に接続される。このセンスアンプ1051は、ビット線シールド型のセンスアンプと呼ばれている。

30

## 【0027】

選択回路104は、選択情報に基づいて、2つのビット線グループの一方のみを選択してセンスアンプ1051に接続し、かつ、前記2つのビット線グループの他方を非選択としてセンスアンプ1051に接続しない。この場合には、選択回路104は、データの読み出し時には非選択側のビット線を接地することにより隣接のビット線との結合ノイズを低減している。また、選択回路104は、プログラム動作においては、非選択側のビット線をV<sub>DD</sub>にすることにより非選択のメモリセルMCにデータが書き込まれないようにする。

40

## 【0028】

主制御回路106、ロウデコーダ102、カラムデコーダ103、センスアンプ回路105、選択回路104及びブロック制御部107(前記データ読出書込制御部)は、メモリセルアレイ101の複数のメモリセルMCに対しデータの書込、読出及び消去を行う時に選択ブロック内の複数のワード線及び複数のビット線を選択して電圧を印加する。

## 【0029】

そして、本発明の実施の形態1に係るNAND型フラッシュメモリ装置100においては

50

、主制御回路106、ロウデコーダ102、カラムデコーダ103、センアンプ回路105、選択回路104及びブロック制御部107（前記データ読出書込制御部）は、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0のデータを消去する消去動作時において当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する消去ペリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の消去電圧レベルより第1及び第2の所定値だけ低く設定する。

【0030】

このように、前記データ読出書込制御部は、メモリセルMC31、MC0のデータを消去する消去動作時にワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する消去ペリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の消去電圧レベルより第1及び第2の所定値だけ低く設定した状態で、メモリセルMC31、MC0のデータを消去する。

10

【0031】

なお、本発明の実施の形態1は、偶数ページ及び奇数ページの区別を有しない形態で各ページのアップー（上位）ページ及びロウアー（下位）ページに対しデータの書込及び読出を行う場合にも適用することができる。

【0032】

本発明の実施の形態1によれば、ワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する消去ペリファイレベルを、他のワード線に印加する所定の消去電圧レベルより第1及び第2の所定値だけ低く設定するため、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0の閾値分布が高い側に変化することを防止することができるから、データの誤書込を有効に防止することができる。

20

【0033】

（実施の形態2）

次に、本発明の実施の形態2について、図面を参照しながら詳細に説明する。図4は、本発明の実施の形態2に係るNAND型フラッシュメモリ装置の構成を示すブロック図である。本発明の実施の形態2においては、本発明の実施の形態1と同じ構成要素には同じ参照符号が付されてその説明が省略される。

30

【0034】

図4に示すように、本発明の実施の形態2に係るNAND型フラッシュメモリ装置200は、本発明の実施の形態1に係るNAND型フラッシュメモリ装置100において主制御回路106に代わりに主制御回路201を具備している。

【0035】

本発明の実施の形態2に係るNAND型フラッシュメモリ装置200は、メモリセルアレイ101、ロウデコーダ102、カラムデコーダ103、選択回路104、センアンプ回路105、主制御回路201、ブロック制御回路107、データレジスタ108及びインターフェイス回路109を具備している。

【0036】

主制御回路201、ロウデコーダ102、カラムデコーダ103、センアンプ回路105、選択回路104及びブロック制御部107は、メモリセルアレイ101の複数のメモリセルに対しデータの書込及び読出を行う時に選択ブロック内の複数のワード線及び複数のビット線を選択して電圧を印加するデータ読出書込制御部を構成している。このデータ読出書込制御部は、ページごとにflag1を有している。このflag1は、各ページ（少なくともWL0、WL31のロウアーページ）が有するbitであり、ロウアーページデータの書き込みを行なわれたか否かを記憶しているbitである。ここで、flag1を有するロウアーページデータの書き込みが行なわれた時にflag1を記憶するセルは1（消去状態）から（書き込まれた状態）0とされる。すなわち、flag1=0である時に、flag1はロウアーページのデータの書き込みを行なわれたことを記憶しているもの

40

50

とする。また、データの書き込み順序は、各ページのロウアーページはアッパーページよりも先に行われ、偶数ページが奇数ページよりも先に行われるものとする。

【0037】

本発明の実施の形態2においては、前記データ読出書込制御部は、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0に対し偶数ページのロウアーページデータを書き込む書込動作時において当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する書込ベリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の書込電圧レベルより第1及び第2の所定値だけ低く設定する。

10

【0038】

また、本発明の実施の形態2においては、前記データ読出書込制御部は、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0に対し偶数ページのロウアーページデータを読み出す読出動作時において当該奇数ページのロウアーページのデータが書き込まれていない時に当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する読出ベリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第3及び第4の所定値だけ低く設定する。

20

【0039】

次に、本発明の実施の形態2に係る前記データ読出書込制御部の動作について、図5～図8に基づいて具体的に説明する。図5は、本発明の実施の形態2に係る前記データ読出書込制御部のメモリセルMC0における偶数ページのロウアーページデータの書込動作の一部を説明するためのフローチャートである。図6は、本発明の実施の形態2に係る前記データ読出書込制御部のメモリセルMC31における偶数ページのロウアーページデータの書込動作の他の一部を説明するためのフローチャートである。図7は、本発明の実施の形態2に係る前記データ読出書込制御部のメモリセルMC0における偶数ページのロウアーページデータの読出動作の一部を説明するためのフローチャートである。図8は、本発明の実施の形態2に係る前記データ読出書込制御部のメモリセルMC31における偶数ページのロウアーページデータの読出動作の一部を説明するためのフローチャートである。

30

【0040】

図5に示すように、ステップST101において、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのロウアーページデータを書き込む書込動作時であるかを判断する。

【0041】

ステップST101においてメモリセルMC0に対し偶数ページのロウアーページデータを書き込む書込動作時である場合に、前記データ読出書込制御部は、ワード線WL0<sub>i</sub>に印加する書込ベリファイレベルを、他のワード線(ワード線WL31<sub>i</sub>を除く)に印加する書込電圧レベルより第1の所定値だけ低く設定する(ステップST102)。

【0042】

次に、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのロウアーページデータを書き込む(ステップST103)。

40

【0043】

図6に示すように、ステップST201において、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのロウアーページデータを書き込む書込動作時であるかを判断する。

【0044】

ステップST201においてメモリセルMC31に対し偶数ページのロウアーページデータを書き込む書込動作時である場合に、前記データ読出書込制御部は、ワード線WL31<sub>i</sub>に印加する書込ベリファイレベルを、他のワード線(ワード線WL0<sub>i</sub>を除く)に

50

印加する書込電圧レベルより第2の所定値だけ低く設定する（ステップST202）。

【0045】

次に、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのロウアーページデータを書き込む（ステップST203）。

【0046】

図7に示すように、ステップST301において、前記データ読出書込制御部は、MC0に対し偶数ページのロウアーページデータを読み出す読出動作時であるかを判断する。ステップST301においてMC0の偶数ページのロウアーページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのロウアーページデータの読み出しを行う（ステップST302）。

10

【0047】

次に、前記データ読出書込制御部は、ステップST302のデータの読み出し結果に基づき、メモリセルMC0における奇数ページのロウアーページデータのflag1=0であるかを判断する（ステップST303）。

【0048】

ステップST303においてflag1=0でない時に、前記データ読出書込制御部は、ワード線WL0.iに印加する書込ベリファイレベルを、他のワード線（ワード線WL31.iを除く）に印加する書込電圧レベルより第3の所定値だけ低く設定する（ステップST304）。

【0049】

ステップST303においてflag1=0である時、又は、ステップST304の後に、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのロウアーページデータを読み出す（ステップST305）。

20

【0050】

図8に示すように、ステップST401において、前記データ読出書込制御部は、MC31に対し偶数ページのロウアーページデータを読み出す読出動作時であるかを判断する。ステップST401においてMC31の偶数ページのロウアーページデータを読み出す時には、前記データ読出書込制御部は、メモリセルMC31に対し奇数ページのロウアーページデータの読み出しを行う（ステップST402）。

【0051】

次に、前記データ読出書込制御部は、ステップST402のデータの読み出し結果に基づき、メモリセルMC31における奇数ページのロウアーページデータのflag1=0であるかを判断する（ステップST403）。

30

【0052】

ステップST403においてflag1=0でない時に、前記データ読出書込制御部は、ワード線WL31.iに印加する読出ベリファイレベルを、他のワード線（ワード線WL0.iを除く）に印加する読出電圧レベルより第3の所定値だけ低く設定する（ステップST404）。

【0053】

ステップST403においてflag1=0である時、及び、ステップST404の後に、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのロウアーページデータを読み出す（ステップST405）。

40

【0054】

本発明の実施の形態2によれば、メモリセルMC31、MC0に対し偶数ページのロウアーページデータを書き込む書込動作時にワード線WL31.i、WL0.iに印加する書込ベリファイレベルを他のワード線に印加する所定の書込電圧レベルより第1及び第2の所定値だけ低く設定し、かつ、メモリセルMC31、MC0に対し偶数ページのロウアーページデータを読み出す読出動作時において当該奇数ページのロウアーページのデータが書き込まれていない時にワード線WL31.i、WL0.iに印加する読出ベリファイレベルを他のワード線に印加する所定の読出電圧レベルより第3及び第4の所定値だけ低く

50

設定するため、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0の閾値分布の変化をキャンセルすることができ、データの誤書込によるメモリセルのしきい値分布のシフトをキャンセルすることができる。

【0055】

(実施の形態3)

次に、本発明の実施の形態3について、図面を参照しながら詳細に説明する。図9は、本発明の実施の形態3に係るNAND型フラッシュメモリ装置の構成を示すブロック図である。本発明の実施の形態3においては、本発明の実施の形態1と同じ構成要素には同じ参照符号が付されてその説明が省略される。

【0056】

図9に示すように、本発明の実施の形態3に係るNAND型フラッシュメモリ装置300は、本発明の実施の形態1に係るNAND型フラッシュメモリ装置100において主制御回路106に代わりに主制御回路301を具備している。

【0057】

本発明の実施の形態3に係るNAND型フラッシュメモリ装置300は、メモリセルアレイ101、ロウデコーダ102、カラムデコーダ103、選択回路104、センスアンプ回路105、主制御回路301、ブロック制御回路107、データレジスタ108及びインターフェイス回路109を具備している。

【0058】

主制御回路301、ロウデコーダ102、カラムデコーダ103、センスアンプ回路105、選択回路104及びブロック制御部107は、メモリセルアレイ101の複数のメモリセルに対しデータの書込及び読出を行う時に選択ブロック内の複数のワード線及び複数のビット線を選択して電圧を印加するデータ読出書込制御部を構成している。このデータ読出書込制御部は、ページごとにflag1を有している。

【0059】

本発明の実施の形態3においては、前記データ読出書込制御部は、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0に対し偶数ページのロウアーページデータを読み出す読出動作時において当該奇数ページのロウアーページのデータが書き込まれている時に当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する読出レベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第1及び第2の所定値だけ高く設定する。

【0060】

次に、本発明の実施の形態3に係る前記データ読出書込制御部の動作について、図10及び図11に基づいて具体的に説明する。図10は、本発明の実施の形態3に係る前記データ読出書込制御部のメモリセルMC0における偶数ページのロウアーページデータの読出動作の一部を説明するためのフローチャートである。図11は、本発明の実施の形態3に係る前記データ読出書込制御部のメモリセルMC31における偶数ページのロウアーページデータの読出動作の一部を説明するためのフローチャートである。

【0061】

図10に示すように、ステップST501において、前記データ読出書込制御部は、MC0に対し偶数ページのロウアーページデータを読み出す読出動作時であるかを判断する。ステップST501においてMC0の偶数ページのロウアーページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのロウアーページデータの読み出しを行う(ステップST502)。

【0062】

次に、前記データ読出書込制御部は、ステップST502のデータの読み出し結果に基づき、メモリセルMC0における奇数ページのロウアーページデータのflag1=0であるかを判断する(ステップST503)。

10

20

30

40

50

## 【0063】

ステップST503においてflag1 = 0である時に、前記データ読出書込制御部は、ワード線WL0 . iに印加する読出ベリファイレベルを、他のワード線（ワード線WL31 . iを除く）に印加する読出電圧レベルより第1の所定値だけ高く設定する（ステップST504）。

## 【0064】

ステップST503においてflag1 = 0でない時、又は、ステップST504の後に、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのロウアーページデータを読み出す（ステップST505）。

## 【0065】

図11に示すように、ステップST601において、前記データ読出書込制御部は、MC31に対し偶数ページのロウアーページデータを読み出す読出動作時であるかを判断する。ステップST601においてMC31の偶数ページのロウアーページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC31に対し奇数ページのロウアーページデータの読み出しを行う（ステップST602）。

## 【0066】

次に、前記データ読出書込制御部は、ステップST601のデータの読み出し結果に基づき、メモリセルMC31における奇数ページのロウアーページデータのflag1 = 0であるかを判断する（ステップST603）。

## 【0067】

ステップST603においてflag1 = 0である時に、前記データ読出書込制御部は、ワード線WL31 . iに印加する読出ベリファイレベルを、他のワード線（ワード線WL0 . iを除く）に印加する読出電圧レベルより第2の所定値だけ高く設定する（ステップST604）。

## 【0068】

ステップST603においてflag1 = 0でない時、及び、ステップST604の後に、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのロウアーページデータを読み出す（ステップST605）。

## 【0069】

本発明の実施の形態3によれば、メモリセルMC31、MC0に対し偶数ページのロウアーページデータを読み出す読出動作時において当該奇数ページのロウアーページのデータが書き込まれている時にワード線WL31 . i、WL0 . iに印加する読出ベリファイレベルを他のワード線に印加する所定の読出電圧レベルより第1及び第2の所定値だけ高く設定するため、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0の閾値分布の変化をキャンセルすることができ、データの誤書込によるメモリセルのしきい値分布のシフトをキャンセルすることができる。

## 【0070】

（実施の形態4）

次に、本発明の実施の形態4について、図面を参照しながら詳細に説明する。図12は、本発明の実施の形態4に係るNAND型フラッシュメモリ装置の構成を示すブロック図である。本発明の実施の形態4においては、本発明の実施の形態1と同じ構成要素には同じ参照符号が付されてその説明が省略される。

## 【0071】

図12に示すように、本発明の実施の形態4に係るNAND型フラッシュメモリ装置400は、本発明の実施の形態1に係るNAND型フラッシュメモリ装置100において主制御回路106に代わりに主制御回路401を具備している。

## 【0072】

本発明の実施の形態4に係るNAND型フラッシュメモリ装置400は、メモリセルアレイ101、ロウデコーダ102、カラムデコーダ103、選択回路104、センスアンプ回路105、主制御回路401、ブロック制御回路107、データレジスタ108及びイ

10

20

30

40

50

ンターフェイス回路 109 を具備している。

【0073】

主制御回路 401、ロウデコーダ 102、カラムデコーダ 103、センアンプ回路 105、選択回路 104 及びブロック制御部 107 は、メモリセルアレイ 101 の複数のメモリセルに対しデータの書込及び読出を行う時に選択ブロック内の複数のワード線及び複数のビット線を選択して電圧を印加するデータ読出書込制御部を構成している。このデータ読出書込制御部は、ページごとに flag 1 を有している。また、このデータ読出書込制御部は、ページごとに flag 2 を有している。この flag 2 は、各ページ(少なくとも WL0、WL31 のアップページ)が有する bit であり、アップページのデータの書き込みを行ったか否かを記憶している bit である。flag 2 を有するアップページデータの書き込みが行なわれた時に flag 2 を記憶するメモリセルは 1 (消去状態) から (書き込まれた状態) 0 とされる。すなわち、flag 2 = 0 である時に、flag 2 はアップページのデータの書き込みを行なわれたことを記憶しているものとする。また、メモリセルの信頼性をケアするために、flag 2 は、flag 1 と異なるセルにデータを記憶させることが望ましい。すなわち、flag 1 および flag 2 を記憶するメモリセルは、2 値データとしてデータを保持するのが望ましい。flag 1 および flag 2 を同一のメモリセルに記憶 (多値の記憶) させても、本発明は同様の効果が得られる。

10

【0074】

本発明の実施の形態 4 においては、前記データ読出書込制御部は、選択ゲートトランジスタ SGD 及び選択ゲートトランジスタ SGS に隣接するメモリセル MC31、MC0 に対し偶数ページのアップページデータ、あるいは奇数ページのロウアページデータを書き込む書込動作時において当該メモリセル MC31、MC0 の制御ゲート電極に接続されているワード線 WL31<sub>i</sub>、WL0<sub>i</sub> に印加する書込ベリファイレベルを、当該メモリセル MC31、MC0 以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の書込電圧レベルより偶数ページのアップページデータに対しては第 1 及び第 2 の所定値だけ低く設定し、奇数ページのロウアページデータに対しては第 3 及び第 4 の所定値だけ低く設定する。

20

【0075】

また、本発明の実施の形態 4 においては、前記データ読出書込制御部は、選択ゲートトランジスタ SGD 及び選択ゲートトランジスタ SGS に隣接するメモリセル MC31、MC0 に対し偶数ページのアップページデータを読み出す読出動作時において当該奇数ページのアップページデータが書き込まれていない時に当該メモリセル MC31、MC0 の制御ゲート電極に接続されているワード線 WL31<sub>i</sub>、WL0<sub>i</sub> に印加する読出ベリファイレベルを、当該メモリセル MC31、MC0 以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第 5 及び第 6 の所定値だけ低く設定する。

30

【0076】

また、本発明の実施の形態 4 においては、前記データ読出書込制御部は、選択ゲートトランジスタ SGD 及び選択ゲートトランジスタ SGS に隣接するメモリセル MC31、MC0 に対し奇数ページのロウアページデータを読み出す読出動作時において当該偶数ページのアップページデータが書き込まれていない時に当該メモリセル MC31、MC0 の制御ゲート電極に接続されているワード線 WL31<sub>i</sub>、WL0<sub>i</sub> に印加する読出ベリファイレベルを、当該メモリセル MC31、MC0 以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第 7 及び第 8 の所定値だけ低く設定する。

40

【0077】

次に、本発明の実施の形態 4 に係る前記データ読出書込制御部の動作について、図 13 ~ 図 18 に基づいて具体的に説明する。図 13 は、本発明の実施の形態 4 に係る前記データ読出書込制御部のメモリセル MC0 における偶数ページのアップページデータ、あるいはメモリセル MC0 における奇数ページのロウアページデータの書込動作の一部を説明

50

するためのフローチャートである。図14は、本発明の実施の形態4に係る前記データ読出書込制御部のメモリセルMC31における偶数ページのアップページデータ、あるいはメモリセルMC31における奇数ページのロウアページデータの書込動作の一部を説明するためのフローチャートである。図15は、本発明の実施の形態4に係る前記データ読出書込制御部のメモリセルMC0における偶数ページのアップページデータの読出動作の一部を説明するためのフローチャートである。図16は、本発明の実施の形態4に係る前記データ読出書込制御部のメモリセルMC31における偶数ページのアップページデータの読出動作の一部を説明するためのフローチャートである。図17は、本発明の実施の形態4に係る前記データ読出書込制御部のメモリセルMC0における奇数ページのロウアページデータの読出動作の一部を説明するためのフローチャートである。図18は、本発明の実施の形態4に係る前記データ読出書込制御部のメモリセルMC31における奇数ページのロウアページデータの読出動作の一部を説明するためのフローチャートである。

10

**【0078】**

図13に示すように、ステップST701において、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのアップページデータを書き込む書込動作時であるかを判断する。

**【0079】**

ステップST701においてメモリセルMC0における偶数ページのアップページデータを書き込む書込動作時である場合に、前記データ読出書込制御部は、ワード線WL0<sub>i</sub>に印加する書込ベリファイレベルを、他のワード線（ワード線WL31<sub>i</sub>を除く）に印加する書込電圧レベルより第1の所定値だけ低く設定する（ステップST702）。

20

**【0080】**

次に、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのアップページデータを書き込む（ステップST703）。

**【0081】**

ステップST701においてメモリセルMC0における偶数ページのアップページデータを書き込む書込動作時でない場合、又は、ステップST703の後に、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのロウアページデータを書き込む書込動作時であるかを判断する（ステップST704）。

**【0082】**

ステップST704においてメモリセルMC0に対し奇数ページのロウアページデータを書き込む書込動作時である場合に、前記データ読出書込制御部は、ワード線WL0<sub>i</sub>に印加する書込ベリファイレベルを、他のワード線（ワード線WL31<sub>i</sub>を除く）に印加する書込電圧レベルより第3の所定値だけ低く設定する（ステップST705）。

30

**【0083】**

次に、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのロウアページデータを書き込む（ステップST706）。

**【0084】**

図14に示すように、ステップST801において、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのアップページデータを書き込む書込動作時であるかを判断する。

40

**【0085】**

ステップST801においてメモリセルMC31における偶数ページのアップページデータを書き込む書込動作時である場合に、前記データ読出書込制御部は、ワード線WL31<sub>i</sub>に印加する書込ベリファイレベルを、他のワード線（ワード線WL0<sub>i</sub>を除く）に印加する書込電圧レベルより第2の所定値だけ低く設定する（ステップST802）。

**【0086】**

次に、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのアップページデータを書き込む（ステップST803）。

**【0087】**

50

ステップ S T 8 0 1 においてメモリセル M C 3 1 における偶数ページのアップページデータを書き込む書込動作時でない場合、又は、ステップ S T 8 0 3 の後に、前記データ読出書込制御部は、メモリセル M C 3 1 に対し奇数ページのロウアページデータを書き込む書込動作時であるかを判断する（ステップ S T 8 0 4 ）。

【 0 0 8 8 】

ステップ S T 8 0 4 においてメモリセル M C 3 1 に対し奇数ページのロウアページデータを書き込む書込動作時である場合に、前記データ読出書込制御部は、ワード線 W L 3 1 . i に印加する書込ベリファイレベルを、他のワード線（ワード線 W L 0 . i を除く）に印加する書込電圧レベルより第 4 の所定値だけ低く設定する（ステップ S T 8 0 5 ）。

【 0 0 8 9 】

次に、前記データ読出書込制御部は、メモリセル M C 3 1 に対し奇数ページのロウアページデータを書き込む（ステップ S T 8 0 6 ）。

【 0 0 9 0 】

図 1 5 に示すように、ステップ S T 9 0 1 において、前記データ読出書込制御部は、メモリセル M C 0 に対し偶数ページのアップページデータを読み出す読出動作時であるかを判断する。

【 0 0 9 1 】

ステップ S T 9 0 1 においてメモリセル M C 0 に対し偶数ページのアップページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセル M C 0 に対し奇数ページのアップページデータの読み出しを行う（ステップ S T 9 0 2 ）。

【 0 0 9 2 】

次に、前記データ読出書込制御部は、ステップ S T 9 0 2 のデータの読み出し結果に基づき、メモリセル M C 0 における奇数ページのアップページデータの f l a g 2 = 0 であるかを判断する（ステップ S T 9 0 3 ）。

【 0 0 9 3 】

ステップ S T 9 0 3 において f l a g 2 = 0 でない時に、前記データ読出書込制御部は、ワード線 W L 0 . i に印加する読出ベリファイレベルを、他のワード線（ワード線 W L 3 1 . i を除く）に印加する読出電圧レベルより第 5 の所定値だけ低く設定する（ステップ S T 9 0 4 ）。

【 0 0 9 4 】

ステップ S T 9 0 3 において f l a g 2 = 0 である時、及び、ステップ S T 9 0 4 の後に、前記データ読出書込制御部は、メモリセル M C 0 に対し偶数ページのアップページデータを読み出す（ステップ S T 9 0 5 ）。

【 0 0 9 5 】

図 1 6 に示すように、ステップ S T 1 0 0 1 において、前記データ読出書込制御部は、M C 3 1 に対し偶数ページのアップページデータを読み出す読出動作時であるかを判断する。

【 0 0 9 6 】

ステップ S T 1 0 0 1 において M C 3 1 に対し偶数ページのアップページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセル M C 3 1 に対し奇数ページのアップページデータの読み出しを行う（ステップ S T 1 0 0 2 ）。

【 0 0 9 7 】

次に、前記データ読出書込制御部は、ステップ S T 1 0 0 2 のデータの読み出し結果に基づき、メモリセル M C 3 1 における奇数ページのアップページデータの f l a g 2 = 0 であるかを判断する（ステップ S T 1 0 0 3 ）。

【 0 0 9 8 】

ステップ S T 1 0 0 3 において f l a g 2 = 0 でない時に、前記データ読出書込制御部は、ワード線 W L 3 1 . i に印加する読出ベリファイレベルを、他のワード線（ワード線 W L 0 . i を除く）に印加する読出電圧レベルより第 6 の所定値だけ低く設定する（ステップ S T 1 0 0 4 ）。

10

20

30

40

50

## 【 0 0 9 9 】

ステップ S T 1 0 0 3 において  $f l a g 2 = 0$  である時、又は、ステップ S T 1 0 0 4 の後に、前記データ読出書込制御部は、メモリセル M C 3 1 に対し偶数ページのアップページデータを読み出す（ステップ S T 1 0 0 5 ）。

## 【 0 1 0 0 】

図 1 7 に示すように、ステップ S T 1 1 0 1 において、前記データ読出書込制御部は、M C 0 に対し奇数ページのロウアページデータを読み出す読出動作時であるかを判断する。

## 【 0 1 0 1 】

ステップ S T 1 1 0 1 において M C 0 に対し奇数ページのロウアページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセル M C 0 に対し偶数ページのアップページデータの読み出しを行う（ステップ S T 1 1 0 2 ）。

10

## 【 0 1 0 2 】

次に、前記データ読出書込制御部は、ステップ S T 1 1 0 2 のデータ読み出し結果に基づき、メモリセル M C 0 における偶数ページのアップページデータの  $f l a g 2 = 0$  であるかを判断する（ステップ S T 1 1 0 3 ）。

## 【 0 1 0 3 】

ステップ S T 1 1 0 3 において  $f l a g 2 = 0$  でない時に、前記データ読出書込制御部は、ワード線 W L 0 . i に印加する読出ベリファイレベルを、他のワード線（ワード線 W L 3 1 . i を除く）に印加する読出電圧レベルより第 7 の所定値だけ低く設定する（ステップ S T 1 1 0 4 ）。

20

## 【 0 1 0 4 】

ステップ S T 1 1 0 3 において  $f l a g 2 = 0$  である時、又は、ステップ S T 1 1 0 4 の後に、前記データ読出書込制御部は、メモリセル M C 0 に対し奇数ページのロウアページデータを読み出す（ステップ S T 1 1 0 5 ）。

## 【 0 1 0 5 】

図 1 8 に示すように、ステップ S T 1 2 0 1 において、前記データ読出書込制御部は、M C 3 1 に対し奇数ページのロウアページデータを読み出す読出動作時であるかを判断する。

## 【 0 1 0 6 】

ステップ S T 1 2 0 1 において M C 3 1 に対し奇数ページのロウアページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセル M C 3 1 に対し偶数ページのアップページデータの読み出しを行う（ステップ S T 1 2 0 2 ）。

30

## 【 0 1 0 7 】

次に、前記データ読出書込制御部は、ステップ S T 1 2 0 2 のデータの読み出し結果に基づき、メモリセル M C 3 1 における偶数ページのアップページデータの  $f l a g 2 = 0$  であるかを判断する（ステップ S T 1 2 0 3 ）。

## 【 0 1 0 8 】

ステップ S T 1 2 0 3 において  $f l a g 2 = 0$  でない時に、前記データ読出書込制御部は、ワード線 W L 3 1 . i に印加する読出ベリファイレベルを、他のワード線（ワード線 W L 0 . i を除く）に印加する読出電圧レベルより第 8 の所定値だけ低く設定する（ステップ S T 1 2 0 4 ）。

40

## 【 0 1 0 9 】

ステップ S T 1 2 0 3 において  $f l a g 2 = 0$  である時、又は、ステップ S T 1 2 0 4 の後に、前記データ読出書込制御部は、メモリセル M C 3 1 に対し奇数ページのロウアページデータを読み出す（ステップ S T 1 2 0 5 ）。

## 【 0 1 1 0 】

本発明の実施の形態 4 によれば、M C 3 1、M C 0 に対し偶数ページのアップページデータ、あるいは奇数ページのロウアページデータを書き込む書込動作時においてワード線 W L 3 1 . i、W L 0 . i に印加する書込ベリファイレベルを他のワード線に印加する

50

所定の書込電圧レベルより偶数ページのアップページデータに対しては第1及び第2の所定値だけ低く設定し、奇数ページのロウアページデータに対しては第3及び第4の所定値だけ低く設定し、メモリセルMC31、MC0に対し偶数ページのアップページデータを読み出す読出動作時において当該奇数ページのアップページのデータが書き込まれていない時にワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する読出ベリファイレベルを他のワード線に印加する所定の読出電圧レベルより第5及び第6の所定値だけ低く設定し、メモリセルMC31、MC0に対し奇数ページのロウアページデータを読み出す読出動作時において当該偶数ページのアップページのデータが書き込まれていない時にワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する読出ベリファイレベルをワード線に印加する所定の読出電圧レベルより第7及び第8の所定値だけ低く設定するため、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0の閾値分布の変化をキャンセルすることができ、データの誤書込によるメモリセルのしきい値分布のシフトを有効にキャンセルすることができる。

10

## 【0111】

(実施の形態5)

次に、本発明の実施の形態5について、図面を参照しながら詳細に説明する。図19は、本発明の実施の形態5に係るNAND型フラッシュメモリ装置の構成を示すブロック図である。本発明の実施の形態5においては、本発明の実施の形態1と同じ構成要素には同じ参照符号が付されてその説明が省略される。

20

## 【0112】

図19に示すように、本発明の実施の形態5に係るNAND型フラッシュメモリ装置500は、本発明の実施の形態1に係るNAND型フラッシュメモリ装置100において主制御回路106に代わりに主制御回路501を具備している。

## 【0113】

本発明の実施の形態5に係るNAND型フラッシュメモリ装置500は、メモリセルアレイ101、ロウデコーダ102、カラムデコーダ103、選択回路104、センスアンプ回路105、主制御回路501、ブロック制御回路107、データレジスタ108及びインターフェイス回路109を具備している。

## 【0114】

主制御回路501、ロウデコーダ102、カラムデコーダ103、センスアンプ回路105、選択回路104及びブロック制御部107は、メモリセルアレイ101の複数のメモリセルに対しデータの書込及び読出を行う時に選択ブロック内の複数のワード線及び複数のビット線を選択して電圧を印加するデータ読出書込制御部を構成している。このデータ読出書込制御部は、ページごとにflag1を有している。また、このデータ読出書込制御部は、ページごとにflag2を有している。

30

## 【0115】

本発明の実施の形態5においては、前記データ読出書込制御部は、選択ゲートトランジスタSGD及び選択ゲートトランジスタSGSに隣接するメモリセルMC31、MC0に対し偶数ページのアップページデータを読み出す読出動作時において当該奇数ページのアップページデータが書き込まれている時に当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する読出ベリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第1及び第2の所定値だけ高く設定する。

40

## 【0116】

また、本発明の実施の形態5においては、前記データ読出書込制御部は、メモリセルMC31、MC0に対し奇数ページのロウアページデータを読み出す読出動作時において偶数ページのアップページデータが書き込まれている時に当該メモリセルMC31、MC0の制御ゲート電極に接続されているワード線WL31<sub>i</sub>、WL0<sub>i</sub>に印加する読出ベリファイレベルを、当該メモリセルMC31、MC0以外の他の前記メモリセルの制御

50

ゲート電極に接続されている他のワード線に印加する所定の読出電圧レベルより第3及び第4の所定値だけ高く設定する。

【0117】

次に、本発明の実施の形態5に係る前記データ読出書込制御部の動作について、図20～図23に基づいて具体的に説明する。図20は、本発明の実施の形態5に係る前記データ読出書込制御部のメモリセルMC0における偶数ページのアップページデータの読出動作の一部を説明するためのフローチャートである。図21は、本発明の実施の形態5に係る前記データ読出書込制御部のメモリセルMC31における偶数ページのアップページデータの読出動作の一部を説明するためのフローチャートである。図22は、本発明の実施の形態5に係る前記データ読出書込制御部のメモリセルMC0における奇数ページのロウアップページデータの読出動作の一部を説明するためのフローチャートである。図23は、本発明の実施の形態5に係る前記データ読出書込制御部のメモリセルMC31における奇数ページのロウアップページデータの読出動作の他の一部を説明するためのフローチャートである。

10

【0118】

図20に示すように、ステップST1301において、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのアップページデータを読み出す読出動作時であるかを判断する。

【0119】

ステップST1301においてメモリセルMC0に対し偶数ページのアップページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのアップページデータの読み出しを行う(ステップST1302)。

20

【0120】

次に、前記データ読出書込制御部は、ステップST1302のデータの読み出し結果に基づき、メモリセルMC0における奇数ページのアップページデータのflag2=0であるかを判断する(ステップST1303)。

【0121】

ステップST1303においてflag2=0である時、前記データ読出書込制御部は、ワード線WL0<sub>i</sub>に印加する読出ベリファイレベルを、他のワード線(ワード線WL3<sub>1</sub><sub>i</sub>を除く)に印加する読出電圧レベルより第3の所定値だけ高く設定する(ステップST1304)。

30

【0122】

ステップST1303においてflag2=0でない時、又は、ステップST1304の後に、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのアップページデータを読み出す(ステップST1305)。

【0123】

図21に示すように、ステップST1401において、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのアップページデータを読み出す読出動作時であるかを判断する。

【0124】

ステップST1401においてメモリセルMC31に対し偶数ページのアップページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC31に対し奇数ページのアップページデータの読み出しを行う(ステップST1402)。

40

【0125】

次に、前記データ読出書込制御部は、ステップST1402のデータの読み出し結果に基づき、メモリセルMC31における奇数ページのアップページデータのflag2=0であるかを判断する(ステップST1403)。

【0126】

ステップST1403においてflag2=0である時、前記データ読出書込制御部は、

50

ワード線WL31 . i に印加する読出ベリファイレベルを、他のワード線（ワード線WL0 . i を除く）に印加する読出電圧レベルより第4の所定値だけ高く設定する（ステップST1404）。

【0127】

ステップST1403においてflag2 = 0でない時、又は、ステップST1404の後に、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのアップページデータを読み出す（ステップST1405）。

【0128】

図22に示すように、ステップST1501において、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのロウアページデータを読み出す読出動作時であるかを判断する。

10

【0129】

ステップST1501においてメモリセルMC0に対し奇数ページのロウアページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC0に対し偶数ページのアップページデータの読み出しを行う（ステップST1502）。

【0130】

次に、前記データ読出書込制御部は、ステップST1502のデータの読み出し結果に基づき、メモリセルMC0における偶数ページのアップページデータのflag2 = 0であるかを判断する（ステップST1503）。

【0131】

20

ステップST1503においてflag2 = 0である時に、前記データ読出書込制御部は、ワード線WL0 . i に印加する読出ベリファイレベルを他のワード線（ワード線WL31 . i を除く）に印加する読出電圧レベルより第5の所定値だけ高く設定する（ステップST1504）。

【0132】

ステップST1503においてflag2 = 0でない時、又は、ステップST1504の後に、前記データ読出書込制御部は、メモリセルMC0に対し奇数ページのロウアページデータを読み出す（ステップST1505）。

【0133】

図23に示すように、ステップST1601において、前記データ読出書込制御部は、メモリセルMC31に対し奇数ページのロウアページデータを読み出す読出動作時であるかを判断する。

30

【0134】

ステップST1601においてメモリセルMC31に対し奇数ページのロウアページデータを読み出す読出動作時である場合に、前記データ読出書込制御部は、メモリセルMC31に対し偶数ページのアップページデータの読み出しを行う（ステップST1602）。

【0135】

次に、前記データ読出書込制御部は、ステップST1602のデータの読み出し結果に基づき、メモリセルMC31における偶数ページのアップページデータのflag2 = 0

40

【0136】

ステップST1603においてflag2 = 0である時に、前記データ読出書込制御部は、ワード線WL31 . i に印加する読出ベリファイレベルを、他のワード線（ワード線WL0 . i を除く）に印加する読出電圧レベルより第6の所定値だけ高く設定する（ステップST1604）。

【0137】

ステップST1603においてflag2 = 0でない時、又は、ステップST1604の後に、前記データ読出書込制御部は、メモリセルMC31に対し奇数ページのロウアページデータを読み出す（ステップST1605）。

50

## 【 0 1 3 8 】

本発明の実施の形態 5 によれば、メモリセル MC 3 1、MC 0 に対し偶数ページのアップページデータを読み出す読出動作時において当該奇数ページのアップページデータが書き込まれている時にワード線 WL 3 1 . i、WL 0 . i に印加する読出ベリファイレベルを他のワード線に印加する所定の読出電圧レベルより第 1 及び第 2 の所定値だけ高く設定し、メモリセル MC 3 1、MC 0 に対し奇数ページのロウアップページデータを読み出す読出動作時において当該偶数ページのアップページデータが書き込まれている時にワード線 WL 3 1 . i、WL 0 . i に印加する読出ベリファイレベルを他のワード線に印加する所定の読出電圧レベルより第 3 及び第 4 の所定値だけ高く設定するため、選択ゲートトランジスタ S G D 及び選択ゲートトランジスタ S G S に隣接するメモリセル MC 3 1、MC 0 の閾値分布の変化をキャンセルすることができ、データの誤書込によるメモリセルのしきい値分布のシフトを有効にキャンセルすることができる。

10

## 【 0 1 3 9 】

なお、本発明の実施の形態 1 ~ 実施の形態 5 において、前記消去ベリファイレベル、前記書込ベリファイレベル及び前記読出ベリファイレベルは、統計的な閾値分布の変化を計測して閾値分布変化分を求め、この閾値分布変化分に基づいて求めることができる。

## 【 0 1 4 0 】

次に、前記書込電圧、読出電圧、消去電圧及びベリファイレベルの具体的な一例を説明する。前記書込電圧は 2 0 V であり、書き込まないメモリセルのワード線には 1 0 V の電圧が印加される。4 値のデータの前記読出電圧は、1 V、2 V、3 V であり、読まないメモリセルのワード線には 5 V の電圧が印加される。前記読出電圧に対して、それぞれのレベルの書込ベリファイレベルは 0 . 3 V だけ高い。ベリファイレベルを高く又は低くする電圧変化量は 0 . 0 5 V ( 5 0 m V ) である。

20

## 【 図面の簡単な説明 】

## 【 0 1 4 1 】

【 図 1 】本発明の実施の形態 1 に係る NAND 型フラッシュメモリ装置の構成を示すブロック図である。

【 図 2 】本発明の実施の形態 1 に係るメモリセルアレイの 1 例を示すブロック図である。

【 図 3 】本発明の実施の形態 1 に係るメモリセルアレイのブロックの回路の 1 例を示す回路図である。

30

【 図 4 】本発明の実施の形態 2 に係る NAND 型フラッシュメモリ装置の構成を示すブロック図である。

【 図 5 】本発明の実施の形態 2 に係るデータ読出書込制御部の動作の一部を説明するためのフローチャートである。

【 図 6 】本発明の実施の形態 2 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【 図 7 】本発明の実施の形態 2 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【 図 8 】本発明の実施の形態 2 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

40

【 図 9 】本発明の実施の形態 3 に係る NAND 型フラッシュメモリ装置の構成を示すブロック図である。

【 図 1 0 】本発明の実施の形態 3 に係るデータ読出書込制御部の動作の一部を説明するためのフローチャートである。

【 図 1 1 】本発明の実施の形態 3 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【 図 1 2 】本発明の実施の形態 4 に係る NAND 型フラッシュメモリ装置の構成を示すブロック図である。

【 図 1 3 】本発明の実施の形態 4 に係るデータ読出書込制御部の動作の一部を説明するためのフローチャートである。

50

【図 1 4】本発明の実施の形態 4 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 1 5】本発明の実施の形態 4 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 1 6】本発明の実施の形態 4 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 1 7】本発明の実施の形態 4 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 1 8】本発明の実施の形態 4 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 1 9】本発明の実施の形態 5 に係る NAND 型フラッシュメモリ装置の構成を示すブロック図である。

【図 2 0】本発明の実施の形態 5 に係るデータ読出書込制御部の動作の一部を説明するためのフローチャートである。

【図 2 1】本発明の実施の形態 5 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 2 2】本発明の実施の形態 5 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【図 2 3】本発明の実施の形態 5 に係るデータ読出書込制御部の動作の他の一部を説明するためのフローチャートである。

【符号の説明】

【0 1 4 2】

1 0 0、2 0 0、3 0 0、4 0 0、5 0 0 NAND 型フラッシュメモリ装置

1 0 1 メモリセルアレイ

1 0 2 ロウデコーダ

1 0 3 カラムデコーダ

1 0 4 選択回路

1 0 5 センスアンプ回路

1 0 6、2 0 1、3 0 1、4 0 1、5 0 1 主制御回路

1 0 7 ブロック制御回路

1 0 8 データレジスタ

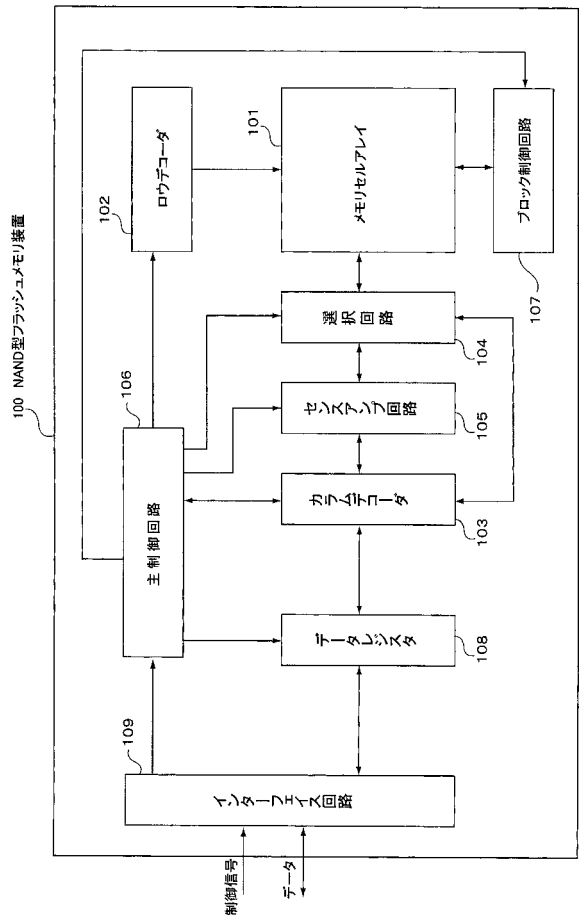
1 0 9 インターフェイス回路

10

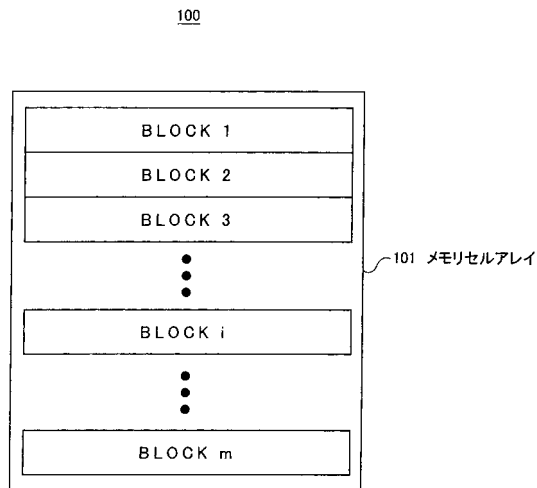
20

30

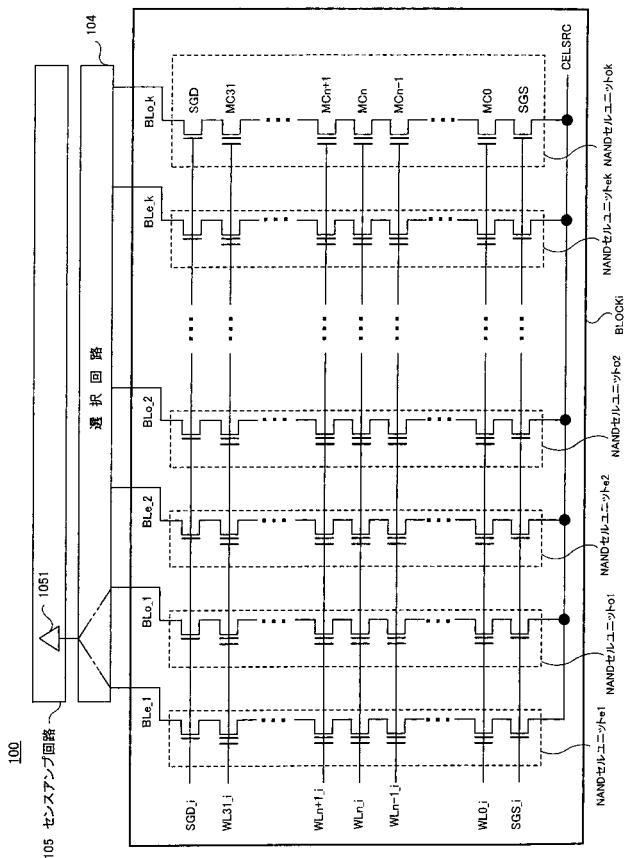
【図 1】



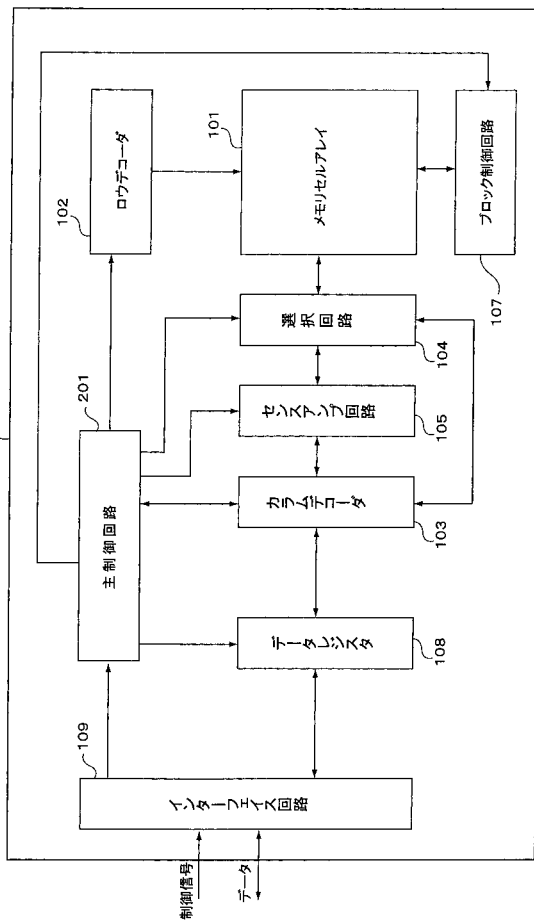
【図 2】



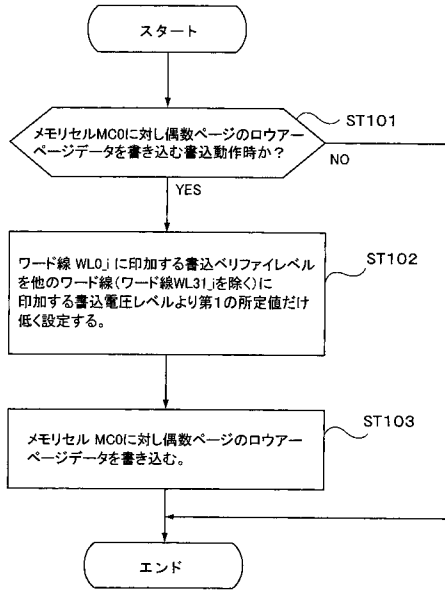
【図 3】



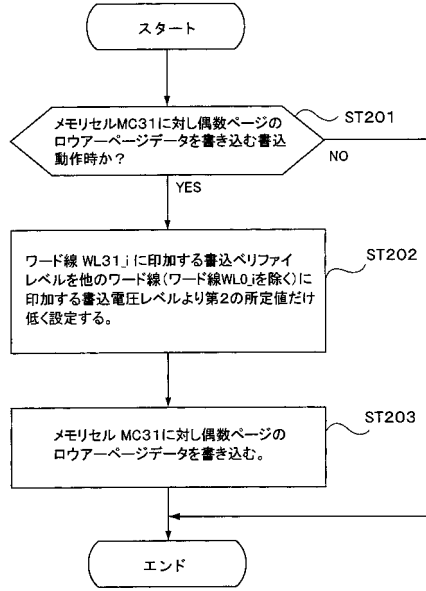
【図 4】



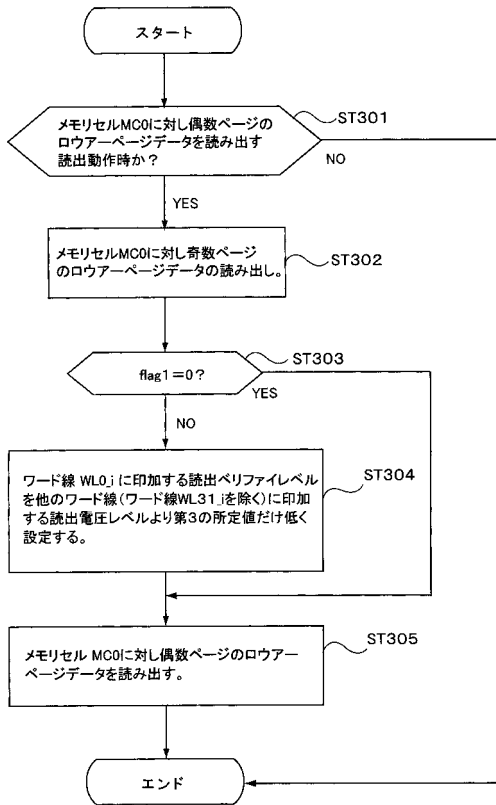
【 図 5 】



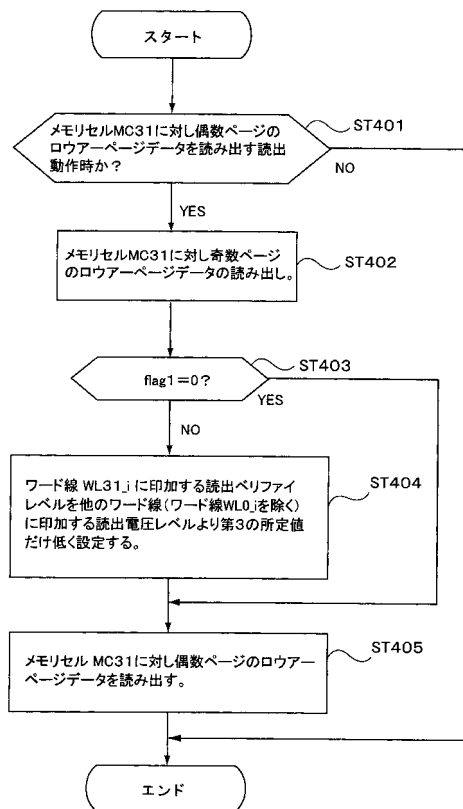
【 図 6 】



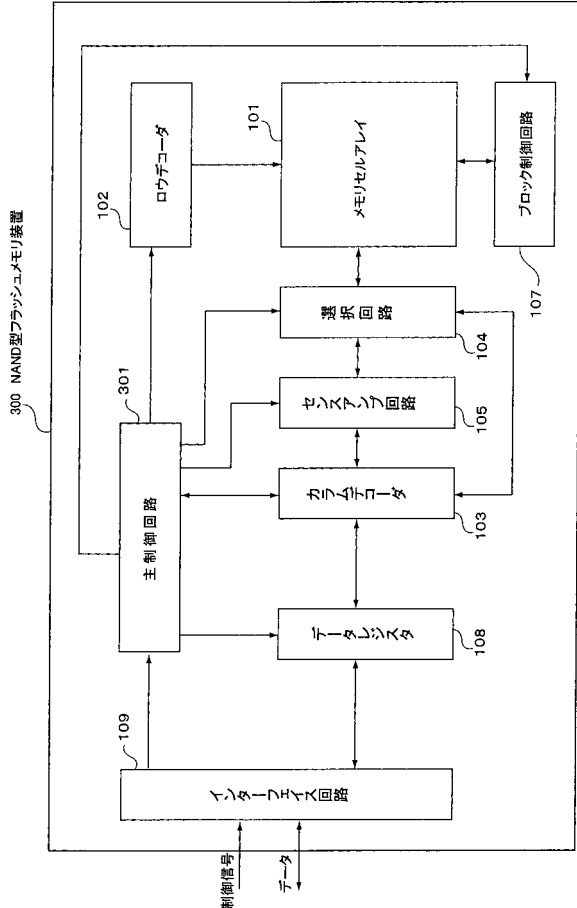
【 図 7 】



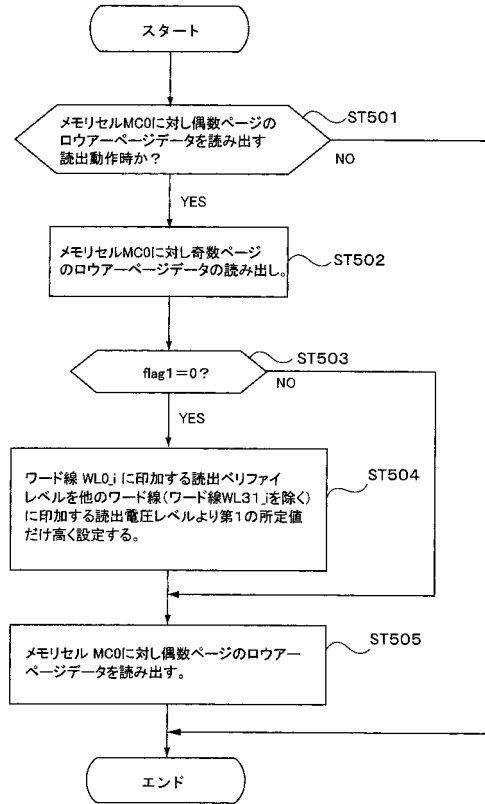
【 図 8 】



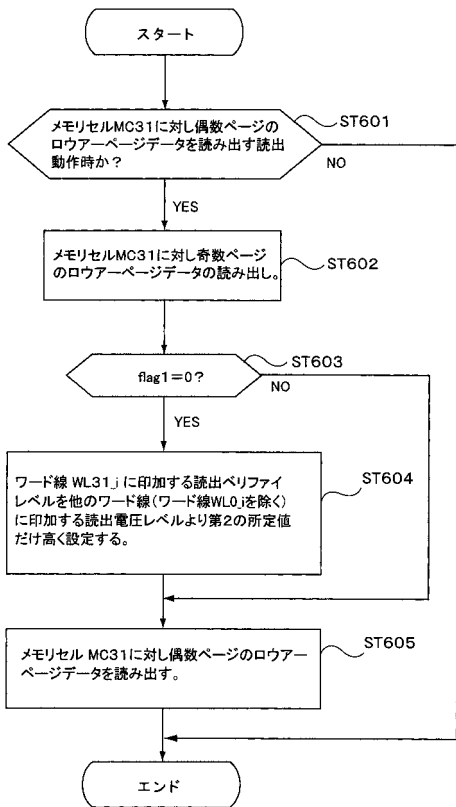
【図9】



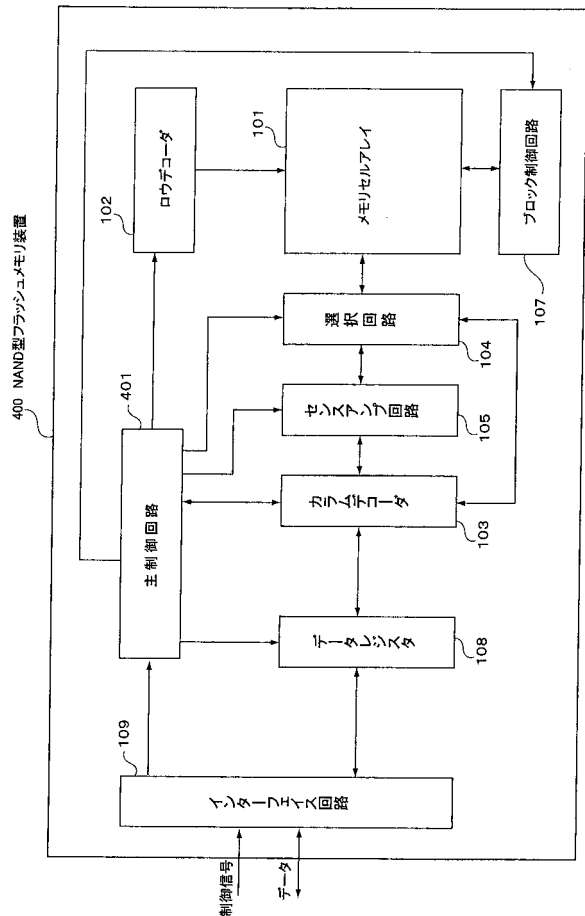
【図10】



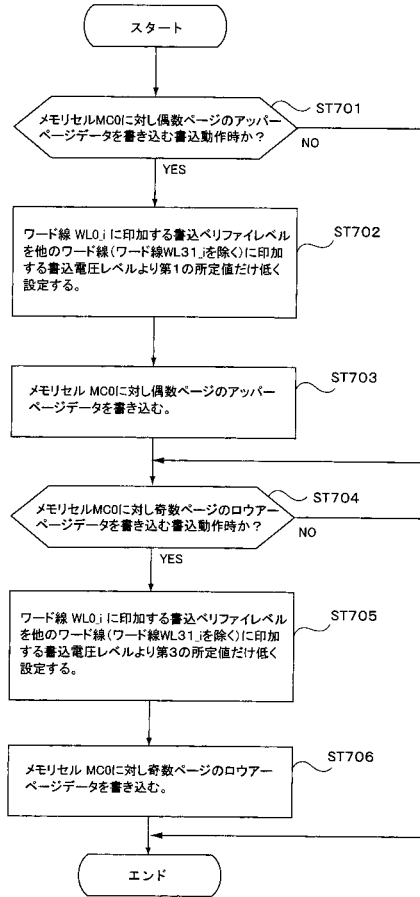
【図11】



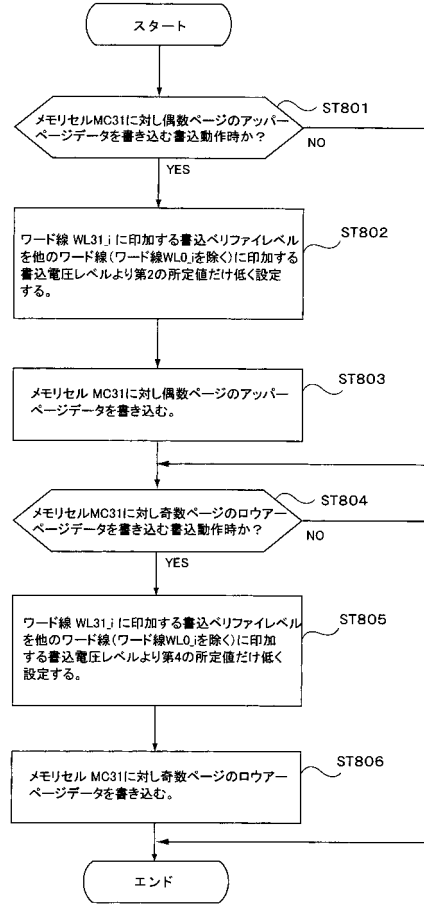
【図12】



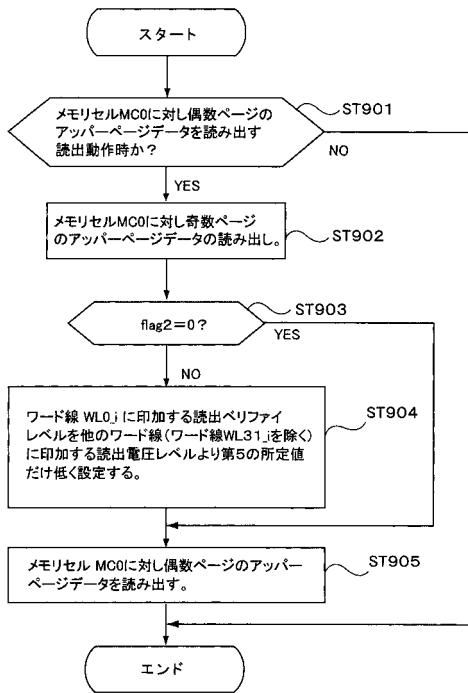
【 図 1 3 】



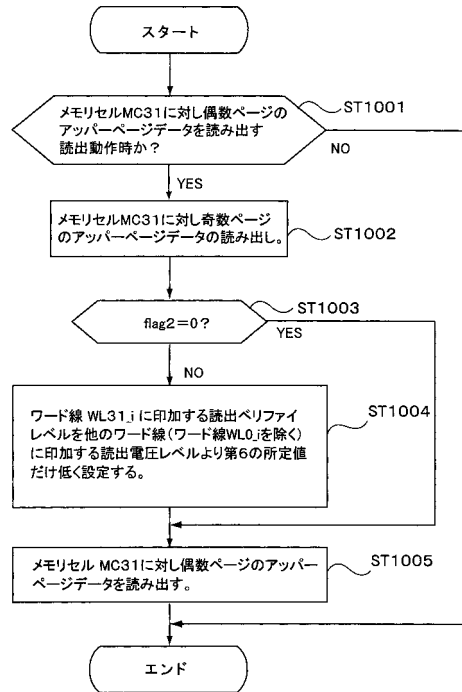
【 図 1 4 】



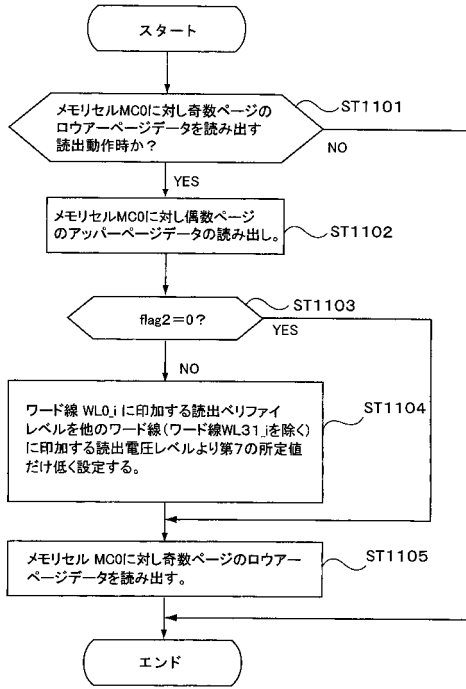
【 図 1 5 】



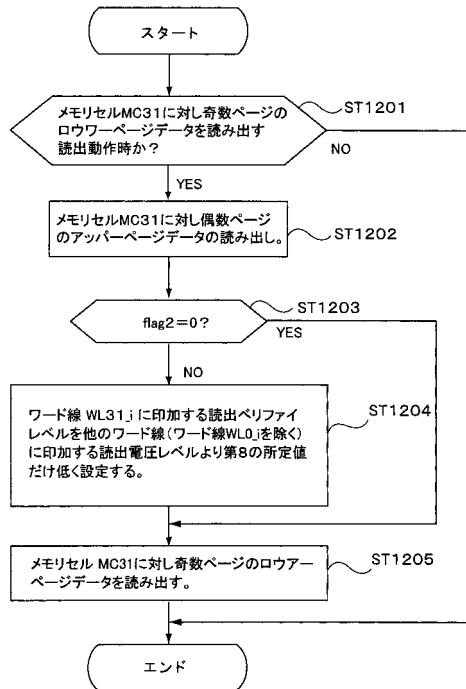
【 図 1 6 】



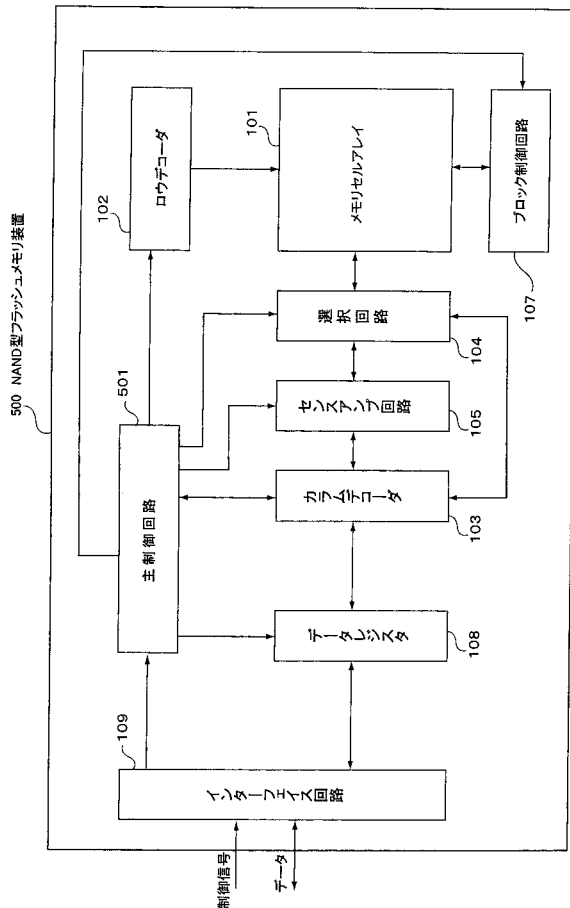
【 図 1 7 】



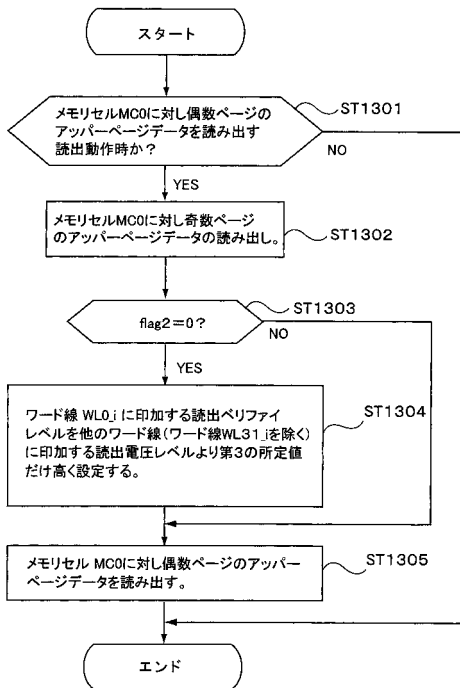
【 図 1 8 】



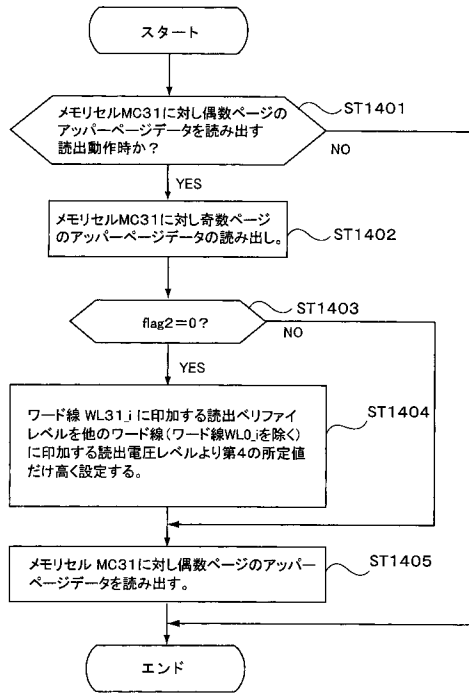
【 図 1 9 】



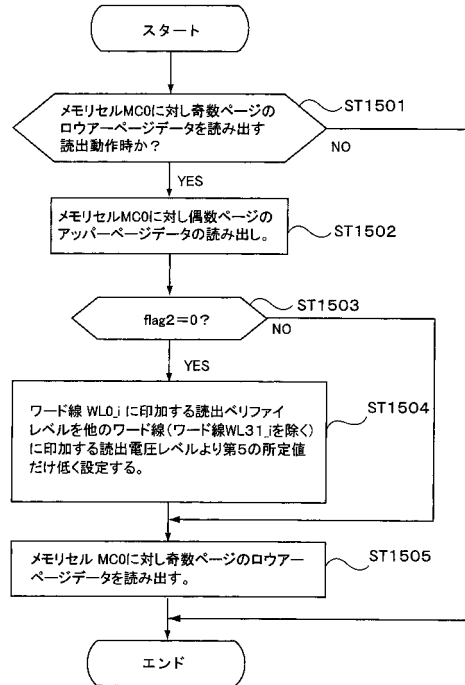
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



【 図 2 3 】

