



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월09일

(11) 등록번호 10-1470806

(24) 등록일자 2014년12월03일

(51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01) H01L 29/786 (2006.01)
H01L 27/12 (2006.01)
(21) 출원번호 10-2008-0010577
(22) 출원일자 2008년02월01일
심사청구일자 2013년01월30일
(65) 공개번호 10-2008-0072571
(43) 공개일자 2008년08월06일
(30) 우선권주장
JP-P-2007-00023747 2007년02월02일 일본(JP)
(56) 선행기술조사문헌
JP2004047975 A*
JP2005197673 A*
JP2007013127 A*
JP2007012781 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
진보 야수히로
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내
이사 도시유키
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내
혼다 다츠야
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 14 항

심사관 : 강병섭

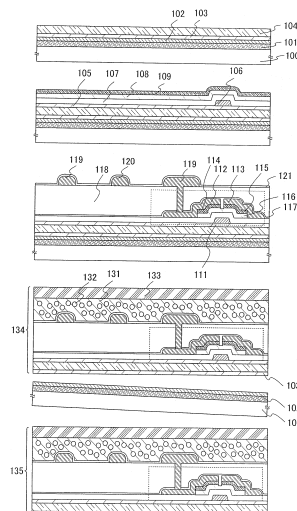
(54) 발명의 명칭 반도체 장치의 제작방법

(57) 요약

본 발명은, 비교적 저온도(500℃ 미만)의 프로세스로 제작되는 소자를 기판으로부터 박리하여, 가요성을 가지는 반도체 장치를 제작하는 방법을 제공한다.

기존의 대형 유리 기판의 제조장치를 사용하여, 유리 기판 위에 몰리브덴 막 및 그 위에 산화 몰리브덴 막을 형성하여, 산화 몰리브덴 막 위에 비금속 무기막 및 유기 화합물막을 적층하여, 유기 화합물막 위에 비교적 저온도(500℃ 미만)의 프로세스로 제작되는 소자를 형성한 후, 그 소자를 유리 기판으로부터 박리한다.

대표도



특허청구의 범위

청구항 1

반도체 장치의 제작방법에 있어서,
 기판 위에 금속막을 형성하는 단계와;
 상기 금속막 위에 금속 산화막을 형성하는 단계와;
 상기 금속 산화막 위에 비금속 무기막을 형성하는 단계와;
 상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계;
 상기 유기 화합물 막 위에 반도체 소자를 형성하는 단계와;
 상기 기판으로부터 상기 반도체 소자 및 상기 유기 화합물 막을 박리하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 2

삭제

청구항 3

반도체 장치의 제작방법에 있어서,
 기판 위에 금속막을 형성하는 단계와;
 상기 금속막 위에 금속 산화막을 형성하는 단계와;
 상기 금속 산화막 위에 비금속 무기막을 형성하는 단계와;
 상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계와;
 상기 유기 화합물 막 위에 도전층을 형성하는 단계와;
 상기 기판으로부터 상기 도전층 및 상기 유기 화합물 막을 박리하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 4

제 1 항 또는 제 3 항에 있어서,
 상기 금속 산화막은 상기 금속막의 금속과 같은 금속의 산화물을 포함하는, 반도체 장치의 제작방법.

청구항 5

반도체 장치의 제작방법에 있어서,
 기판 위에 몰리브덴 막을 형성하는 단계와;
 상기 몰리브덴 막 위에 산화 몰리브덴 막을 형성하는 단계와;
 상기 산화 몰리브덴 막 위에 비금속 무기 막을 형성하는 단계와;
 상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계와;
 상기 유기 화합물 막 위에 아모퍼스 반도체 막을 형성하는 단계와;
 상기 아모퍼스 반도체 막을 사용하여 반도체 소자를 형성하는 단계와;
 상기 기판으로부터 상기 비금속 무기 막과, 상기 유기 화합물 막과, 상기 반도체 소자를 포함하는 적층체를 박리하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

반도체 장치의 제작방법에 있어서,

기판 위에 몰리브덴 막을 형성하는 단계와;

상기 몰리브덴 막 위에 산화 몰리브덴 막을 형성하는 단계와;

상기 산화 몰리브덴 막 위에 비금속 무기 막을 형성하는 단계와;

상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계와;

상기 유기 화합물 막 위에 유기 화합물을 포함하는 반도체 막을 형성하는 단계와;

상기 유기 화합물을 포함하는 반도체 막을 사용하여 반도체 소자를 형성하는 단계와;

상기 기판으로부터 상기 비금속 무기 막과, 상기 유기 화합물 막과, 상기 반도체 소자를 포함하는 적층체를 박리하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

반도체 장치의 제작방법에 있어서,

기판 위에 몰리브덴 막을 형성하는 단계와;

상기 몰리브덴 막 위에 산화 몰리브덴 막을 형성하는 단계와;

상기 산화 몰리브덴 막 위에 비금속 무기 막을 형성하는 단계와;

상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계와;

상기 유기 화합물 막 위에 제 1 전극을 형성하는 단계와;

상기 제 1 전극 위에 발광층을 형성하는 단계와;

상기 발광층 위에 제 2 전극을 형성하는 단계와;

상기 제 2 전극 위에 가요성 기판을 접착하는 단계와;

상기 기판으로부터 상기 비금속 무기 막과, 상기 유기 화합물 막과, 상기 제 1 전극과, 상기 발광층과, 상기 제 2 전극과, 상기 가요성 기판을 포함하는 적층체를 박리하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

반도체 장치의 제작방법에 있어서,

기관 위에 폴리브덴 막을 형성하는 단계와;

상기 폴리브덴 막 위에 산화 폴리브덴 막을 형성하는 단계와;

상기 산화 폴리브덴 막 위에 비금속 무기 막을 형성하는 단계와;

상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계와;

인쇄법에 의하여 상기 유기 화합물 막 위에 도전층을 인쇄하는 단계와;

상기 인쇄를 행한 후에 상기 도전층을 소성하는 단계와;

반도체 부품과 상기 도전층을 서로 접착하는 단계와;

상기 기판으로부터 상기 비금속 무기 막과, 상기 유기 화합물 막과, 상기 도전층을 포함하는 적층체, 및 상기 반도체 부품을 박리하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

제 20 항에 있어서,

상기 기판으로부터 상기 적층체 및 상기 반도체 부품을 박리하기 전에 부분적으로 레이저 광을 조사하는 단계를 더 포함하는, 반도체 장치의 제작방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

반도체 장치의 제작방법에 있어서,

기관 위에 물리브덴 막을 형성하는 단계와;

상기 물리브덴 막 위에 산화 물리브덴 막을 형성하는 단계와;

상기 산화 물리브덴 막 위에 비금속 무기 막을 형성하는 단계와;

상기 비금속 무기막 위에 상기 반도체 장치의 지지부재로서 기능하는 유기 화합물 막을 형성하는 단계와;

인쇄법에 의하여 상기 유기 화합물 막 위에 도전층을 인쇄하는 단계와;

상기 인쇄를 행한 후에 상기 도전층을 소성하는 단계와;

상기 기관으로부터 상기 비금속 무기 막과, 상기 유기 화합물 막과, 상기 도전층을 포함하는 적층체를 박리하는 단계와;

상기 기관으로부터 상기 적층체를 박리한 후에 상기 도전층에 반도체 부품을 접속하는 단계를 포함하는, 반도체 장치의 제작방법.

청구항 27

제 20 항 또는 제 26 항에 있어서,

상기 도전층은 안테나인, 반도체 장치의 제작방법.

청구항 28

제 5 항, 제 10 항, 제 15 항, 제 20 항 또는 제 26 항 중 어느 한 항에 있어서,

상기 유기 화합물 막은 180℃ 이상 500℃ 이하의 온도로 가열함으로써 형성되는, 반도체 장치의 제작방법.

청구항 29

제 5 항, 제 10 항, 제 15 항 또는 제 26 항 중 어느 한 항에 있어서,

상기 기관으로부터 상기 적층체를 박리하기 전에 부분적으로 레이저 광을 조사하는 단계를 더 포함하는, 반도체 장치의 제작방법.

청구항 30

제 5 항, 제 10 항, 제 15 항, 제 20 항 또는 제 26 항 중 어느 한 항에 있어서,

상기 기관은 유리 기관, 세라믹 기관, 및 석영 기관을 포함하는 그룹 중으로부터 선택되는, 반도체 장치의 제작방법.

청구항 31

제 5 항, 제 10 항, 제 15 항, 제 20 항 또는 제 26 항 중 어느 한 항에 있어서,

상기 산화 물리브덴 막은 상기 물리브덴 막에 접하여 형성되는, 반도체 장치의 제작방법.

명세서

발명의 상세한 설명

기술분야

[0001]

본 발명은, 박막 트랜지스터, 발광소자, 수동소자 등을 포함하는 반도체 장치의 제작방법에 관한 것이다. 또한, 액정표시패널로 대표되는 전기 광학 장치나 발광소자를 가지는 발광 표시 장치나 무선으로 정보의 송수신

이 가능한 IC태그를 부품으로서 탑재한 전자기기에 관한 것이다.

[0002] 본 명세서에서 반도체 장치란, 반도체 특성을 사용함으로써 기능할 수 있는 장치 전반(全般)을 가리키며, 전기 광학장치, 발광장치, 반도체 회로, IC 태그 및 전자기기는 모두 반도체 장치이다.

배경 기술

[0003] 최근, 절연 표면을 가지는 기판 위에 형성된 반도체 박막(두께가 수nm 내지 수백nm 정도)을 사용하여 박막 트랜지스터를 구성하는 기술이 주목받고 있다. 박막 트랜지스터는 IC나 전기광학장치와 같은 전자 디바이스에 광범위하게 응용되어, 특히, 화상 표시장치의 스위칭 소자로서 개발이 시급하다.

[0004] 이러한 화상 표시장치를 이용한 어플리케이션은 다양한 것이 기대되고 있지만, 특히, 휴대기기에서의 이용이 주목을 받는다. 화상 표시장치에 유리 기판이나 석영 기판이 많이 사용되지만, 부서지기 쉽고 무겁다는 단점을 가진다. 또한, 대량생성을 할 때에, 유리 기판이나 석영 기판은 대형화가 어렵기 때문에 부적합하다. 따라서, 가요성 기판, 대표적으로는, 플렉시블한 플라스틱 필름 위에 박막 트랜지스터를 형성하는 것이 시도되고 있다.

[0005] 그래서, 유리 기판 위에 형성된 박막 트랜지스터를 포함하는 반도체 소자를 기판으로부터 박리하여, 다른 기재(基材), 예를 들면, 플라스틱 필름 등에 전사(轉寫)하는 기술이 제안된다.

[0006] 본 출원인은 특허문헌 1이나 특허문헌 2에 기재되는 박리 및 전사기술을 제안한다. 특허문헌 1에는 박리층으로 되는 산화규소막을 웨트 에칭으로 제거하여 박리하는 기술이 기재된다. 또한, 특허문헌 2에는 박리층으로 되는 규소막을 드라이 에칭에 의하여 제거하여 박리하는 기술이 기재된다.

[0007] 또한, 본 출원인은, 특허문헌 3에 기재된 박리 및 전사기술을 제안한다. 특허문헌 3에는, 기판에 금속층(Ti, Al, Ta, W, Mo, Cu, Cr, Nd, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir)을 형성하고, 그 위에 산화물 층을 적층하여 형성할 때, 상기 금속층의 금속 산화물층을 금속층과 산화물층의 계면에 형성하고, 이 금속 산화물층을 이용하여 후의 공정에서 박리하는 기술이 기재된다.

[0008] [특허문헌 1] 특개평8-288522호 공보

[0009] [특허문헌 2] 특개평8-250745호 공보

[0010] [특허문헌 3] 특개2003-174153호 공보

발명의 내용

해결 하고자하는 과제

[0011] 본 발명은 비교적 저온도(500℃ 미만)의 프로세스로 제작되는 소자, 대표적으로는, 비정질 반도체막, 레이저 결정화에 의하여 형성된 결정성 반도체 막 등을 사용한 박막 트랜지스터나, 유기 반도체막을 사용한 박막 트랜지스터나, 발광소자나, 수동소자(센서 소자, 안테나, 저항소자, 용량소자 등) 등을 유리 기판으로부터 박리하여, 가요성 기판(대표적으로는 플라스틱 필름)에 전사하는 기술을 개시한다.

[0012] 비정질 반도체막 등을 사용한 박막 트랜지스터나 유기 반도체막을 사용한 박막 트랜지스터는, 플라스틱 필름 위에 직접 형성할 수도 있지만, 플라스틱 필름은 부드럽고 동그랗게 되기 쉽기 때문에, 취급하는 제조장치도 전용의 제조장치로 할 필요가 있다.

[0013] 또한, 비정질 반도체막 등을 사용한 박막 트랜지스터나 유기 반도체막을 사용한 박막 트랜지스터를 플라스틱 필름 위에 직접 형성하는 경우, 박막 트랜지스터 제조 프로세스의 과정으로 사용되는 용제나 에칭 가스에 노출되어, 플라스틱 필름 자체가 변질할 우려가 있다. 또한, ZnO를 사용한 박막 트랜지스터를 플라스틱 필름 위에 직접 형성하는 경우, 스퍼터링법 등에 의하여 발생하는 플라즈마가 플라스틱 필름에 조사되면, 플라스틱 필름 자체가 변형한다. 또한, 박막 트랜지스터의 제조 프로세스의 과정에서 플라스틱 필름이 수분 등을 흡수하거나 또는 방출함으로써 소자를 오염할 우려도 있다. 또한, 플라스틱 필름은 유리 기판에 비하여 내열성이 낮고, 열에 대한 신축도 크기 때문에, 제조 프로세스 중의 모든 처리온도를 세심하게 제어하는 것이 어렵다.

[0014] 또한, 플라스틱 필름을 사용한 반도체 장치의 대량생산을 행하는 경우, 롤-투-롤(roll-to-roll) 방식으로 공급되는 제조장치로 되는 경우가 많다. 그렇지만, 롤-투-롤 방식의 경우, 기존의 반도체 제작장치를 사용할 수 없다. 또한, 얼라인먼트(alignment)의 정도가 낮고, 미세한 가공이 어렵다. 따라서, 종래의 유리 기판을 사용한 반도체 장치와 같은 특성을 얻는 반도체 장치를 수율 좋게 제작하는 것이 어렵다.

[0015] 그래서, 본 발명은, 비교적 저온도, 대표적으로는 유기 화합물이 견딜 수 있는 온도의 프로세스로 제작되는 소자, 대표적으로는, 비정질 반도체 막 등을 사용한 박막 트랜지스터나, 레이저 결정화에 의한 결정성 반도체 막을 사용한 박막 트랜지스터, 유기 반도체 막을 사용한 박막 트랜지스터나, 발광소자나 수동소자(센서 소자, 안테나, 저항 소자, 용량 소자 등) 등을 가지고, 박형인 반도체 장치의 제작방법을 제공한다. 또한, 가요성을 가지는 반도체 장치의 제작방법을 제공한다.

과제 해결수단

[0016] 본 발명의 하나의 구성에서는, 반도체 장치의 제작방법은, 기판 위에 금속막(바람직하게는, 몰리브덴 막)을 형성하고, 금속막 위에 금속 산화막(바람직하게는 산화 몰리브덴막)을 형성하고, 금속 산화막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물 막을 형성하고, 유기 화합물 막 위에 반도체 소자를 형성하고, 반도체 소자를 기판으로부터 박리하는 공정을 가진다. 금속 산화막은 금속막의 금속과 같은 금속으로 되는 산화물 막이라도 좋다. 본 발명의 다른 구성에서는, 반도체 장치의 제작방법은, 기판 위에 금속막(바람직하게는 몰리브덴막)을 형성하고, 금속막 위에 산화 금속막(바람직하게는 산화 몰리브덴막)을 형성하고, 금속 산화막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물 막을 형성하고, 유기 화합물 막 위에 도전막을 형성하고, 도전막을 기판으로부터 박리하는 공정을 가진다. 금속 산화막은 금속막의 금속과 같은 금속으로 되는 산화물 막이라도 좋다. 본 발명의 다른 구성에서는, 유리 기판 위에 몰리브덴 막(Mo 막) 및 그 위에 산화 몰리브덴 막을 형성하여, 산화 몰리브덴 막 위에 비금속 무기막 및 유기 화합물을 적층하여, 유기 화합물 막 위에 비교적 저온도, 대표적으로는, 유기 화합물이 견딜 수 있는 온도의 프로세스로 제작되는 소자(대표적으로는, 비정질 반도체 막, 레이저 결정화에 의한 결정성 반도체 막 등을 사용한 박막 트랜지스터, 유기 반도체 막을 사용한 박막 트랜지스터, 발광 소자나 수동 소자(센서 소자, 안테나, 저항 소자, 용량 소자 등) 등)를 형성한 후, 그 소자를 유리 기판으로부터 박리하는 것을 특징으로 한다. 몰리브덴은, 텅스텐과 비교하여, 내열성이 떨어지는 결점을 가진다. 예를 들면, 몰리브덴 막은 500℃ 이상의 열 처리를 행하면 박리하기 때문에, 제작 프로세스의 온도는 500℃ 미만으로 하는 것이 바람직하다. 또한, 산화 몰리브덴 막은 부서지기 쉽다. 본 발명에서는, 이 부서지기 쉬운 특성을 가지는 산화 몰리브덴 막의 부근에서의 박리를 행한다. 대표적으로는, 몰리브덴 막, 산화 몰리브덴 막, 및 비금속 무기막의 적층 구조에 의하여, 부서지기 쉬운 특성을 가지는 산화 몰리브덴 막의 부근에서 박리를 행할 수 있고, 비교적 대형의 기판을 사용하여도 수율 좋게 박리를 행할 수 있다.

[0017] 또한, 유리 기판에 형성된 산화 몰리브덴 막 위에 형성한 유기 화합물을 포함하는 소자(발광소자나 유기박막 트랜지스터 등)를 박리할 때, 발광소자나 유기 박막 트랜지스터 등에 포함되는 유기 화합물 층은, 밀착성이 약하기 때문에, 금속층 부근에서 박리하지 않고, 유기 화합물 층내 또는 유기 화합물 층의 계면에서 박리하여, 유기 화합물을 포함하는 소자를 파괴할 우려가 있다. 또한, 인쇄법에 의하여 형성되는 재료층도 밀착성이 약하기 때문에, 마찬가지로 재료 층내 혹은 층의 계면에서 박리할 우려가 있다. 그렇지만, 산화 몰리브덴 막을 사용한 본 발명의 박리법을 사용하는 경우, 산화 몰리브덴 막은 부서지기 쉽기 때문에, 비교적 약한 힘으로 박리를 행할 수 있다. 또한, 박리를 하기 위하여, 기판 전체의 가열처리나 레이저 광의 조사 등도 특히 필요하지 않기 때문에, 프로세스가 간략하게 된다.

[0018] 또한, 몰리브덴은, 다른 금속원소에 비교하여 증기압이 작고, 가스 방출이 적은 장점을 가진다. 따라서, 몰리브덴 막 위에 형성하는 소자의 오염을 최소한으로 억제할 수 있다.

[0019] 또한, 유리 기판 위에 몰리브덴 막을 형성한다고 했지만, 유리 기판으로 한정되지 않고, 석영 기판, 세라믹 기판, 반도체 기판 등도 사용할 수 있다. 또한, 산화 몰리브덴 막은 몰리브덴 막 위에 형성한다고 기재되지만, 몰리브덴 막에 접하여 형성하여도 좋다.

[0020] 본 발명은, 기존의 대형 유리 기판의 제조 장치를 사용하여 박막 트랜지스터 등의 소자를 형성한 후, 박리할 수 있다. 따라서, 설비비용을 대폭으로 저감할 수 있다.

[0021] 또한, 산화 몰리브덴 막에 접하는 비금속 무기막과 반도체 소자의 사이에, 두께 5 μ m 이상, 바람직하게는, 10 μ m 이상 100 μ m 이하의 두께의 유기 화합물 막을 형성함으로써, 상기 유기 화합물 막을 형성한 후에 형성되는 반도체 장치의 지지부재로서 기능시킬 수 있다. 또한, 유기 화합물 막을 제작할 때의 가열 처리에 의하여, 후에 행하는 산화 몰리브덴 막 부근에서의 박리가 용이하게 된다.

[0022] 본 명세서에서 개시하는 발명의 구성은, 반도체 소자를 가요성 기판 위에 형성하는 제작 방법이며, 기판 위에 몰리브덴 막을 형성하고, 몰리브덴 막 위에 산화 몰리브덴 막을 형성하고, 산화 몰리브덴 막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물 막을 형성하고, 유기 화합물 막 위에 비정질 반도체 막을 형성

하고, 상기 비정질 규소 막을 사용하여 반도체 소자를 형성한 후, 비금속 무기막, 유기 화합물 막, 및 반도체 소자를 포함하는 적층체를 기판으로부터 박리한다.

[0023] 본 발명은, 가요성 기판 위에 순차로 재료층을 적층하여 반도체 소자를 형성하지 않고, 유리 기판, 세라믹 기판, 혹은 석영 기판에 형성한 비정질 규소막을 사용하여 반도체 소자를 형성한 후, 유리 기판, 세라믹 기판, 혹은 석영 기판으로부터 박리하는 것이다. 또한, 반도체 소자를 통하여 기판과 반대측에 가요성 기판을 고정한 후, 기판으로부터 반도체 소자를 박리하여도 좋다. 또한, 소자를 2장의 가요성 기판에 끼우고 고정하여도 좋다.

[0024] 또한, 다른 발명의 구성은, 유기 박막 트랜지스터 등의 소자를 가요성 기판 위에 형성하는 제작 방법이며, 기판 위에 몰리브덴 막을 형성하고, 몰리브덴 막 위에 산화 몰리브덴 막을 형성하고, 산화 몰리브덴 막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물 막을 형성하고, 유기 화합물 막 위에 유기 화합물을 가지는 반도체 막을 형성하고, 유기 화합물을 가지는 반도체 막을 사용하여 반도체 소자를 형성한 후, 비금속 무기막, 유기 화합물 막, 및 반도체 소자를 포함하는 적층체를 기판으로부터 박리한다.

[0025] 또한, 다른 발명의 구성은, 유기 발광 소자나 무기 발광 소자 등의 발광 소자를 가요성 기판 위에 형성하는 제작 방법이며, 기판 위에 몰리브덴 막을 형성하고, 몰리브덴 막 위에 산화 몰리브덴 막을 형성하고, 산화 몰리브덴 막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물을 형성하고, 유기 화합물 막 위에 제 1 전극을 형성하고, 제 1 전극 위에 유기 화합물 또는 무기 화합물을 가지는 발광층을 형성하고, 발광층 위에 제 2 전극을 형성하고, 제 2 전극 위에 가요성 기판을 접착한 후, 비금속 무기막, 유기 화합물 막, 제 1 전극, 발광층, 및 제 2 전극을 포함하는 적층체를 기판으로부터 박리한다.

[0026] 또한, 다른 발명의 구성은, 안테나 등의 수동 소자를 가요성 기판 위에 형성하는 제작 방법이며, 기판 위에 몰리브덴 막을 형성하고, 몰리브덴 막 위에 산화 몰리브덴 막을 형성하고, 산화 몰리브덴 막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물을 형성하고, 유기 화합물 막 위에 인쇄법에 의하여 도전층을 인쇄하고, 도전층을 소성하고, 도전층 및 반도체 부품을 접착한 후, 비금속 무기막, 유기 화합물 막, 및 도전층, 및 반도체 부품을 기판으로부터 박리한다.

[0027] 또한, 다른 발명의 구성은, 기판 위에 몰리브덴 막을 형성하고, 몰리브덴 막 위에 산화 몰리브덴 막을 형성하고, 산화 몰리브덴 막 위에 비금속 무기막을 형성하고, 비금속 무기막 위에 유기 화합물 막을 형성하고, 유기 화합물 막 위에 인쇄법에 의하여 도전층을 인쇄하고, 도전층을 소성하고, 비금속 무기막, 유기 화합물 막, 및 도전층을 포함하는 적층체를 기판으로부터 박리한 후, 도전층에 반도체 부품을 접속한다.

[0028] 또한, 상기 각 구성에 있어서, 박리를 조장하기 위한 선처리를 행하여도 좋고, 예를 들면, 박리하기 전에 부분적으로 레이저 광을 조사하는 것이 바람직하다. 구체적으로는, 고체 레이저(펄스 여기 Q스위치 Nd:YAG 레이저)를 사용하여, 기본파의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 사용하여, 비교적 약한 레이저 광(레이저 광원의 조사 에너지가 1mJ 내지 2mJ)을 조사하면 좋다. 또한, 예리한 부재로 칼자국을 내도 좋다.

[0029] 또한, 박막 트랜지스터에 대해서는, 소자 구조에 관계없이, 본 발명을 적용할 수 있고, 예를 들면, 톱 게이트 형 박막 트랜지스터나 보텀 게이트 형(역 스택거 형) 박막 트랜지스터나, 순 스택거 형 박막 트랜지스터를 사용할 수 있다. 또한, 싱글 게이트 구조의 트랜지스터에 한정되지 않고, 복수의 채널 형성 영역을 가지는 멀티 게이트 형 트랜지스터, 예를 들면, 더블 게이트 형 트랜지스터로 하여도 좋다.

[0030] 또한, 본 발명에 의하여, 가요성을 가지고, 박형이며 대형의 표시장치를 제작할 수 있고, 패시브 매트릭스 형의 액정표시장치, 패시브 매트릭스 형의 발광장치에 한정되지 않고, 액티브 매트릭스 형의 액정표시장치나, 액티브 매트릭스 형의 발광장치도 제작할 수 있다.

[0031] 또한, 본 명세서에서 몰리브덴 막이란, 몰리브덴을 주성분으로 하는 막을 가리키며, 막에 있어서의 몰리브덴의 조성비율이 50% 이상이면, 특히 한정되지 않고, 막의 기계강도(機械強度)를 증가시키기 위하여 Co나 Sn 등을 첨가하여도 좋다. 또한, 몰리브덴 막의 부서지기 쉬움을 저감하기 위하여, 막 중에 질소를 포함시켜도 좋다.

[0032] 또한, 가요성 기판이란, 필름 형상의 플라스틱 기판, 예를 들면, 폴리에틸렌 테레프탈레이트(PET), 폴리에테르술폰(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카보네이트(PC), 나일론, 폴리에테르에테르케톤(PEEK), 폴리술폰(PSU), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌테레프탈레이트(PBT) 등의 플라스틱 기판을 가리킨다.

효 과

[0033] 본 발명에 의하여, 대각이 1m를 넘는 대면적 기판을 사용해도 박리 공정을 보다 스무드(smooth)하게 행할 수 있다. 또한, 산화 폴리브덴 막 및 반도체 소자의 사이에 유기 화합물 막을 형성함으로써, 상기 유기 화합물 막을 반도체 장치의 지지부재로서 기능시킬 수 있다. 따라서, 반도체 장치를 지지하기 위한 지지기판을 필요이상으로 형성하지 않아도 좋고, 비용을 삭감할 수 있다.

발명의 실시를 위한 구체적인 내용

[0034] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 본 실시형태를 설명하기 위한 모든 도면에 있어서, 동일 부분 또는 동일 기능을 가지는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0035] (실시형태 1)

[0036] 여기서는, 액정표시장치를 제작하는 예를 도 1a 내지 도 1e를 사용하여 설명한다.

[0037] 기판(100) 위에 폴리브덴 막(101)을 형성한다. 기판(100)으로서는, 유리 기판을 사용한다. 또한, 폴리브덴 막(101)으로서는, 스퍼터링법에 의하여 얻어진 30nm 내지 200nm의 폴리브덴 막을 사용한다. 또한, 스퍼터링법에 서는, 기판을 고정하는 일이 있기 때문에, 기판의 주연부(周緣部) 부근의 폴리브덴 막의 막 두께가 불균일하게 되기 쉽다. 따라서, 드라이 에칭에 의하여 주연부의 폴리브덴 막을 제거하는 것이 바람직하다.

[0038] 다음, 폴리브덴 막(101) 위에 산화 폴리브덴 막(102)을 형성한다. 산화 폴리브덴 막(102)은, 증착법에 의하여 형성할 수 있다. 또한, 산화 폴리브덴 막(102)은 폴리브덴 막(101)에 접하여 형성하여도 좋고, 폴리브덴 막(101)의 표면을 산화시켜 산화 폴리브덴 막(102)을 형성하여도 좋다. 산화 폴리브덴 막(102)의 형성방법은, 순수나 오존수를 사용하여 표면을 산화하여 형성하여도 좋고, 산소 플라즈마 또는 일산화이질소 플라즈마로 산화하여 형성하여도 좋다. 또한, 산소를 포함하는 분위기로 가열을 행하여 산화 폴리브덴 막(102)을 형성하여도 좋다.

[0039] 다음, 산화 폴리브덴 막(102) 위에 비금속 무기막(103)을 형성한다. 비금속 무기막(103)은, 무기 화합물 또는 금속 단체 이외의 단체로 형성되는 막이다. 무기 화합물로서는, 금속 산화물, 금속 질화물, 금속산화질화물 등이 있다. 대표적으로는, 질화산화규소, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 규소 게르마늄, 질화탄소, ITO, 산화주석 등이 있지만, 이것으로 한정되지 않는다. 또한, 금속 단체 이외의 단체로서는, 대표적으로는, 규소, 게르마늄, 탄소 등이 있다. 대표적으로는, 아모퍼스 규소, 아모퍼스 게르마늄, DLC(다이아몬드 라이크 카본) 등이 있지만, 이것으로 한정되지 않는다. 비금속 무기막(103)은, CVD 법, 스퍼터링법, 증착법 등으로 형성할 수 있다.

[0040] 또한, 비금속 무기막(103)을 스퍼터링법, 또는 CVD법으로 형성하는 경우, 비금속 무기막(103)의 원료 가스의 일부(예를 들면, 일산화이질소 또는 산소)를 챔버내에 도입하여, 플라즈마를 발생시켜, 폴리브덴 막(101)의 표면에 산화 폴리브덴 막(102)을 형성한 후, 다른 원료 가스를 챔버내에 공급하여, 비금속 무기막(103)을 형성하여도 좋다.

[0041] 다음, 비금속 무기막(103) 위에 유기 화합물 막(104)을 형성한다. 유기 화합물 막(104)으로서는, 후의 프로세스 온도(180℃ 이상 500℃ 이하, 바람직하게는, 200℃ 이상 400℃ 이하, 보다 바람직하게는, 250℃ 내지 350℃ 이하)에 견딜 수 있는 내열온도를 가지는 재료로 형성하는 것이 바람직하다. 또한, 구부림에 대해서 강하고, 크랙이 생기기 어려운 탄성 재료인 것이 바람직하다. 또한, 투광성을 가지는 재료로 형성하는 것이 바람직하다. 유기 화합물 막(104)이 투광성을 가짐으로써, 투과형 액정 표시장치를 제작할 수 있다. 유기 화합물 막(104)은, 두께 5 μ m 이상, 바람직하게는 10 μ m 이상 100 μ m 이하의 두께로 형성함으로써, 후에 형성되는 반도체 장치의 지지부재로서 기능시킬 수 있다. 따라서, 반도체 장치를 지지하기 위한 지지 기판을 필요이상으로 형성하지 않아도 좋다. 유기 화합물 막(104)의 제작 방법은, 조성물을 비금속 무기막(103) 위에 도포하여, 180℃ 이상 500℃ 이하, 바람직하게는, 200℃ 이상 400℃ 이하, 보다 바람직하게는, 250℃ 이상 350℃ 이하에서 소성한다. 유기 화합물 막(104)의 제작공정에 있어서의 가열처리에 의하여, 산화 폴리브덴을 취약화(脆弱化)할 수 있고, 후에 행하는 폴리브덴 막(101) 부근에서의 박리가 용이하게 된다. 유기 화합물 막(104)의 대표예로서는, 폴리이미드, 폴리벤조옥사졸, 실리콘(silicone) 등이 있다. 여기까지의 공정이 끝난 단계의 단면 공정도를 도 1a에 나타낸다.

- [0042] 다음, 유기 화합물 막(104) 위에 무기 절연막(105)을 형성하여도 좋다. 무기 절연막(105)은, 하지 절연막으로서 기능하여, 유리 기판 또는 유기 화합물로부터의 불순물이 후에 형성되는 반도체 막에 혼입하는 것을 억제하기 위한 것이며, 필요에 따라 형성한다. 무기 절연막(105)으로서는, 질화산화규소, 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 질화산화알루미늄 등을 형성할 수 있다. 하지 절연막으로서 기능하는 대표적인 일례는, 무기 절연막(105)이 2층 구조로 되어, 플라즈마 CVD(PCVD)법에 의하여 SiH_4 , NH_3 , 및 N_2O 를 반응 가스로서 성막되는 질화산화 규소막을 50nm 내지 100nm, SiH_4 및 N_2O 를 반응 가스로서 성막되는 산화질화규소막을 100nm 내지 150nm의 두께로 적층하여 형성하는 구조가 채용된다. 또한, 무기 절연막(105)으로서, 질화산화규소막, 산화질화규소막, 질화규소막을 순차로 적층한 3층 구조를 사용하여도 좋다.
- [0043] 다음, 무기 절연막(105) 위에 제 1 도전막을 성막하여, 제 1 도전막 위에 마스크를 형성한다. 제 1 도전막은, Ta, W, Ti, Al, Cu, Cr, Nd 등으로부터 선택된 원소, 또는 원소를 주성분으로 하는 합금 재료 또는 화합물 재료의 단층, 또는 이들의 적층으로 형성한다. 또한, 제 1 도전막의 형성방법으로서는, 스퍼터링법, 증착법, CVD법, 도포법 등을 적절히 사용한다. 다음, 마스크를 사용하여 제 1 도전막을 에칭하여, 게이트 전극(106)을 형성한다.
- [0044] 다음, 게이트 전극(106) 위에 게이트 절연막(107)을 형성한다. 게이트 절연막(107)으로서는, 산화규소막, 질화규소막, 또는 산화질화규소막 등의 절연막을 사용한다. 또한, 게이트 절연막(107)으로서, 실록산 폴리머를 포함하는 조성물을 도포하여 소성하여 얻어지는 막, 광 경화성 유기 수지막, 열 경화성 유기 수지막 등을 사용하여도 좋다.
- [0045] 다음, 게이트 절연막(107) 위에 비정질 반도체 막(108)을 형성한다. 비정질 반도체 막(108)은, 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용하여 기상성장법이나 스퍼터링법이나 열 CVD법으로 제작되는 아모퍼스 반도체 막, 혹은 미결정 반도체 막으로 형성한다. 본 실시형태에서는, 반도체 막으로서, 비정질 반도체 막을 사용한 예를 나타낸다. 또한, 반도체 막으로서, 스퍼터링법이나 PLD(Pulse Laser Deposition)법으로 제작되는 ZnO나 아연갈륨인듐의 산화물을 사용하여도 좋지만, 그 경우에는, 게이트 절연막을 알루미늄이나 티타늄을 포함하는 산화물로 하는 것이 바람직하다.
- [0046] 다음, 일 도전형의 불순물 원소를 함유하는 반도체 막(109)으로서, n형을 부여하는 불순물 원소를 포함하는 반도체 막을 20nm 내지 80nm의 두께로 형성한다. n형을 부여하는 불순물 원소를 포함하는 반도체 막은, 플라즈마 CVD법이나 스퍼터링법 등의 공지의 방법으로 전면에서 형성한다. 여기까지의 공정이 끝난 단계의 단면 공정도도를 1b에 나타낸다.
- [0047] 다음, 공지의 포토리소그래피 기술을 사용하여 형성한 마스크를 사용하여 비정질 반도체 막(108) 및 일 도전형의 불순물 원소를 함유하는 반도체 막(109)을 에칭하여, 섬 형상의 비정질 반도체 층, 및 일 도전형의 불순물 원소를 함유하는 반도체 층을 얻는다. 또한, 공지의 포토리소그래피 기술 대신에, 액적 토출법이나 인쇄법(볼록판(凸版), 평판, 오목판(凹版), 스크린 등)을 사용하여 마스크를 형성하여, 선택적으로 에칭을 행하여도 좋다.
- [0048] 다음, 액적 토출법에 의하여 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등)를 포함하는 조성물을 선택적으로 토출하여, 소스 전극 및 드레인 전극(112, 113)을 형성한다. 또한, 액적 토출법 대신에, 스퍼터링법으로 금속막(Ta, W, Ti, Al, Cu, Cr, Nd 등)을 형성하여, 공지의 포토리소그래피 기술을 사용한 마스크를 사용하여 금속막을 에칭하여, 소스 전극 및 드레인 전극(112, 113)을 형성하여도 좋다.
- [0049] 다음, 소스 전극 및 드레인 전극(112, 113)을 마스크로 하여, 일 도전형을 부여하는 불순물을 함유하는 반도체 층을 에칭하여, 일 도전형을 부여하는 불순물 을 함유하는 반도체 층(114, 115)을 형성한다. 또한, 소스 전극 및 드레인 전극(112, 113)을 마스크로 하여 섬 형상의 비정질 반도체 층의 상부를 에칭하여 섬 형상의 비정질 반도체 층(116)을 형성한다. 섬 형상의 비정질 반도체 층(116)을 노출시킨 부분은, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 개소이다.
- [0050] 다음, 비정질 반도체 층(116)의 채널 형성 영역을 불순물 오염으로부터 방지하기 위한 보호막(117)을 형성한다. 보호막(117)으로서는, 스퍼터링법, 또는 PCVD법에 의하여 얻어진 질화규소, 또는 질화산화규소를 주성분으로 하는 재료를 사용한다. 보호막을 형성한 후에, 수소화 처리를 행하여도 좋다. 이렇게 해서 박막 트랜지스터(111)가 제작된다.
- [0051] 다음, 보호막(117) 위에 층간 절연막(118)을 형성한다. 또한, 층간 절연막(118)은, 에폭시 수지, 아크릴 수지,

페놀 수지, 노볼락 수지, 멜라민 수지, 우레탄 수지 등의 수지 재료를 사용한다. 또한, 벤조시클로부텐, 파릴렌, 투과성을 가지는 폴리이미드 등의 유기 재료 등을 사용할 수 있다. 또한, 층간 절연막(118)으로서는, 산화규소막, 질화규소막, 또는 산화질화규소막 등의 절연막을 사용할 수도 있고, 이들의 절연막과 상기 수지 재료를 적층하여도 좋다.

[0052] 다음, 공지의 포토리소그래피 기술을 사용하여 형성한 마스크를 사용하여 보호막(117) 및 층간 절연막(118)을 선택적으로 제거하여 소스 전극 또는 드레인 전극(112)에 도달하는 콘택트 홀을 형성한다.

[0053] 다음, 액적 토출법에 의하여 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등)를 포함하는 조성물을 선택적으로 토출하여, 소스 전극 또는 드레인 전극(112)과 전기적으로 접속하는 제 1 전극(119)을 형성한다. 또한, 제 1 전극(119)과 기판면에 평행한 방향의 전장(電場)을 형성하는 제 2 전극(120)도 액적 토출법에 의하여 형성한다. 또한, 제 1 전극(119)과 제 2 전극(120)은 같은 간격으로 배치하는 것이 바람직하고, 전극의 상면 형상을 빗살 형상으로 하여도 좋다. 또한, 제 1 전극(119)과 제 2 전극(120)은, 액정 표시장치의 화소전극으로서 기능한다.

[0054] 다음, 제 1 전극(119)과 제 2 전극(120)을 덮는 배향막(121)을 형성한다. 여기까지의 공정이 끝난 단계의 단면 공정도를 도 1c에 나타낸다.

[0055] 다음, 액정 재료, 여기서는 고분자 분산형 액정을 사용하여 가요성 기판(133)을 기판(100)에 대향하도록 고정시킨다. 고분자 분산형 액정은, 액정과 고분자 재료의 분산 상태에 의하여, 2개의 타입으로 나눌 수 있다. 하나는, 액정의 소적(小滴)이 고분자 재료에 분산하여, 액정이 불연속인 타입(PDLC라고 불린다), 또 하나는 액정 중에 고분자 재료가 네트워크를 형성하여, 액정이 연속하는 타입(PNLC라고 불린다)이다. 또한, 본 실시형태에 있어서, 어느 타입을 사용하여도 좋지만, 여기서는, PDLC를 사용한다. 본 실시형태에서는, 액정(132)을 포함하는 고분자 재료(131)가 가요성 기판(133)을 고정한다. 필요가 있으면, 고분자 재료(131)를 둘러싸도록 쉘재를 배치하여도 좋다. 또한, 필요가 있으면, 고분자 재료(131)의 두께를 제어하는 간극재(間隙材)(비즈 스페이서, 컬럼형상의 스페이서, 파이버(fiber)등)를 사용하여도 좋다. 또한, 고분자 분산형 액정 대신에 공지의 액정 재료를 사용하여도 좋다.

[0056] 다음, 기판(100)으로부터 비금속 무기막(103), 유기 화합물 막(104), 박막 트랜지스터(111), 및 가요성 기판(133)을 포함하는 적층체(134)를 박리한다. 산화 몰리브덴 막은 부서지기 쉽기 때문에, 비교적 약한 힘으로 박리할 수 있다. 도 1d에서는, 산화 몰리브덴 막(102)과 비금속 무기막(103)의 계면에서 분리하는 도면을 나타내지만, 분리하는 곳은, 박막 트랜지스터가 파괴되지 않는 영역이면 좋고, 비금속 무기막(103)으로부터 기판(100)의 사이이면, 특히 한정되지 않는다. 예를 들면, 몰리브덴 막 중이나, 산화 몰리브덴 막 중에서 분리하여도 좋고, 기판과 몰리브덴 막의 계면이나, 몰리브덴 막과 산화 몰리브덴 막의 계면에서 분리하여도 좋다. 다만, 투과형 액정 표시장치를 제작하는 경우에는, 기판과 몰리브덴 막의 계면에서 분리하여 몰리브덴 막이 비금속 무기막(103) 위에 잔존한 경우에는, 후에 몰리브덴 막을 제거하는 것이 바람직하다. 또한, 필요에 따라, 비금속 무기막(103)을 제거하여도 좋다.

[0057] 또한, 유기 화합물 막(104), 박막 트랜지스터(111), 및 가요성 기판(133)을 포함하는 적층체에 복수의 액정 표시장치가 포함되는 경우, 상기 적층체를 분단하여, 복수의 액정 표시장치를 개개로 절단하여도 좋다. 이러한 공정에 의하여, 한번의 박리 공정에 의하여 복수의 액정 표시장치를 제작할 수 있다.

[0058] 이상의 공정으로, 도 1e에 나타내는 바와 같이, 아모퍼스 규소 박막 트랜지스터를 사용한 액티브 매트릭스형의 액정 표시장치(135)를 제작할 수 있다. 액적 토출법으로 형성된 도전막은, 밀착성이 약하지만, 몰리브덴 막을 사용한 본 발명의 박리법을 사용하는 경우, 일부의 배선에 액적 토출법으로 형성된 도전층을 사용해도, 산화 몰리브덴 막의 부근(본 실시형태에서는 산화 몰리브덴 막(102)과 비금속 무기막(103)의 계면)에서 박리할 수 있다. 본 실시형태의 액정 표시장치는, 박형이며 가요성을 가진다. 또한, 산화 몰리브덴 막 및 박막 트랜지스터의 사이에 유기 화합물 막을 형성함으로써, 상기 유기 화합물 막을 액정 표시장치의 지지부재로서 기능시킬 수 있다. 따라서, 액정 표시 장치를 지지하기 위한 지지기판을 필요이상으로 형성하지 않아도 좋고, 비용을 삭감할 수 있다.

[0059] 또한, 액정 표시장치의 기계강도가 낮은 경우에는, 박리한 면에 접착층을 사용하여 가요성 기판을 고정하여도 좋다. 그 경우는, 온도변화에 관계없이, 기판 간격을 유지하기 위하여, 가요성 기판(133)과 같은 열 팽창계수의 가요성 기판을 사용하는 것이 바람직하다.

[0060] 또한, 고분자 분산형 액정 대신에 전자 잉크를 사용하여 전기영동(電氣泳動) 디스플레이를 제작하여도 좋다.

그 경우에는, 제 1 전극(119)과 제 2 전극(120)을 형성한 후, 인쇄법에 의하여 전자 잉크를 도포한 후 소성하여, 가요성 기판(133)으로 고정하면 좋다. 그리고 기판을 박리하여 또 하나의 가요성 기판을 사용하여 밀봉하면 좋다.

[0061] (실시형태 2)

[0062] 여기서, 유기 박막 트랜지스터를 사용한 액티브 매트릭스형의 발광장치를 제작하는 예를 도 2a 내지 도 2d를 사용하여 설명한다.

[0063] 실시형태 1과 같이, 기판(100) 위에 몰리브덴 막(101)을 형성하여, 몰리브덴 막(101) 위에 산화 몰리브덴 막(102)을 형성하여, 산화 몰리브덴 막(102) 위에 비금속 무기막(103)을 형성하여, 비금속 무기막(103) 위에 유기 화합물 막(104)을 형성한다. 여기까지의 공정이 끝난 단계의 단면 공정도를 도 2a에 나타낸다.

[0064] 다음, 유기 화합물 막(104) 위에 무기 절연막(105)을 형성하여도 좋다. 다음, 유기 화합물 막(104) 또는 무기 절연막(105) 위에, 게이트 절연막으로 되는 도전층(211)을 형성한다. 도전층(211)에 사용하는 재료는, 질화 및/또는 산화함으로써, 절연성을 가지는 금속이면 좋고, 특히, 탄탈, 니오븀, 알루미늄, 구리, 티타늄이 바람직하다. 그 이외에도, 텅스텐, 크롬, 니켈, 코발트, 마그네슘 등이 있다. 도전층(211)의 형성방법에 대해서 특히 한정은 없고, 스퍼터링법이나 증착법 등에 의하여 성막한 후, 에칭 등의 방법에 의하여 원하는 형상으로 가공하면 좋다. 또한, 도전물을 포함하는 액적을 사용하여 잉크젯법 등에 의하여 형성하여도 좋다.

[0065] 다음, 도전층(211)을 질화 및/또는 산화함으로써, 상기 금속의 질화물, 산화물 혹은 산화질화물로부터 게이트 절연막(212)을 형성한다. 또한, 도전층 중에서, 절연화된 게이트 절연막(212) 이외는 게이트 전극으로서 기능한다.

[0066] 다음, 게이트 절연막(212)을 덮는 반도체 층(213)을 형성한다. 반도체 층(213)을 형성하는 유기 반도체 재료는, 캐리어 수송성이 있고, 전계효과에 의하여 캐리어 밀도의 변화가 생길 가능성이 있는 유기재료이면, 저분자, 고분자의 양쪽 모두를 사용할 수 있고, 그 종류는 특히 한정되는 것이 아니지만, 다환방향족 화합물, 공액이중결합 화합물, 금속프탈로시아닌 착체, 전하이동 착체, 축합환테트라카르복실릭다이미드 류, 올리고티오펜 류, 폴리렌 류, 카본 나노튜브 등을 들 수 있다. 예를 들면, 폴리피롤(polypyrrole), 폴리티오펜(polythiophene), 폴리(3-알킬티오펜), 폴리페닐렌비닐렌(polyphenylenevinylene), 폴리(p-페닐렌비닐렌), 폴리아닐린(polyaniline), 폴리디아세틸렌(polydiacetylene), 폴리아줄렌(polyazulene), 폴리피렌(polypyrene), 폴리카르바졸(polycarbazole), 폴리셀레노펜(polyselenophene), 폴리푸란(polyfuran), 폴리(p-페닐렌), 폴리인돌(polyindole), 폴리피리다진(polypyridazine), 나프타센(naphthacene), 헥사센(hexacene), 헵타센(heptacene), 피렌(pyrene), 크리센(chrysene), 페릴렌(perylene), 코로넨(coronene), 테릴렌(terrylene), 오발렌(ovalene), 쿼터틸렌(quaterylene), 서킵안트라센(circumanthracene), 트리페노디옥사진(triphenodioxazine), 트리페노디티아진(triphenodithiazine), 헥사센-6,15-퀴논(hexacene-6,15-quinone), 폴리비닐카르바졸(polyvinylcarbazole), 폴리페닐렌설파이드(polyphenylenesulfide), 폴리비닐렌설파이드(polyvinylenesulfide), 폴리비닐피리딘(polyvinylpyridine), 나프탈렌테트라카르복실산 다이미드(naphthalenetetracarboxylic acid diimide), 안트라센테트라카르복실산 다이미드(anthracenetetracarboxylic acid diimide), C60, C70, C76, C78, C84, 및 이들의 유도체를 사용할 수 있다. 또한, 이들의 구체예로서는, 일반적으로, P형 반도체로 되는, 테트라센(tetracene), 펜타센(pentacene), 섉시티오펜(sexithiophene)(6T), 구리 프탈로시아닌(copper phthalocyanine), 비스-(1,2,5-티아디아줄로)-p-퀴노비스(1,3-디티올), 루브렌(rubrene), 폴리(2,5-티에닐렌비닐렌)(PTV), 폴리(3-헥실티오펜-2,5-디일)(P3HT), 폴리(9,9'-디옥틸플루오렌-co-비티오펜)(F8T2), 일반적으로 N형 반도체로 되는, 7,7,8,8-테트라시아노퀴노디메탄(TCNQ), 3,4,9,10-페릴렌테트라카르복실릭 디안하이드라이드(PTCDA), 1,4,5,8-나프탈렌테트라카르복실릭 디안하이드라이드(NTCDA), N,N'-디옥틸-3,4,9,10-페릴렌테트라카르복실릭다이미드(PTCDI-C8H), 구리 헥사테카플루오로프탈로시아닌(F₁₆CuPc), N,N'-2,2,3,3,4,4,5,5,6,6,7,7,7-디15불화헥실-1,4,5,8-나프탈렌테트라카르복실릭다이미드(NTCDI-C8F), 3',4'-디부틸-5,5"-비스(디시아노메틸렌)-5,5"-디하이드로-2,2':5',2"-테르티오펜(DCMT), 및 메타노폴러린[6,6]-페닐C₆₁나산메틸에스텔(PCBM) 등이 있다. 또한, 유기 반도체에 있어서, P형이나 N형의 특성은 그 물질에 고유한 것이 아니라, 캐리어를 주입하는 전극과의 관계나 주입할 때의 전계의 강도에 의존하여 그들 중 어느 하나로 쉽게 되는 경향을 가지지만, P형 반도체로서도 N형 반도체로서도 사용할 수 있다. 또한, 본 실시형태에 있어서는, P형 반도체가 보다 바람직하다.

[0067] 이들의 유기 반도체 재료는, 증착법이나 스핀코팅법, 액적도출법 등의 방법에 의하여 성막할 수 있다.

- [0068] 다음, 반도체 층(213) 위에 밀착성이나 계면의 화학안정성을 향상시키기 위해서 버퍼층(214)을 형성한다. 버퍼층(214)으로서는, 도전성을 가지는 유기재료(전자 수용성을 나타내는 유기 화합물, 예를 들면, 7,7,8,8-테트라시아노퀴노디메탄(TCNQ), 또는 2,3,5,6-테트라플루오르-7,7,8,8-테트라시아노퀴노디메탄(F₄-TCNQ) 등), 또는 유기 화합물 및 금속 산화물의 복합 재료를 사용하면 좋다. 또한, 버퍼층(214)은 필요하지 않다면 생략하여도 좋다.
- [0069] 다음, 버퍼층(214) 위에 소스 전극 및 드레인 전극(215)을 형성한다. 소스도전층전극 및 드레인 전극(215)에 사용하는 재료는, 특히 한정되지 않지만, 금, 백금, 알루미늄, 텅스텐, 티타늄, 구리, 탄탈, 니오븀, 크롬, 니켈, 코발트, 또는 마그네슘 등의 금속 또는 그들을 포함하는 합금을 사용할 수 있다. 또한 소스 전극 및 드레인 전극(215)에 사용하는 다른 재료로서는, 폴리아닐린, 폴리피롤, 폴리티오펜, 폴리아세틸렌, 및 폴리디아세틸렌 등의 도전성 고분자 화합물 등을 들 수 있다. 또한, 소스 전극 및 드레인 전극(215)의 형성방법은, 반도체 층(213)이 분해하지 않는 것이면 특히 한정되지 않고, 스퍼터링법이나 증착법 등에 의하여 성막한 후, 에칭 등의 방법에 의하여 원하는 형상으로 가공하여 제작하면 좋다. 또한, 도전물을 포함하는 액적을 사용하여 잉크젯법 등에 의하여 소스 전극 및 드레인 전극(215)을 형성하여도 좋다. 이상의 공정으로 유기 트랜지스터(227)를 제작할 수 있다.
- [0070] 또한, 반도체 층(213)의 하면에 접하여, 폴리이미드, 폴리아미드산, 또는 폴리비닐페닐 등 유기 절연 재료를 성막하여도 좋다. 이러한 구성에 의하여, 유기 반도체 재료의 배향을 보다 높이고, 게이트 절연막(212)과 반도체 층(213)의 밀착성을 더욱 향상시킬 수 있다.
- [0071] 계속해서, 유기 트랜지스터(227)를 사용한 발광 장치의 제작 방법에 대해서 설명한다.
- [0072] 다음, 유기 트랜지스터(227)를 덮는 층간 절연막(228)을 형성한다. 다음, 층간 절연막(228)을 선택적으로 에칭하여 소스 전극 및 드레인 전극(215)의 한쪽에 도달하는 콘택트 홀을 형성한다. 다음, 소스 전극 및 드레인 전극(215)의 한쪽에 전기적으로 접속하는 제 1 전극(210)을 형성한다. 다음, 제 1 전극(210)의 단부를 덮는 격벽(221)을 형성한다. 격벽(221)은 절연 재료를 사용하여 형성되어, 인접하여 복수 배치되는 제 1 전극(210)의 사이를 절연하는 기능을 달성한다.
- [0073] 다음, 제 1 전극(210)에 있어서, 격벽(221)과 접하지 않는 영역 위에 발광층(222)을 형성한다. 발광층(222)에 사용하는 재료로서는, 유기 화합물의 단층 혹은 적층, 혹은 무기 화합물의 단층 혹은 적층으로 사용하는 경우가 많지만, 본 명세서에 있어서는, 유기 화합물로 되는 막의 일부에 무기 화합물을 사용하는 구성도 포함하는 것으로 한다. 발광 소자 중의 각 층에 대해서는, 적층법을 한정하는 것이 아니다. 적층이 가능하면, 진공증착법이나 스퍼터링법, 잉크젯법, 딥 코팅법 등, 어느 수단을 선택하여도 좋다.
- [0074] 다음, 발광층(222) 위에 제 2 전극(223)을 형성한다. 제 1 전극(210)과, 제 2 전극(223)과, 발광층(222)이 접치는 개소에서 발광 소자를 구성한다. 또한, 이 발광 소자는, 전장을 가함으로써, 발생하는 일렉트로루미네선스(electroluminescence)가 얻어지는 유기 화합물을 포함하는 층 혹은 무기 화합물을 포함하는 층(이하, EL층이라고 기재한다)과, 양극과 음극을 가진다. 특히, ZnS:Mn 의 무기 박막을 사용한 무기 EL와, 유기 증착박막을 사용한 유기 EL는 밝고, 고효율의 EL 발광을 나타내고 디스플레이에의 응용에 적합하다. 또한, 발광 소자의 구성에 대해서 특히 한정은 없다.
- [0075] 그 후, 제 2 전극(223) 위에 보호막(224)을 형성한다. 또한, 필요가 없으면, 보호막(224)은 생략하여도 좋다.
- [0076] 다음, 보호막(224) 위에 접착층(226)으로 가요성 기판(225)을 고정한다. 밀봉을 강화하기 위해서, 도시하지 않지만, 접착층(226)을 둘러싸도록 셀재를 배치하여도 좋다. 여기까지의 공정이 끝난 단계의 단면 공정도를 도 2b에 나타낸다.
- [0077] 다음, 기판(100)으로부터, 비금속 무기막(103), 유기 화합물 막(104), 유기 트랜지스터(227), 발광 소자, 및 가요성 기판(225)을 포함하는 적층체(229)를 박리한다. 도 2c에서는, 산화 물리브덴 막(102)과 비금속 무기막(103)의 계면에서 분리하는 도면을 나타낸다. 또한, 박리한 후, 필요에 따라, 비금속 무기막(103)을 제거하여도 좋다.
- [0078] 또한, 유기 화합물 막(104), 유기 트랜지스터(227), 및 가요성 기판(225)을 포함하는 적층체(229)에 복수의 발광 장치가 포함되는 경우, 상기 적층체를 분단하여, 복수의 발광 장치를 개개로 절단하면 좋다. 이러한 공정에 의하여, 한번의 박리 공정에 의하여 복수의 발광 장치(230)를 제작할 수 있다.
- [0079] 이상의 공정으로, 유기 트랜지스터를 사용한 액티브 매트릭스 형의 발광 장치(230)를 제작할 수 있다. 예를 들

면, 증착법으로 형성된 발광층은 밀착성이 약하지만, 산화 몰리브덴 막의 부근을 사용한 본 발명의 박리법을 사용하는 경우, 증착법으로 형성된 발광층을 사용해도, 산화 몰리브덴 막의 부근(본 실시형태에서는, 산화 몰리브덴 막(102)과 비금속 무기막(103)의 계면)에서 박리할 수 있다. 본 실시형태의 발광 장치는, 박형이며, 가요성을 가진다. 또한, 산화 몰리브덴 막 및 박막 트랜지스터의 사이에 유기 화합물 막을 형성함으로써, 상기 유기 화합물 막을 발광 장치의 지지 부재로서 기능시킬 수 있다. 따라서, 발광 장치를 지지하기 위한 지지 기판을 필요이상으로 형성하지 않아도 좋고, 비용 삭감을 할 수 있다.

[0080] 또한, 도 2c에 나타낸 유기 트랜지스터(227)의 구조로 한정되지 않고, 도 15a 또는 도 15b에 나타내는 구조로 하여도 좋다.

[0081] 도 15a는 보텀 콘택트형 구조라고 불리는 구조이다. 또한, 도 2a 내지 도 2d와 공통의 부분에는 동일한 부호를 사용한다. 보텀 콘택트형 구조를 사용한 경우, 소스 배선 및 드레인 배선의 미세 가공을 실시하기 위해서 포토 리소그래피 등의 공정을 용이하게 사용할 수 있다. 따라서, 유기 트랜지스터의 구조는 그 장점, 단점에 맞춰 적절히 선택하면 좋다.

[0082] 기판(100) 위에는, 몰리브덴 막(101), 산화 몰리브덴 막(102), 비금속 무기막(103), 유기 화합물 막(104), 및 무기 절연막(105)을 적층한다. 무기 절연막(105)에 게이트 전극(251)을 형성한다. 게이트 전극(251)에 사용하는 재료는, 특히 한정은 없고, 예를 들면, 금, 백금, 알루미늄, 텅스텐, 티타늄, 구리, 몰리브덴, 탄탈, 니오븀, 크롬, 니켈, 코발트 또는 마그네슘과 같은 금속, 및 그들을 포함하는 합금, 폴리아닐린, 폴리피롤, 폴리티오펜, 폴리아세틸렌, 또는 폴리디아세틸렌, 불순물이 도핑된 폴리실리콘 등의 도전성 고분자 화합물 등을 들 수 있다. 게이트 전극(251)의 형성 방법은 특히 한정되지 않고, 스퍼터링법이나 증착법 등에 의하여 성막한 후, 에칭 등의 방법에 의하여 원하는 형상으로 가공하여 제작하면 좋다. 또한, 도전물을 포함하는 액적을 사용하여 잉크젯법 등에 의하여 형성하여도 좋다.

[0083] 다음, 게이트 전극(251)을 덮는 게이트 절연막(252)을 형성한다. 게이트 절연막(252)은, 산화규소, 질화규소, 산질화규소 등의 무기 절연 재료를 사용한다. 또한, 이들의 게이트 절연막(252)은, 딥핑법, 스핀코팅법, 액적 토출법 등의 도포법이나, CVD법, 스퍼터링법 등의 방법에 의하여 성막할 수 있다. 이 게이트 절연막(252)에 대해서, 고밀도 플라즈마를 사용하여 질화 및/또는 산화 처리를 행하여도 좋다. 고밀도 플라즈마 질화를 행함으로써, 보다 높은 농도의 질소를 함유하는 질화규소막을 얻을 수도 있다. 고밀도 플라즈마는, 높은 주파수의 마이크로파, 예를 들면, 2.45GHz를 사용함으로써 생성된다. 이러한 고밀도 플라즈마를 사용하여, 산소(혹은 산소를 포함하는 가스)나 질소(혹은 질소를 포함하는 가스) 등을 플라즈마 여기에 의하여 활성화하여, 이들의 절연막과 반응시킨다. 저전자 온도가 특징인 고밀도 플라즈마는, 활성종의 운동 에너지가 낮기 때문에, 종래의 플라즈마 처리에 비교하여 플라즈마 데미지(damage)가 적고, 결함이 적은 막을 형성할 수 있다. 또한, 고밀도 플라즈마를 사용하면, 게이트 절연막(252)의 표면의 거칠기를 작게 할 수 있기 때문에, 캐리어 이동도를 크게 할 수 있다. 또한, 게이트 절연막(252) 위에 형성되는 반도체 층을 구성하는 유기 반도체 재료의 배향이 일치하기 쉽다.

[0084] 다음, 게이트 절연막(252) 위에 소스 전극 및 드레인 전극(215)을 형성한다. 다음, 소스 전극 및 드레인 전극(215)의 사이에 반도체 층(213)을 형성한다. 반도체 층(213)은, 상술한 도 2b에 나타낸 반도체 층(213)과 같은 재료를 사용할 수 있다.

[0085] 또한, 도 15b의 구조에 대해서 설명한다. 도 15b는 탑 게이트형 구조라고 불리는 구조이다.

[0086] 기판(100) 위에는, 몰리브덴막(101), 산화몰리브덴막(102), 비금속 무기막(103), 유기화합물 막(104), 및 무기 절연막(105)을 적층한다. 무기 절연막(105) 위에 소스 전극 및 드레인 전극(414, 415)을 형성한다. 다음, 소스 전극 및 드레인 전극(414, 415)의 사이에 반도체 층(413)을 형성한다. 다음, 반도체 층(413)과 소스 전극 및 드레인 전극(414, 415)을 덮는 게이트 절연막(442)을 형성한다. 다음, 게이트 절연막(442) 위에 게이트 전극(441)을 형성한다. 게이트 전극(441)은, 게이트 절연막(442)을 통하여 반도체 층(413)과 접친다.

[0087] 이와 같이, 다양한 유기 트랜지스터의 구조로 해도, 본 발명에 의하여, 박리를 행할 수 있다. 예를 들면, 도포법으로 형성된 반도체 층은, 밀착성이 약하지만, 산화 몰리브덴 막의 부근을 사용한 본 발명의 박리법을 사용하는 경우, 도포법으로 형성된 반도체 층을 사용해도, 몰리브덴 막의 부근(본 실시형태에서는, 산화 몰리브덴 막(102)과 비금속 무기막(103)의 계면)에서 박리할 수 있다.

[0088] 또한, 유기 트랜지스터 대신에, 스퍼터링법이나 PLD법으로 제작되는 ZnO나 아연갈륨인듐의 산화물을 반도체 층에 사용한 트랜지스터를 사용할 수도 있다. 그 경우, 도 15a나 도 15b의 구조를 적용할 수 있다. 또한, ZnO나

아연갈륨인듐의 산화물을 반도체 층에 사용하는 경우에는, 게이트 절연막을 알루미늄이나 티타늄을 포함하는 산화물로 하는 것이 바람직하다. 이와 같이, 플라즈마가 기판에 조사되는 프로세스를 가지는 트랜지스터를 형성할 때에도, 본 발명은 유용하며, 플라즈마에 견딜 수 있는 기판 위에 트랜지스터를 형성한 후, 플라즈마에 대해 내구성이 낮은 가요성 기판을 접착하여, 박리함으로써 발광 장치를 제작할 수 있다.

[0089] 또한, 발광 장치의 기계 강도가 낮은 경우에는, 박리한 면에 접착층을 사용하여 가요성 기판을 고정하여도 좋다. 그 경우는, 온도변화에 따르지 않고, 기판 간격을 유지하기 위하여, 가요성 기판(225)과 같은 열 팽창계수의 가요성 기판을 사용하는 것이 바람직하다.

[0090] 또한, 본 실시형태에서는, 실시형태 1과 자유롭게 조합할 수 있다. 예를 들면, 실시형태 1에 나타낸 아모퍼스 박막 트랜지스터 대신에, 실시형태 2에 나타낸 유기 트랜지스터를 사용하여 액정 표시장치를 제작할 수 있다. 또한, 실시형태 2에 나타낸 유기 트랜지스터 대신에, 실시형태 1에 나타낸 아모퍼스 박막 트랜지스터를 사용하여 발광 장치를 제작할 수도 있다.

[0091] (실시형태 3)

[0092] 여기서는, 가요성 기판에 패시브 매트릭스형의 발광 장치를 제작하는 예를 도 5a 내지 도 9를 사용하여 설명한다.

[0093] 패시브형(단순 매트릭스형) 발광 장치는, 스트라이프 형상(띠 형상)으로 병렬된 복수의 양극과, 스트라이프 형상으로 병렬된 복수의 음극이 서로 직교하도록 형성되어, 그 교차부에 발광층 혹은 형광층이 끼워진 구조가 된다. 따라서, 선택된(전압이 인가된) 양극과 선택된 음극의 교점에 상당하는 화소가 점등한다.

[0094] 도 5a는 발광 소자의 제 2 전극(516)에 가요성 기판을 접착하기 전의 화소부의 상면도를 나타내는 도면이며, 도 5a 중의 쇄선(鎖線) A-A'로 절단한 단면도가 도 5b이며, 쇄선 B-B'로 절단한 단면도가 도 5c이다.

[0095] 기판(100) 위에는, 실시형태 2와 같이, 몰리브덴막(101), 산화몰리브덴 막(102), 비금속 무기막(103), 유기 화합물 막(104), 및 무기 절연막(105)을 적층한다. 무기 절연막(105) 위에는, 스트라이프 형상으로 복수의 제 1 전극(513)이 동일한 간격으로 배치된다. 또한, 제 1 전극(513) 위에는, 각 화소에 대응하는 개구부를 가지는 격벽(514)이 형성되고, 개구부를 가지는 격벽(514)은 절연 재료(감광성 또는 비감광성의 유기 재료(폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로부텐), 또는 SOG막(예를 들면, 알킬기를 포함하는 SiO_x 막))로 구성된다. 또한, 각 화소에 대응하는 개구부가 발광영역(521)이 된다.

[0096] 개구부를 가지는 격벽(514) 위에, 제 1 전극(513)과 교차하는 서로 평행한 복수의 역 테이퍼 형상의 격벽(522)이 형성된다. 역 테이퍼 형상의 격벽(522)은 포토리소그래피 법에 따라, 미노광부분이 패턴으로서 포지티브형 감광성 수지를 사용하여, 패턴의 아래부분이 보다 많이 에칭되도록 노광량 또는 현상시간을 조절함으로써 형성한다.

[0097] 또한, 평행한 복수의 역 테이퍼 형상의 격벽(522)을 형성한 직후의 사시도를 도 6에 나타낸다.

[0098] 역 테이퍼 형상의 격벽(522)의 높이는, 발광층을 포함하는 적층막 및 도전막의 막 두께보다 크게 설정한다. 도 6에 나타내는 구성을 가지는 기판에 대해서 발광층을 포함하는 적층막과, 도전막을 적층형성하면, 도 5a 내지 도 5c에 나타내는 바와 같이, 전기적으로 독립한 복수의 영역으로 분리되어, 발광층을 포함하는 적층막(515R, 515G, 515B)과, 제 2 전극(516)이 형성된다. 제 2 전극(516)은, 제 1 전극(513)과 교차하는 방향으로 신장(伸長)하는 서로 평행한 스트라이프 형상의 전극이다. 또한, 역 테이퍼 형상의 격벽(522) 위에도 발광층을 포함하는 적층막 및 도전막이 형성되지만, 발광층을 포함하는 적층막(515R, 515G, 515B), 및 제 2 전극(516)과는 분단된다.

[0099] 여기서는, 발광층을 포함하는 적층막(515R, 515G, 515B)을 선택적으로 형성하여, 3종류(R, G, B)의 발광이 얻어지는 풀 컬러 표시를 할 수 있는 발광 장치를 형성하는 예를 나타낸다. 발광층을 포함하는 적층막(515R, 515G, 515B)은 각각 서로 평행한 스트라이프 패턴으로 형성된다.

[0100] 또한, 전면에 같은 발광색을 발광하는 발광층을 포함하는 적층막을 형성하여, 단색의 발광소자를 형성하여도 좋고, 단색 표시를 할 수 있는 발광 장치, 혹은 에어리어(area) 컬러 표시를 할 수 있는 발광 장치로 하여도 좋다. 또한, 백색 발광이 얻어진 발광 장치와, 컬러 필터와 조합함으로써, 풀 컬러 표시를 할 수 있는 발광 장치로 하여도 좋다.

[0101] 다음, FPC 등을 실장한 발광 모듈의 상면도를 도 7에 나타낸다.

- [0102] 또한, 본 명세서 중에 있어서의 발광 장치란, 화상 표시장치, 발광 장치, 또는 광원(조명 장치를 포함한다)을 의미한다. 또한, 발광 장치에 커넥터, 예를 들면, FPC(Flexible Printed Circuit), 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 설치된 모듈, TAB 테이프나 TCP의 선단부에 프린트 배선판이 형성된 모듈, 또는 발광 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈도 모두 발광 장치에 포함한다.
- [0103] 도 7에 나타내는 바와 같이, 화상 표시를 구성하는 화소부는, 주사선 군과 이미지데이터선 군이 서로 직교하도록 교차한다.
- [0104] 도 5a 내지 5c에 있어서의 제 1 전극(513)이 도 7의 주사선(602)에 상당하고, 제 2 전극(516)이 데이터 선(603)에 상당하고, 역 테이퍼 형상의 격벽(604)에 상당한다. 데이터 선(603)과 주사선(602)의 사이에는 발광층이 끼워져, 영역(605)에서 나타난 교차부가 화소 1개분이 된다.
- [0105] 또한, 데이터 선(603)은 배선의 단부이며, 도전층(829, 830)으로 형성되는 접속 배선(608)과 전기적으로 접속되고, 접속 배선(608)이 입력 단자(607)를 통하여 FPC(609b)에 접속된다. 또한, 주사선(602)은 입력 단자(606)를 통하여 FPC(609a)에 접속된다.
- [0106] 다음, 접착층을 사용하여 가요성 기판을 고정한다.
- [0107] 다음, 기판(100)으로부터 발광 소자를 박리한다. 또한, 박리한 후, 필요에 따라, 비금속 무기막(103)을 제거하여도 좋다.
- [0108] 또한, 필요하다면, 발광소자의 사출면에 편광판, 또는 원형 편광판(타원형 편광판을 포함한다), 위상차판(1/4 파장판, 1/2 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 형성하여 눈부심을 저감할 수 있다. 또한, 표면의 요철(凹凸)에 의하여 반사광을 확산하여, 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 행할 수 있다.
- [0109] 이상의 공정으로 플렉시블한 패시브 매트릭스형의 발광장치를 제작할 수 있다. FPC를 실장할 때는, 열 압착을 행하기 때문에, 단단한 기판 위에서 행하는 것이 바람직하다. 본 발명에 의하여, FPC를 실장한 후에 박리를 행함으로써, 가요성을 가지고, 박형의 발광 장치를 제작할 수 있다.
- [0110] 또한, 도 7에서는, 구동 회로를 기판 위에 형성하지 않는 예를 나타내지만, 이하에 구동 회로를 가지는 IC 칩을 실장시킨 발광 모듈의 제작 방법의 일례를, 도 8a 내지 도 8b를 사용하여 설명한다.
- [0111] 우선, 기판(100) 위에 실시형태 1과 같이, 몰리브덴막, 산화몰리브덴 막, 절연막을 적층한다. 이 절연막 위에 하층은 반사성을 가지는 금속막, 상층은 투명한 산화물 도전막으로 한 적층구조를 가지는 주사선(602)(양극으로서도 기능한다)을 형성한다. 동시에, 접속 배선(608, 709a, 709b) 및 입력 단자도 형성한다.
- [0112] 다음, 각 화소에 대응하는 개구부를 가지는 격벽을 형성한다. 다음, 개구부를 가지는 격벽(도시하지 않는다) 위에, 주사선(602)과 교차하는 서로 평행한 복수의 역 테이퍼 형상의 격벽(604)을 형성한다. 이상에 나타내는 공정을 끝낸 단계의 상면도를 도 8a에 나타낸다.
- [0113] 다음, 발광층을 포함하는 적층막과, 투명 도전막을 적층하여 형성하면, 도 8b에 나타내는 바와 같이, 전기적으로 독립한 복수의 영역으로 분리되어, 발광층을 포함하는 적층막과, 투명 도전막으로 되는 데이터 선(603)이 형성된다. 투명 도전막으로 되는 데이터 선(603)은, 주사선(602)과 교차하는 방향으로 신장하는 서로 평행한 스트라이프 형상의 전극이다.
- [0114] 다음, 화소부의 주변(외측)의 영역에, 화소부에 각 신호를 전송하는 구동회로가 형성된 주사선 측 IC(706), 데이터 선 측 IC(707)를 COG 방식에 의하여 각각 실장한다. COG 방식 이외의 실장 기술로서, TCP나 와이어 본딩(wire bonding) 방식을 사용하여 실장하여도 좋다. TCP는 TAB 테이프에 IC를 실장한 것이며, TAB 테이프를 소자 형성 기판 위의 배선에 접속하여 IC를 실장한다. 주사선 측 IC(706), 및 데이터선 측 IC(707)는, 규소 기판을 사용한 것이라도 좋고, 유리 기판, 석영 기판 혹은 플라스틱 기판 위에 박막 트랜지스터로 구동 회로를 형성한 것이라도 좋다. 또한, 한 쪽에 1개의 IC를 형성한 예를 나타내지만, 한 쪽에 복수 개로 분할하여 형성하여도 좋다.
- [0115] 또한, 데이터선(603)은 배선의 단부에서 접속배선(608)과 전기적으로 접속되어, 접속배선(608)이 데이터선 측 IC(707)와 접속된다. 이것은 데이터선 측 IC(707)를 역 테이퍼 형상의 격벽(604) 위에 형성하는 것이 어렵기 때문이다.

- [0116] 이상과 같은 구성으로 형성된 주사선 측 IC(706)는, 접속 배선(709a)을 통하여 FPC(711a)에 접속된다. 또한, 데이터선 측 IC(707)는 접속 배선(709b)을 통하여 FPC(711b)에 접속된다.
- [0117] 또한, IC칩(712)(메모리 칩, CPU 칩, 전원 회로칩 등)을 실장하여 집적화를 도모한다.
- [0118] 다음, IC칩(712)을 덮도록 접착층을 사용하여 가요성 기판을 고정한다.
- [0119] 다음, 기판(100)으로부터 발광 소자를 박리한다. 또한, 박리한 후, 필요에 따라, 비금속 무기막(103)을 제거하여도 좋다. 이 때의 도 8b의 선회선 C-D로 절단한 단면 구조의 일례를 도 9에 나타낸다.
- [0120] 주사선(602)은 2층의 적층구조이며, 하층(812)은 반사성을 가지는 금속막이며, 상층(813)은 투명한 산화물 도전막이다. 상층(813)은 일함수가 큰 도전막을 사용하는 것이 바람직하고, 인듐주석산화물(ITO) 이외에도, 예를 들면, Si 원소를 포함하는 인듐주석산화물이나 산화 인듐에 산화아연(ZnO)을 혼합한 IZO(indium Zinc Oxide) 등의 투명 도전 재료, 혹은 이들을 조합한 화합물을 포함하는 막을 사용할 수 있다. 또한, 하층(812)은, Ag 막, Al 막, 또는 Al 합금막을 사용한다.
- [0121] 인접하는 주사선들을 절연화하기 위한 격벽(514)은 수지로 형성되고, 격벽으로 둘러싸인 영역이 발광 영역과 대응하여 동일한 면적으로 된다.
- [0122] 데이터 선(603)(음극)은, 주사선(602)(양극)과 교차하도록 형성된다. 데이터 선(603)(음극)은, ITO나 Si 원소를 포함하는 인듐주석산화물이나, 산화 인듐에 산화아연(ZnO)을 혼합한 IZO 등의 투명 도전막을 사용한다. 본 실시형태에서는, 발광이 가요성 기판(820)을 통과하는 상방 사출 형의 발광 장치의 예이기 때문에, 데이터 선(603)은 투명인 것이 중요하다.
- [0123] 또한, 발광층을 가지는 적층막(815)을 끼워 주사선과 데이터 선의 교점에 위치하는 발광 소자를 복수 배치한 화소부, 단자부, 및 주변부에는, 접착층(817)으로 가요성 기판(820)이 접착된다. 접착층(817)으로서는, 자외선 경화 수지, 열 경화 수지, 실리콘(silicone) 수지, 에폭시 수지, 아크릴 수지, 폴리이미드 수지, 페놀 수지, PVC(polyvinyl chloride), PVB(polyvinyl butyral), 또는 EVA(ethylene vinyl acetate)를 사용할 수 있다.
- [0124] 단자부에는, 접속 배선(709b)이 형성되어, 이 부분에서 외부 회로와 접속하는 FPC(711b)(플렉시블 프린트 배선판)를 접착한다. 접속 배선(709b)은, 반사성을 가지는 금속막(827)과 투명한 산화물 도전막(826)과, 제 2 전극으로부터 연장한 산화 도전막의 적층으로 구성하지만, 특히 한정되지 않는다.
- [0125] FPC(711b)를 실장하는 방법은, 이방성 도전성 재료 혹은 메탈 범프를 사용한 접속 방법 또는 와이어 본딩 방식을 채용할 수 있다. 도 9에서는, 이방성 도전 접착재(831)를 사용하여 접속한다.
- [0126] 또한, 화소부의 주변에는, 화소부에 각 신호를 전송하는 구동회로가 형성된 데이터 선 측 IC(707)를 이방 도전성 재료(824, 825)에 의하여 전기적으로 접속한다. 또한, 컬러 표시에 대응한 화소부를 형성하기 위해서는, XGA 클래스로 데이터의 개수가 3072개이며, 주사선 측이 768개 필요하다. 이러한 개수로 형성된 데이터선 및 주사선은 화소부의 단부에서 수 블록마다 구분하여 리드(lead)선을 형성하여, IC의 출력 단자의 피치에 따라 모여진다.
- [0127] 이상의 공정에 의하여 외측에 비금속 무기막(103)이 형성된 유기 화합물 막(104)과 가요성 기판(820)으로 밀봉되어, IC칩이 실장된 발광모듈을 제작할 수 있다. IC칩을 실장할 때는, 열 압착을 행하기 때문에, 단단한 기판 위에서 행하는 것이 바람직하고, 본 발명에 의하여 IC칩을 실장한 후에 박리를 행하여 발광장치를 제작할 수 있다.
- [0128] (실시형태 4)
- [0129] 본 실시형태는 무선칩으로서 기능하는 반도체 장치를 제작하는 형태를 나타낸다. 본 실시형태에서 나타내는 반도체 장치는, 비접촉으로 데이터의 판독과 기록을 할 수 있는 것을 특징으로 하고, 데이터의 전송형식은, 한 쌍의 코일을 대향으로 배치하여 상호유도에 의하여 교신하는 전자결합방식, 유도전자계에 의하여 교신하는 전자유도 방식, 전파를 이용하여 교신하는 전파 방식의 3개로 나눌 수 있지만, 어느 방식을 사용해도 좋다.
- [0130] 또한, 데이터의 전송에 사용하는 안테나는 2종류의 설치방법이 있고, 하나는 복수의 소자 및 기억 소자가 형성된 반도체 부품(이하, 소자 기판이라고 기재한다)에 단자부를 형성하여, 다른 기판에 형성된 안테나를 상기 단자부에 접속하여 형성하는 경우, 또 하나는, 복수의 반도체 소자, 수동 소자 등이 형성된 소자 기판 위에 안테나를 제작하는 경우가 있다.

- [0131] 다른 기관에 형성된 안테나를 소자 기관의 단자부에 접속하여, 안테나를 형성하는 경우의 제작방법을 이하에 나타낸다.
- [0132] 우선, 실시형태 1과 같이, 도 10a에 나타내는 바와 같이, 기관(100) 위에 몰리브덴 막(101)을 형성하고, 몰리브덴 막(101) 위에 산화 몰리브덴 막(102)을 형성하고, 산화 몰리브덴 막(102) 위에 비금속 무기막(103)을 형성하고, 비금속 무기막(103) 위에 유기 화합물 막(104)을 형성한다. 또한, 필요가 있으면, 실시형태 1에 나타내는 바와 같이, 유기 화합물 막(104) 위에 무기 절연막(105)을 형성하여도 좋다.
- [0133] 다음, 도 10b에 나타내는 바와 같이, 유기 화합물 막(104) 위에 안테나로서 기능하는 도전층(904)을 형성한다. 안테나로서 기능하는 도전층(904)은, 금, 은, 구리 등의 도전체를 가지는 액적이나 페이스트를 액적 토출법(잉크 젯법, 디스펜서법 등)에 의하여 토출하여, 건조하여 소성하여 형성한다. 액적 토출법에 의하여 안테나로서 기능하는 도전층(904)을 형성함으로써, 공정수의 삭감이 가능하고, 그것에 따른 비용 삭감이 가능하다. 또한, 스크린 인쇄법을 사용하여 도전층(904)을 형성하여도 좋다. 스크린 인쇄법을 사용하는 경우, 안테나로서 기능하는 도전층(904)의 재료로서는, 입경이 수nm 내지 수십 μ m의 도전체 입자를 유기수지로 용해 또는 분산시킨 도전성의 페이스트를 선택적으로 인쇄한다. 도전체 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 티탄(Ti) 등의 어느 하나 이상의 금속입자나 할로겐화 은의 미립자, 또는 분산성 나노 입자를 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기수지는, 금속입자의 바인더, 용매, 분산제 및 피복제로서 기능하는 유기 수지로부터 선택된 하나 또는 복수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘(silicone) 수지 등의 유기 수지를 들 수 있다. 또한, 도전층(904)의 형성에 있어서, 도전성의 페이스트를 압출한 후에 소성하는 것이 바람직하다. 또한, 땀납이나 납 프리(free)의 땀납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우는, 입경 20 μ m이하의 미립자를 사용하는 것이 바람직하다. 땀납이나 납 프리 땀납은, 저비용인 이점을 가진다. 또한, 상술한 재료이외에도, 세라믹이나 페라이트(ferrite) 등을 안테나로 적용하여도 좋다.
- [0134] 스크린 인쇄법이나 액적 토출법을 사용하여 안테나를 제작하는 경우, 원하는 형상으로 형성한 후, 소성을 행한다. 이 소성 온도는 200℃ 내지 300℃이다. 200℃ 미만에서도 소성할 수 있지만, 200℃ 미만의 경우, 안테나의 도전성이 확보할 수 없는 것뿐만 아니라, 안테나의 통신거리도 짧아질 우려가 있다. 이들의 점을 고려하면, 안테나는 다른 기관, 즉 내열성을 가지는 기관 위에 형성한 후, 박리하여 소자 기관과 접속하는 것이 바람직하다.
- [0135] 또한, 안테나는, 스크린 인쇄법 이외에도, 그라비아 인쇄 등을 사용하여도 좋고, 도금법 등을 사용하여 도전성 재료에 의하여 형성할 수 있다.
- [0136] 다음, 도 10c에 나타내는 바와 같이, 박리를 행하여, 기관(100)으로부터 비금속 무기막(103)을 분리한다. 본 발명의 산화 몰리브덴 막을 사용한 박리 방법은 비교적 약한 힘을 가하는 것만에 의하여 박리할 수 있기 때문에, 수율이 향상한다. 또한, 본 발명의 산화 몰리브덴 막 부근을 사용한 박리 방법은, 500℃ 이상의 열 처리는 필요하지 않고, 비교적 약한 힘을 가할 뿐이기 때문에, 박리를 할 때에 유기 화합물 막(104)의 변형을 억제할 수 있고, 도전층(904)에의 데미지도 적어질 수 있다. 또한, 박리 공정을 행한 후, 필요에 따라, 비금속 무기막(103)을 제거하여도 좋다.
- [0137] 다음, 도 10d에 나타내는 바와 같이, 유기 화합물 막(104)에 있어서, 도전층(904)이 형성되는 면에 소자 기관(907)을 배치한다. 이방성 도전 재료를 사용하여 압착함으로써, 소자 기관의 단자부와 도전층(904)을 전기적으로 도통시킨다.
- [0138] 또한, 도 10a 내지 도 10d에 있어서는, 기관(100)으로부터 도전층(904)을 포함하는 적층체를 박리한 후, 도전층(904)과 소자 기관(907)을 접속하지만, 그 대신에, 도전층(904)을 소성하여, 도전층(904)에 소자 기관(907)을 접속한 후, 기관(100)으로부터 도전층(904)을 포함하는 적층체를 박리하여도 좋다.
- [0139] 또한, 도전층(904)을 포함하는 적층체에 복수의 안테나로서 기능하는 도전층이 형성되는 경우, 상기 적층체를 분단하여, 안테나로서 기능하는 도전층(904)을 가지는 복수의 적층체를 형성한 후, 상기 도전층(904)에 소자 기관을 접속하여도 좋다.
- [0140] 또한, 도 10d에서는 유기 화합물 막(104)에 비해 작은 면적의 소자 기관(907)을 형성한 예를 나타내지만, 특히 한정되지 않지만, 유기 화합물 막(104)과 대략 같은 면적의 소자 기관을 형성하여도 좋고, 유기 화합물 막(104)보다 큰 면적의 소자 기관을 형성하면 좋다.

- [0141] 이상의 공정에 의하여, IC 태그로서 기능하는 반도체 장치가 완성된다. 상기 반도체 장치는, 박형이며, 가요성을 가진다. 또한, 산화 물리브덴 막 및 안테나로서 기능하는 도전층의 사이에 유기 화합물 막을 형성함으로써, 상기 유기 화합물 막을 반도체 장치의 지지부재로서 기능시킬 수 있다. 따라서, 반도체 장치를 지지하기 위한 지지 기판을 필요이상으로 형성하지 않아도 좋고, 비용 삭감이 가능하다.
- [0142] 또한, 최후에 보호하기 위해서, 소자 기판(907)을 덮도록, 유기 화합물 막(104)과, 또 하나의 가요성 기판을 접착하여도 좋다.
- [0143] 다음, 소자 및 기억 소자가 형성된 소자 기판 위에 안테나를 형성하여, 무선 칩으로서 기능하는 반도체 장치를 제작하는 방법에 대해서 도 3a 내지 도 3d를 사용하여 설명한다.
- [0144] 실시형태 1과 같이, 도 3a에 나타내는 바와 같이, 기판(100) 위에 물리브덴 막(101)을 형성하고, 물리브덴 막(101) 위에, 산화 물리브덴 막(102)을 형성하고, 산화 물리브덴 막(102) 위에 비금속 무기막(103)을 형성하고, 비금속 무기막(103) 위에 유기 화합물 막(104)을 형성하고, 유기 화합물 막(104) 위에 무기 절연막(105)을 형성한다.
- [0145] 다음, 무기 절연막(105) 위에 비정질 반도체 막을 형성한다. 비정질 반도체 막은 실시형태 1에 나타내는 비정질 반도체 막(108)과 마찬가지로 형성한다. 여기서는, 플라즈마 CVD법에 의하여, 두께 10nm 이상 100nm 이하, 바람직하게는, 20nm 이상 80nm 이하의 비정질 규소막을 형성한다.
- [0146] 다음, 비정질 반도체 막에 레이저 빔(302)을 주사하여, 결정성 반도체 막을 형성한다. 도 3a에 있어서는, 비정질 반도체 막(301)에 레이저 빔을 주사하는 레이저 어닐링법에 의하여 결정성 반도체 막(303)을 형성하는 예를 나타낸다.
- [0147] 결정화를 레이저 어닐링법에 의하여 행하는 경우에는, 펄스 상(狀) 또는 연속파의 레이저를 사용할 수 있다. 또한, 레이저의 파장은, 반도체 막에 효율적으로 레이저 빔이 흡수되도록 가시영역 내지 자외영역(800nm 이하), 바람직하게는, 자외영역(400nm 이하)으로 한다. 레이저 발진기로서는, KrF, ArF, XeCl, XeF 등의 엑시머 레이저 발진기, N₂, He, He-Cd, Ar, He-Ne, HF 등의 기체 레이저 발진기, YAG, GdVO₄, YVO₄, YLF, YAlO₃, ScO₃, Lu₂O₃, Y₂O₃ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti, Yb, 또는 Tm를 도핑한 결정을 사용한 고체 레이저 발진기, 헬륨카드뮴 발진기 등의 금속증기 레이저 발진기 등을 사용할 수 있다. 또한, 고체 레이저 발진기에 있어서는, 기본파의 제 3 고조파 내지 제 5 고조파를 적용하는 것이 바람직하다. 레이저 광은 광학계에 의하여 집광하여 이용하지만, 예를 들면, 선 형상으로 가공하여 레이저 어닐링을 행한다. 레이저 어닐링의 조건은 실시자가 적절히 선택하는 것이지만, 그 일례로서, 레이저 펄스 발진 주파수를 30Hz로 하고, 레이저 에너지 밀도를 100 내지 500mJ/cm²(대표적으로는 300 내지 400mJ/cm²)로 한다. 그리고, 선형 빔을 기판 전면에 조사하여, 이 때의 선형 빔의 중첩률(오버랩(overlap)률)을 80% 내지 98%로서 행한다. 이렇게 하여, 결정성 반도체 막을 형성할 수 있다.
- [0148] 여기서는, 엑시머 레이저 빔을 비정질 규소막에 조사하여 결정성 규소막을 형성한다.
- [0149] 또한, 비정질 반도체 막으로부터 수소가 분출하는 것을 방지하기 위하여, 비정질 규소막에 레이저 빔을 조사하기 전에, 결정화하기 위한 레이저 빔보다 약한 에너지의 레이저 빔을 조사하여 비정질 규소 막 중의 수소를 제거하는 것이 바람직하다.
- [0150] 다음, 결정성 반도체 막(303)을 선택적으로 에칭하여 반도체 층(321, 322)을 형성한다. 여기서는, 결정성 반도체 막의 에칭방법으로서, 드라이 에칭, 웨트 에칭 등을 사용할 수 있다. 여기서는, 결정성 반도체 막 위에 레지스트를 도포한 후, 노광 및 현상을 행하여 레지스트 마스크를 형성한다. 다음, 레지스트 마스크를 사용하여 SF₆:O₂의 유량비율을 4:15로 한 드라이 에칭법에 의하여, 결정성 반도체 막을 선택적으로 에칭한다. 이 후, 레지스트 마스크를 제거한다.
- [0151] 다음, 반도체 층(321, 322) 위에 게이트 절연막(323)을 형성한다. 게이트 절연막(323)은, 질화규소, 산소를 포함하는 질화규소, 산화규소, 질소를 포함하는 산화규소 등의 단층 또는 적층 구조로 형성한다. 여기서는, 두께 115nm의 질소를 포함하는 산화규소를 플라즈마 CVD법에 의하여 형성한다.
- [0152] 다음, 게이트 전극(324, 325)을 형성한다. 게이트 전극(324, 325)은 금속 또는 일 도전형의 불순물을 첨가한 다결정 반도체로 형성할 수 있다. 또한, 금속을 사용하는 경우는, 텅스텐(W), 물리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 알루미늄(Al) 등을 사용할 수 있다. 또한, 금속을 질화시킨 금속 질화물을 사용할 수 있다. 또한, 상기

금속 질화물로 된 제 1 층과 상기 금속으로 된 제 2 층을 적층시킨 구조로 하여도 좋다. 또한, 액적 토출법을 사용하여 미립자를 포함하는 페이스트를 게이트 절연막 위에 토출하고, 건조·소성하여 형성할 수 있다. 또한, 게이트 절연막 위에 미립자를 포함하는 페이스트를 인쇄법에 의해 인쇄하고, 건조·소성하여 형성할 수 있다. 미립자의 대표적인 예로서는, 금, 구리, 금과 은의 합금, 금과 구리의 합금, 은과 구리의 합금, 금과 은과 구리의 합금의 어느 것을 주성분으로 하는 미립자라도 좋다. 여기서는, 게이트 절연막(323) 위에 막 두께 30 nm의 질화탄탈막 및 막 두께 370 nm의 텅스텐막을 스퍼터링법에 의하여 형성한 후, 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 질화탄탈막 및 텅스텐막을 선택적으로 에칭하여, 질화탄탈막의 단부가 텅스텐막의 단부보다 외측으로 튀어나온 형상의 게이트 전극(324, 325)을 형성한다.

[0153] 다음, 게이트 전극(324, 325)을 마스크로 하여, 반도체 층(321, 322)에 각각 n형을 부여하는 불순물 원소 및 p형을 부여하는 불순물 원소를 첨가하여, 소스 영역 및 드레인 영역(326 내지 329)을 형성한다. 또한, 게이트 전극(324, 325)의 일부와 겹치는 저농도 불순물 영역(331 내지 334)을 형성한다. 여기서는, 소스 영역 및 드레인 영역(326 내지 329) 및 저농도 불순물 영역(331 내지 334)에 n형을 부여하는 불순물 원소인 인을 도핑한다.

[0154] 이 후, 반도체 막에 첨가한 불순물 원소를 활성화하여도 좋다. 여기서는, 레이저 빔을 조사하여 불순물의 활성화를 하여도 좋다. 이상의 공정에 의하여, 박막 트랜지스터(320a, 320b)를 형성한다. 또한, 박막 트랜지스터(320a, 320b)로서는, n채널형의 박막 트랜지스터를 형성한다. 또한, 도시하지 않지만, p채널형의 박막 트랜지스터 및 n채널형의 박막 트랜지스터에 의하여 구동회로를 구성한다.

[0155] 다음, 박막 트랜지스터(320a, 320b)의 게이트 전극 및 배선을 절연화하는 층간 절연막을 형성한다. 여기서는, 층간 절연막으로서 산화규소막(335a), 질화규소막(335b), 및 산화규소막(335c)을 적층하여 형성한다. 또한, 층간 절연막의 일부인 산화규소막(335c) 위에 박막 트랜지스터(320a, 320b)의 소스 영역 및 드레인 영역(326 내지 329)에 접속하는 배선(336 내지 339)을 형성한다. 여기서는, 스퍼터링법에 의하여, Ti 막 100nm, Al 막 333nm, Ti 막 100nm를 연속하여 형성한 후, 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 선택적으로 에칭하여, 배선(336 내지 339)을 형성한다. 그 후, 레지스트 마스크를 제거한다.

[0156] 다음, 박막 트랜지스터(320b)에 접속하는 배선(339) 위에 안테나로서 기능하는 도전층(313)을 형성한다. 안테나로서 기능하는 도전층(313)은, 도 10a 내지 도 10d에 나타내는 안테나로서 기능하는 도전층(904)과 마찬가지로 형성할 수 있다. 또한, 스퍼터링법에 의하여 도전층을 형성한 후, 포토리소그래피 공정에 의하여 형성한 마스크로 선택적으로 도전층을 에칭하여, 안테나로서 기능하는 도전층(313)을 형성할 수 있다.

[0157] 그 후, 안테나로서 기능하는 도전층(313) 및 층간 절연막 위에 패시베이션 막(314)을 형성하여도 좋다. 패시베이션 막(314)을 형성함으로써, 안테나로서 기능하는 도전층(313)이나 박막 트랜지스터(320a, 320b)가 외부의 수분이나 산소, 불순물에 의하여 오염되는 것을 회피할 수 있다. 패시베이션 막(314)으로서, 질화규소, 산화규소, 질화산화규소, 산화질화규소, DLC(다이아몬드 라이크 카본), 탄화질소 등으로 형성한다.

[0158] 다음 도 3c에 나타내는 바와 같이, 패시베이션 막(314) 위에 접착층(341)을 사용하여 가요성 기판(342)을 고정한다.

[0159] 다음, 기판(100)으로부터, 비금속 무기막(103), 유기 화합물 막(104), 박막 트랜지스터(320a, 320b), 안테나로서 기능하는 도전층(313), 및 가요성 기판(342)을 포함하는 적층체(343)를 박리한다. 산화 폴리브텐 막은 부서지기 쉽기 때문에, 비교적 약한 힘으로 적층체를 기판으로부터 박리할 수 있다. 또한, 박리한 후, 필요에 따라, 비금속 무기막(103)을 제거하여도 좋다.

[0160] 또한, 비금속 무기막(103), 유기 화합물 막(104), 박막 트랜지스터(320a, 320b), 안테나로서 기능하는 도전층(313), 및 가요성 기판(342)을 포함하는 적층체(343)에 복수의 반도체 장치가 포함되는 경우, 상기 적층체를 분단하여, 복수의 반도체 장치를 개개로 절단하면 좋다. 이러한 공정에 의하여, 한번의 박리 공정에 의하여 복수의 반도체 장치를 제작할 수 있다.

[0161] 이상의 공정에 의하여, IC 태그로서 기능하는 반도체 장치(344)가 완성된다. 본 실시형태의 반도체 장치는, 박형이며, 가요성을 가진다. 또한, 산화 폴리브텐 막 및 박막 트랜지스터의 사이에 유기 화합물 막을 형성함으로써, 상기 유기 화합물 막을 반도체 장치의 지지부재로서 기능시킬 수 있다. 따라서, 반도체 장치를 지지하기 위한 지지기판을 필요이상으로 형성하지 않아도 좋고, 비용 삭감이 가능하다.

[0162] 여기서는, 반도체 장치에 있어서의 신호의 전송방식으로서, 전자결합방식 또는 전자유도방식(예를 들면, 13.56MHz 대역)을 적용한다. 자계밀도의 변화에 의한 전자유도를 이용하기 위해서, 도 10d에서는, 안테나로서 기능하는 도전층의 상면 형상을 고리 형상(예를 들면, 루프 안테나), 나선 형상(예를 들면, 스파이럴 안테나)으

로 형성하지만, 특히 형상은 한정되지 않는다.

- [0163] 또한, 반도체 장치에 있어서의 신호의 전송방식으로서, 마이크로파 방식(예를 들면, UHF 대역(860MHz 내지 960MHz 대역), 2.45GHz 대역 등)을 적용할 수 있다. 그 경우에는, 신호의 전송에 사용하는 전자파의 파장을 고려하여 안테나로서 기능하는 도전층의 길이 등의 형상을 적절히 설정하면 좋다. 유기 화합물 막(104) 위에 형성된 안테나로서 기능하는 도전층(912), 집적회로를 가지는 칩 형상의 반도체 장치(913)의 예를 도 11a 내지 도 11d에 일례를 나타낸다. 예를 들면, 안테나로서 기능하는 도전층의 상면 형상을 선 형상(예를 들면, 디이폴 안테나(도 11a 참조)), 평탄한 형상(예를 들면, 패치 안테나(도 11b 참조)), 또는 리본 형상(도 11c, 도 11d 참조) 등으로 형성할 수 있다. 또한, 안테나로서 기능하는 도전층의 형상은 선 형상으로 한정되지 않고, 전자파의 파장을 고려하여 곡선 형상이나 지그재그 형상 또는 이들을 조합한 형상으로 형성하여도 좋다.
- [0164] 또한, 이상의 공정에 의하여 얻어진 반도체 장치의 구성에 대해서, 도 12a를 참조하여 설명한다. 도 12a에 나타내는 바와 같이, 본 발명에서 얻어지는 반도체 장치(1120)는, 비접촉으로 데이터를 교신하는 기능을 가지고, 전원회로(1111), 클록 발생회로(1112), 데이터 복조 회로 또는 데이터 변조 회로(1113), 다른 회로를 제어하는 제어회로(1114), 인터페이스 회로(1115), 기억회로(1116), 데이터 버스(1117), 안테나(1118), 센서(1121), 센서회로(1122)를 가진다.
- [0165] 전원회로(1111)는, 안테나(1118)로부터 입력된 교류신호에 의거하여 반도체 장치(1120)의 내부의 각 회로에 공급하는 각종 전원을 생성하는 회로이다. 클록 발생회로(1112)는, 안테나(1118)로부터 입력된 교류신호에 의거하여, 반도체 장치(1120)의 내부의 각 회로에 공급하는 각종 클록신호를 생성하는 회로이다. 데이터 복조 회로 또는 데이터 변조 회로(1113)는, 통신기(1119)와 교신하는 데이터를 복조 또는 변조하는 기능을 가진다. 제어회로(1114)는, 기억회로(1116)를 제어하는 기능을 가진다. 안테나(1118)는, 전파의 송수신을 행하는 기능을 가진다. 통신기(1119)는, 반도체 장치와의 교신, 제어 및 그 데이터에 관한 처리를 제어한다. 또한, 반도체 장치란, 상기 구성에 제약되지 않고, 예를 들면, 전원전압의 리미터 회로나 암호처리 전용 하드웨어라고 하는 다른 요소를 추가한 구성이라도 좋다.
- [0166] 기억회로(1116)는, 한 쌍의 도전층 간에 유기 화합물 층 또는 상변화(相變化) 층이 끼워진 기억소자를 가지는 것을 특징으로 한다. 또한, 기억회로(1116)는, 한 쌍의 도전층 간에 유기 화합물 층 또는 상변화 층이 끼워진 기억소자만 가져도 좋고, 다른 구성의 기억회로를 가져도 좋다. 다른 구성의 기억회로란, 예를 들면, DRAM, SRAM, FeRAM, 마스크ROM, PROM, EPROM, EEPROM 및 플래시 메모리로부터 선택되는 하나 또는 복수에 상당한다.
- [0167] 센서(1121)는 저항 소자, 용량 결합 소자, 유도 결합 소자, 광 기전력 소자, 광전 변환 소자, 열 기전력 소자, 트랜지스터, 서미스터(thermistor), 또는 다이오드 등의 반도체 소자에 의해 형성된다. 센서 회로(1122)는 임피던스, 리액턴스, 인덕턴스, 전압 또는 전류의 변화를 검출하고, 신호를 아날로그/디지털 변환(A/D 변환)하여 제어 회로(1114)로 신호를 출력한다.
- [0168] 본 실시형태는, 실시형태 1이나 실시형태 2와 자유롭게 조합할 수 있다. 예를 들면, 실시형태 1과 실시형태 2에서 얻어지는 박막 트랜지스터를 사용하여 집적회로를 형성하여, 박리를 행한 소자기판과, 본 실시형태에서 얻어지는 안테나가 형성된 가요성 기판을 접착하여 전기적인 도통을 행할 수 있다.
- [0169] 본 발명에 의하여, 프로세서 회로를 가지는 IC 태그(이하, IC 칩, 프로세서 칩, 무선 칩, 무선 프로세서, 무선 메모리, 무선 태그라고도 부른다)로서 기능하는 반도체 장치를 형성할 수 있다. 본 발명에 의해 얻어지는 반도체 장치의 용도는 광범위하고, 예를 들면, 지폐, 동전, 유가증권류, 증명서류, 무기명 채권류, 포장용 용기류, 서적류, 기록 매체, 신변용품, 탈 것류, 식품류, 의류, 보건용품류, 생활용품류, 약품류, 및 전자기기 등에 형성하여 사용할 수 있다.
- [0170] 지폐, 동전이란, 시장에 유통하는 돈이고, 특정 지역에서 화폐와 같이 통용하는 것(금권), 기념 코인 등을 포함한다. 유가증권들은 수표, 증권, 약속 어음 등을 의미하며, 프로세서 회로를 포함하는 IC 태그(90)를 형성할 수 있다(도 13a 참조). 증서류란, 운전 면허증, 주민등록증 등을 의미하며, IC 태그(91)를 형성할 수 있다(도 13b 참조). 탈 것류는, 자전거 등의 차량, 선박 등을 의미하며, IC 태그(96)를 형성할 수 있다(도 13c 참조). 무기명 채권류는, 우표, 쌀 쿠폰, 다양한 상품권 등을 의미한다. 포장 용기류는 도시락 등의 포장지, 페트보틀 등을 의미하고, IC 태그(93)를 형성할 수 있다(도 13d 참조). 서적류는, 책을 의미하며, IC 태그(94)를 형성할 수 있다(도 13e 참조). 기록 매체는 DVD 소프트웨어, 비디오 테이프 등을 의미하고, IC 태그(95)를 형성할 수 있다(도 13f 참조). 신변용품은, 가방, 안경 등을 의미하며, 프로세서 회로를 가지는 칩(97)을 형성할 수 있다(도 13g 참조). 식품류는 식료품, 음료수 등을 의미한다. 의류는 옷, 신발 등을 의미한다. 보건용품은 의료

기구, 건강 기구 등을 의미한다. 생활용품류는 가구, 조명 기구 등을 의미한다. 약품류는 의약 제품, 농약 등을 의미한다. 전자 기기는, 액정 표시장치, EL 표시장치, 텔레비전 장치(TV 수상기, 박형 텔레비전 수상기), 휴대전화 등을 의미한다.

[0171] 본 발명에서 얻어진 반도체 장치는 프린트 기판에의 실장, 표면에의 부착, 묻음 등에 의하여, 물품에 고정된다. 예를 들면, 책의 경우, 종이에 묻거나, 유기 수지로 되는 패키지의 경우는, 상기 유기 수지에 묻거나 하여, 각 물품에 고정된다. 본 발명의 반도체 장치는, 소형, 박형, 경량을 실현하기 위하여, 물품에 고정한 후에도, 그 물품 자체의 디자인성을 상하게 하지 않는다. 또한, 지폐, 경화, 유가증권류, 무기명 채권류, 증명서 등에 본 발명에서 얻어진 반도체 장치를 형성함으로써, 인증 기능을 구비할 수 있고, 이 인증 기능을 활용하면, 위조를 방지할 수 있다. 또한, 포장 용기류, 기록 매체, 신변용품, 식품류, 의류, 생활용품류, 전자기기 등에 본 발명에서 얻어진 반도체 장치를 형성함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다.

[0172] 다음, 본 발명에서 얻어진 반도체 장치를 실장한 전자 기기의 일 형태에 대해서 도면을 참조하여 설명한다. 여기서 예시하는 전자기기는, 휴대전화기이며, 케이스(2700, 2706), 패널(2701), 하우징(2702), 프린트 배선 기판(2703), 조작 버튼(2704), 배터리(2705)를 가진다(도 12b 참조). 패널(2701)은 하우징(2702)에 탈착자재로 내장되고, 하우징(2702)은, 프린트 배선 기판(2703)에 끼워 붙여진다. 하우징(2702)은, 패널(2701)이 내장되는 전자기기에 맞추도록 형상이나 치수가 적절히 변경된다. 프린트 배선 기판(2703)에는, 패키징된 복수의 반도체 장치가 실장되어, 이들 중의 하나로서 본 발명에서 얻어지는 반도체 장치를 사용할 수 있다. 프린트 배선 기판(2703)에 실장되는 복수의 반도체 장치는, 컨트롤러, 중앙처리 유닛(CPU, Central Processing Unit), 메모리, 전원회로, 음성처리회로, 송수신회로 등의 임의의 기능을 가진다.

[0173] 패널(2701)은 접속 필름(2708)을 통하여, 프린트 배선 기판(2703)과 접속된다. 상기의 패널(2701), 하우징(2702), 프린트 배선 기판(2703)은, 조작 버튼(2704)이나 배터리(2705)와 함께, 케이스(2700, 2706)의 내부에 수납된다. 패널(2701)이 포함하는 화소 영역(2709)은, 케이스(2700)에 형성된 개구 창을 통하여 시인(視認)할 수 있도록 배치된다.

[0174] 상기와 같이, 본 발명에서 얻어지는 반도체 장치는, 가요성 기판을 사용하기 때문에, 박형, 경량인 것을 특징으로 하여, 상기 특징에 의하여 전자기기의 케이스(2700, 2706)의 내부의 한정된 공간을 유효하게 이용할 수 있다.

[0175] 또한, 케이스(2700, 2706)는, 휴대전화기의 외관형상을 일례로서 나타낸 것이며, 본 실시형태에 관한 전자기기는, 그 기능이나 용도에 따라, 다양한 형태로 변경할 수 있다.

[0176] (실시형태 5)

[0177] 여기서는, 비정질 반도체 막을 사용한 반도체 소자를 가지는 반도체 장치를 제작하는 예를, 도 4a 내지 도 4d를 사용하여 설명한다. 비정질 반도체 막을 사용한 반도체 소자로서는, 박막 트랜지스터, 다이오드, 저항소자 등이 있다. 여기서는, 비정질 반도체 막을 사용한 반도체 소자로서 다이오드를 사용한 광전 변환 소자의 예를 사용하여 나타낸다.

[0178] 실시형태 1과 같이, 기판(100) 위에 몰리브덴 막(101)을 형성하고, 몰리브덴 막(101) 위에, 산화 몰리브덴 막(102)을 형성하고, 산화 몰리브덴 막(102) 위에 비금속 무기막(103)을 형성하고, 비금속 무기막(103) 위에 유기 화합물 막(104)을 형성한다. 여기까지의 공정이 끝난 단계의 단면 공정도를 도 4a에 나타낸다.

[0179] 다음, 유기 화합물 막(104) 위에 무기 절연막(105)을 형성하여, 무기 절연막(105) 위에 제 1 도전층(242a 내지 242c)을 형성한다. 다음, 제 1 도전층(242a 내지 242c)의 일부를 노출시키도록 광전 변환층(243a 내지 243c)을 형성한다. 다음, 광전 변환층(243a 내지 243c) 위, 제 1 도전층(242a 내지 242c)의 노출부의 일부에 제 2 도전층(244a 내지 244c)을 형성한다. 여기서는, 제 1 도전층(242a), 광전 변환층(243a), 및 제 2 도전층(244a)에 의하여 광전 변환 소자(241a)를 구성한다. 또한, 제 1 도전층(242b), 광전 변환층(243b), 및 제 2 도전층(244b)에 의하여 광전 변환 소자(241b)를 구성한다. 또한, 제 1 도전층(242c), 광전 변환층(243c), 및 제 2 도전층(244c)에 의하여 광전 변환 소자(241c)를 구성한다. 또한, 광전 변환 소자(241a 내지 241c)가 직렬접속으로 되도록, 광전 변환 소자(241a)의 제 2 도전층(244a)은, 제 2 광전 변환 소자(241b)의 제 1 도전층(242b)과 접하도록 형성한다. 또한, 광전 변환 소자(241b)의 제 2 도전층(244b)은, 제 3 광전 변환 소자(241c)의 제 1 도전층(242c)과 접하도록 형성한다. 광전 변환 소자(241c)의 제 2 도전층(244c)은, 제 4 광전 변환 소자의 제 1 도전층과 접하도록 형성한다.

[0180] 유기 화합물 막(104) 측에서 빛이 입사하는 경우는, 제 1 도전층(242a 내지 242c)을, 비정질 반도체 막으로 형

성되는 광전 변환층(243a 내지 243c)과 옴 접촉(ohmic contact)을 할 수 있고, 투광성을 가지는 도전막을 사용한다. 대표적으로는, ITO(산화인듐산화주석합금), 산화인듐산화아연합금($\text{In}_2\text{O}_3\text{-ZnO}$), 산화아연(ZnO), 산화규소를 포함하는 인듐주석산화물 등을 사용할 수 있다. 또한, 제 2 도전층(244a 내지 244c)으로서는, 비정질 반도체 막으로 형성되는 광전 변환층(243a 내지 243c)과 옴 접촉을 할 수 있는 금속막으로 형성한다. 이 대표적인 예로서는, 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 몰리브덴(Mo), 팔라듐(Pd), 탄탈(Ta), 텅스텐(W), 백금(Pt), 금(Au)으로부터 선택된 일 원소, 또는 상기 원소를 50% 이상 포함하는 합금재료로 형성된다.

[0181] 한편, 제 2 도전층(244a 내지 244c) 측에서 빛이 입사하는 경우, 제 1 도전층(242a 내지 242c)에, 비정질 반도체 막으로 형성되는 광전 변환층(243a 내지 243c)과 옴 접촉을 할 수 있는 금속막을 사용하여, 제 2 도전층(244a 내지 244c)에 비정질 반도체 막으로 형성되는 광전 변환층(243a 내지 243c)과 옴 접촉을 할 수 있고, 투광성을 가지는 전극을 사용한다.

[0182] 광전 변환층(243a 내지 243c)으로서는, 비정질 반도체 막을 가지는 반도체 층으로서 형성할 수 있다. 이 대표적인 예로서는, 비정질 규소층, 비정질규소게르마늄 층, 탄화규소 층, 또는 이들의 PN 접합층, PIN 접합층을 들 수 있다. 본 실시형태에서는, PIN 접합의 아모퍼스규소로 광전 변환층(243a 내지 243c)을 형성한다.

[0183] 제 2 도전층(244a 내지 244c) 위에 접착재(246)를 사용하여 가요성 기판(245)을 접착하여도 좋다.

[0184] 다음, 기판(100)으로부터 비금속 무기막(103), 유기 화합물 막(104), 광전 변환 소자(241a 내지 241c), 및 가요성 기판(245)을 포함하는 적층체(247)를 박리한다. 산화 몰리브덴 막은 부서지기 쉽기 때문에, 비교적 약한 힘으로 박리할 수 있다. 또한, 박리한 후, 필요에 따라 비금속 무기 막(103)을 제거하여도 좋다.

[0185] 또한, 비금속 무기막(103), 유기 화합물 막(104), 광전 변환 소자(241a 내지 241c), 및 가요성 기판(245)을 포함하는 적층체(247)에 복수의 반도체 장치가 포함되는 경우, 상기 적층체를 분단하여, 복수의 반도체 장치를 개개로 절단하여도 좋다. 이러한 공정에 의하여, 한번의 박리 공정으로 복수의 반도체 장치(248)를 제작할 수 있다.

[0186] 이상의 공정으로 가요성을 가지고, 박형의 반도체 장치를 제작할 수 있다.

[0187] 또한, 본 실시형태에 의하여 제작되는 반도체 장치를 내장함으로써, 다양한 전자기기를 제작할 수 있다. 전자기기로서는, 휴대전화, 노트북형 퍼스널 컴퓨터, 게임기기, 카 네비게이션 시스템, 휴대 오디오 기기, 핸드(handy) AV 기기, 디지털 카메라나 필름 카메라, 인스턴트 카메라 등의 카메라, 실내용 에어컨디셔너, 카 에어컨디셔너, 환기(換氣)/공기조절 설비, 전기 포트(pot), CRT식 프로젝션 TV, 조명 기기, 조명 설비 등을 들 수 있다. 그들의 전자기기의 구체적인 예를 이하에 나타낸다.

[0188] 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를 디스플레이 휘도, 백 라이트 조도의 최적조정 및 배터리 세이브(save)용의 센서로서, 휴대전화, 노트북형 퍼스널 컴퓨터, 게임기기, 카 네비게이션 시스템, 휴대 오디오 기기 등에 사용할 수 있다. 또한, 본 실시형태의 광전 변환 소자를 태양전지로서 기능시켜, 상기 태양 전지를 배터리로서 이들의 전자기기에 형성할 수 있다. 이들의 반도체 장치는, 소형이고, 고집적화할 수 있기 때문에, 전자기기의 소형화를 도모할 수 있다.

[0189] 또한, 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를 백 라이트용 LED나 냉음극관의 ON/OFF 제어, 배터리 세이브 용의 센서로서, 휴대전화 키 스위치, 핸드 AV기기에 탑재할 수 있다. 광 센서를 탑재함으로써, 밝은 환경에서는, 스위치를 OFF로 하여 장시간 버튼 조작에 의한 배터리의 소모를 경감시킬 수 있다. 본 발명의 반도체 장치는, 소형이고, 고집적화할 수 있기 때문에, 전자기기의 소형화, 및 소비전력의 절감을 도모할 수 있다.

[0190] 또한, 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를 플래시(flash) 조광, 조리개 제어용 센서로서 디지털 카메라나 필름 카메라, 인스턴트 카메라 등의 카메라에 탑재할 수 있다. 또한, 본 실시형태의 광전 변환 소자를 태양 전지로서 기능시켜, 상기 태양 전지를 배터리로서 이들의 전자기기에 형성할 수 있다. 이들의 반도체 장치는, 소형이고, 고집적화할 수 있기 때문에, 전자기기의 소형화를 도모할 수 있다.

[0191] 또한, 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를 풍량(風量), 온도 제어용의 센서로서, 실내용 에어컨디셔너, 카 에어컨디셔너, 환기/공기조절 설비에 탑재할 수 있다. 본 발명의 반도체 장치는 소형이며, 고집적화할 수 있기 때문에, 전자기기의 소형화를 도모할 수 있다. 전력의 절감을 도모할 수 있다.

- [0192] 또한, 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를, 보온 온도 제어용의 센서로서 전기 포트에 탑재할 수 있다. 본 실시형태의 광 센서에 의하여, 실내의 조명을 끈 후는, 보온 온도를 낮게 설정할 수 있다. 또한, 소형이고 박형이기 때문에, 임의의 곳에 탑재할 수 있고, 이 결과, 전력의 절감을 도모할 수 있다.
- [0193] 또한, 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를 주사선 위치 조정용(RGB 주사선의 위치 맞춤(Digital Auto Convergence)) 센서로서 CRT식 프로젝션 TV의 디스플레이에 탑재할 수 있다. 본 발명의 반도체 장치는, 소형이고, 고집적화할 수 있기 때문에, 전자기기의 소형화를 도모할 수 있고, 임의의 영역에 센서를 탑재할 수 있다. 또한, CRT식 프로젝션 TV의 고속 자동 제어가 가능하게 된다.
- [0194] 또한, 본 실시형태의 광전 변환 소자를 광 센서로서 기능시켜, 상기 광 센서를, 각종 조명기기, 조명 설비의 ON/OFF 제어용 센서로서, 가정용 각종 조명기구, 옥외등(屋外燈), 가로등(街路燈), 무인 공공 설비, 경계장, 자동차, 전자식 탁상 계산기 등에 사용할 수 있다. 본 발명의 센서에 의하여, 전력의 절감이 가능하게 된다. 또한, 본 실시형태의 광전 변환 소자를 태양 전지로서 기능시켜, 상기 태양 전지를 배터리로써 이들의 전자기기에 형성함으로써, 배터리의 크기를 박막화할 수 있고, 전자기기의 소형화를 도모할 수 있다.
- [0195] (실시형태 6)
- [0196] 본 발명에 의하여 얻어지는 액정 표시장치나 발광장치는 다양한 모듈(액티브 매트릭스형 액정 모듈, 액티브 매트릭스형 EL 모듈)에 사용할 수 있다. 즉, 그들을 표시부에 내장한 모든 전자기기에서 본 발명이 실시될 수 있다.
- [0197] 그러한 전자기기로서는, 비디오 카메라나 디지털 카메라 등의 카메라, 헤드 실장 디스플레이(고글 형 디스플레이), 카 네비게이션 시스템, 프로젝터, 카 스테레오 컴포넌트, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 14a 내지 도 14c에 나타낸다.
- [0198] 도 14a 및 도 14b는 텔레비전 장치이다. 표시 패널에는, 화소부만이 형성되어 주사선 측 구동회로와 신호선 측 구동회로가 TAB 방식에 의하여 실장되는 경우와, COG 방식에 의하여 실장되는 경우와, 박막 트랜지스터를 형성하여, 화소부와 주사선 측 구동회로를 기판 위에 일체형성하여, 신호선 측 구동회로를 별도 드라이버 IC로서 실장하는 경우, 또는 화소부와 신호선 측 구동회로와 주사선 측 구동회로를 기판 위에 일체 형성하는 경우 등이 있지만, 어느 형태로 하여도 좋다.
- [0199] 그 이외의 외부 회로의 구성으로서, 영상신호의 입력 측에서는, 튜너로 수신한 신호 중의, 영상 신호를 증폭하는 영상 신호 증폭회로와, 그 곳으로부터 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색 신호로 변환하는 영상 신호 처리회로와, 그 영상 신호를 드라이버 IC의 입력 방법으로 변환하기 위한 컨트롤 회로 등으로 된다. 컨트롤 회로는, 주사선 측과 신호선 측에 각각 신호가 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로를 형성하여, 입력 디지털 신호를 복수로 분할하여 공급하는 구성으로 하여도 좋다.
- [0200] 튜너에서 수신한 신호 중에서, 음성 신호는, 음성 신호 증폭 회로에 송신되어, 그 출력은 음성 신호 처리 회로를 통하여 스피커에 공급된다. 제어회로는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부로부터 받고, 튜너나 음성 신호 처리 회로에 신호를 송출한다.
- [0201] 표시 모듈을 도 14a와 도 14b에 나타내는 바와 같이, 케이스에 내장하여, 텔레비전 장치를 완성시킬 수 있다. FPC까지 구비된 표시 패널을 표시 모듈이라고도 부른다. 표시 모듈에 의하여 주화면(2003)이 형성되고, 그 이외의 부속 설비로서 스피커 부(2009), 조작 스위치 등이 구비된다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.
- [0202] 도 14a에 나타내는 바와 같이, 케이스(2001)에 표시소자를 이용한 표시용 패널(2002)이 내장되어, 수신기(2005)에 의하여 일반의 텔레비전 방송의 수신을 비롯하여 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 상방향(송신자와 수신자간, 또는 수신자간 끼리)의 정보통신도 행할 수 있다. 텔레비전 장치의 조작은, 케이스에 내장된 스위치 또는 별체의 리모트 컨트롤 조작기(2006)에 의하여 행할 수 있고, 이 리모트 컨트롤러 장치에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어도 좋다.
- [0203] 또한, 텔레비전 장치에도, 주화면(2003) 이외로 서브 화면(2008)을 제 2 표시용 패널로 형성하여, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다. 이 구성에 있어서, 주화면(2003)을 시야각이 뛰어난 EL표시패널로 형성하여, 서브 화면을 저소비전력으로 표시할 수 있는 액정 표시용 패널로 형성하여도 좋다. 또한, 저소비 전

력화를 우선시키기 위해서는, 주화면(2003)을 액정 표시용 패널로 형성하여, 서브 화면을 EL표시용 패널로 형성하여, 서브 화면은 점멸 가능한 구성으로 하여도 좋다.

[0204] 도 14b는, 예를 들면, 20 인치 내지 80 인치의 대형의 표시부를 가지는 텔레비전 장치이며, 케이스(2010), 조작부인 키보드부(2012), 표시부(2011), 스피커 부(2013) 등을 포함한다. 본 발명은, 표시부(2011)의 제작에 적용된다. 도 14b의 표시부는, 만족할 수 있는 가요성 기관을 사용하기 때문에, 표시부가 만족한 텔레비전 장치로 된다. 이와 같이, 표시부의 형상을 자유롭게 설계할 수 있기 때문에, 원하는 형상의 텔레비전 장치를 제작할 수 있다.

[0205] 본 발명에 의하여, 간략한 공정으로 표시장치를 형성할 수 있기 때문에, 코스트 다운도 달성할 수 있다. 따라서, 본 발명을 사용한 텔레비전 장치에 있어서는, 대화면의 표시부를 가져도 낮은 비용으로 형성할 수 있다.

[0206] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터뿐만 아니라, 철도의 역이나, 공항 등에 있어서의 정보표시판이나, 길가에 있어서의 광고표시판 등 대면적의 표시매체로서 다양한 용도로 적용될 수 있다.

[0207] 또한, 도 14c는 휴대 정보 단말(전자 서적)이며, 본체(3001), 표시부(3002, 3003), 기억 매체(3004), 조작 스위치(3005), 안테나(3006) 등을 포함한다. 본 발명의 박리 방법은, 표시부(3002, 3003)에 적용할 수 있다. 가요성 기관을 사용하여 휴대 정보 단말의 박형화 및 경량화를 도모할 수 있다.

[0208] 본 실시형태는, 실시형태 1 내지 실시형태 3 중의 어느 하나와 자유롭게 조합할 수 있다.

[0209] (실시형태 7)

[0210] 본 실시형태에서는, 실시형태 6에 기재한 표시부로서 전기 영동 표시장치를 사용하는 예를 나타낸다. 대표적으로는, 도 14c에 나타내는 휴대 정보단말(전자서적)의 표시부(3002), 또는 표시부(3003)에 적용한다.

[0211] 전기 영동 표시장치(전기 영동 디스플레이)는, 전자 페이퍼라고도 불리며, 종이처럼 읽기 쉽다는 장점, 다른 표시장치에 비교하여 저소비 전력이며, 얇고 가벼운 형상으로 할 수 있는 이점을 가진다.

[0212] 전기 영동 디스플레이는, 다양한 형태를 취할 수 있지만, 플러스의 전하를 가지는 제 1 입자와, 마이너스의 전하를 가지는 제 2 입자와, 용매를 포함하는 마이크로 캡슐을 복수 가지고, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜, 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함한다)으로 한다.

[0213] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 제 1 입자 또는 제 2 입자가 높은 전계영역으로 이동하는, 소위 유전 영동적 효과(dielectrophoretic effect)를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정표시장치에는 필요한 편광판, 대향기관도 전기 영동 표시장치에는 필요가 없고, 두께나 무게가 절반으로 준다.

[0214] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 가지는 입자를 사용함으로써, 컬러 표시도 가능하다.

[0215] 또한, 기관 위에 적절히, 2개의 전극의 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면 표시장치가 완성하여, 마이크로 캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시형태 1 또는 실시형태 2에서 얻어지는 액티브 매트릭스 기관을 사용할 수 있다. 플라스틱 기관에 전자 잉크를 직접 인쇄할 수도 있지만, 액티브 매트릭스형으로 하는 경우, 열이나 유기용제에 약한 플라스틱 기관 위에 소자를 형성하는 것보다, 유리 기관 위에 소자 및 전자 잉크를 형성한 후, 유리 기관을 실시형태 1 또는 실시형태 2에 따라 박리하는 것이 바람직하다.

[0216] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네선스 재료, 일렉트로크로믹 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는, 이들의 복합 재료를 사용하면 좋다.

[0217] 본 실시형태는, 실시형태 1, 실시형태 2, 또는 실시형태 6의 어느 하나와 자유롭게 조합할 수 있다.

[0218] [실시예 1]

- [0219] 본 실시예에서는, 본 발명의 박리 공정 전후에 있어서의 반도체 소자의 일레인 박막 트랜지스터의 전류전압 특성의 변화를 나타낸다.
- [0220] 도 16a 내지 도 16f를 사용하여 본 실시예의 박막 트랜지스터의 제작 공정을 나타낸다.
- [0221] 도 16a에 나타내는 바와 같이, 기판(100) 위에 몰리브덴 막(101)을 형성하고, 몰리브덴 막(101) 위에 산화 몰리브덴 막(102)을 형성하고, 산화 몰리브덴 막(102) 위에 비금속 무기막(103)을 형성하고, 비금속 무기막(103) 위에 유기 화합물 막(104)을 형성하고, 유기 화합물 막(104) 위에 무기 절연막(105)을 형성하고, 무기 절연막(105) 위에 제 1 도전막(151)을 형성한다.
- [0222] 여기서는, 기판(100)으로서는, Corning Incorporated 제의 유리 기판을 사용했다.
- [0223] 또한, 몰리브덴 막(101)으로서는, 스퍼터링법에 의하여 두께 50nm의 몰리브덴 막을 형성했다. 여기서는, 몰리브덴 타겟을 사용하여, 스퍼터링 가스로서는, 유량 30sccm의 아르곤 가스를 사용하여, 챔버내의 압력을 0.4Pa로 하고, 전원 파워를 1.5kW로 했다.
- [0224] 또한, 산화 몰리브덴 막(102)은, 플라즈마 CVD 장치의 챔버내에 N₂O 가스를 충전하여, 플라즈마를 발생시켜 몰리브덴 막(101) 표면을 산화하여 형성했다.
- [0225] 또한, 비금속 무기 막(103)은, 플라즈마 CVD법에 의하여, 두께 100nm의 산질화규소 막을 형성했다. 여기서는, 원료 가스로서, 유량 100sccm의 SiH₄ 및 유량 1000sccm의 N₂O를 사용하여, 챔버내의 압력을 80Pa로 하고, 전원 파워를 300kW로 하고, 성막 온도를 280℃로 했다. 또한, 전원 주파수는, 13.56MHz, 전극간 거리 24.5mm, 전극 사이즈는 60.3cm × 49.3cm = 2972.8cm²이다.
- [0226] 또한, 유기 화합물 막(104)으로서는, 스핀 코팅법에 의하여 조성물을 도포하여, 80℃에서 가열한 후, 300℃에서 30분 가열하여, 두께 15μm의 wax이미드를 형성했다.
- [0227] 또한, 무기 절연막(105)으로서는, 플라즈마 CVD법에 의하여, 두께 50nm의 질화산화규소막을 형성한 후, 두께 100nm의 산화 질화규소막을 형성했다. 여기서는, 원료 가스로서, 유량 15sccm의 SiH₄ 및 유량 1200sccm의 H₂, 유량 150sccm의 NH₃ 및 유량 20sccm의 N₂O를 사용하여, 챔버내의 압력을 40Pa로 하고, 전원 파워를 250kW로 하고, 성막 온도를 280℃로 했다. 또한, 전원 주파수는, 13.56MHz, 전극간 거리 24.5mm, 전극 사이즈는 60.3cm × 49.3cm = 2972.8cm²이다.
- [0228] 제 1 도전막(151)으로서는, 몰리브덴 막(101)과 같은 조건에 의하여, 두께가 100nm의 몰리브덴 막을 형성했다.
- [0229] 다음, 제 1 도전막(151)의 표면 개질 처리를 행한 후, 발액막(撥液膜)(도시하지 않는다)을 형성하여, 발액막에 UV광을 조사한 후, 제 1 마스크(152)를 형성했다.
- [0230] 여기서는, 제 1 도전막(151)의 표면에는 발액막이 형성되지 않기 때문에, 제 1 도전막의 표면을 과산화수소로 단시간에서 처리하여, 제 1 도전막(151)의 표면 개질 처리를 행했다. 또한, 발액막은, 제 1 마스크(152)의 형상을 제어하기 위해서 형성했다. 발액막의 표면의 표면 장력이 높으면, 그 위에 토출되는 조성물의 습윤성이 낮고, 제 1 마스크가 분단되어, 원하는 형상으로 되지 않을 우려가 있기 때문에, 발액막에 UV광을 조사하여 발액막의 표면 장력을 제어했다. 여기서는, 헵타데카플루오로데실트리메톡시실란(heptadecafluorodecyltrimethoxysilane)을 170℃에서 10분 증착하여, 제 1 도전막 표면에 헵타데카플루오로데실트리메톡시실란을 흡착시켜 발액막을 형성했다.
- [0231] 제 1 마스크(152)는 잉크 젯 법에 의하여 조성물을 토출하여, 120℃에서 3분 가열하여, 노볼락 수지로 형성했다.
- [0232] 다음, 제 1 마스크(152)로 덮이지 않는 제 1 도전막(151)을 에칭하여, 도 16b에 나타내는 게이트 전극(161)을 형성했다. 이 후, 제 1 마스크(152)를 제거했다.
- [0233] 여기서는, 유량 50sccm의 CF₄ 및 유량 45sccm의 O₂를 에칭 가스로서 사용하여, 챔버내의 압력을 13.33Pa로 하여, 전원 파워 500W로, 제 1 도전막(151)을 드라이 에칭했다.
- [0234] 다음, 무기 절연막(105), 게이트 전극(161) 위에 게이트 절연막(162)을 형성하고, 게이트 절연막(162) 위에 비정질 반도체 막(163)을 형성하고, 비정질 반도체 막(163) 위에 n형 반도체 막(164)을 형성했다.

- [0235] 게이트 절연막(162)으로서는, 플라즈마 CVD법에 의하여 두께가 300nm의 질화규소막을 형성하고, 비정질 반도체 막(163)으로서는, 플라즈마 CVD법에 의하여 두께 150nm의 비정질 규소막을 형성하고, n형 반도체 막(164)으로서는 플라즈마 CVD법에 의하여 두께 50nm의 n형 비정질 규소막을 형성했다.
- [0236] 여기서, 게이트 절연막(162)으로서 형성한 질화규소막의 성막 조건은, 원료 가스로서, 유량 40sccm의 SiH_4 , 유량 500sccm의 H_2 , 유량 550sccm의 NH_3 및 유량 140sccm의 N_2O 를 사용하여, 챔버내의 압력을 100Pa로 하고, 전원 파워를 370kw로 했다. 또한, 비정질 반도체 막(163)으로서 형성한 비정질 규소막의 성막 조건은, 원료 가스로서, 유량 280sccm의 SiH_4 , 및 유량 300sccm의 H_2 를 사용하여, 챔버내의 압력을 170Pa로 하여, 전원 파워를 60kw로 했다. 또한, n형 반도체 막(164)으로서 형성한 n형 비정질 규소막의 성막 조건은, 원료 가스로서, 유량 100sccm의 SiH_4 , 및 유량 170sccm의 0.5% PH_3 (수소 희석)를 사용하여, 챔버내의 압력을 170Pa로 하여, 전원 파워를 60kw로 했다. 또한, 이들의 성막에 있어서, 성막 온도를 280℃로 하여, 전원 주파수는, 13.56MHz, 전극간 거리 24.5mm, 전극 사이즈는 $60.3\text{cm} \times 49.3\text{cm} = 2972.8\text{cm}^2$ 이다.
- [0237] 다음, n형 반도체 막(164)의 표면에 발액막(도시하지 않는다)을 형성한 후, 제 2 마스크(165)를 형성했다. 또한, n형 반도체 막(164)의 표면 개질 처리, 발액막의 형성, 및 발액막의 UV광의 조사는, 제 1 도전막(151) 위에 있어서의 제 1 마스크(152)의 형성 전의 처리와 같다.
- [0238] 제 2 마스크(165)로서는, 잉크 젯 법에 의하여 조성물을 토출하여, 120℃에서 3분 가열하여, 노볼락 수지로 형성했다.
- [0239] 다음, 제 2 마스크(165)를 사용하여 n형 반도체 막(164)을 에칭하여, 도 16c에 나타내는 n형 반도체 층(172)을 형성하고, 제 2 마스크(165)를 사용하여 비정질 반도체 막(163)을 에칭하여 비정질 반도체 층(171)을 형성했다.
- [0240] 여기서, 유량 60sccm의 Cl_2 , 유량 10sccm의 CF_4 를 에칭 가스로서 사용하여, 챔버내의 압력을 13.3Pa로 하여, 전원 파워 750W의 조건으로 비정질 반도체 막(163) 및 n형 반도체 막(164)을 드라이 에칭했다. 이 후, 제 2 마스크(165)를 제거했다.
- [0241] 다음, 도시하지 않지만, 제 3 마스크를 게이트 절연막(162) 위에 형성하여, 게이트 절연막(162)의 일부를 에칭하여, 게이트 전극(161)의 일부를 노출하는 콘택트 홀을 형성한다. 이 후, 제 3 마스크를 제거했다.
- [0242] 여기서, 유량 35sccm의 CHF_3 를 에칭 가스로서 사용하여, 챔버내의 압력을 3.33Pa로 하여, 전원 파워 1000W로 게이트 절연막(162)을 드라이 에칭했다.
- [0243] 다음, 게이트 전극(161), 게이트 절연막(162), 비정질 반도체 층(171), n형 반도체 층(172)의 노출부에 제 2 도전막(173)을 형성했다. 다음, 도시하지 않지만, 제 2 도전막(173)의 표면 개질 처리를 행한 후, 발액막을 형성하여, 발액막의 표면에 UV광을 조사한 후, 제 4 마스크(174, 175)를 형성했다. 또한, 제 2 도전막(173)의 표면 개질 처리, 발액막의 형성, 및 발액막의 UV광의 조사는, 제 1 도전막(151) 위에 있어서의 제 1 마스크(152)의 형성하기 전의 처리와 같다.
- [0244] 여기서, 제 2 도전막(173)으로서, 제 1 도전막(151)과 같은 조건에 의하여, 두께 200nm의 폴리브텐 막을 형성했다. 또한, 제 4 마스크(174, 175)로서는, 제 1 마스크(152)와 같은 조건에 의하여, 노볼락 수지로 형성했다.
- [0245] 다음, 제 4 마스크(174, 175)를 사용하여 제 2 도전막(173)을 에칭하여, 도 16d에 나타내는 소스 전극 및 드레인 전극(181, 182)을 형성했다. 또한, 도시하지 않지만, 게이트 전극(161)에 접속하는 접속 배선도 형성했다.
- [0246] 여기서, 인산, 초산, 및 질산의 혼합 용액을 사용한 웨트 에칭으로 제 2 도전막(173)을 에칭했다. 이 후, 제 4 마스크(174, 175)를 제거했다.
- [0247] 다음, 소스 전극 및 드레인 전극(181, 182)을 마스크로 하여, n형 반도체 층(172)을 에칭하여 소스 영역 및 드레인 영역(183, 184)을 형성했다. 이 때, 비정질 반도체 층(171)도 약간 에칭되었다. 이 때의 비정질 반도체 층을 비정질 반도체 층(185)이라고 나타낸다.
- [0248] 다음, 게이트 절연막(162), 소스 전극 및 드레인 전극(181, 182), 비정질 반도체 층(185)의 노출부에 제 3 절연막(186)을 형성했다. 제 3 절연막(186)은, 패시베이션 막으로서 기능한다.
- [0249] 여기서, 제 3 절연막(186)으로서, 게이트 절연막(162)과 같은 성막 조건으로 두께가 200nm의 질화규소막을 형

성했다.

[0250] 다음, 제 3 절연막(186) 위에 제 5 마스크(187 내지 189)를 형성한 후, 제 3 절연막(186)을 에칭하여 절연막(191)을 형성하는 것과 함께, 소스 전극 및 드레인 전극(181, 182), 및 게이트 전극과 접속하는 접속 배선의 각각 일부를 노출했다. 상기 공정에 의하여, 제작된 박막 트랜지스터의 전류전압 특성을 측정할 수 있다. 이 후, 제 5 마스크(187 내지 189)를 제거했다.

[0251] 여기서는, 게이트 절연막에 콘택트 홀을 형성한 경우와 같은 조건으로, 드라이 에칭으로 제 3 절연막(186)을 에칭했다.

[0252] 다음, 박막 트랜지스터의 전류전압 특성을 향상시키기 위해서, 가열 처리를 행했다. 여기서는, 250℃에서 12분의 가열을 행했다. 상기 가열에 의하여 오프 전류(I_{off})를 저감시킬 수 있다. 상기의 공정에 의하여, 박막 트랜지스터(192)를 제작했다.

[0253] 여기서, 박막 트랜지스터(192)의 전류전압 특성을 측정했다. 이 측정 결과를 도 17a에 나타낸다.

[0254] 다음, 기판의 단부에 보강(補強)용 테이프를 접착하여, 상기 테이프 측에서 기판(100)까지 칼자국을 낸 후, 도 16f에 나타내는 바와 같이, 기판(100)으로부터 비금속 무기막(103)을 분리했다. 여기서는, 산화 폴리브덴 막(102)에서 분리가 생겨, 기판(100)으로부터 비금속 무기막(103)이 분리한 도면을 나타낸다.

[0255] 다음, 기판(100)으로부터 박리한 박막 트랜지스터(192)의 전류전압 특성을 측정한 결과를 도 17b에 나타낸다. 또한, 도 17a 및 도 17b의 측정결과를 표 1에 나타낸다. 또한, 측정한 박막 트랜지스터의 채널 길이는, 50 μ m이며, 채널 폭은 170 μ m이었다.

표 1

[0256]

	박리하기 전	박리한 후
$S_{\text{값}}[\text{V/dec}]$	0.59	0.56
$V_{\text{th}}[\text{V}]$	5.39	5.28
$\mu\text{FE}[\text{cm}^2/\text{Vs}]$	0.66	0.61
on/off 비율 ($V_d=1\text{V}$)	7.54×10^5	6.50×10^5
on/off비율 ($V_d=14\text{V}$)	1.72×10^6	1.97×10^6

[0257] 도 17a 내지 도 17b에 의하여, 박리의 전후에 있어서, 박막 트랜지스터의 전류전압 특성 및 이동도가 거의 변화하지 않는 것을 알 수 있다.

[0258] 이상에 의하여, 기판 위에 형성한 박막 트랜지스터의 특성의 저하를 회피하면서, 가요성을 가지는 반도체 장치를 제작할 수 있는 것을 알 수 있다.

도면의 간단한 설명

[0259] 도 1a 내지 도 1e는 본 발명의 반도체 장치의 제작방법을 설명하는 단면도.

[0260] 도 2a 내지 도 2d는 본 발명의 반도체 장치의 제작방법을 설명하는 단면도.

[0261] 도 3a 내지 도 3d는 본 발명의 반도체 장치의 제작방법을 설명하는 단면도.

[0262] 도 4a 내지 도 4d는 본 발명의 반도체 장치의 제작방법을 설명하는 단면도.

[0263] 도 5a 내지 도 5c는 본 발명의 반도체 장치의 구성을 설명하는 상면도 및 단면도.

[0264] 도 6은 본 발명의 반도체 장치의 구성을 설명하는 사시도.

[0265] 도 7은 본 발명의 반도체 장치의 구성을 설명하는 상면도.

[0266] 도 8a 내지 도 8b는 본 발명의 반도체 장치의 구성을 설명하는 상면도.

[0267] 도 9는 본 발명의 반도체 장치의 구성을 설명하는 단면도.

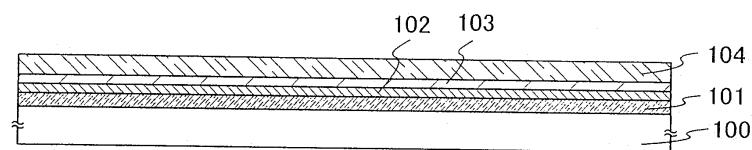
[0268] 도 10a 내지 도 10c는 본 발명의 반도체 장치의 제작방법을 설명하는 단면도이며, 도 10d는 그 사시도.

- [0269] 도 11a 내지 도 11d는 본 발명에 적용할 수 있는 안테나의 형상을 설명하는 상면도.
- [0270] 도 12a는 본 발명의 반도체 장치의 구성을 설명하는 도면이고, 도 12b는 전자기기의 일례를 설명하는 도면.
- [0271] 도 13a 내지 도 13g는 본 발명의 반도체 장치의 용도를 설명하는 도면.
- [0272] 도 14a 내지 도 14c는 전자기기의 일례를 나타내는 도면.
- [0273] 도 15a 내지 도 15b는 유기 박막 트랜지스터의 단면 구조의 일례를 나타내는 도면.
- [0274] 도 16a 내지 도 16f는 본 발명의 반도체 장치의 제작방법을 설명하는 단면도.
- [0275] 도 17a 내지 도 17b는 본 발명을 사용하여 제작한 박막 트랜지스터의 전류전압 특성을 설명하는 도면.
- [0276] <도면의 주요 부분에 대한 부호의 설명>

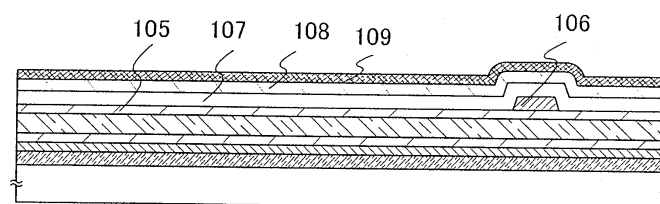
- | | |
|-----------------------|---------------|
| [0277] 100: 기판 | 101: 몰리브덴 막 |
| [0278] 102: 산화 몰리브덴 막 | 103: 비금속 무기막 |
| [0279] 104: 유기 화합물막 | 105: 무기 절연막 |
| [0280] 106: 게이트 전극 | 107: 게이트 절연막 |
| [0281] 108: 비정질 반도체 막 | 109: 반도체 막 |
| [0282] 111: 박막 트랜지스터 | 112: 드레인 전극 |
| [0283] 113: 소스 전극 | 114: 반도체 층 |
| [0284] 115: 반도체 층 | 116: 비정질 반도체층 |
| [0285] 117: 보호막 | 118: 층간 절연막 |
| [0286] 119: 전극 | 120: 전극 |
| [0287] 121: 배향막 | 131: 고분자 재료 |
| [0288] 132: 액정 | 133: 가요성 기판 |
| [0289] 134: 적층체 | 135: 액정 표시 장치 |

도면

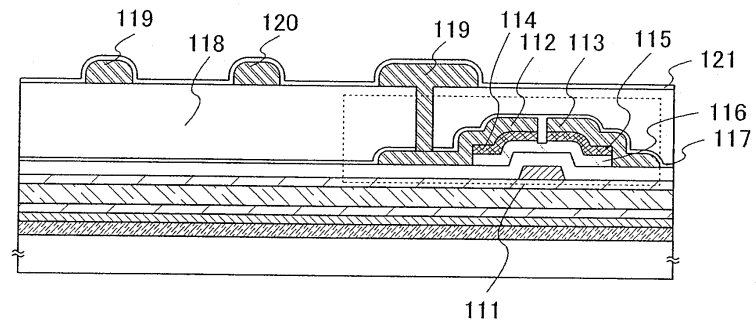
도면1a



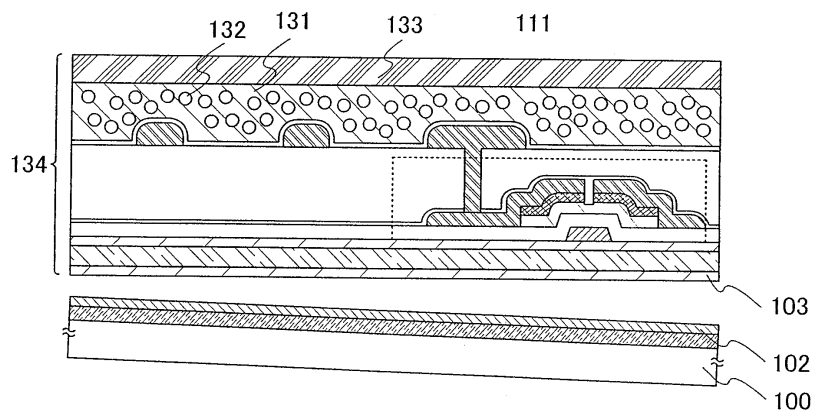
도면1b



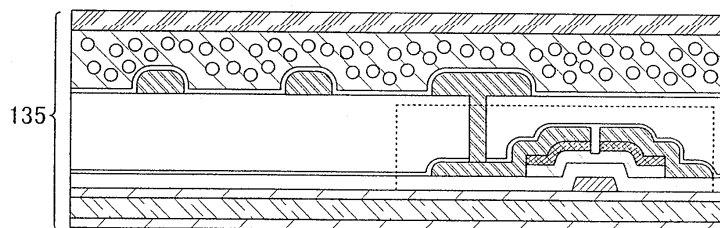
도면1c



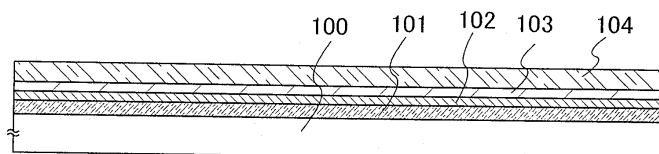
도면1d



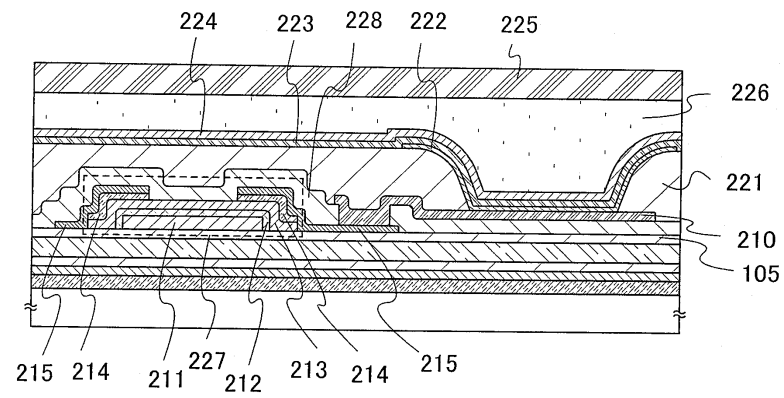
도면1e



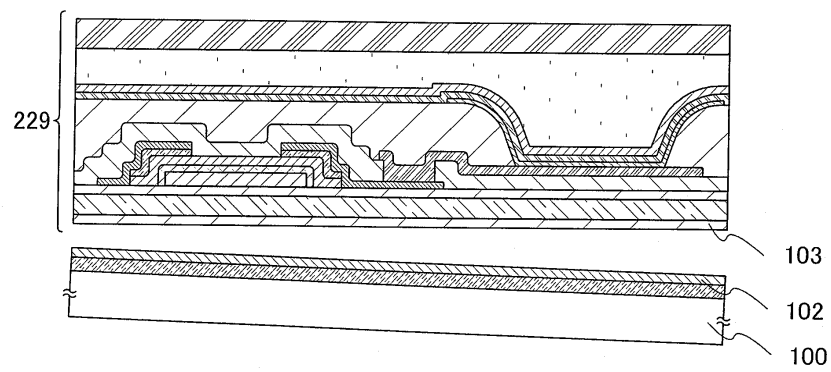
도면2a



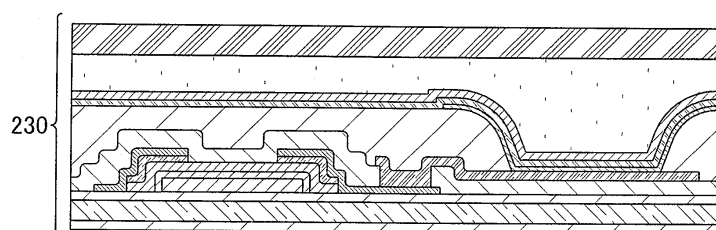
도면2b



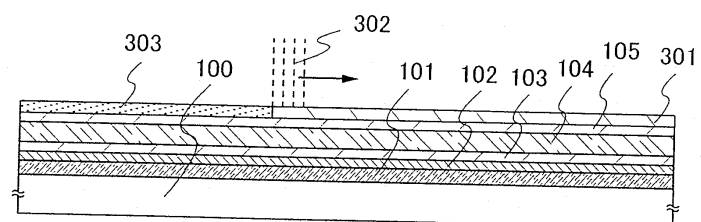
도면2c



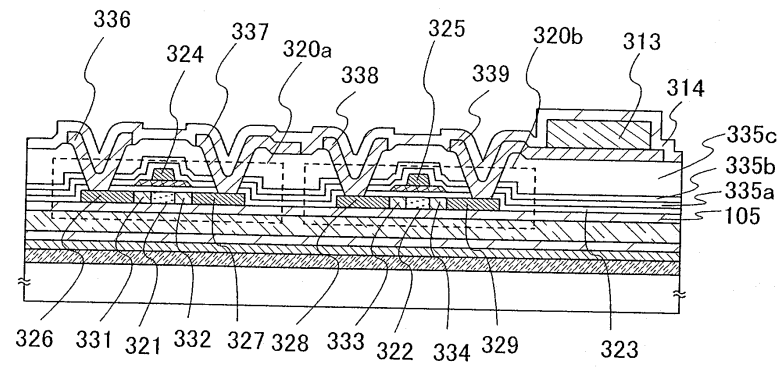
도면2d



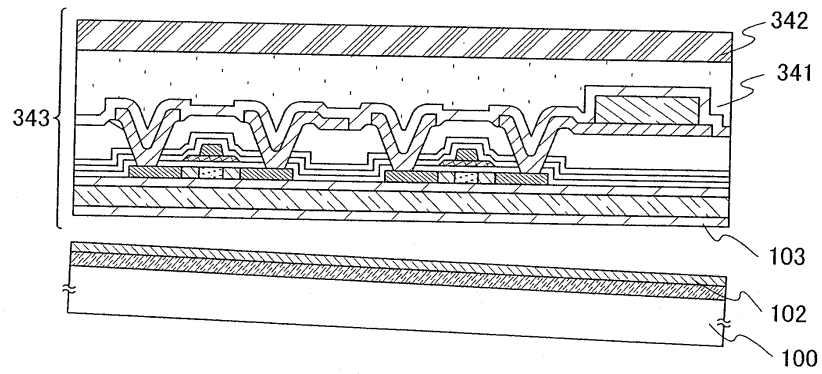
도면3a



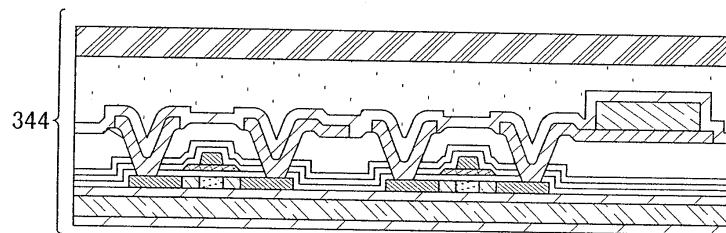
도면3b



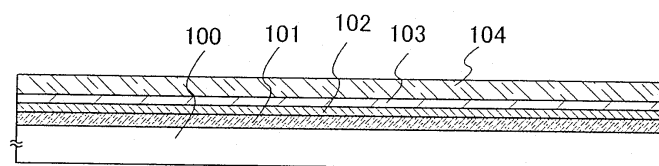
도면3c



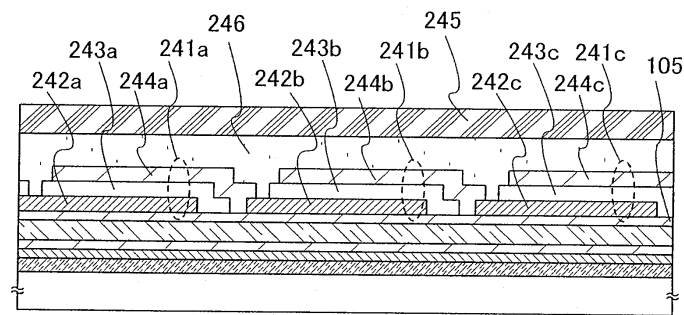
도면3d



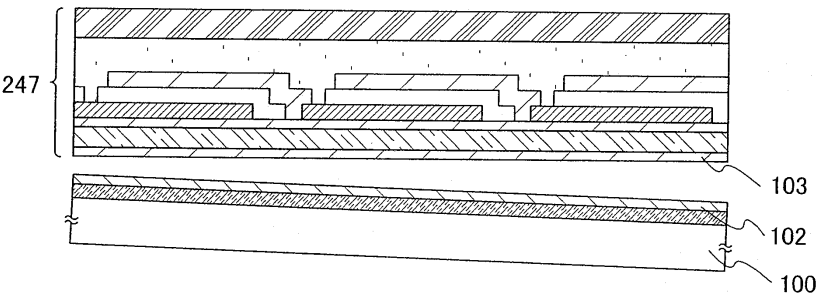
도면4a



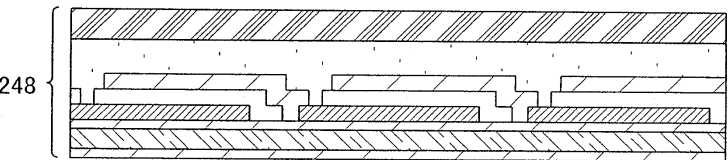
도면4b



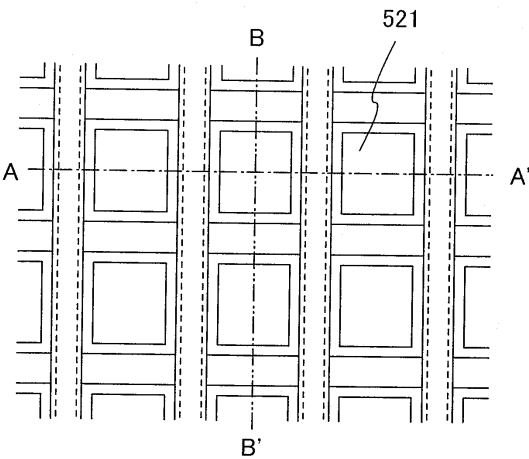
도면4c



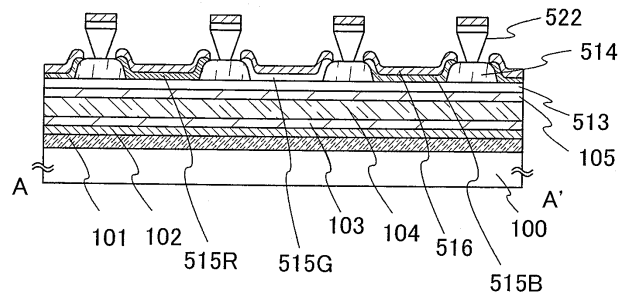
도면4d



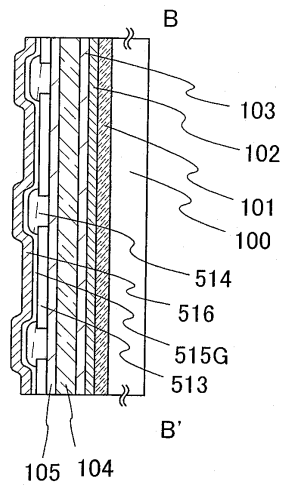
도면5a



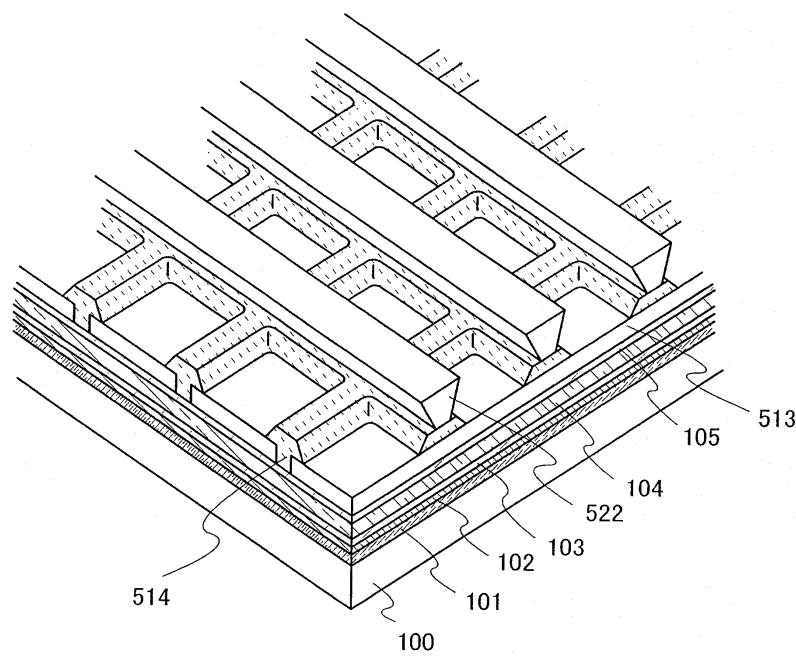
도면5b



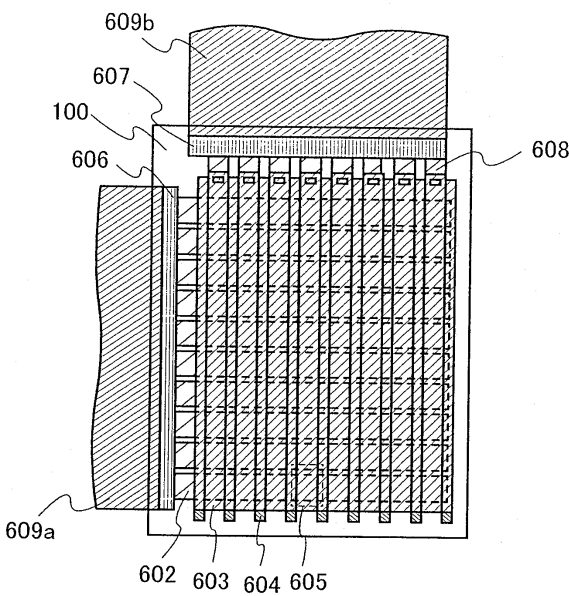
도면5c



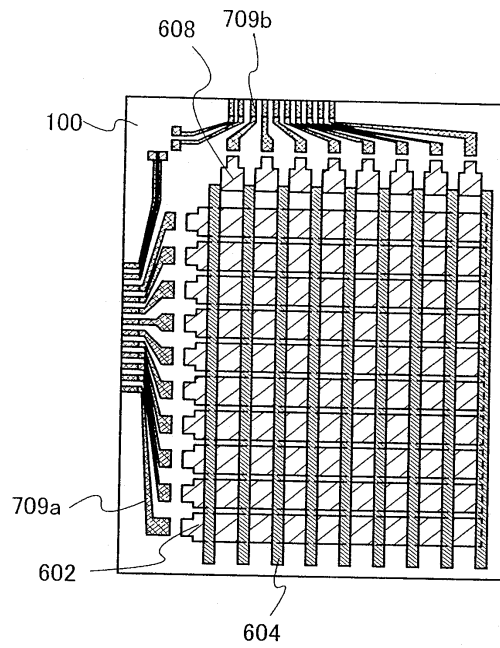
도면6



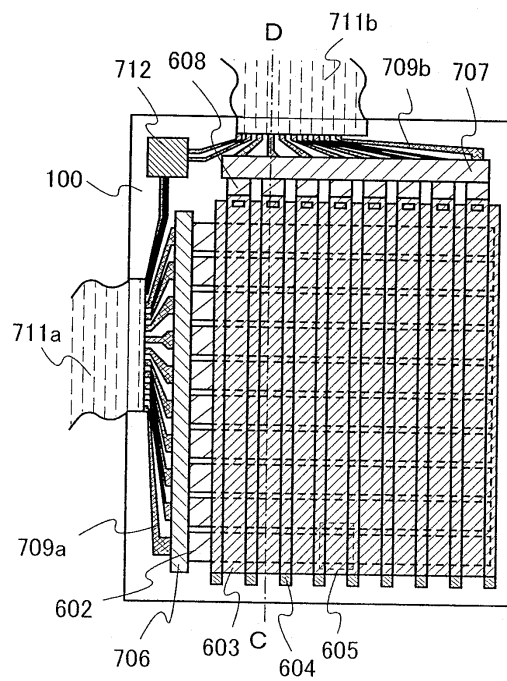
도면7



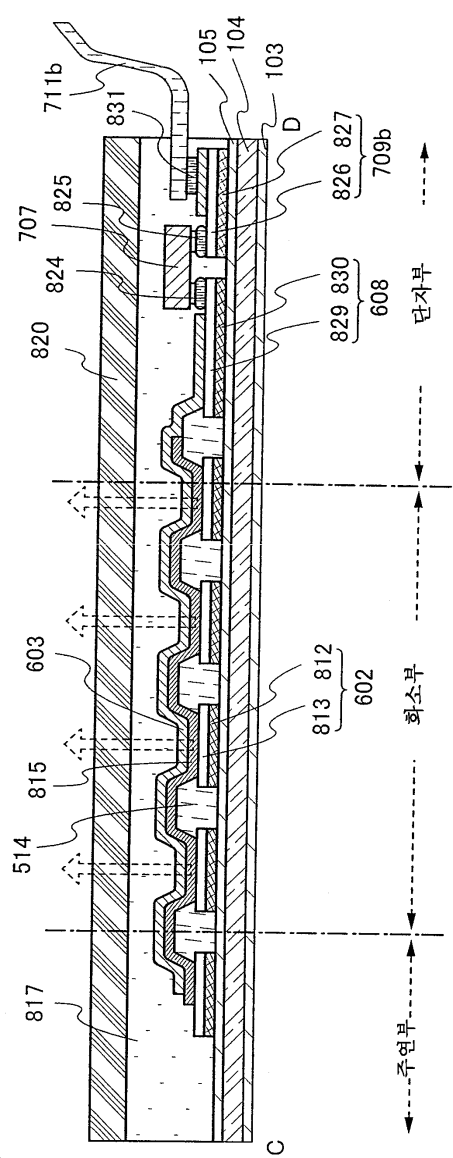
도면 8a



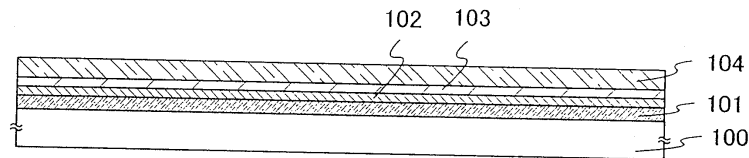
도면 8b



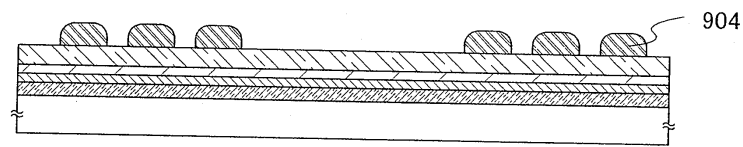
도면9



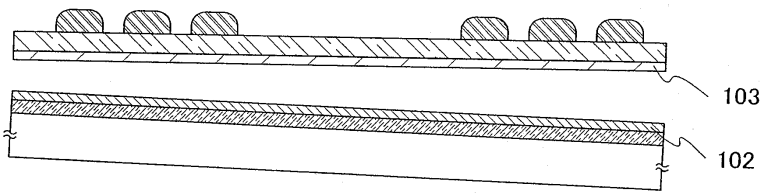
도면10a



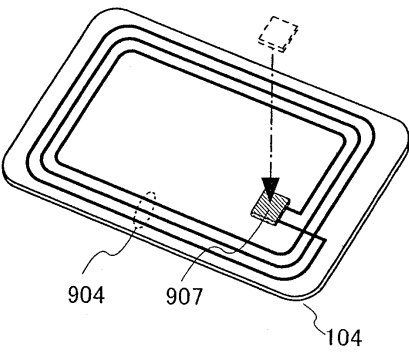
도면10b



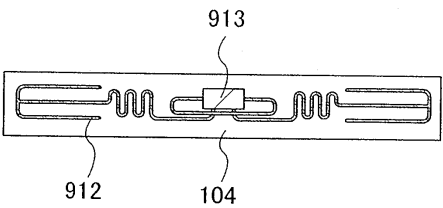
도면10c



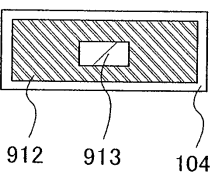
도면10d



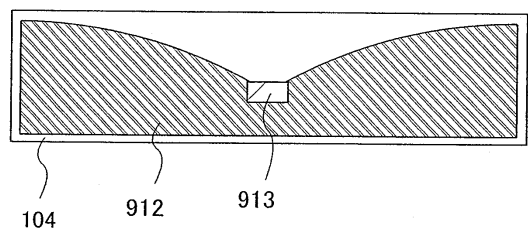
도면11a



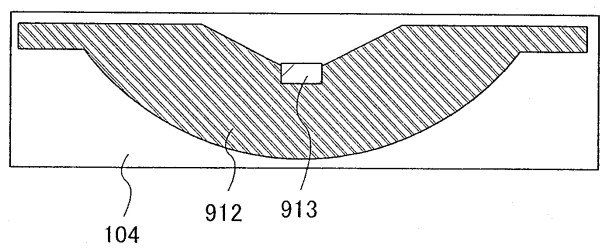
도면11b



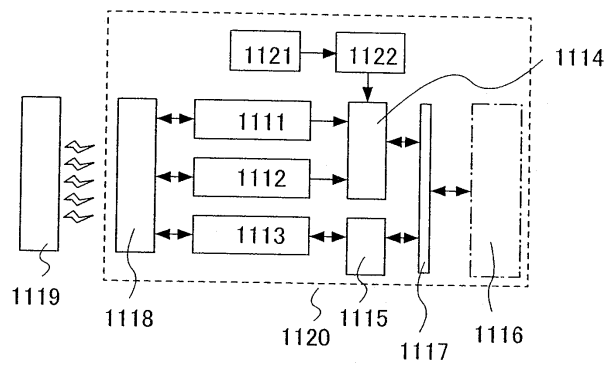
도면11c



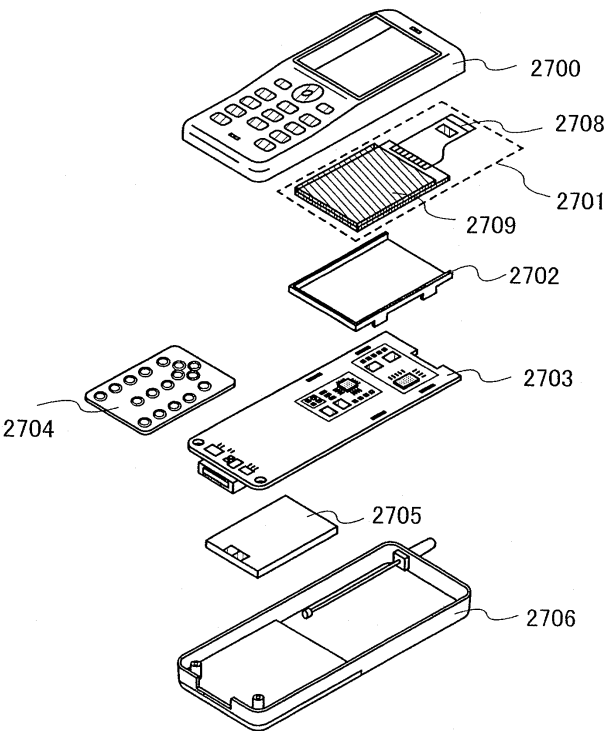
도면11d



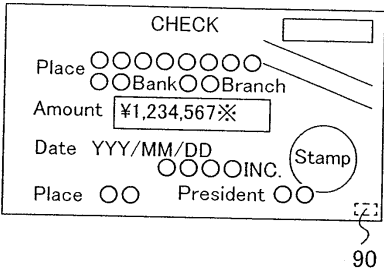
도면12a



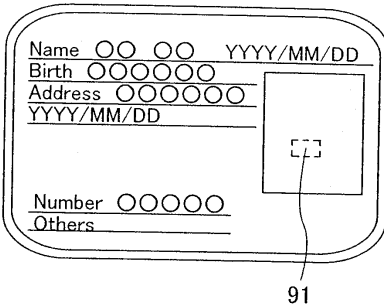
도면12b



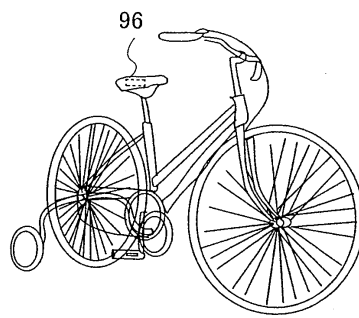
도면13a



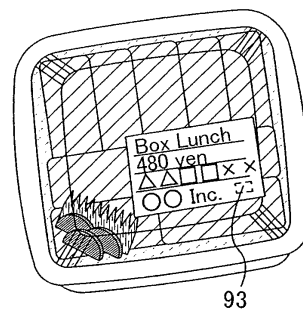
도면13b



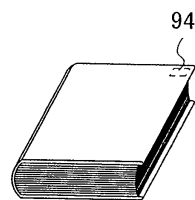
도면13c



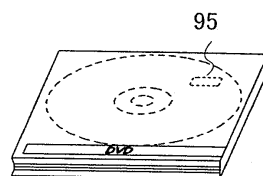
도면13d



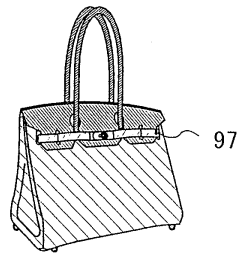
도면13e



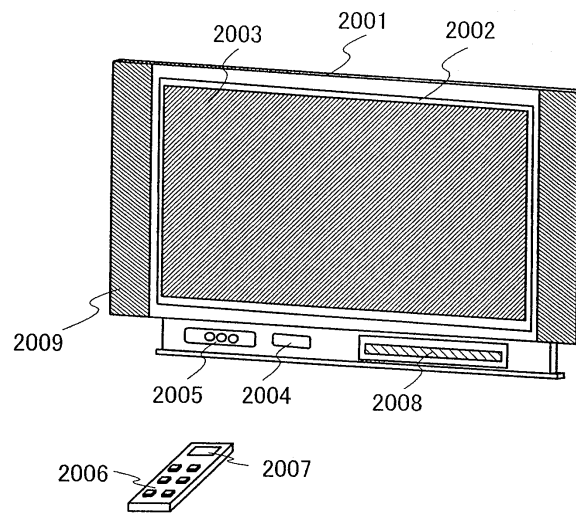
도면13f



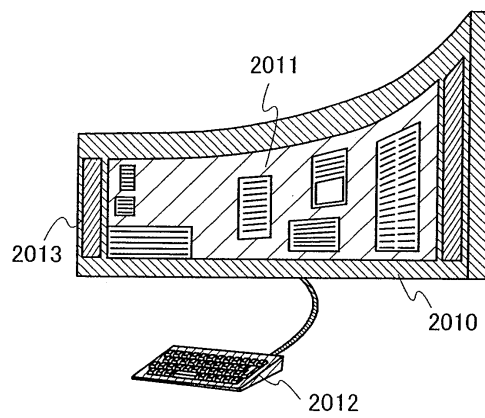
도면13g



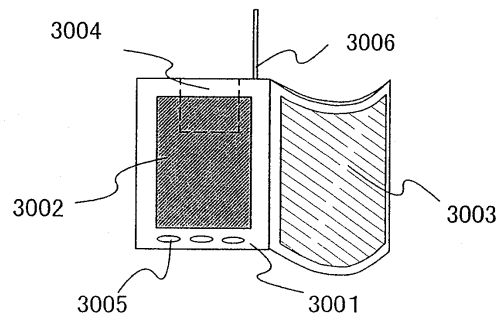
도면14a



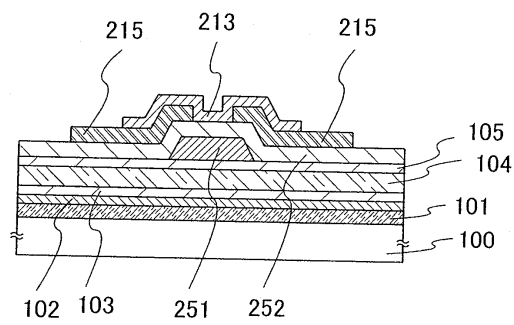
도면14b



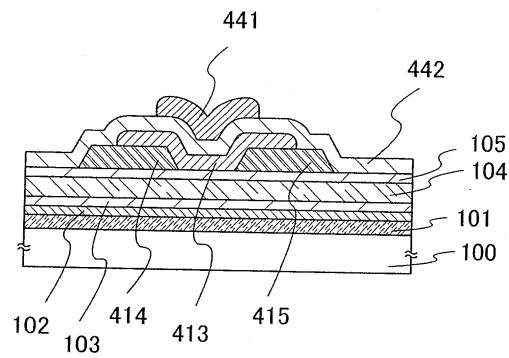
도면14c



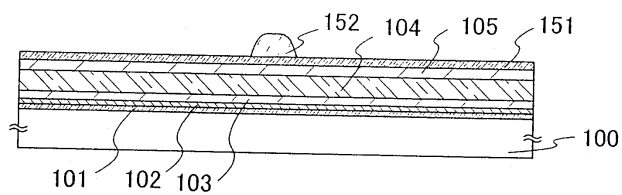
도면15a



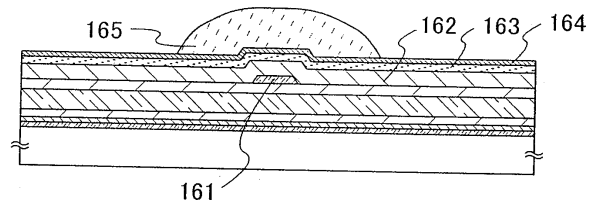
도면15b



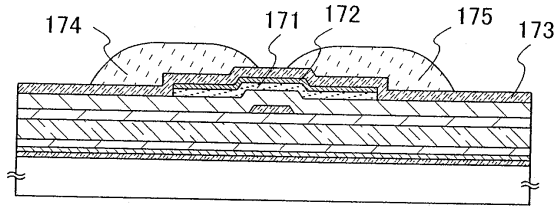
도면16a



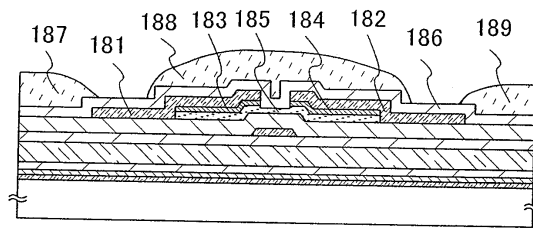
도면16b



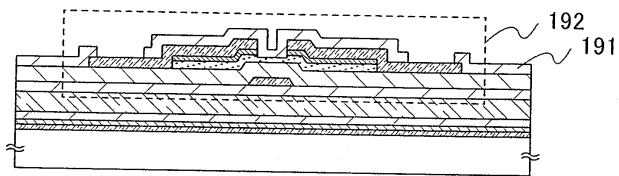
도면16c



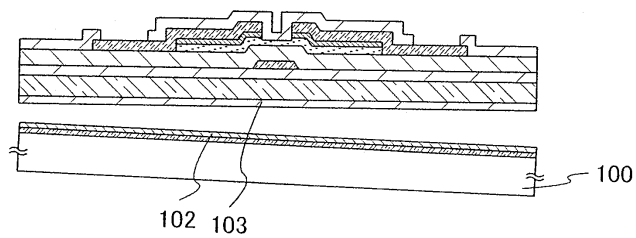
도면16d



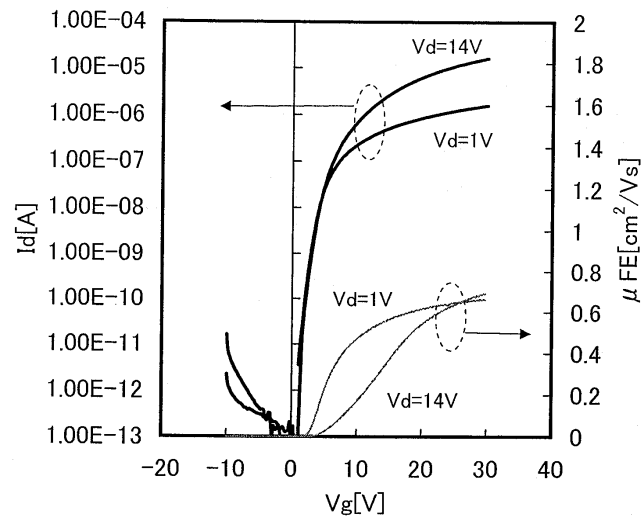
도면16e



도면16f



도면17a



도면17b

