(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H03M 1/16

(45) 공고일자 2001년01월15일
(11) 등록번호 10-0278139
(24) 등록일자 2000년10월17일

(21) 출원번호 10-1993-0003091
(22) 출원일자 1993년03월03일
(65) 공개번호 특1993-0020859
(43) 공개일자 1993년10월20일
(30) 우선권주장 92-046539 1992년03월04일 일본(JP)

(73) 특허권자 히다치초엘에스아이 엔지니어링가부시키가이샤 스즈키 진이치로
일본국 도쿄 고다이라시 죠스이혼쵸 5-20-1가부시끼가이샤 히다치 세이사꾸쇼 가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자 마쯔우라다쯔지
일본국 도꾜도 스기나미꾸 아마누마 1-20-2
이마이즈미 에이끼
일본국 도꾜도 아끼시마시 미호리쵸 5-5-7
우스이 구니히꼬
일본국 사이따마껜 아사까시 사까에쵸 2-5-2
안보 다까노부
일본국 도꾜도 후쮸시 기따야마쵸 2-6
(74) 대리인 백남기

심사관 : 김연호

(54) 아날로그 디지탈 변환기

요약

아날로그 신호를 디지탈 신호로 변환하는 아날로그 디지탈 변환기로서, 낮은 공급 전압에서 동작할 수 있는 고속이고 정밀한 아날로그 디지탈 변화기를 마련하기 위하여, 두번째이후 스테이지가 아날로그 스위치에 대하여 폴 스케일 전압및 고전압을 조정하는 수단을 갖고, 각 스테이지의 각 블럭에 서브 아날로그 디지탈 변환기를 갖는 직병렬 파이프라인 아날로그 디지탈 변환기를 마련한다.

이러한 아날로그 디지탈 변환기를 사용하는 것에 의해, 비교적 이득이 낮은 증폭기를 사용할 수 있고, 전원 전압을 저하시킬 수 있으며, 고속이고 고정밀한 아날로그 디지탈 변환기가 마련된다.

대표도

도1

명세서

[발명의 명칭]

아날로그 디지탈 변환기

[도면의 간단한 설명]

제1도는 본 발명을 실시하는 에러보정AD변환기의 블럭도.

제2도는 본 발명에 사용된 원리를 해석하는데 유용한 파이프라인 AD변환기의 일반적인 블럭도.

제3도는 일반적으로 제2도형태의 AD변환기의 증폭기의 이득에러에서 얻어지는 변환에러에 대한 본 발명의 해석을 설명하는 도면.

제4도는 본 발명을 실시하고 저이득증폭기를 사용하는 에러보정AD변환기의 블럭도.

제5도는 본 발명을 실시하고 스위치드 커패시터 증폭기를 사용하는 다른 에러보정 AD변환기의 블럭도.

제6a도~제6e도는 본 발명에 따른 스위치 커패시터 증폭기에 사용될 수 있는 여러가지 저이득 증폭기의 도면.

제7도는 본 발명에 따른 스위치드 커패시터 증폭기에 사용되는 저이득 증폭기의 도면.

제8도는 본 발명에 사용된 풀스케일/오프세트 조정회로를 설명하는 도면.

제9도는 본 발명에 사용된 풀스케일/오프세트 조정회로의 상세도.

제10도는 본 발명에 사용된 풀스케일/오프세트 조정회로의 다른 상세도.

제11도는 본 발명에 사용된 풀스케일/오프세트 조정회로의 또 다른 상세도.

제12도는 본 발명에 따른 스위치에 고전압을 사용하는 저전압 AD변환기의 도면.

제13도는 본 발명에 따른 스위치에 승압전압을 사용하는 저전압 AD변환기의 도면.

제14도는 본 발명에 따른 저스레시홀드 전압 트랜지스터를 사용하는 저전압 AD변환기의 도면.

제15도는 스위치의 전원전압에 저스레시홀드 전압 트랜지스터 또는 승압 클럭회로, 고전압 클럭회로를 사용하는 스위치드 커패시터 비교회로를 설명하는 도면.

제16도는 스위치의 전원전압에 저스레시홀드 전압 트랜지스터 또는 승압 클럭회로, 고전압 클러고히로를 사용하는 비교기를 사용하는 병렬AD변환기를 설명하는 도면.

제17도는 본 발명에 따른 스위치에 고전압을 사용하는 저전압 DA변환기를 도시한 도면.

제18도는 제2도의 변환기를 사용하는 것과 비교된 제1도의 본 발명을 사용하는 파이프라인 AD변환기의 결과를 설명하는 참조전압 및 아날로그 신호도.

[발명의 상세한 설명]

본 발명은 아날로그신호를 디지탈신호로 변환하는 AD변환기에 관한 것으로서, 특히 저전원전압으로 동작할 수 있는 AD변환기에 관한 것이다.

종래, 아날로그 디지탈변환은 고속, 고분해능 아날로그 디지탈 변환을 실행하기 위해 직병렬 및 파이프라인 AD변환기에 의해 마련되었다. 이런 종류의 파이프라인 AD변환기의 예는 Lewis, Stephan H. et. at., 'SESSION X VII : ANALOG TECHINIQUES', IEEE International Solid-State Circuits Conference', 1987, pp.210-211에 소개되어 있다.

병렬 AD변환기와 달리, 직병렬 및 다른 파이프라인 변환기는 하나 또는 여러개 비트의 각각에 대하여 스텝 또는 스테이지마다 AD변환의 결과를 얻도록 각각 설계된다. 각 스테이지는 분해능에 필요한 전압비교기의 전부가 아닌 일부만을 사용하므로, 전압비교기의 일부만이 스테이지를 구성하는 여러개의 블럭중의 하나에서 한번에 사용된다. 각 블럭은 서브AD변환기를 구비한다. 상위블럭에 있어서 상위블럭서브AD변환기에 의해 대강 실행된 상위비트의 AD변환이 있다. 다음 스테이지의 다음블럭에서, 하위블럭의 대응하는 서브AD변환기에 의해 얻은 하위비트에 의해 상위비트의 거칠음은 순차 저감되고, 이 처리는 바라는 분해능에 다라 다음 스테이지에 대해 계속된다.

이러한 파이프라인 AD변환에서는 다수의 전압비교기가 있는 병렬AD변환기에 비해 비교기의 수가 대체로 저감되고 전력소비도 대체로 저감된다. 이 때문에 파이프라인 AD변환기는 고속 및 고분해능에 특히 적합하다.

본 발명의 목적은 AD변환기를 해석하는 것으로 특히 그의 문제 및 원인을 분석하고 이해하여 그러한 문제의 해답을 제공하는 것이다.

제2도에 따라, 본 발명에 의해 실현된 형태의 변환기의 원리를 설명하고 분석한다. 상술한 바와 같이, 직병렬 또는 파이프라인 AD변환기는 AD변환용 블럭을 각각 갖는 다수의 스테이지를 갖는다. 제2도에는 파이프라인 변환기가 도시되어 있다. 스테이지블럭(2)를 제거한다면 직병렬변환기가 얻어진다. 제2도에서, 제1의 블럭(1)은 출력으로서 상위비트m의 AD변환을 실행하기 위해 사용됨과 동시에 출력으로서 제1의 스테이지 잔여신호 RS_1로서 알려진 신호를 생성한다. 블럭(1)은 디지탈 상위비트m을 출력하는 m비트 서브 AD변환기(1-1)에 의해 디지탈 상위비트m으로 변환되는 아날로그신호AS를 수신한다. 이어서, m비트 DA변환기(1-2) 또는 제1의 스테이지 DA변환기는 m비트는 디지탈신호를 수신하여 그것을 m비트 DA변환기(1-2)의 출력으로서 마련되는 아날로그신호로 변환한다. 이 때, DA변환기(1-2)의 아날로그 신호출력이 원래의 아날로그신호AS와 함께 제1의 스테이지 에러증폭기(1-3에 입력되어 DA변환기로부터의 재발생된 아날로그신호와 입력아날로그신호AS 사이의 차분인 잔여신호로서 차분 아날로그신호RS_1이 발생된다. 에러증폭기(1-3)은 이 차분신호를 증폭하여 다음 스테이지의 다음블럭(2-1)에 잔여신호RS_1과 마찬가지로 출력한다. 잔여신호RS_1은 입력아날로그신호AS가 상위비트m으로서 대강 디지탈화될 때 변환되지 않고 남은 신호성분이다. 즉, 비트m으로 디지탈화된 아날로그신호AS의 일부 및 아날로그신호AS의 나머지부분은 다음 스테이지에서 계속 디지탈화되도록 블럭(1)에서 잔여신호RS_1로서 출력되고, 다수의 다음 스테이지는 바라는 분해능에 의해 결정된다. 도시한 바와 같이, 최종 스테이지가 DA변환기 또는 증폭기를 필요로 하지 않더라도 다음 스테이지(도시하지 않음)와 같이, 제2의 스테이지는 제1의 스테이지(1)과 마찬가지이다.

상기 처리를 수학적 나눗셈과 비교하면, 입력 아날로그신호AS(피제수)가 제1의 스테이지에서 디지탈화되어(나누어져서)제1의 스테이지비트(몫)과 잔여 신호(나머지)의 값으로 된다. 잔여 신호는 특정한 스테이지의 나머지이고, 이 나머지가 (나눗셈)의 다음 스테이지에서 디지탈화되어 원하는 분해능(나눗셈의 정밀도)으로 결정된 바와 같은 여러개의 스테이지(나눗셈)의 수에 대하여 하위비트(몫의 또 하나의 디지트)가 발생된다.

잔여 신호가 다음 스테이지 블럭, 제2도에 대해서는 블럭(2)에서 디지탈화될 때 서브AD변환기(2-1)이 제2의 스테이지의 풀 스케일에 따라 잔여신호RS를 디지탈화하여 하위비트n이 발생된다. 이것에 의해, 상위비트 m의 거칠음을 블럭(2)를 갖는 다음 스테이지에서 다음 비트n으로 더욱 분해할 수 있다. 따라서, 이 직병렬 또는 파이프라인 AD변환기의 특징은 다른 병렬 AD변환기에 비해 적은 비교수의 비교기만으로 고분해능이고 고속인 변환이 가능하게 된다.

과거에는 특히 종래의 스위치드 증폭 및 비교기를 사용하는 DA변환기 또는 CMOS 또는 BICMOS AD의 경우,

AD변환기의 외부에서 인가된 전원전압은 아날로그 스위치에 전원전압으로서 직접 사용되었다. 이것은 파이프라인 AD변환기에 대한 것 뿐만 아니라 병렬 및 직렬 또는 서브렌지 AD변환기에 대해서도 정확하다.

종래, 직병렬 또는 파이프라인 AD변환기에서는 차분신호를 발생하는 에러증폭기의 동작속도 및 정밀도를 중요시하므로, 스테이지의 에러증폭기로서, 고이득, 고속증폭기를 마련할 필요가 있었다. 이 종래의 파이프라인 AD변환기가 갖는 문제는 전원전압에 의해 그러한 고이득 및 고속증폭기를 마련할 수 없게 된다는 것이다.

종래의 스위치드 증폭기 및 비교기를 사용하는 AD 및 DA변환기에서는 아날로그 스위치의 전원전압을 직접 사용한다. 외부 전원전압을 직접 사용하는 이들의 경우, 전원전압을 낮추면 아날로그 스위치가 저전압에서 동작할 수 없게 되므로, AD변환의 풀 스케일 분해능을 사용하지 않고, 실제 신호범위와 일치시켜 풀 스케일 분해능을 마련하기 위해 전원전압을 충분히 낮출 수 없다.

AD변환기를 해석하는 목적에 부가해서, 그들의 문제 및 그러한 문제의 원인을 설명한 바와 같이, 본 발명의 다른 목적은 특히 분해능을 향상시키기 위해 저전원전압에서 동작할 수 있는 고속이고 정밀한 AD변환기를 마련하는 것에 의해 그러한 문제를 극복하는 것이다.

본 발명의 특정한 실시예는 두번째 이후 스테이지가 아날로그 스위치에 대하여 풀 스케일 전압 및 고전압을 조정하는 수단을 갖고, 각 스테이지의 각 블럭에 서브AD변환기를 갖는 직병렬 또는 파이프라인 AD변환기이다.

본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에 의해 더욱 명확하게 될 것이다.

본 발명의 도면중 대부분은 다른 도면의 회로를 더욱 상세하게 도시하는 도면으로서 참조된다. 또한, 본 발명의 예를 들면 제1도에 도시한 바와 같은 기본구성은 다른 도면에 도시한 것과 돌일한 여러가지 형태를 취할 수 있고, 다른 도면의 여러번의 상세는 제1도에 함께 사용할 수 있다. 즉, 제1도는 본 발명의 시발점이고, 나머지 도면은 실시예에 적합한 제1도의 일부를 더욱 상세하게 도시한 것 뿐이다. 특별한 예로서, 제17도의 DA변환기는 다른 도면에 도시한바와 같이 제1도의 다른 상세함에 따라 제1도의 DA변환기로서 사용될 수 있다.

도면중 도일한 부호는 돌일 기능을 갖는 부분을 나타낸다.

[개요]

본 발명에 따르면 제2도는 기본적인 직병렬 또는 파이프라인 AD변환기에는 제1도에 도시한 바와 같이 2번째 이후 스테이지블럭의 각각에 저정기(3)이 더마련된다. 조정기(3)은 서브AD변환기, 예를 들면 두번째 스테이지에 대하여 블럭(2)의 서브AD변환기(2-1)의 풀 스케일 전압을 조정한다.

풀 스케일 전압을 조정하는 조정기에는 저항 스트링, 예를 들면 제7도~제10도의 저항스트링(3-3)의 양끝에 증폭기의 출력을 거쳐 전압을 공급하고 발생하는 풀 스케일 조정증폭기가 마련되고, 스케일 조정증폭회로는 스케일 조정증폭기(3-1),(3-2)를 구비한다. 스케일 조정증폭기(3-1) 및 (3-2)는 이전 스테이지의 에러증폭기(1-3)과 동일한 적당한 특성을 갖는 것이 바람직하다. 스케일 조정 증폭기(3-1) 및 (3-2)가 분압비(3-3), 특히 레지스터 스트링(3-3)의 여러개의 단자에 전압을 공급하여 예를 들면 두번째 스테이지에 대하여 제7도~제10도에 도시한 바와 같이 두번째 이후 스테이지의 두번째이후 블럭(3-N), 즉 제1 블럭(1)아래의 모든 스테이지의 각각의 서브AD변환기에 참조전압으로서 전압스텝이 마련된다.

제5도에 도시한 바와 같이, 에러증폭기(1-3) 및 제8도~제10도에 도시한 바와 같이, 조정증폭기(3-1) 및 (3-2)는 스위치(1-3-6), (1-3-4),(1-3-5) 및 커패시터(1-3-3), (1-3-2)를 사용하는 스위치드 커패시터 증폭기여도 좋다. 즉, 스위치드 커패시터 증폭기는 모든 스테이지의 에러증폭기로서 사용될 수 있고 우수한 선형성 및 우수한 이득 정밀도를 갖는 AD변환기를 마련하는 두번째이후 스테이지의 풀 스케일 조정증폭기로서 사용될 수 있다. 스위치드 커패시터 증폭기 대신에 예를 들면 제6도(a)~제6도(e)에 도시한 바와 같이 CMOS 인버터 증폭기를 사용해도 좋다. 제6도(b)~제6도(e)에 있어서, 인버터 증폭기는 예를 들면 정전류원 부하에 접속된다.

플 스케일 조정증폭기 예를 들면(3-1) 및 (3-2)에는 예를 들면 제9도 및 제10도에 도시한 바와 같이 두번째이후 스테이지의 각각의 저항 스트링(3-3)의 상단의 리세트 전압으로서 풀 스케일 전압에 가까운 또는 동일한 전압을 공급하는 리세트 제어부가 마련되어도 좋다.

풀 스케일 조정증폭기에는 예를 들면 제11도에 도시한 바와 같이, 이전스테이지의 저항스트링(3-3)의 단자간의 전압을 전환하는 것에 의해 조정용 증폭기에 의해 풀 스케일 입력전압이 얻어지도록 스위치회로가 마련되어도 좋다. 이 구조는 이전 스테이지의 저항스트링의 값의 변동에 의해 분할된 전압이 불균일하게 되더라도 적당한 풀 스케일 전압을 발생할 수 있기 때문에 바람직하다.

제12도에 있어서, AD변환기는 고전압 스위치를 갖는 스위치드 커패시터 증폭기를 사용한다. 고전압클럭(6)은 아날로그 스위치 SW를 구동하는 고전압을 마련하고, 이 고전압은 AD변환기의 어떠한 다른 성분에 공급된 전압보다 높다. 따라서, 아날로그 스위치SW의 동작속도는 다른 성분의 전원전압이 전압원 또는 고전압클럭(6)의 전압의 값보다 낮더라도 증가된다. 제12도의 아날로그 스위치의 고전압 구동은 다른 도면의 회로에 사용되어도 좋다.

제13도에 있어서, AD변환기는 승압전압클럭 S-UV(7)에서 상승된 전압이 공급된 스위치드 커패시터 증폭기를 사용한다. 이것에 의해, 승압회로의 출력전압은 제13도에서 얻은 것과 마찬가지의 향상을 갖는 아날로그 스위치를 구동하는데 사용된다. 제12도 및 제13도는 두번째 스테이지 AD변환기(2-1)의 입력에 관한 아날로그 스위치만을 도시한 것으로, 다음 스테이지에 동일하게 적용될 수 있으며, 두번째 이후 스테이지의 풀 스케일 조정전압 증폭기(3-1) 및 (3-2)에 동일하게 적용될 수 있다는 것을 알 수 있다.

제14도에 도시한 바와 같이, MOS트랜지스터는 다른 도면에서 아날로그 스위치로서 사용되어도 좋다. MOS트랜지스터(8)은 아날로그 스위치로서 사용될 수 있는 다른 트랜지스터보다 낮은 스레시홀드 전압을 가지

므로, 아날로그 스위치의 동작속도가 증가된다.

제15도는 아날로그 스위치에 고전압클럭HV를 사용하는 비교기로서 저전압 스위치드 커패시터회로를 도시한 것이다. 비교기의 아날로그 스위치를 구동하는 증가된 전압은 AD변환기의 적당한 조합은 넘는 일반적 응용을 갖는다. 제15도는 그러한 일반적 응용을 도시한 것으로서, AD변환기 이외의 다른 회로에도 유용하다. 저스레시홀드전압 트랜지스터의 승압된 전원전압은 파이프라인 AD변환기의 에러증폭기의 아날로그 스위치 뿐만 아니라 제15도에 도시한 바와 같이 아날로그 스위치를 사용하는 범용 비교기에 사용해도 좋다. 그러한 응용은 저레벨로 비교기의 전압을 유지하기 위한 실제 사용이다. 따라서, 전압은 비교 회로 뿐만 아니라 아날로그 스위치를 사용하는 병렬, 직렬, 서브렌지 CMOS 또는 BiCMOS의 AD변환기 또는 아날로그 스위치 및 더 나아가 스위치드 커패시터회로를 일반적으로 사용하는 DA변환기에 대해서도 낮게 유지될 수 있다. Vin은 입력전압, Vref는 비교되는 참조전압, Dout는 그러한 비교의 결과로서의 디지탈출력이다.

본 발명의 직병렬 또는 파이프라인 AD변환기의 두번째이후의 모든 스테이지의 각 블럭의 서브AD변환기에는 첫번째이후 스테이지의 증폭기의 이득 결여로 의해 발생된 에러신호를 피하도록 풀 스케일 전압을 조절하여 보정하기 위해 풀스케일전압을 조정하는 조정기(3)이 마련된다. 그 결과, 종래와 같이 높은 이득이 에러증폭기에 반드시 필요로 되는 것은 아니므로, 필요한 전원전압이 낮아진다는 효과가 있다.

풀 스케일 전압을 조정하는 조정기는 에러증폭기(1-3)으로서 동일한 형태의 증폭기, 특히 동일형태의 스위치드 커패시터 증폭기로 이전 스테이지의 참조 전압 발생기의 저항스트링(3-3)에서 풀 스케일 전압을 발생한다. 따라서, 저이득 증폭기가 에러증폭기에 사용되어도 변환에러가 필연적으로 방지된다. 에러증폭기의 이득이 처리 파라미터 변동에 따라 변하더라도 동일한 증폭기로 얻은 풀 스케일 전압도 에러신호의 진폭이 변할때마다 마찬가지로 변하므로 변환에러가 발생하지 않는다. 따라서, 특별한 고이득 증폭기가 본 발명에 필요하지 않고, 대신 성능을 저하시키는 일 없이 저이득 증폭기의 사용을 보장하기 위해 저전원전압이 마련된다.

외부전원전압이 조정기에 의해 마련된 바와 같이 낮아지더라도 동일한 스테이지에 관한 아날로그 스위치는 분리된 고전압에 의해 구동될 수 있거나 또는 저스레시홀드 트랜지스터를 아날로그 스위치로서 사용할 수 있다. 따라서, 아날로그 스위치의 고전압공급 또는 아날로그 스위치의 저스레시홀드전압 트랜지스터를 사용하는 것에 의해, 전원전압이 조정기에 의해서 낮아질 때 스위치가 온되지 않는 것과 같은 문제는 없다.

또한, 스위치드 커패시터 증폭기가 에러증폭기 및 조정기 증폭기에 사용될 때, 저항증폭기를 사용하는 경우보다 선형성 및 이득 정밀도가 높으므로 정확한 변환을 얻을 수 있다. 따라서, 본 발명의 많은 특징이 스위치드 커패시터 증폭기 이외의 증폭기를 사용하더라도 스위치드 커패시터 증폭기를 사용한다는 효과가 있다.

따라서, 직병렬 또는 파이프라인 AD변환을 고속으로 정확하게 얻을 수 있다. 이상은 개요를 설명하였고, 이하에는 상세하게 설명한다.

제1도에 있어서, 두번째 스테이지의 AD변환기(2-1)에는 풀 스케일 참조전압 조정을 위한 조정기(3)이 마련되어 있다. 이것에 의해, 두번째 스테이지의 입력 아날로그 신호 풀 스케일이 에러증폭기(1-3)의 성능이 변함에 따라 변하여 조정기(3)에 의해 풀 스케일 참조전압에 따라 조정되므로, 변환에러가 발생하지 않는다. 도면에는 서브AD변환기(1-1),(2-1),...(N-1)의 스테이지(1),(2),...N만을 도시하였지만, 파이프라인 AD변환기의 구조에서 알 수 있는 바와 같이 AD변환기는 2개 이상의 스테이지를 갖고, 중간 이후 스테이지는 두번째 스테이지와 마찬가지이고, 본 발명에 따르면 각각의 두번째 이후 스테에지에는 서브 AD변화기 참조전압의 풀 스케일 조정을 위한 조정기(3)이 마련되어 변환에러가 방지된다는 것을 알 수 있다. 조정기(3)은 전압 오프셋 조정기로 고려해도 좋다.

제3도는 조정기(3)이 사용되지 않고 에러증폭기가 유한하거나 또는 낮은 이득을 가질 때 존재하는 변환에러를 분석해서 이해하는데 유용한 것으로서, 상기에서 간단히 설명하였다. 파형을 직선으로
표시하였지만, 변환에 의해 실제로 그들은 점차적이다. 제3도는 첫번째 스테이지에서 AD변환기에 대하여 발생된 동기화된 파형형태를 도시한 것으로서, 첫번째 스테이지는 입력 아날로그전압의 풀 스케일을 4개 부분으로 분할하는 2비트 분해능(4개의 가능값을 갖는 2비트 분해능)을 가질 수 있다.

제7도 또는 제8도에 도시한 바와 같이, 예를 들면 조정기(3)에는 분압기(3-3), 구체적으로 저항스트링의 양단자끝에 각각 증폭기의 출력전압을 공급하는 것에 의해 풀 스케일 참조전압을 발생하는 풀 스케일 조정증폭기(3-1),(3-2)가 마련되어 있다. 저항스트링(3-3)은 두번째 스테이지 블럭(2)의 서브AD변환기(2-1)내에서 에러증폭기(1-3)에서 마련된 아날로그신호RS_1의 2비트 분해능을 얻기 위해 필요한 전압의 4개의 참조값을 마련한다. 조정증폭기(3-1),(3-2) 및 에러증폭기(1-3)에 사용된 도시한 스위치드 커패시터 증폭기 종류에 있어서 도시한 바와 같이, 스위치 및 커패시터는 에러증폭 및 풀 스케일 조정증폭에 각각 사용되는 것에 의해, 우수한 선형성 및 우수한 이득 정밀도를 갖는 AD변환기가 얻어진다.

CMOS인버터를 제6도에 도시한 바와 같이 스위치드 커패시터 증폭기에 사용해도 좋다. 인버터 증폭기는 예를 들면 제6도(b)~제6도(e)에 도시한 바와 같이 정전류원 부하를 사용할 수 있다. 조정기(3)에는 예를 들면 제9도 및 제10도에 도시한 바와 같이 두번째 이후 스테이지의 저항스트링(3-3)의 상단의 리세트전압으로서 풀 스케일 전압에 가깝거나 또는 동일한 전압을 공급하는 리세트가 마련된다.

조정기에는 예를 들면 분압기 또는 저항스트링(3-3)에 의해 참조전압 풀스케일을 4개의 부분으로 분할하는 것에 의해, 2비트 분해능을 위해 2번째 이후 스테이지의 서브AD변환기의 풀 스케일로 입력 참조전압을 얻을 수 있도록 스위치회로가 마련되어도 좋다. 첫번째 블록(1)은 2비트 분해 등이 실시된 재발생된 아날로그신호와 입력 아날로그 신호 사이의 차분신호로서 잔여신호RS_1을 발생한다. 즉, 입력 아날로그신호AS가 디지탈화되어 2비트 거칠은 디지탈신호가 4개의 전압분할에 대해 발생되고, 잔여신호가 두번째 스테이지의 블럭을 통과하고, 이 분할이 포함된 스테이지수만큼 반복되어 원하는 분해능 또는 정밀도가 얻어진다.

잔여신호는 분압중의 하나에 대하여 제3도의 아래부분에 도시되어 있고, 잔여신호는 다음 스테이지의 블럭으로 전송된다. 제3도에 도시한 바와 같이 잔여신호는 2개의 형태, 예를 들면 고이득 증폭기에 의해 발

생되는 RS_1 및 저이득 증폭기 또는 저하된 고이득 증폭기에 의해 발생되는 RS_2의 두 개의 형태여도 좋다. 잔여신호는 2비트 AD변환이 실시된 재발생된 아날로그신호와 입력신호AS사이의 증폭된 차분이다. 이것에 의해, 잔여신호를 발생하는 증폭기(1-3)의 이득이 낮거나 또는 유한일 때, 잔여신호의 값은 RS_2로 되고 풀 스케일값OFS에 도달하지 않는 대신 더 작은 값CFS에 도달하는 것을 알 수 있다. 잔여신호의 OFS와 CFS 사이의 차분, 즉 RS_1과 RS_2의 최대 진폭 사이의 차분으로 인해 변환에 에러가 발생할 수 있고, 이것은 두번째 스테이지에서 서브 AD변환기의 부호누락(missing code)영역MC를 발생한다. 여러개의 스테이지에 의해, 변환에러의 성장이 스테이지의 수에 따라 증가된다. 본 발명의 목적은 부호누락영역을 회피하여 에러와 특히 에러가 커지는 여러개의 스테이지를 통한 에러의 전파를 회피하는 것이다.

본 발명에 따르면, 부호누락영역MC를 회피하기 위해, 조정기(3)은 잔여신호RS_2의 더작은 스케일 CFS에 대응하도록 두번째 스테이지 서브 AD변환기의 참조전압으로서 두번째 스테이지에서 전압의 풀 스케일을 OFS에서 저감된 전압 또는 더 작은 풀 스케일 전압CFS로 조정한다. 잔여신호RS_2의 OFS에서 CFS로의 저감은 이전 스테이지에서 잔여신호를 증폭하는 에러증폭기의 불충분한 이득 때문이다. 본 발명에 따르면, 동일한 형태의 증폭기가 참조 및 잔여신호전압을 증폭하기 위해 사용되므로, 참조전압 및 잔여신호의 동일한 증폭이 발생되어 잔여신호를 변환함에 있어서 다음 서브 AD변환기에 의해 사용되도록 저감된 참조 풀 스케일 전압이 발생된다.

제4도는 넓게는 제1도와 동일한 구성요소를 갖는다. 제1도에서는 제3도에서 분석한 바와 같이 변동하거나 저하되어 낮은 이득을 발생하는 고이득 증폭기(1-3)을 사용한다. 저이득 증폭기(1-3)을 사용하는 제4도의 구성으로도 제3도에서의 분석결과와 마찬가지의 결과를 얻을 수 있다. 제1도와 같이 제4도에서는 에러증폭기의 이득이 낮거나 유한하더라도 조정기(3)이 다음 스테이지(2)에 대하여 잔여신호의 풀 스케일에 대응하도록 참조 풀 스케일 전압을 조정하므로, 변환 에러가 발생하지 않는다. 제4도의 구조의 이점은 제1도 이상으로 AD변환기의 최종 출력에서 에러가 발생하는 일 없이 저이득 증폭기를 에러증폭기에 사용할 수 있다는 것이다.

제5도에 있어서, 증폭기(1-3)은 제1도 또는 제4도에서 사용될 때 보다 더욱 상세하게 도시되어 있다. 구체적으로, 각 스테이지의 에러증폭기(1-3)은 스위치드 커패시터 증폭기이다. 이 증폭기에서 귀환커패시터 Cf(1-3-3)은 리세트 스위치(1-3-6)과 병렬로 차동증폭기(1-3-1)의 입력단자와 출력단자 사이에 접속된다. 입력커패시터Ci(1-3-2)의 한쪽끝은 차동증폭기(1-3-1)의 하나의 입력단자에 접속되고 다른쪽 끝은 동일한 스테이지의 DA변환기(1-2)의 출력에 접속된 스위치(1-3-5)와 스테이지 입력 아날로그신호에 접속된 입력 스위치(1-3-4)에 접속된다. 차동증폭기(1-3-1)은 다음과 같이 리세트기간 및 증폭기간에 동작한다. 리세트 스위치(1-3-6)은 증폭기(1-3-1)의 입출력을 단락한다. 입력스위치(1-3-4)가 온될때, AD변환기(1-1)을 향한 입력신호는 리세트 스위치(1-3-6)이 닫힘과 동시에 입력커패시터Ci의 입력측에서 샘플된다. 리세트 스위치가 오프되어 증폭기(1-3-1)이 증폭기간중에 동작할 수 있게 된 후에 스위치(1-3-4)및 (1-3-5)가 각각 오프 및 온 될때, 입력커패시터(1-3-2)의 증폭기측에서의 전압은 유지된 입력신호의 전압에서 DA변환기(1-2)의 출력전압으로 변화한다. 이 변화는 Ci/Cf의 비율로 증폭되어 증폭기(1-3-1)의 출력전압으로 된다. 에러증폭이 발생한다. 증폭기(1-3-1)의 이득은 이상적으로 무한대로 커야 한다. 에러증폭기회로의 이득은 Ci/Cf로서 무한하지 않고, 증폭기(1-3-1)의 이득이 유한인 경우, 증폭기(1-3-1)의 이득이 낮고 에러증폭회로(1-3)의 이득이 Ci/Cf의 비율에서 변동할 때 발생될 수도 있다. 따라서, 증폭기(1-3)만으로는 정확한 풀 스케일 증폭이 실행되지 않는다. 본 발명에 따르면, 조정기(3)이 에러증폭기(1-3)에서의 풀 스케일 출력의 비정밀도에 따라 다음 서브 AD변환기(2-1)의 참조전압을 조정하므로, AD변환기에는 변환에러가 대체로 없다.

제5도에 도시한 AD변환기에 있어서, 조정기(3)은 저이득 증폭기가 증폭기(1-3-1)로서 사용될 때에도 AD변환기의 변한에러를 제거한다.

제6도는 조정기(3)에서 증폭기(1-3-1)뿐만 아니라 증폭기(3-1) 및 (3-2)로서 사용될 수 있는 저이득 증폭기의 여러가지 예를 도시한 것이다. 제6a도는 일반적으로 이득이 10~30로서 낮은 CMOS인버터를 도시한 것이고, 제6b도는 nMOS 입력증폭기를 도시한 것이고, 제6c도는 oMOS 입력증폭기를 도시한 것이고, 제6d도는 nMOS 입력차동증폭기를 도시한 것이며, 제6f도는 pMOS 차동증폭기를 도시한 것이다. 제6a도 및 제6b도의 증폭기는 모두 저이득 증폭기이므로 통상의 연산증폭기로서 사용할 수 없다. 그러나, 제6a도~제6e도의 이들 저이득 증폭기는 조정기가 연산증폭기의 풀 스케일에 따라 다음 증폭기의 참조전압을 낮추는 조정기(3)을 실현하는 본 발명의 연산증폭기, 특히 풀 스케일 조정용 조정기(3)이 마련된 AD변환기에 사용될 수 있다.

제7도는 다른 도면에는 더 자세하게 또는 덜 자세하게 도시되어 있지만, 특징이 본 실시예에 사용되는 서브 AD변환기(1-1)의 참조전압입력 및 조정기(3)을 더욱 상세하게 도시한 것이다. 블럭(2)의 조정기(3)에는 본 발명에 따라 에러증폭기(1-3)과 동일한 특성(예를 들면, 이득, 이득의 저하)을 갖는 풀 스케일 조정용 증폭기(3-1) 및 (3-2)가 마련되어 있다. 첫번째 스테이지블럭(1)의 서브AD변환기(1-1)에 의해 사용된 참조전압스텝은 바람직하게는 끝 단자의 고정된 외부에서 공급된 바이어스전압 V_{BH} 및 V_{BL}을 수신하는 저항스트링(4)인 분압기에 의해 결정된다. 다음 스테이지서브AD변환기(2-1)의 참조전압의 풀 스케일은 예를 들면 저하에 의해 이득이 변경되어도 이전 스테이지AD변환기(-1)이 에러 증폭기의 풀 스케일을 완성하도록 조정된다. 따라서, 다음 스테이지의 저항스트링 (3-3)의 반대쪽 끝에 인가되는 저항스트링(4)의 분압을 증폭하기 위해 2개의 풀 스케일 조정증폭기(3-1),(3-2)가 마련되는 것에 의해, 다음 스테이지블럭(2)의 서브AD변환기(3-3)의 풀 스케일이 블럭의 잔여 아날로그신호의 증폭과 동일한 이득으로 증폭된 이전스테이지(1)의 분할된 전압스텝과 완전히 일치하므로, AD변환기의 변환에러가 방지된다는 효과가 있다.

제7도에 대하여, 증폭기(3-1) 및 (3-2)는 에러증폭기(1-3)과 동일한 특성을 가져야한다고 설명했고, 제1도의 분석에 대하여 증폭기(1-3)과 동일하거나 또는 동일형태의 증폭기(3-1) 및 (3-2)를 구비해도 좋다. 제8도는 제7도를 더욱 구체적으로 도시한 것으로서, 증폭기(3-1) 및 (3-2)는 조정기(3)의 풀 스케일 또는 오프셋 조정회로의 구조에 대하여 증폭기(1-3)과 완전히 동일하거나 동일한 종류이다. 제8도에 있어서, 에러증폭기(1-3)은 제5도에 도시한 스위치드 커패시터 증폭기이다. 이 증폭기는 제5도에서 설명한 바와 같이 리세트기간 및 증폭기간중에 동작한다. 풀 스케일 조정용 증폭기(3-1) 및 (3-2)에는 동일한 스위치

드 커패시터 증폭기를 사용한다. 첫번째 스테이지(1)의 저항스트링(4)의 분압스텝의 전압차분은 참조전압을 결정하기 위해 풀 스케일 조정용 증폭기(3-1)의 입력에, 즉 두번째 스테이지(2)의 서브AD변환(2-1)의 저항스트링(3-3)의 상위 단자 끝 전압에 인가된다. 즉, 전압차분은 2개의 인접하는 분압기 단자 사이의 전압이다. 또한, 두번째 스테이지(2)의 서브AD변환기(2-1)의 저항스트링(3-3)의 하단 전압을 결정하는 풀 스케일 조정용 증폭기(3-2)의 입력은 도시한 바와 같이 저항스트링(4)에 접속된다. 이것에 의해, 하측의 풀 스케일 조정용 증폭기(3-2)는 오프셋 전압을 발생한다. 한편, 상측의 풀 스케일 조정용 증폭기(3-1)은 잔여신호를 발생하는 에러증폭기와 마찬가지 방식으로, 오프셋 전압에 대해 이전 스테이지 분압기의 하나의 스텝을 이득으로 곱하여 얻은 풀 스케일전압을 발생한다. 에러증폭기에 의해 발생된 오프셋 전압을 조정기에 의해 보상할 수 있으므로, 이 구조로 얻을 수 있는 정밀도는 뛰어나다.

본 발명에 있어서, 두번째 스테이지(2)의 저항스트링(3-3)의 상측의 전압은 리세트 기간동안 리세트전위로 설정되고 증폭기간중에는 저항스트링(3-3)에 적당한 전압이 인가된다. 저항스트링의 상측의 전압이 이와 같은 방법으로 변동할때, 리세트기간이 증폭기간으로 변하는 동안 안정화되기 위해 저항스트링의 전압에 시간이 필요하다. 따라서, 고속화하기 위한 시도가 불가능하다.

제9도는 조정기(3)을 더욱 상세하게 도시한 도면으로서, 두번째 스테이지의 저항스트링(3-3)의 상단의 전압이 리세트의 바이어스전압V_B에 접속되고, 바이어스전압V_B가 풀 스케일 전압에 가깝고, 그러한 접속이 리세트기간ϕ_1동안 닫히는 스위치에 의해 달성되고, 상단 전압이 증폭기간ψ_2동안 풀 스케일 조정용 증폭기(3-1)의 출력전압에 접속되어 있다. 제9도의 또 하나의 특징에 의하면, 저항스트링의 전압을 안정화하기 위한 시간이 거의 필요없어 고속동작이 가능하게 된다. 도시한 바와 같이, ψ_1 및 ψ_2는 스위치들간의 동작을 연결하는 리세트 및 증폭시간을 각각 나타내는 것으로스, 즉 지정된 스위치가 그의 각 기간동안은 닫히고 그 이외에는 열린다.

제9도는 용이하게 이해할 수 있는 바와 같이, 고정되어 있어도 좋고 조정가능해도 좋은 바이어스전압V_B를 도시한 것이고, 제10도는 참조전압V_B의 조정방법의 예를 설명하는 특정회로도를 도시한 것이다. 제10도에 있어서, 풀 스케일 조정용 증폭기(3-1) 및 (3-2)의 각각과 같이, 부가적인 풀 스케일 조정증폭기는 출력을 마련하도록 접속된다. 부가적인 풀 스케일 조정용 증폭기의 출력은 리세트기간 ψ_1동안 스위치된 바이어스전압으로서 저항스트링(3-3)의 상부 단자에 마련된다. 이 방법으로 저항스트링(3-3)의 상단 전압은 고정 바이어스전압 V_B로 얻을 수 있는 속도보다 더 빠른 속도로 리세트기간과 증폭기간 사이에서 변화되는 것이 전체적으로 방진된다.

제11도는 (제10도에 사용되었다면 바이어스전압의 풀 스케일 조정용 증폭기 뿐만 아니라) 풀 스케일 조정용 증폭기(3-1) 및 (3-2)의 미분 직선성을 향상하고 제9도를 더욱 상세하게 도시한 제9도와 마찬가지의 도면이다. 분압의 값이 변동하여 첫번째 스테이지의 저항스트링(4)에 의해 발생된 분할중에서 균일하지 않을때 부호누락(즉, 특정한 스텝 전압이 발생하지 않음)을 발생하는 미분 직선성의 문제가 있다. 상술한 풀 스케일 조정용기구는 하나의 스테이지의 출력분압기와 다음 스테이지의 조정기 사이, 특히 첫번째 스테이지의 저항스트링(4)와 두번째 스테이지 조정기(3)의 풀 스케일 조정용 증폭기(3-1) 및 (3-2) 사이에 전압차분 선택기(5)를 사용한다. 예를 들면, 값 R의 낮은 분압, 값R의 그 다음 낮은 분압, 저항△R이 약간 변한 R플러스의 다음 분압, 값R-△R의 상부 분압을 갖는 저항스트링(4)에 의해 문제가 발생할 수도 있다. 일반적으로 본 발명은 이전 스테이지에서의 참조 분압을 조정하여 다음 스테이지의 서브AD변환기에 인가하는 것, 구체적으로 분압중의 특정하게 고정된 하나를 인출하여 다음 스테이지에 공급하는 제9도 및 제10도와 같은 회로에 관한 것으로서, 제11도의 선택기(5)는 그 스테이지의 디지탈값에 대응하는 저항스트링(4)의 (예를 들면) 4개의 분압중의 하나만을 인출하여 증폭하고 분할하여 그러한 참조전압을 수신하는 다음 스테이지의 서브AD변환기의 참조 전압으로서 사용한다.

제9도의 회로 등의 구성에서, 분압중의 고정된 하나를 블럭(2)의 다음 스테이지에 제공하고, 제11도의 선택기(5)가 두번째 스테이지에 대하여 분압기(4)의 4개의 분압값중의 대응하는 하나를 선택하는 것은 불리하다. 따라서, 제11도는 분압기(4)의 분압이 동일하지 않을 때 더 정밀한 결과를 마련한다. 제11도에 도시한 예에 있어서, 다른 두개의 저항값보다 최상위 저항값이 △R만큼 작고 다음 저항값이 △R만큼 크다고 하면, 두번째 스테이지의 서브 AD변환기의 풀 스케일은 저항스트링의 분압이 두번째 스테이지에서 선택되는 것에 따라 다르게 된다. 따라서, 이전 스테에지의 동일하지 않은 분압으로 인해 발생하였던 부호누락의 문제가 제11도의 선택기(5)에 의해 해결된다. 따라서, 선택기 또는 스위치(5)는 하나의 스테이지의 서브 AD변환의 결과에 따라 하나의 스테이지의 저항 스트링의 인출단자를 스위치하여 다음 스테이지에 인가한다. 즉, 첫번째 스테이지의 변환이 저항스트링(4)의 n과 n+1번째 단자사이에 존재하는 입력전압을 나타내었다고 하면, n과 n+1번째 단자의 전압은 다음 스테이지의 풀 스케일 조정용 증폭기에 인가된다. 그 결과, 이전 스테이지의 분압이 균일하지 않더라도 두번째 스테이지의 저항스트링의 양단 전압이 변환에 사용되었던 이전 스테이지로 부터의 대응하는 분압에 따라 변화하므로 부호누락의 문제가 없다.

예를 들면, 제18도 및 제11도를 참조하면, 첫번째 스테이지가 분압기 저항 스트링(4)의 위에서 두번째 분할의 범위내로 아날로그신호AS의 전압을 결정하면, 서브AD변환기(1-1)은 서브 AD변환기의 상위 비트로서 2비트 출력'10'을 마련하고, 2비트가 선택기(5)에 공급되어 저항스트링(4)의 값으로서 값R+△R에 대응하는 분압이 선택되고 다음 스테이지로 이득 G_1로 조정기(3)을 통과하여 전압스트링(3-3)에 전체범위로서 인가되어 AD변환기(2-1)의 참조분압이 얻어진다. 잔여 신호는 G_2의 점선과 같이 증폭된다. 스테이지(1)의 스트링의 참조전압의 전체 범위는 V_2-V_1이고, 스테이지(2)의 것은 V_3-V_1으로, 이것은 더 낮게 도시되어 있다. 스테이지(2)에서 디지탈출력은 다음 비트로서의 '10'이다. 두번째 스테이지 잔여신호가 G_{14}의 점선으로 도시한 바와 같이 증폭되어 V_4-V_1의 참조전압 전체 범위를 갖는 '1'의 세번째 스테이지 디지탈 출력이 마련된다. 그러나, 제2도에서와 같이 세번째 스테이지가 고정된 참조전압범위 V_2-V_1으로 동작하면 디지탈출력은 잘못해서 '0'으로 되어 버린다. 3개의 스테이지에 대하여 제11도에 의한 분해능은 제2도에 대한 '101000'에 비해 '101001'로 된다.

상술한 바와 같이, 증폭기가 낮은 이득을 갖고 분압이 균일하지 않을 때에도 다음 스테이지에 인가되도록

에러증폭기로서 동일한 증폭특성, 예를 들면 이득을 갖는 풀 스케일 조정용 증폭기를 통해 사용되는 하나의 스테이지의 저항 스트링에서 발생된 참조전압으로 정밀한 AD변환이 실행된다.

낮은 전원전압에서 동작할 때 동작하기에 적합한 아날로그 스위치의 다른 문제에 대하여 AD변환기를 분석하였다. 전원전압은 아날로그 스위치중의 하나가 적당히 동작하지 않을 때 충분히 낮게 될 우려가 있다. 전원전압이 낮아지면 스위치로서 사용되는 MOS트랜지스터의 게이트전압도 낮아져 온 저항도 증가한다. 또한, 전원전압이 너무 낮으면 스위치는 온되지 않는다. MOS트랜지스터의 온저항은 트랜지스터의 소오스와 게이트전위 사이의 차분에 의해 얻어지는 전압에 의해서 결정된다. 디지탈회로의 경우, 소오스전위를 접지 또는 전원저압Vdd로 할 수 있으므로, 일반적으로 게이트 소오스전압을 회로의 전원전압 Vdd의 임의의 레벨로 설정할 수 있다. 한편, 아날로그회로의 경우, 소오스전위는 때때로 입력 아날로그신호 레벨로 유진된다. 입력 아날로그신호는 평균 Vdd/2이므로, 게이트와 소오스 사이에 인가된 전압은 평균 Vdd/2이다. 따라서, 아날로그회로에서 온저항은 디지탈회로에서 더 높고, 스위치는 전원전압이 낮아지면 온되지 않는다.

본 발명에 따라 이러한 문제를 해소하기 위해, 아날로그 스위치에는 고전원전압이 마련된다. 제12도에 도시한 바와 같이 상술한 바와 같이 스위치의 각각에는 바람직하게는 AD변환기의 외부에서 HV의 독립적인 고전압원(6)이 마련되고, 바람직하게는 AD변환기는 원 칩 회로로 존재하도록 하나의 칩에 전체적으로 포함된다. 또한, AD변환기의 칩 또는 회로에는 스테이지의 모든 아날로그 스위치에 공급되는 고전압을 발생하기 위해 전압발생기가 마련되어도 좋다. 따라서, 제13도는 승압전압S-UV의 고전압원(7)이 전체 AD변환회로를 포함하는 단일의 칩내부에 있는 것을 제외하고는 제12도와 마찬가지이다.

제12도 및 제13도에서와 같이 분리된 고전압원을 마련하는 대신 전원전압이 이전 스테이지의 잔여신호보다 낮을 때에도 스위치가 계속 만족스럽게 동작하도록 제14도에서와 같이 아날로그 스위치는 저스레시홀드 전압 아날로그 스위치(8)이어도 좋다.

제12도 및 제13도의 특징은 본 발명에서 아날로그 디지탈 변환기에 특히 효과가 있지만, 이들은 더 넓은 특징을 갖는다. 즉, 고전원전압HV가 AD변환기스위치 또는 아날로그스위치의 전원으로서, AD변환기의 어떠한 다른 회로성분의 전원전압Vdd보다 높은 전압을 발생하는 승압회로 또는 고전압회로인 제15도 및 제16도에는 범용단일칩 AD변환기 및 비교기의 아날로그스위치의 분리된 외부 또는 내부발생 고전원전압HV의 사용을 도시하고 있다. 제16도에 도시한 바와 같이, 여러개의 고전압회로HV(9)가 열로 배치되어 저전압용 병렬 AD변환기가 마련된다. 제16도의 이 원칩 병렬 AD변환기는 파이프라인 AD변환기 또는 직병렬 또는 서브렌지 AD변환기의 제1도, 제2도, 제4도, 제5도, 제7도~제14도에 도시한 서브 AD변환기(1-2) 및 (2-1)로서 사용되어도 좋다. 마찬가지의 고전압회로HV(10)을 제1도, 제2도, 제4도, 제5도, 제7도~제14도의 DA변환기의 아날로그 스위치에 사용하여 제17도에 도시한 바와 같은 저전압용 DA변환기를 마련해도 좋다. 마찬가지로, 어떠한 DA변환기에서도 저전압용 회로를 마련하기 위해 일반적으로 스위치드 커패시터회로 또는 스위치드 커패시터 증폭기의 아날로그스위치에 고전압회로 또는 승압전원을 사용해도 좋다.

본 발명에 따르면, 저전압전압용으로 AD변환기가 마련된다. 유한 또는 낮은 이득 및 대역의 에러증폭기를 사용하는 것에 발생하는 문제를 다음 스테이지에 정밀한 AD변환을 실행하기 위해 에러증폭기로서 동일한 특성을 갖는 풀스케일 조정용 증폭기에 의해 조정되는 참조전압을 발생하는 첫번째 스테이지의 저항스트링에 의해 해결한다. 또한, 낮은 전압공급으로 인해 온되지 않는 아날로그 스위치를 사용하는 것에서 발생하는 다른 문제는 게이트전압을 높이거나 또는 낮은 스레시홀드 전압 트랜지스터를 사용하는 것에 의해 해소할 수 있다. 따라서, 본 발명에 따르면 낮은 전압에서도 효과적인 AD변환기가 얻어진다.

이상, 본 발명을 상기 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위내에서 여러가지로 변경가능한 것은 물론이다.

(57) 청구의 범위

청구항 1

초기아날로그신호를 최종 디지탈신호로 변환하기 위해 저전압을 인가하는 직병렬 또는 파이프라인 AD변환기의 형태인 AD변환기에 있어서, AD변환의 스테이지로서 각각 동작하는 여러개의 기능블럭을 포함하고, 상기 블럭의 각각은 참조전압, 아날로그신호입력과 디지탈출력을 갖는 서브AD변환기를 구비하고, 상기 블럭의 각각은 디지탈출력을 입력하고 아날로그신호출력을 출력하는 DA변환기 및 증폭된 아날로그 차분 잔여신호를 생성하기 위해 상기 아날로그신호입력과 상기 아날로그신호출력을 비교하는 에러증폭기를 더 구비하고, 상기 블럭은 상기 최종 디지탈신호의 적어도 1비트로서 상기 각각의 블럭의 상기 디지탈출력을 마련하고, 다음블럭의 상기 아날로그신호입력으로서 AD변환의 스테이지의 다음블럭을 갖는 상기 각각의 블럭의 증폭된 아날로그 차분잔여신호를 마련하기 위해 상기 초기아날로그신호입력의 AD변환을 위한 수단으로서 AD변환의 스테이지의 첫번째 스테이지의 상기 서브AD변환기에 접속되고, AD변환의 두번째이후의 스테이지의 각 블럭내의 상기 서브AD변환기는 분압기와 AD변환의 이전스테이지의 상기 에러증폭기의 전체 출력범위와 전체스케일이 실질적으로 동일하도록 참조전압을 발생하여 조정하고, 상기 분압기를 거쳐서 상기 참조전압을 공급하는 풀 스케일 조정용 증폭기수단을 갖고, 상기 풀스케일 조정용 증폭기수단은 상기 에러증폭기의 회로구조형태와 동일하고, AD변환의 상기 이전스테이지에서 상기 블럭의 상기 분압기의 하나의 전압스텝을 입력하는 증폭기를 갖는 것을 특징으로 하는 AD변환기.

청구항 2

제1항에 있어서, 상기 에러증폭기와 상기 풀스케일 조정용 증폭기수단의 증폭기는 스위치드 커패시터 증폭기인 것을 특징으로 하는 AD변환기.

청구항 3

제2항에 있어서, 상기 스위치드 커패시터 증폭기는 각각 CMOS 인버티드 증폭기인 것을 특징으로 하는 AD변환기.

청구항 4

제2항에 있어서, 상기 스위치드 커패시터 증폭기는 정전류원부하를 사용하는 인버티드 증폭기인 것을 특징으로 하는 AD변환기.

청구항 5

제2항에 있어서, 단일 집적회로상에 포함되고, 상기 스위치드 커패시터 증폭기는 아날로그 MOS 스위치를 제외한 상기 집적회로의 어떠한 트랜지스터의 스레시홀드전압보다 낮은 스레시홀드전압인 아날로그MOS스위치를 갖는 것을 특징으로 하는 AD변환기.

청구항 6

제1항에 있어서, 상기 풀스케일 조정용 증폭기수단에는 상기 분압기에 리세트전압으로서 상기 참조전압을 공급하는 리세트수단이 마련되는 것을 특징으로 하는 AD변환기.

청구항 7

제1항에 있어서, 상기 풀스케일 조정용 증폭기수단은 디지탈출력에 따라 AD변환의 이전스테이지에서 상기 분압기의 단자를 거쳐서 전압을 스위치하는 것에 의해 상기 풀스케일 조정용 증폭기수단으로의 입력전압을 얻는 스위칭회로를 갖는 것을 특징으로하는 AD변환기.

청구항 8

제1항에 있어서, 상기 에러증폭기는 유한의 저이득을 갖는 차동증폭기이고, 상기 풀스케일 조정용 증폭기수단은 실질적으로 상기 에러증폭기의 유한의 저이득을 갖는 AD변환의 이전스테이지를 참조전압의 분할을 증폭하는 것을 특징으로 하는 AD변환기.

청구항 9

제1항에 있어서, 상기 분압기는 저항스트링인 것을 특징으로 하는 AD변환기.

청구항 10

제1항에 있어서, 1칩회로를 마련하도록 전체가 단일의 집적된 칩상에 구성된 것을 특징으로 하는 AD변환기.

청구항 11

제1항에 있어서, 상기 에러증폭기와 상기 풀스케일 조정용 증폭기수단은 리세트기간동안에 리세트하고, 증폭기간동안에 스위치드 커패시터 차동증폭기에 신호를 공급하는 여러개의 아날로그스위치를 갖는 스위치드 커패시터 차동증폭기이고, 상기 풀스케일 조정용 증폭기수단의 증폭기는 풀스케일 증폭기와 상기 증폭기간동안에 상기 AD변환의 다음스테이지의 상기 분압기에 적어도 하나의 풀스케일증폭기의 출력을 스위치하고, 상기 리세트기간동안 다음스테이지의 상기 분압기에 바이어스전압을 스위치하는 상기 아날로그스위치를 갖는 것을 특징으로 하는 AD변환기.

청구항 12

제11항에 있어서, 고정전압으로서 상기 바이어스전압을 마련하는 수단을 더 포함하는 것을 특징으로 하는 AD변환기.

청구항 13

제11항에 있어서, 상기 AD변환의 이전스테이지의 분압기의 증폭전압에서 얻은 가변 전압으로서 상기 바이어스전압을 마련하는 수단을 더 포함하는 것을 특징으로 하는 AD변환기.

청구항 14

제1항에 있어서, 상기 풀스케일 조정용 증폭기수단은 입력으로서 AD변환의 이전스테이지의 상기 분압기의 분압을 받도록 접속되는 입력을 갖는 선택기를 구비하고, 상기 선택기는 상기 AD변환의 이전스테이지의 상기 서브AD변환기의 디지탈출력에 응답하여 선택된 하나의 입력을 상기 풀스케일 조정용 증폭기수단의 상기 증폭기로 공급하는 것을 특징으로 하는 AD변환기.

청구항 15

단일의 집적된 회로상에 포함되고, 초기 아날로그신호를 변환디지탈출력으로 변환하기 위해 저전압을 인가하는 직병렬 또는 파이프라인 AD변환기의 형태인 AD변환기에 있어서, 변환의 스테이지로서 각각 동작하는 여러개의 기능블럭을 포함하고, 상기 블럭의 각각은 참조전압, 참조전압을 마련하는 분압기, 아날로그신호 입력과 디지탈출력을 갖는 서브AD변환기를 구비하고, 상기 블럭의 각각은 상기 서브AD변환기의 디지탈출력을 입력하고 아날로그신호출력을 출력하는 DA변환기 및 증폭된 아날로그 차분 잔여신호를 생성하기 위해 상기 아날로그신호입력과 상기 아날로그신호출력을 비교하는 에러증폭기를 더 구비하고, 상기 블럭의 각각은 상기 디지탈출력으로서 변환디지탈출력의 적어도 1비트를 마련하기 위한 AD변환의 첫번째 스테이지의 아날로그신호입력으로서의 초기아날로그신호의 AD변환용수단과 상기 AD변환의 첫번째 스테이지 이외의 스테이지의 아날로그신호입력으로서 AD변환의 이전스테이지의 하나에서 공급된 증폭된 차분 잔여신호의 AD변환용 수단이고, 상기 에러증폭기의 각각은 상기 집적된 회로의 전원전압보다 높은 게이트 제어전압의 아날로그MOS스위치를 갖는 스위치드 커패시터 증폭기인 것을 특징으로 하는 AD변환기.

청구항 16

제15항에 있어서, 상기 집적된 회로의 상기 전원전압보다 높은 게이트제어전압을 마련하는 수단을 더 포함하는 것을 특징으로 하는 AD변환기.

청구항 17

제16항에 있어서, 상기 게이트제어전압을 마련하는 상기 수단은 성장형 승압회로인 것을 특징으로 하는 AD변환기.

청구항 18

초기 아날로그신호를 최종디지탈신호로 변환하기 위해 저전압을 인가하는 직병렬 또는 파이프라인 AD변환기의 형태인 AD변환기에 있어서, AD변환의 스테이지로서 각각 동작하는 여러개의 기능블럭을 포함하고, 상기 블럭의 각각은 참조전압, 아날로그신호입력과 디지탈출력을 갖는 서브AD변환기를 구비하고, 상기 블럭의 각각은 상기 디지탈출력을 입력하고 아날로그신호출력을 출력하는 DA변환기 및 증폭된 아날로그 차분 잔여신호를 생성하기 위해 상기 아날로그신호입력과 상기 아날로그신호출력을 비교하는 에러증폭기를 더 구비하고, 상기 블럭은 상기 최종디지탈신호의 적어도 1비트로서 상기 각각의 블럭의 디지탈출력을 마련하고, 다음블럭의 상기 아날로그신호입력으로서 AD변환의 다음블럭의 스테이지를 갖는 상기 각각의 블럭의 증폭된 아날로그 차분 잔여신호를 마련하기 위해 상기 초기아날로그신호입력의 AD변환용 수단으로서 AD변환의 스테이지의 첫번째스테이지의 상기 서브AD변환기에 접속되고, AD변환의 제2 이후의 스테이지의 각 블럭내의 상기 서브AD변환기는 분압기 및 AD변환의 이전스테이지의 상기 에러증폭기의 전체출력범위와 전체스케일이 실질적으로 동일하도록 참조전압을 발생하여 조정하고, 상기 분압기를 거쳐서 상기 참조전압을 공급하는 풀스케일 조정용 증폭기수단을 갖고, 상기 풀스케일 조정용 증폭기수단을 상기 에러증폭기로서 동일한 회로특성내에서 동작하고 AD변환의 이전스테이지의 블럭내에서 상기 분압기의 하나의 전압스텝을 입력하는 증폭기를 갖는 것을 특징으로 하는 AD변환기.

청구항 19

제18항에 있어서, 상기 에러증폭기와 상기 풀스케일 조정용 증폭기수단의 증폭기는 스위치드 커패시터 증폭기인 것을 특징으로 하는 AD변환기.

청구항 20

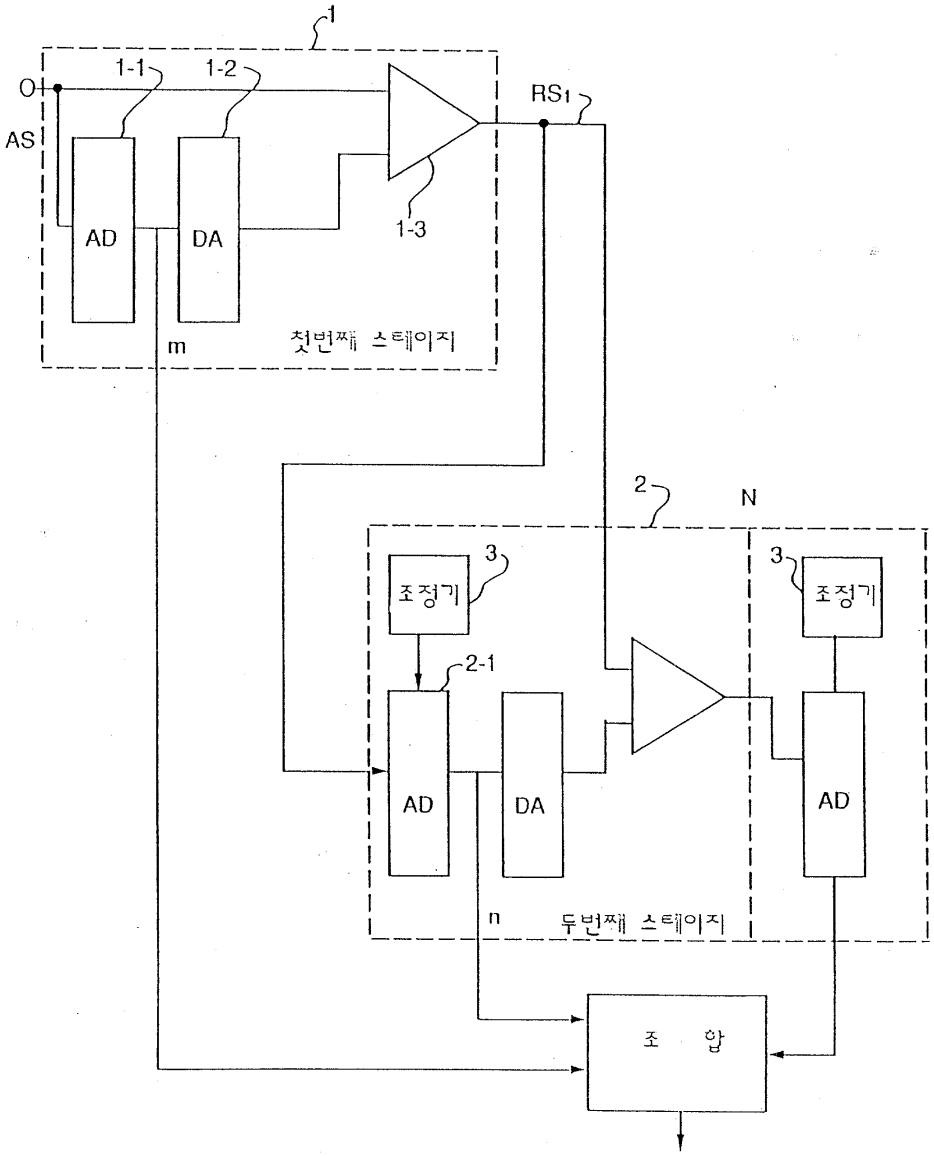
제19항에 있어서, 상기 스위치드 커패시터 증폭기는 각각 CMOS인버티드 증폭기인 것을 특징으로 하는 AD변환기.

청구항 21

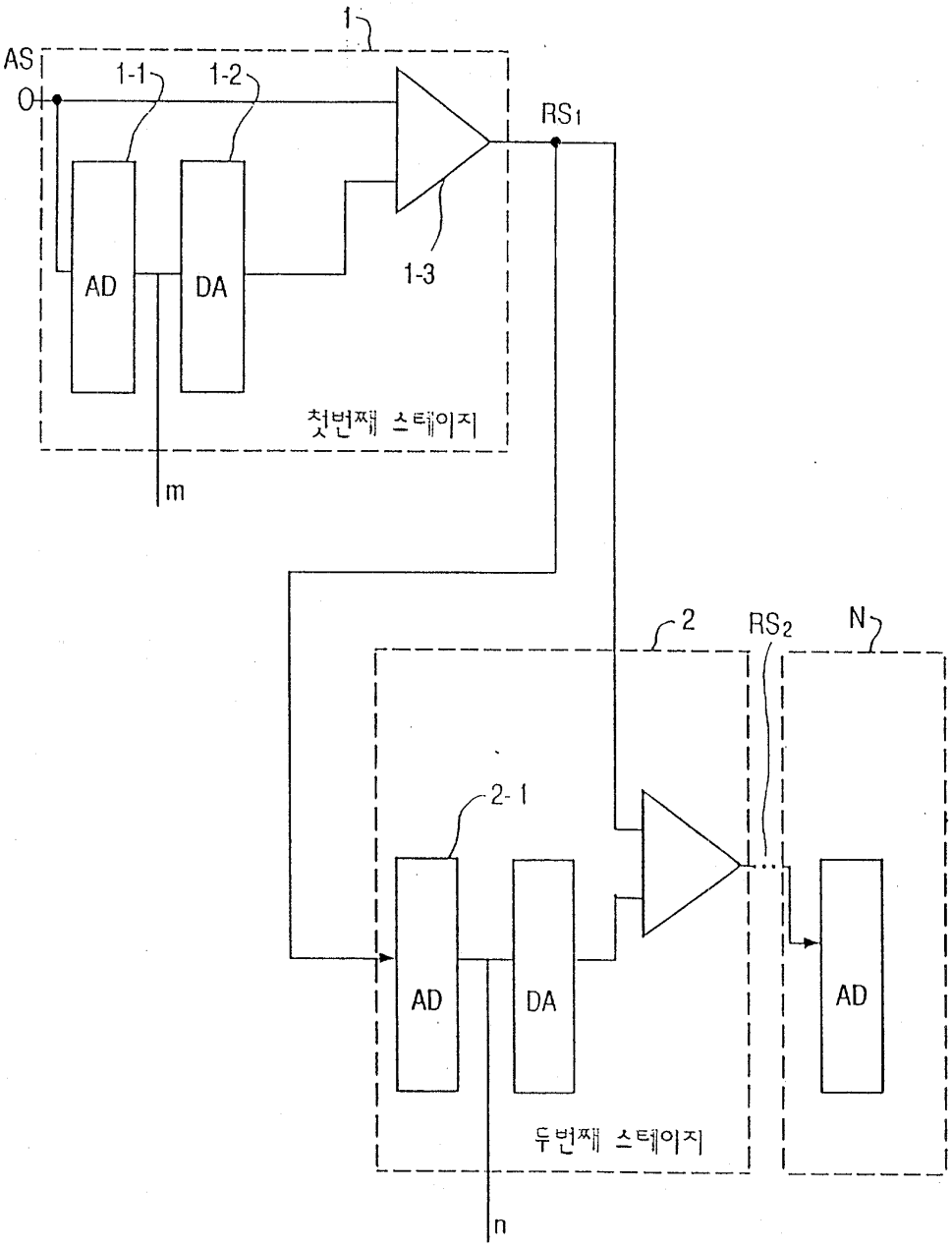
제19항에 있어서, 상기 스위치드 커패시터 증폭기는 각각 정전류원부하를 사용하는 인버티드 증폭기인 것을 특징으로 하는 AD변환기.

도면

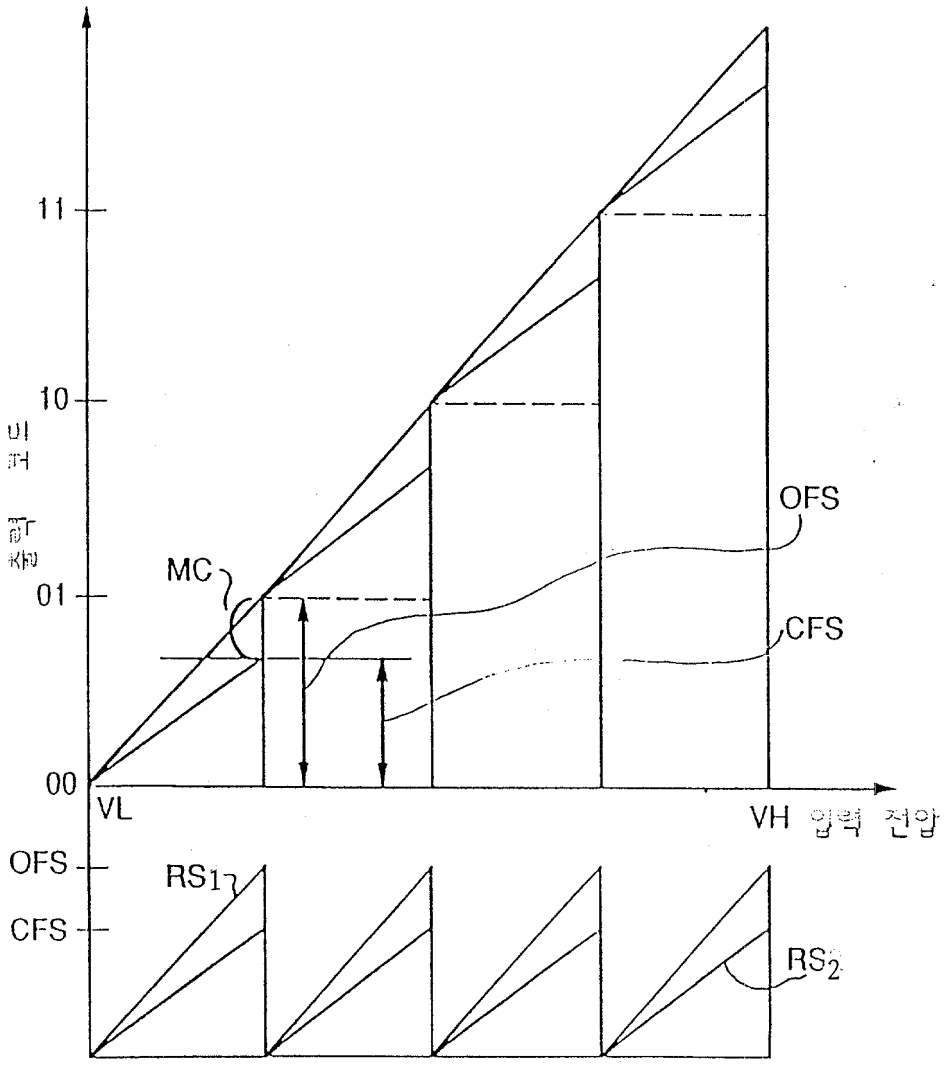
도면1


1
1-1
1-2
0
AS
AD
DA
1-3
RS1
m
첫번째 스테이지
2
N
3
조정기
2-1
AD
DA
3
조정기
AD
n
두번째 스테이지
조 합

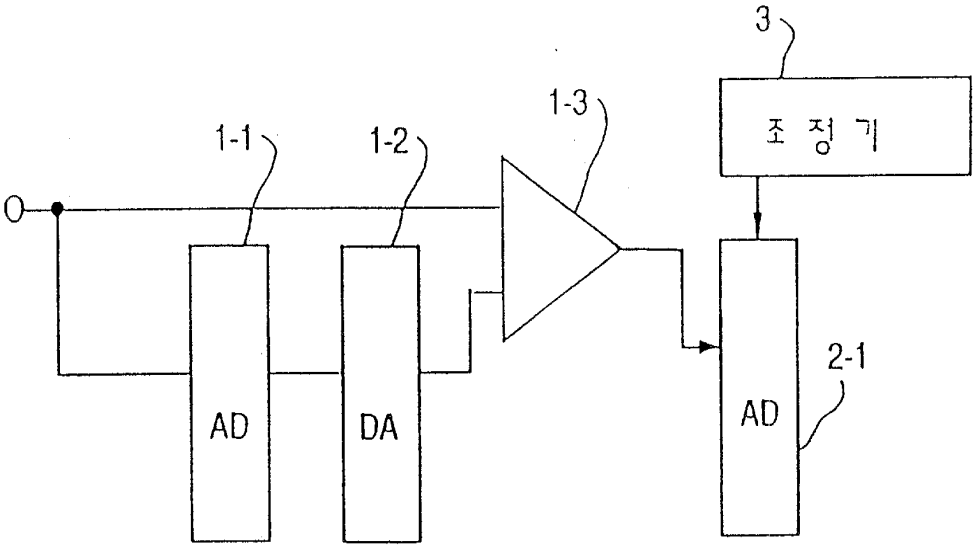
도면2



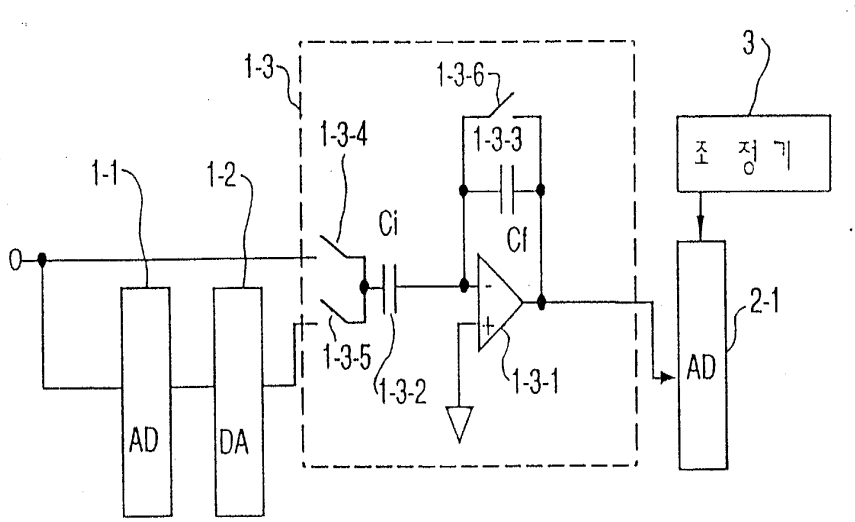
도면3


11
10
01
00
비교 출력
MC
OFS
CFS
VL
VH 입력 전압
OFS
CFS
RS1
RS2

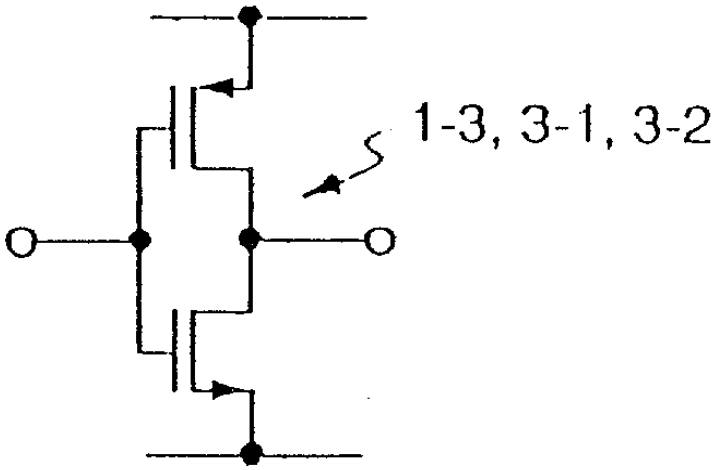
도면4


3
조 정 기
1-3
1-1
1-2
0
AD
DA
AD
2-1

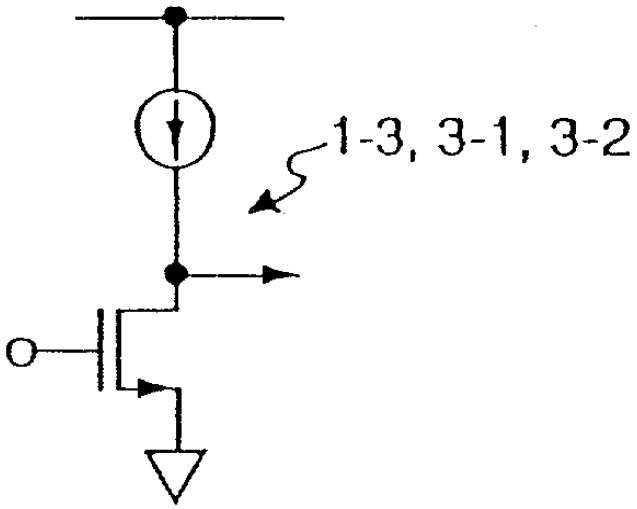
도면5



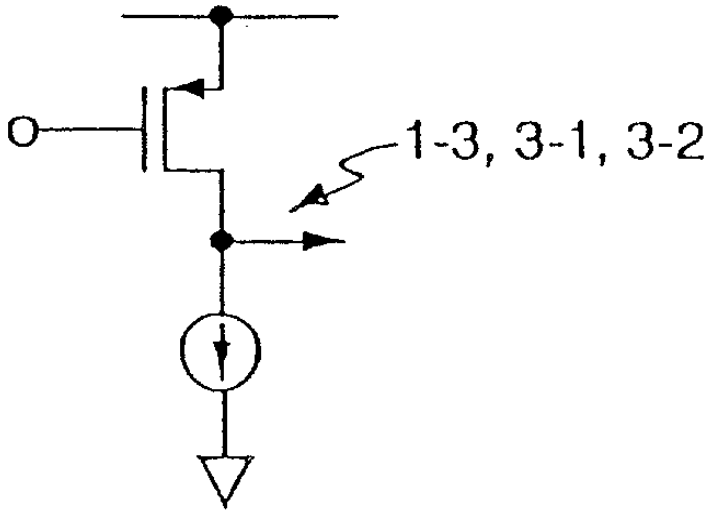
도면6a



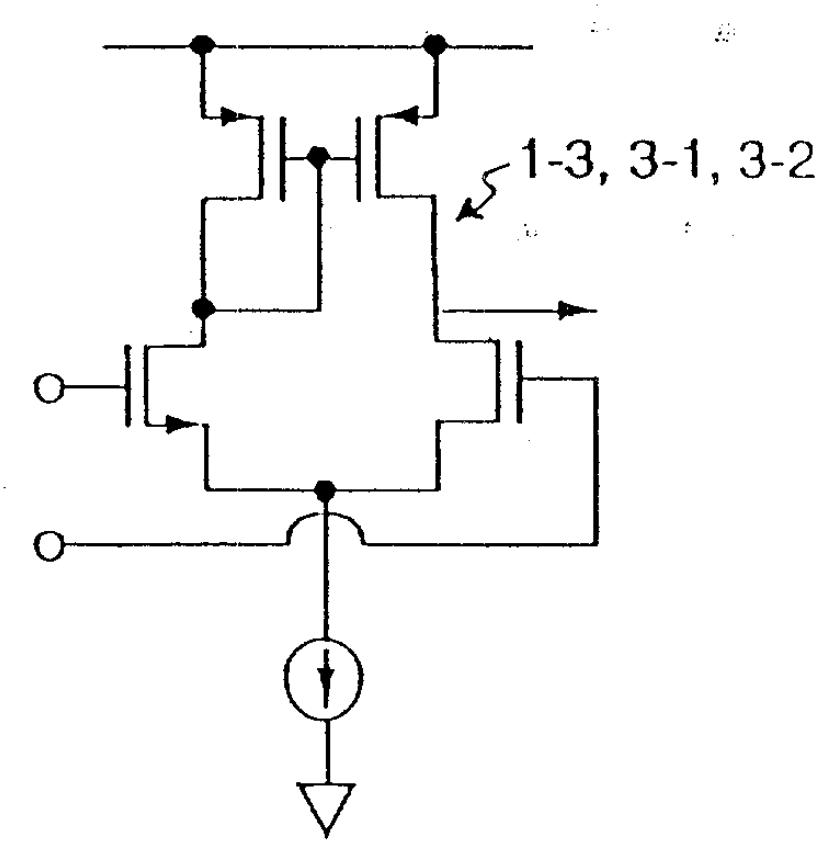
도면6b



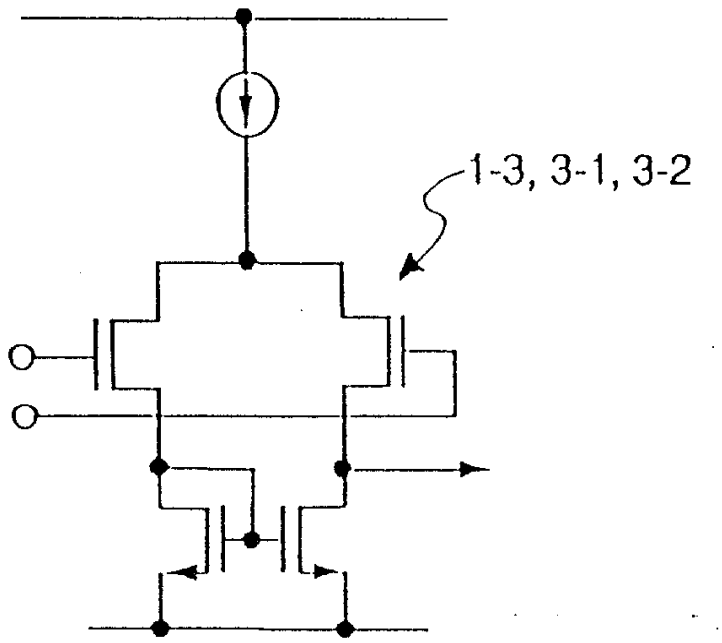
도면6c



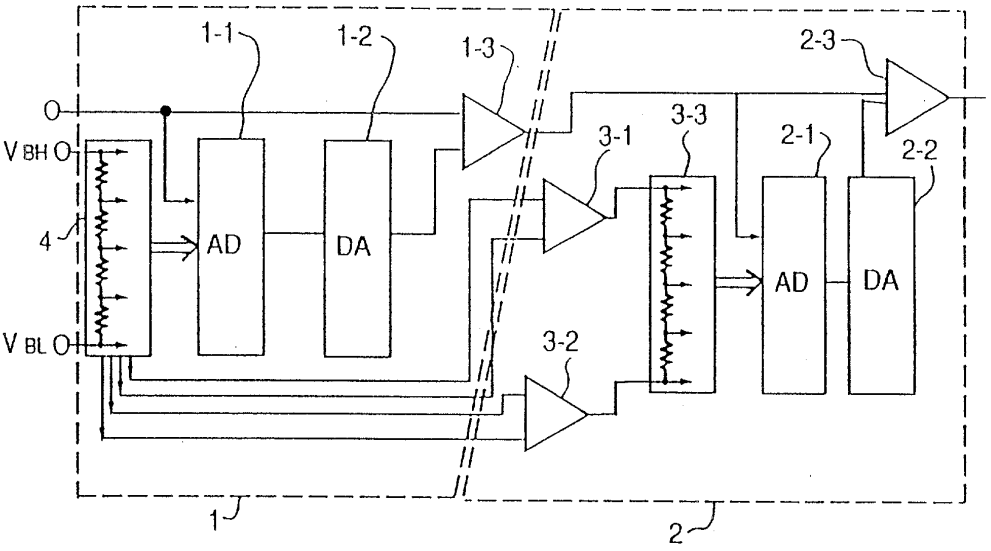
도면6d



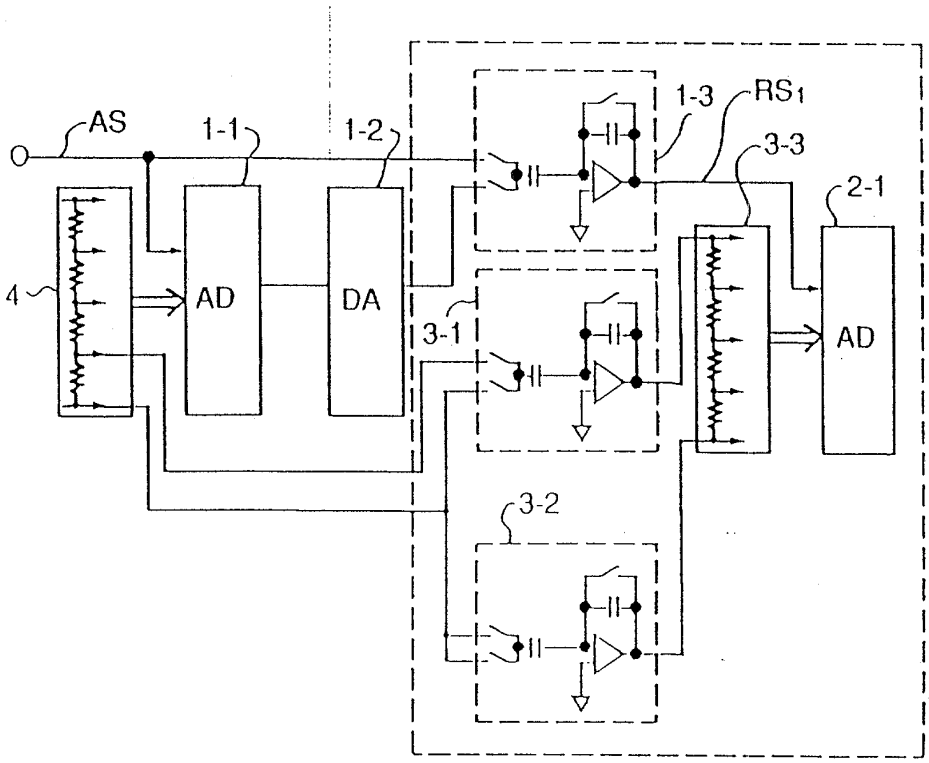
도면6e



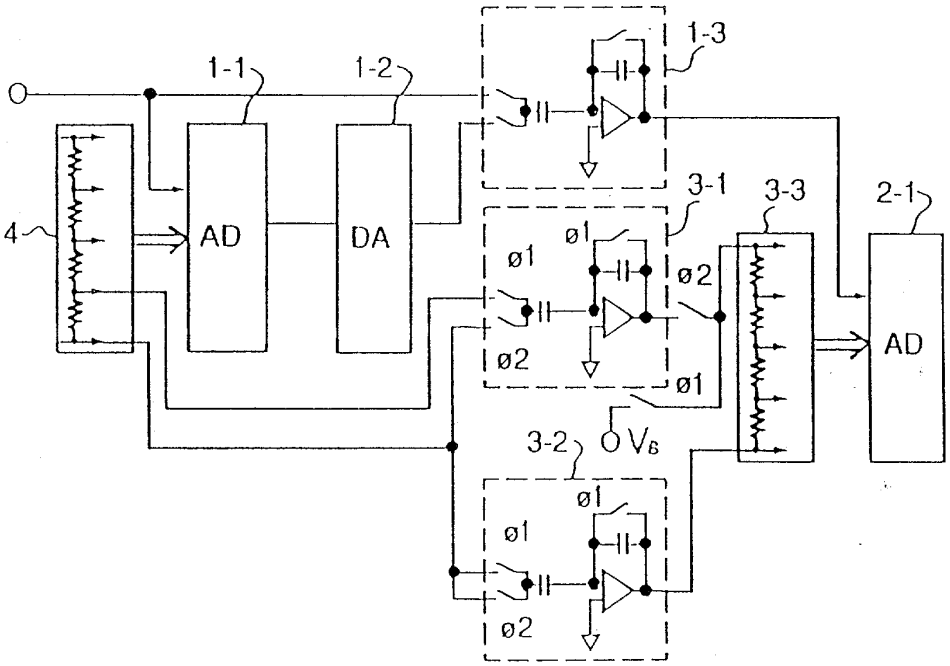
도면7


1-1
1-2
1-3
2-3
3-3
3-1
2-1
2-2
V BH
4
AD
DA
AD
DA
V BL
3-2
1
2

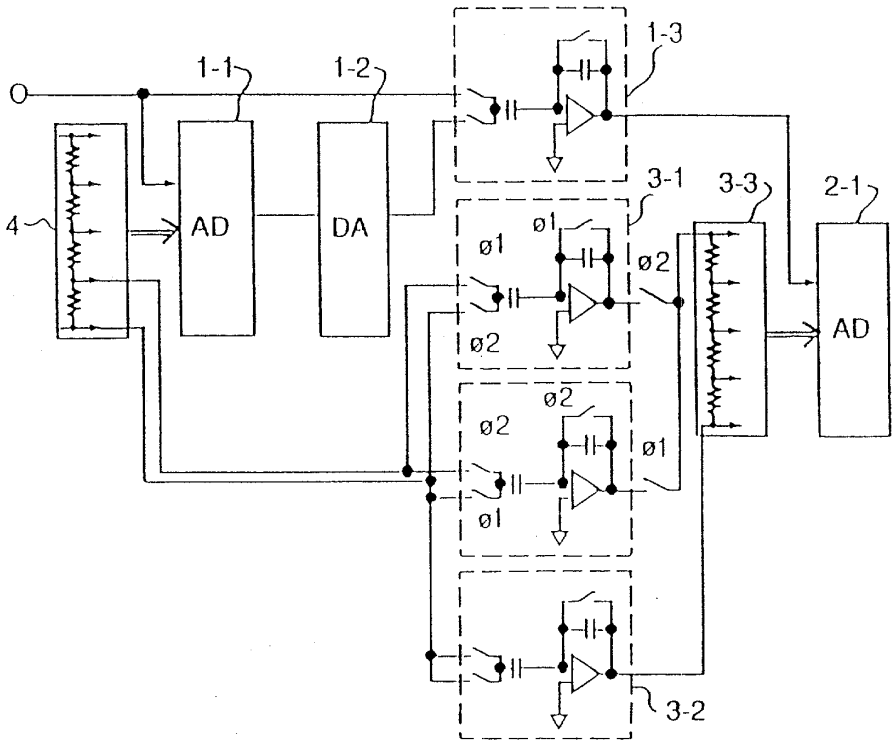
도면8


AS
1-1
1-2
1-3
RS1
3-3
2-1
4
AD
DA
3-1
AD
3-2

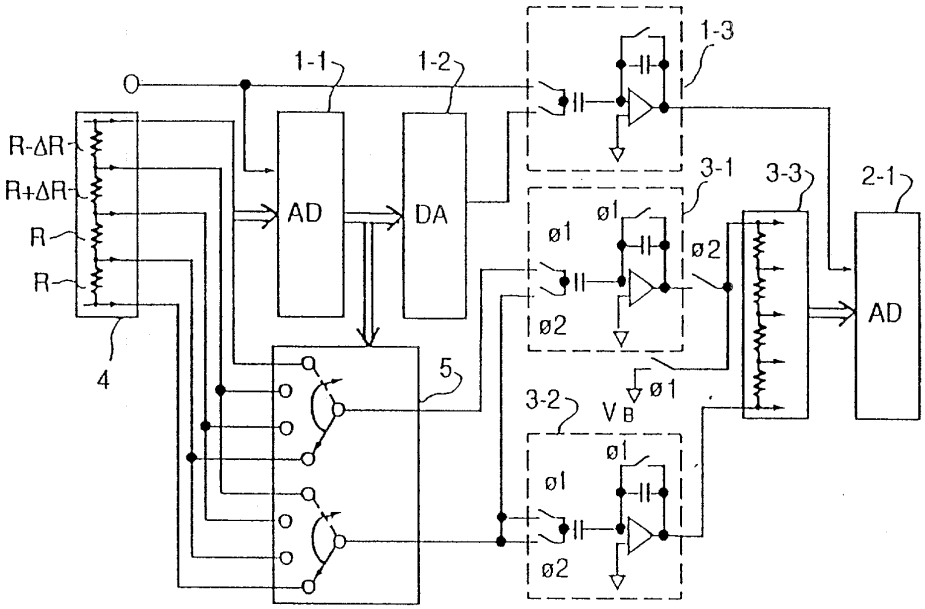
도면9



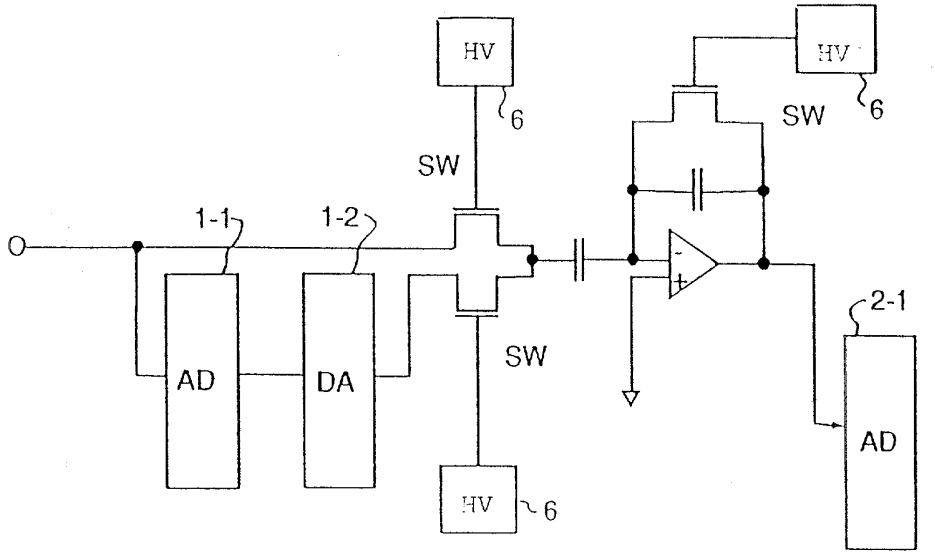
도면10



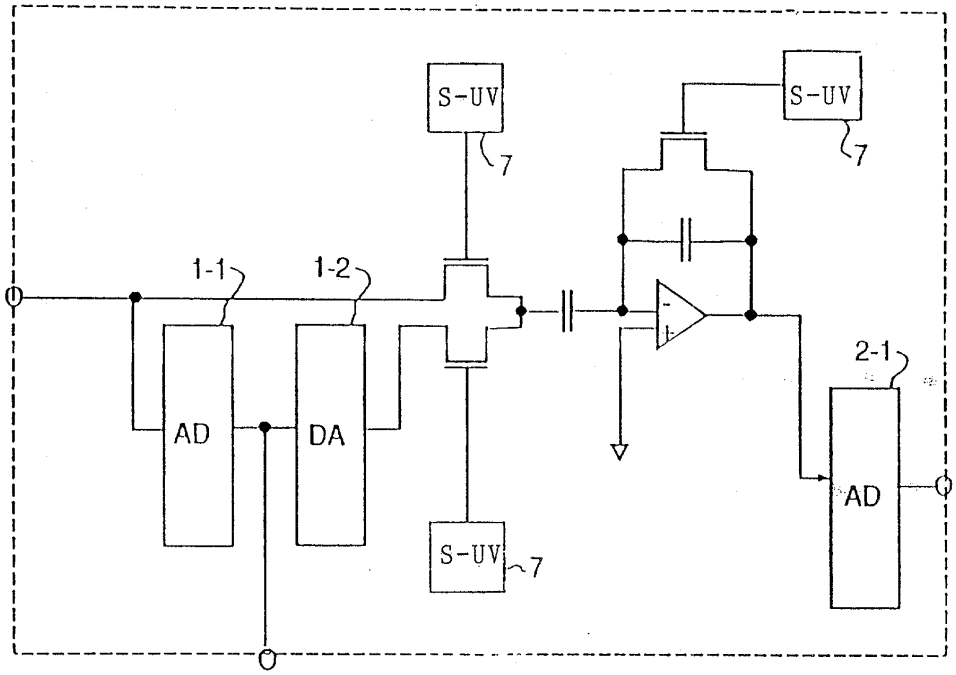
도면11


1-1
1-2
1-3
R-ΔR
R+ΔR
R
R
AD
DA
3-1
3-3
2-1
ø1
ø2
ø1
ø2
AD
4
5
3-2
VB
ø1
ø1
ø2

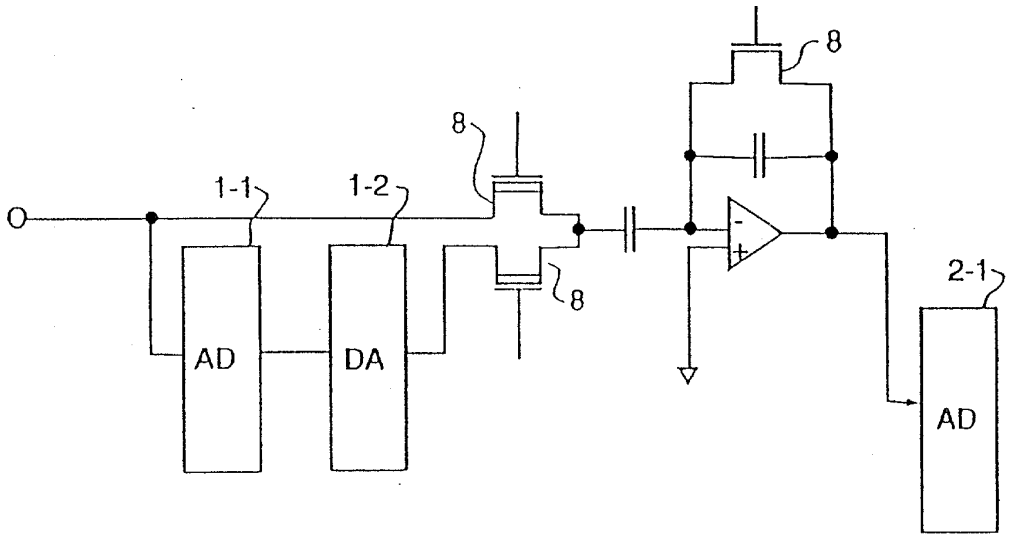
도면12


HV
6
SW
HV
SW
6
1-1
1-2
AD
DA
SW
2-1
AD
HV
6

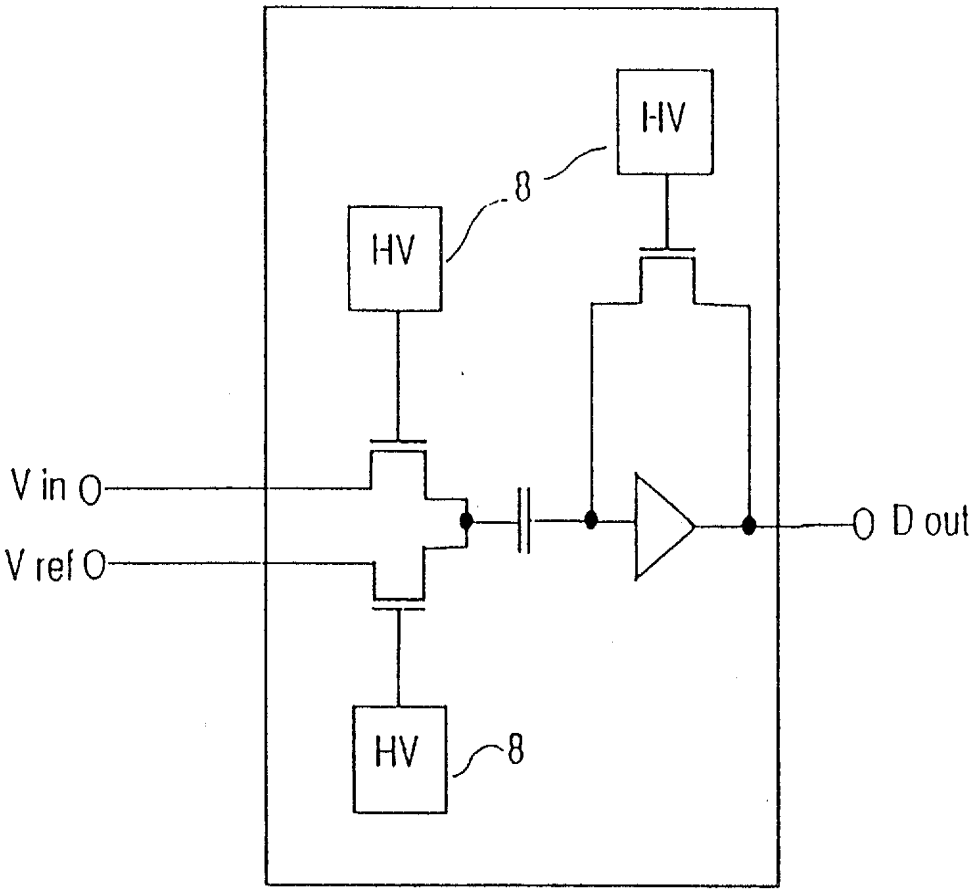
도면13



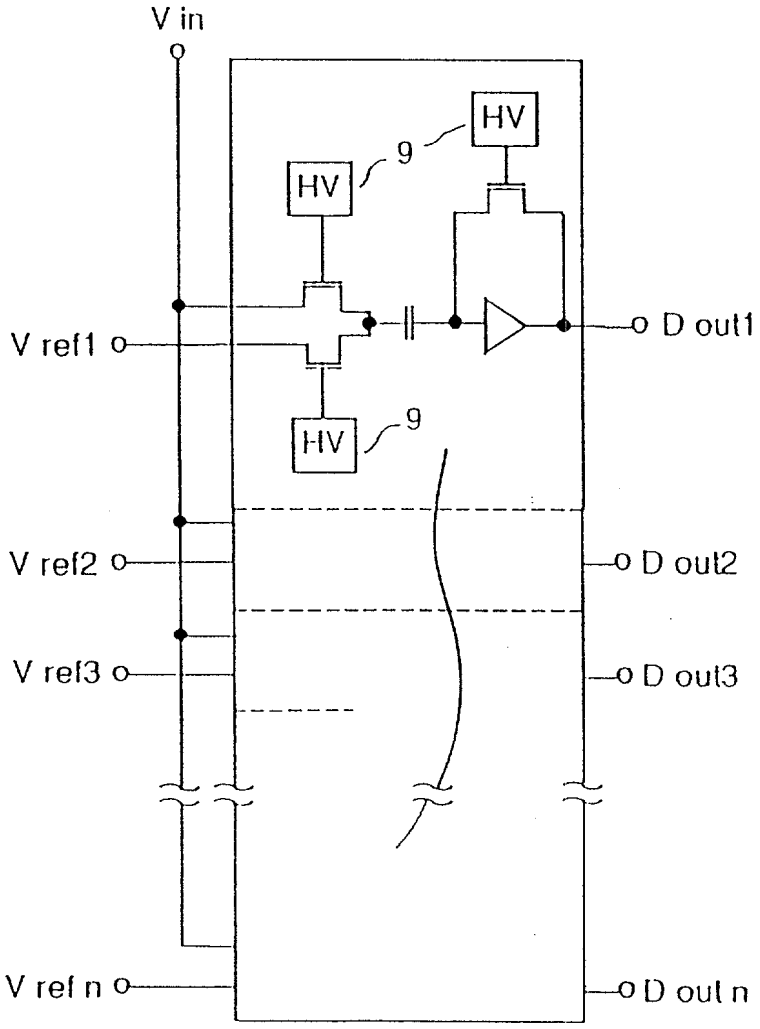
도면14



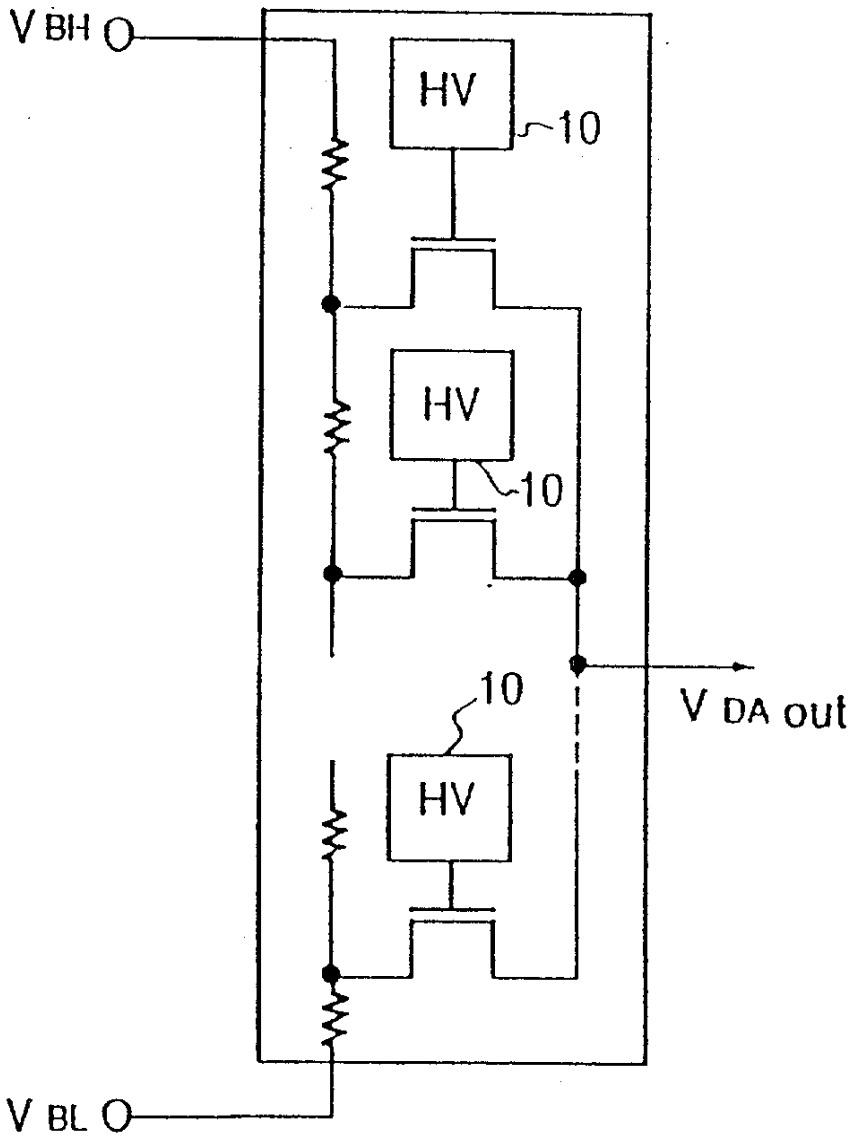
도면15



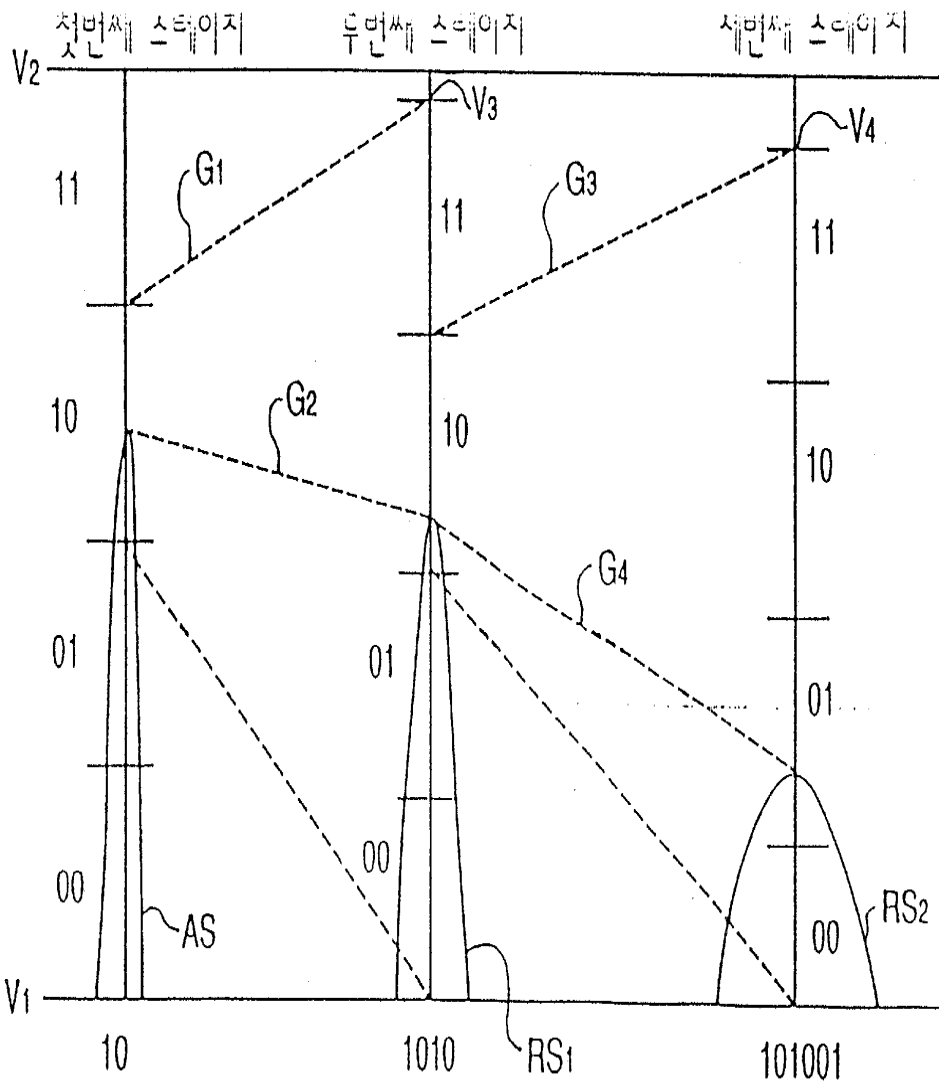
도면16


V in
HV
9
HV
V ref1
D out1
9
HV
V ref2
D out2
V ref3
D out3
V ref n
D out n

도면17



도면18


첫번째 스테이지
두번째 스테이지
세번째 스테이지
V2
V3
V4
V1
11
10
01
00
G1
G2
G3
G4
AS
RS1
RS2
10
1010
101001