

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 8 月 24 日 (24.08.2023)



(10) 国际公布号
WO 2023/155263 A1

(51) 国际专利分类号:
H01L 21/76 (2006.01)

(21) 国际申请号: PCT/CN2022/081487

(22) 国际申请日: 2022 年 3 月 17 日 (17.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210153623.7 2022 年 2 月 18 日 (18.02.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 高远皓 (GAO, Yuanhao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) **Title:** SHALLOW TRENCH ISOLATION STRUCTURE, PREPARATION METHOD THEREFOR, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 浅沟槽隔离结构及其制备方法、半导体结构

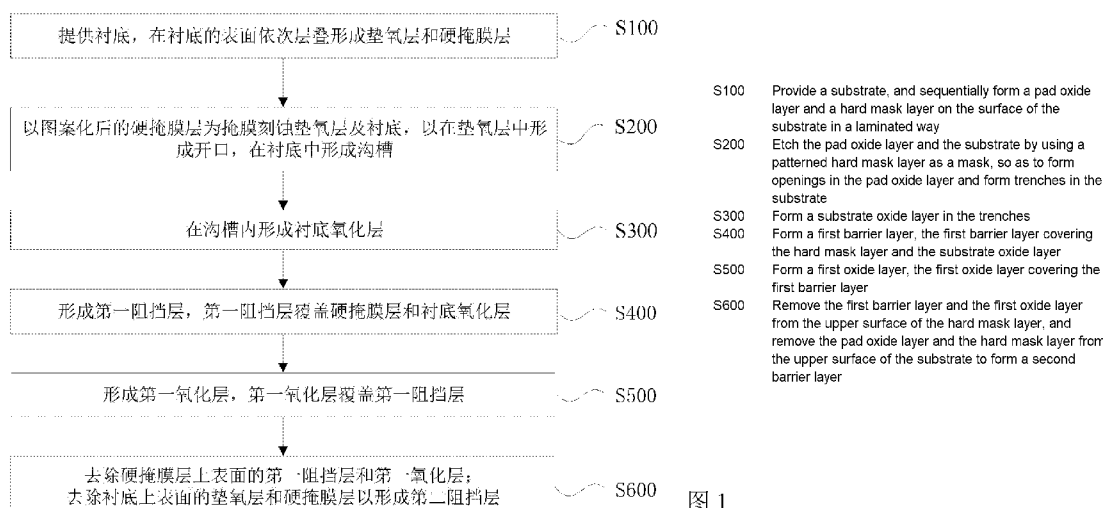


图 1

(57) **Abstract:** The present disclosure relates to a shallow trench isolation structure, a preparation method therefor, and a semiconductor structure. The preparation method comprises: providing a substrate, and sequentially forming a pad oxide layer and a hard mask layer on the surface of the substrate in a laminated way; etching the pad oxide layer and the substrate by using a patterned hard mask layer as a mask, so as to form openings in the pad oxide layer and form trenches in the substrate; forming a substrate oxide layer in the trenches; forming a first barrier layer, the first barrier layer covering the hard mask layer and the substrate oxide layer; forming a first oxide layer, the first oxide layer covering the first barrier layer; removing the first barrier layer and the first oxide layer from the upper surface of the hard mask layer; and removing the pad oxide layer and the hard mask layer from the upper surface of the substrate to form a second barrier layer. The present disclosure can improve the isolation performance of a shallow trench isolation structure, so that the use reliability and yield of a semiconductor structure are improved.

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开涉及一种浅沟槽隔离结构及其制备方法、半导体结构。所述制备方法, 包括: 提供衬底, 在衬底的表面依次层叠形成垫氧层和硬掩膜层; 以图案化后的硬掩膜层为掩膜刻蚀垫氧层及衬底, 以在垫氧层中形成开口, 在衬底中形成沟槽; 在沟槽内形成衬底氧化层; 形成第一阻挡层, 第一阻挡层覆盖硬掩膜层和衬底氧化层; 形成第一氧化层, 第一氧化层覆盖第一阻挡层; 去除硬掩膜层上表面的第一阻挡层和第一氧化层; 去除衬底上表面的垫氧层和硬掩膜层以形成第二阻挡层。本公开可以提高浅沟槽隔离结构的隔离性能, 以改善半导体结构的使用可靠性及良率。

浅沟槽隔离结构及其制备方法、半导体结构

相关申请的交叉引用

本公开要求于 2022 年 02 月 18 日提交中国专利局、申请号为 202210153623.7 的中国专利的优先权，所述专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体集成电路制造技术领域，特别是涉及一种浅沟槽隔离结构及其制备方法、半导体结构。

背景技术

随着半导体技术的发展，集成电路中器件的特征尺寸越来越小。在半导体工艺进入深亚微米阶段后，为了实现高密度及高性能的器件及半导体结构，隔离与平坦化工艺变得越来越重要。

5 目前，浅沟槽隔离（Shallow Trench Isolation，简称 STI）工艺具有优异的隔离性能，已逐渐成为器件有源区隔离的主流隔离技术之一。

然而，相关技术中，浅沟槽隔离结构的形成往往离不开硬掩膜层和垫氧层的使用。例如，先在衬底的表面依次层叠形成垫氧层和硬掩膜层；然后依次刻蚀硬掩膜层、垫氧层和衬底，以在衬底中形成沟槽；之后在沟槽中填充氧化物，以形成浅沟槽隔离结构；最后去除硬掩膜层和垫氧层。由于垫氧层与浅沟槽隔离结构的材料均包含氧化物，因此在去除垫氧层的过程中，浅沟槽隔离结构的拐角或边界处也容易出现被刻蚀的情况，导致浅沟槽隔离结构的局部边缘出现凹陷(divot)、孔洞或尖角等缺陷。从而影响浅沟槽隔离结构的隔离性能，进而影响半导体结构的电学性能，例如出现漏电流、窄沟道效应等不良。

发明内容

根据本公开的各种实施例，提供一种浅沟槽隔离结构及其制备方法、半导体结构。

根据一些实施例，本公开一方面提供一种浅沟槽隔离结构的制备方法，包括如下步骤。

提供衬底，在衬底的表面依次层叠形成垫氧层和硬掩膜层。

以图案化后的硬掩膜层为掩膜刻蚀垫氧层及衬底，以在垫氧层中形成开口，在衬底中形成沟槽。

10 在沟槽内形成衬底氧化层。

形成第一阻挡层，第一阻挡层覆盖硬掩膜层和衬底氧化层。

形成第一氧化层，第一氧化层覆盖第一阻挡层。

去除硬掩膜层上表面的第一阻挡层和第一氧化层。

去除衬底上表面的垫氧层和硬掩膜层以形成第二阻挡层。

15 在一些实施例中，所述制备方法还包括如下步骤。

氧化第二阻挡层及衬底的部分表面以形成第二氧化层。

去除第二氧化层及部分衬底氧化层，以使保留于沟槽内的衬底氧化层形成浅沟槽隔离

结构。

根据一些实施例，去除第二氧化层及部分衬底氧化层，包括：使用氢氟酸稀释溶液对形成第二氧化层后所得的结构进行清洗，以去除第二氧化层及部分衬底氧化层。

根据一些实施例，在沟槽内形成衬底氧化层，包括如下步骤。

在沟槽、开口和硬掩膜层的图案内沉积氧化物。

去除位于开口和硬掩膜层的图案内的氧化物，以使保留于沟槽内的氧化物构成衬底氧化层。

根据一些实施例，在沟槽内形成衬底氧化层，还包括：在沟槽、开口和硬掩膜层的图案内沉积氧化物之后，在去除位于开口和硬掩膜层的图案内的氧化物之前，采用化学机械研磨工艺抛光硬掩膜层及氧化物的裸露表面。

根据一些实施例，去除硬掩膜层上表面的第一阻挡层和第一氧化层，去除衬底上表面的垫氧层和硬掩膜层以形成第二阻挡层，包括如下步骤。

去除第一阻挡层和第一氧化层二者位于硬掩膜层上表面的部分，以形成中间阻挡层和中间氧化层。

去除硬掩膜层。

去除垫氧层和中间氧化层，以使中间阻挡层形成第二阻挡层。

根据一些实施例，采用化学机械研磨工艺，去除第一阻挡层和第一氧化层二者位于硬掩膜层上表面的部分，以形成中间阻挡层和中间氧化层。

根据一些实施例，采用湿法刻蚀工艺，去除硬掩膜层。

根据一些实施例，采用湿法刻蚀工艺，去除垫氧层和中间氧化层。

根据一些实施例，垫氧层和第一氧化层的材料相同。

根据一些实施例，第一阻挡层的材料包括多晶硅。

根据一些实施例，第一阻挡层的厚度范围为 1nm~3 nm。

根据一些实施例，本公开另一方面提供了一种浅沟槽隔离结构，采用如上一些实施例所述的制备方法制备获得。

根据一些实施例，本公开又一方面提供了一种半导体结构，包括：衬底、多个晶体管以及如上一些实施例所述的浅沟槽隔离结构。其中，衬底具有沟槽。浅沟槽隔离结构设置于所述沟槽内，并在衬底内隔离出多个有源区。晶体管设置于对应的有源区内。

根据一些实施例，晶体管包括：金属氧化物半导体场效应晶体管。金属氧化物半导体场效应晶体管的栅极长度小于 50nm。

本公开实施例可以/至少具有以下优点：

本公开实施例中，在形成垫氧层和硬掩膜层之后，以图案化后的硬掩膜层为掩膜对垫氧层及衬底进行刻蚀，可以在垫氧层中形成开口，在衬底中形成沟槽。之后，在沟槽内形成衬底氧化层，在衬底氧化层和硬掩膜层上形成第一阻挡层，在第一阻挡层上形成第一氧化层，便可以去除硬掩膜层上表面的第一阻挡层和第一氧化层，以保留衬底氧化层上表面

的第一阻挡层和第一氧化层。基于此，在后续去除衬底上表面的垫氧层和硬掩膜层之后，可以基于第一阻挡层形成第二阻挡层。例如，在去除垫氧层的过程中，可以将衬底氧化层上表面的第一氧化层与垫氧层同步去除，以使衬底氧化层上表面的第一阻挡层形成第二阻挡层。

可见，在去除垫氧层和硬掩膜层的过程中，可以利用衬底氧化层上表面的第一阻挡层和第一氧化层对衬底氧化层进行保护隔离。并且，在去除垫氧层和硬掩膜层之后，第二阻挡层覆盖衬底氧化层，可以有效避免衬底氧化层的边缘处因刻蚀液堆积而出现过刻的现象。从而能够避免由衬底氧化层形成的浅沟槽隔离结构出现凹陷(divot)、孔洞或尖角等缺陷。如此，可以获得成型表面质量较高的浅沟槽隔离结构，以确保浅沟槽隔离结构的边缘完整。

此外，由于第二阻挡层覆盖于衬底氧化层的裸露表面，也即第二阻挡层会凸出于衬底的上表面。因此，可以对第二阻挡层进行氧化处理，以使得第二阻挡层及衬底的部分表面可以氧化转变为第二氧化层，然后再通过清洗氧化表面的方式去除，以确保获得具有平坦上表面的衬底。从而简化浅沟槽隔离结构的制备工艺，并进一步确保浅沟槽隔离结构具有较高的表面质量。

由上，本公开实施例可以确保浅沟槽隔离结构成型后的表面质量，以提高浅沟槽隔离结构的隔离性能，从而改善半导体结构的电学性能，以提高半导体结构的使用可靠性及良率。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 为一实施例中提供的一种浅沟槽隔离结构的制备方法的流程示意图；

图 2 为一实施例中提供的形成垫氧层和硬掩膜层后所得结构的剖面示意图；

图 3 为一实施例中提供的形成光刻胶层后所得结构的剖面示意图；

图 4 为一实施例中提供的形成图案化的硬掩膜层后所得结构的剖面示意图；

图 5 为一实施例中提供的形成沟槽后所得结构的剖面示意图；

图 6 为一实施例中提供的步骤 S300 的流程示意图；

图 7 为一实施例中提供的在沟槽、开口及硬掩膜层的图案内沉积氧化物后所得结构的剖面示意图；

图 8 为一实施例中提供的形成衬底氧化层后所得结构的剖面示意图；

图 9 为另一实施例中提供的步骤 S300 的流程示意图；

图 10 为一实施例中提供的形成第一阻挡层后所得结构的剖面示意图；

图 11 为一实施例中提供的形成第一氧化层后所得结构的剖面示意图；

图 12 为一实施例中提供的步骤 S600 的流程示意图；

图 13 为一实施例中提供的形成中间阻挡层及第一中间氧化层后所得结构的剖面示意图；

图 14 为一实施例中提供的形成第二阻挡层及第二中间氧化层后所得结构的剖面示意图；

图 15 为一实施例中提供的去除垫氧层后所得结构的剖面示意图；

图 16 为另一实施例中提供的一种浅沟槽隔离结构的制备方法的流程示意图；

图 17 为一实施例中提供的形成第二氧化层后所得结构的剖面示意图；

图 18 为一实施例中提供的形成浅沟槽隔离结构后所得结构的剖面示意图；

图 19 为一实施例中提供的一种半导体结构的示意图。

具体实施方式

为了便于理解本公开，下面将参考相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

应当明白，当元件或层被称为“在...上”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本公开的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本公开的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本公开的范围。

请参阅图 1，本公开一些实施例提供了一种浅沟槽隔离结构的制备方法，包括如下步骤。

S100，提供衬底，在衬底的表面依次层叠形成垫氧层和硬掩膜层。

5 S200，以图案化后的硬掩膜层为掩膜刻蚀垫氧层及衬底，以在垫氧层中形成开口，在衬底中形成沟槽。

S300，在沟槽内形成衬底氧化层。

S400，形成第一阻挡层，第一阻挡层覆盖硬掩膜层和衬底氧化层。

S500，形成第一氧化层，第一氧化层覆盖第一阻挡层。

15 S600，去除硬掩膜层上表面的第一阻挡层和第一氧化层，去除衬底上表面的垫氧层和硬掩膜层以形成第二阻挡层。

本公开实施例中，在形成垫氧层和硬掩膜层之后，以图案化后的硬掩膜层为掩膜对垫氧层及衬底进行刻蚀，可以在垫氧层中形成开口，在衬底中形成沟槽。之后，在沟槽内形成衬底氧化层，在衬底氧化层和硬掩膜层上形成第一阻挡层，在第一阻挡层上形成第一氧化层，便可以去除硬掩膜层上表面的第一阻挡层和第一氧化层，以保留衬底氧化层上表面的第一阻挡层和第一氧化层。基于此，在后续去除衬底上表面的垫氧层和硬掩膜层之后，可以基于第一阻挡层形成第二阻挡层。

20 可见，在去除垫氧层和硬掩膜层的过程中，可以利用衬底氧化层上表面的第一阻挡层和第一氧化层对衬底氧化层进行保护隔离。并且，在去除垫氧层和硬掩膜层之后，形成于衬底氧化层上的第二阻挡层覆盖衬底氧化层，可以有效避免衬底氧化层的边缘处因刻蚀液堆积而造成过刻。从而能够避免由衬底氧化层形成的浅沟槽隔离结构出现凹陷(divot)、孔洞或尖角等缺陷。如此，可以获得成型表面质量较高的浅沟槽隔离结构，以确保浅沟槽隔离结构的边缘完整。

此外，第二阻挡层覆盖于衬底氧化层的裸露表面，也即第二阻挡层会凸出于衬底的上表面。这样便于对第二阻挡层进行氧化处理，以使得第二阻挡层及衬底的部分表面氧化

转变为第二氧化层，然后再通过清洗氧化表面的方式去除，以确保获得具有平坦上表面的衬底。从而简化浅沟槽隔离结构的制备工艺，并进一步确保浅沟槽隔离结构具有较高的表面质量。

由上，本公开实施例可以确保浅沟槽隔离结构成型后的表面质量，以提高浅沟槽隔离结构的隔离性能，从而改善半导体结构的电学性能，以提高半导体结构的使用可靠性及良率。

在步骤 S100 中，请参阅图 1 中的 S100 及图 2，提供衬底 10，在衬底 10 的表面依次层叠形成垫氧层 11 和硬掩膜层 12。

在一些实施例中，衬底 10 可以采用半导体材料、绝缘材料、导体材料或者它们的任意组合构成。衬底 10 可以为单层结构，也可以为多层结构。例如，衬底 10 可以是诸如硅（Si）衬底、硅锗（SiGe）衬底、硅锗碳（SiGeC）衬底、碳化硅（SiC）衬底、砷化镓（GaAs）衬底、砷化铟（InAs）衬底、磷化铟（InP）衬底或其它的 III/V 半导体衬底或 II/VI 半导体衬底。或者，还例如，衬底 10 可以是包括诸如 Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗的层状衬底。

在一个示例中，衬底 10 包括但不限于硅衬底或硅基衬底。

在一个示例中，垫氧层（Pad Oxide）11 包括但不限于二氧化硅（SiO₂）层。

在一些实施例中，垫氧层 11 作为硬掩膜层 12 和衬底 10 之间的过渡缓冲层，可以采用低压化学气相沉积（LPCVD）、等离子增强化学气相沉积（PECVD）或原子层化学气相沉积（ALCVD）等工艺形成。

在一个示例中，硬掩膜层 12 包括但不限于氮化硅层。例如硬掩膜层 12 也可以为氮氧化硅层。

在一些实施例中，硬掩膜层 12 作为后续衬底 10 上沟槽的掩膜，可以采用高密度等离子体化学气相沉积（HDPCVD）或等离子增强化学气相沉积（PECVD）等工艺形成，并通过构图工艺图案化。

示例的，如图 3 所示，在硬掩膜层 12 上表面涂覆光刻胶材料并进行曝光、显影等光刻工艺，以形成可以定义沟槽位置且具有开口的光刻胶图形 20。如此，可以基于光刻胶图形 20，例如采用反应离子刻蚀或等离子刻蚀硬掩膜层 12，以形成图案化的硬掩膜层 12，例如图 4 中所示。

在步骤 S200 中，请参阅图 1 中的 S200 及图 4、图 5，以图案化后的硬掩膜层 12 为掩膜刻蚀垫氧层 11 及衬底 10，以在垫氧层 11 中形成开口 K，在衬底 10 中形成沟槽 G。

可以理解，步骤 S200 中垫氧层 11 及衬底 10 的刻蚀包括湿法刻蚀或干法刻蚀，其中，干法刻蚀至少包括反应离子刻蚀（RIE）、感应耦合等离子体刻蚀（ICP）或高浓度等离子体刻蚀（HDP）中的任意一种。本公开实施例中，垫氧层 11 及衬底 10 的刻蚀方法可以相同，也可以不同。

在一些实施例中，垫氧层 11 可以采用反应离子刻蚀或等离子刻蚀。

在一些实施例中，衬底 10 可以采用含氟刻蚀气体刻蚀，或采用氢氟酸溶液进行湿法刻蚀。

此外，上述开口 K 及沟槽 G 的数量及形成位置，可以根据对应待隔离的有源区选择设置。本公开实施例对此不做限定。

5 在步骤 S300 中，请参阅图 1 中的 S300 以及图 6~图 9，在沟槽 G 内形成衬底氧化层 13。

示例的，如图 6 和图 7、图 8 所示，步骤 S300 包括如下步骤。

S310，在沟槽 G、开口 K 和硬掩膜层 12 的图案内沉积氧化物 130。

在一个示例中，氧化物 130 包括但不限于二氧化硅（SiO₂）。

10 在一些实施例中，氧化物 130 可以采用高密度等离子体化学气相淀积（HDP-CVD）等工艺沉积。

S320，去除位于开口 K 和硬掩膜层 12 的图案内的氧化物 130，以使保留于沟槽 G 内的氧化物 130 构成衬底氧化层（Liner Oxide）13。

本公开实施例中，采取在沟槽 G、开口 K 和硬掩膜层 12 的图案内先沉积氧化物 130，
15 再去除位于开口 K 和硬掩膜层 12 的图案内的氧化物 130 的方式，形成衬底氧化层 13。如此，可以提升衬底氧化层 13 的材料致密性，并有利于确保衬底氧化层 13 的形成表面与衬底 10 上表面平齐。

在一些实施例中，请参阅图 7、图 8 和图 9，在沟槽 G、开口 K 和硬掩膜层 12 的图案内沉积氧化物 130 之后，在去除位于开口 K 和硬掩膜层 12 的图案内的氧化物 130 之前，
20 步骤 S300 还包括如下步骤。

S315，采用化学机械研磨工艺，抛光硬掩膜层 12 及氧化物 130 的裸露表面。

如此，可以确保硬掩膜层 12 及氧化物 130 的裸露表面平齐且平坦，以利于实现后续氧化物 130 的精确刻蚀，例如刻蚀至与衬底 10 上表面平齐。

在步骤 S400 中，请参阅图 1 中的 S400 及图 10，形成第一阻挡层 14，第一阻挡层 14
25 覆盖硬掩膜层 12 和衬底氧化层 13。

可以理解，在形成衬底氧化层 13 后，衬底氧化层 13 上表面与衬底 10 上表面可以位于同一平面。如此，在形成第一阻挡层 14 后，第一阻挡层 14 覆盖衬底氧化层 13 的部分位于垫氧层 11 的开口 K 及硬掩膜层 12 的图案内。

在一些实施例中，第一阻挡层 14 的材料包括多晶硅。如此，方便于在后续基于第一
30 阻挡层 14 形成第二阻挡层 16 后，对第二阻挡层 16 执行氧化处理，并通过去除氧化表面的方式去除，从而简化浅沟槽隔离结构的制备工艺，并确保浅沟槽隔离结构成型后的表面质量。

在一些实施例中，第一阻挡层 14 的厚度可以实际需求选择设置。例如，第一阻挡层 14 的厚度的取值范围为 1nm~3nm，例如可以为 1nm、2nm 或 3nm。但并不仅限于此。

35 此处，若第一阻挡层 14 的厚度较薄，则容易导致第一阻挡层 14 的结构不稳定，例如

难以稳定成型，不利于在经由多次刻蚀后基于第一阻挡层 14 形成具有预设形状的第二阻挡层 16。并且，若第一阻挡层 14 的厚度较厚，则后期基于第一阻挡层 14 所形成的第二阻挡层 16 在进行氧化处理时，需要耗费较多的时间，不利于提高生产效率。

因此，本公开实施例中，将第一阻挡层 14 厚度的取值范围设置在 1nm~3nm，可以使第一阻挡层 14 的成型表面存在因垫氧层 11 开口 K 及硬掩膜层 12 图案造成的凹面（即第一阻挡层 14 具有因垫氧层 11 开口 K 及硬掩膜层 12 图案造成的凹陷），以便于后续可以形成具有 U 形结构的第二阻挡层 16。并且，还方便于对第一阻挡层 14 进行部分去除以形成第二阻挡层 16，以及对第二阻挡层 16 进行氧化处理，从而有利于提高生产效率。

在步骤 S500 中，请参阅图 1 中的 S500 及图 11，形成第一氧化层 15，第一氧化层 15 覆盖第一阻挡层 14。

此处，在形成第一氧化层 15 之后，可以利用第一氧化层 15 的部分材料填平第一阻挡层 14 因垫氧层 11 开口 K 及硬掩膜层 12 图案形成的凹陷。

在一些实施例中，第一氧化层 15 和垫氧层 11 的材料相同，例如均为二氧化硅。如此，方便于采用相同工艺去除垫氧层 11 和第一氧化层 15，以简化浅沟槽隔离结构的制备工艺。

在步骤 S600 中，请参阅图 1 中的 S600 及图 12~图 15，去除硬掩膜层 12 上表面的第一阻挡层 14 和第一氧化层 15，去除衬底 10 上表面的垫氧层 11 和硬掩膜层 12 以形成第二阻挡层 16。

示例的，请参阅图 12~图 15，步骤 S600 包括如下步骤。

S610，如图 13 中所示，去除第一阻挡层 14 和第一氧化层 15 二者位于硬掩膜层 12 上表面的部分，以形成中间阻挡层 14'和中间氧化层 15'。

在一些实施例中，可以采用化学机械研磨工艺，去除第一阻挡层 14 和第一氧化层 15 二者位于硬掩膜层 12 上表面的部分，以形成中间阻挡层 14'和中间氧化层 15'，并确保中间阻挡层 14'和中间氧化层 15'的上表面位于同一平面。

此处，化学机械研磨工艺所使用的研磨液及研磨时间，均可以根据实际需求选择设置，本公开实施例对此不做限定。

S620，如图 14 中所示，去除硬掩膜层 12。

在一些实施例中，采用湿法刻蚀工艺去除硬掩膜层 12。

例如，采用热磷酸溶液对硬掩膜层 12 进行湿法刻蚀，热磷酸溶液的温度可以为 150℃~170℃。

可以理解，在去除硬掩膜层 12 之后，还可以执行第一纯水清洗工艺，以去除残留的热磷酸。由于热磷酸的温度太高，若将衬底 10 直接放入常温水槽清洗，容易存在破片的风险。因此，该第一纯水清洗工艺的温度可以为 50℃~70℃。

S630，如图 15 中所示，去除垫氧层 11 和中间氧化层 15'，以使中间阻挡层 14'形成第二阻挡层 16。

在一些实施例中，采用湿法刻蚀工艺，去除垫氧层 11 和中间氧化层 15'。

例如，采用氢氟酸对垫氧层 11 和中间氧化层 15'进行刻蚀。

本公开实施例中，在形成第一氧化层 15 之后，可以利用第一氧化层 15 的部分材料填平第一阻挡层 14 中因垫氧层 11 开口 K 及硬掩膜层 12 图案形成的凹陷。如此，在去除第一阻挡层 14 和第一氧化层 15 二者位于硬掩膜层 12 上表面的部分之后，中间阻挡层 14'呈 U 型薄壁结构，中间氧化层 15'填平中间阻挡层 14'，可以对中间阻挡层 14'进行支撑，从而有利于在后续去除硬掩膜层 12、垫氧层 11 及中间氧化层 15'的过程中，确保中间阻挡层 14'的结构稳定。

需要说明的是，第二阻挡层 16 还可以采用其他方式形成。例如，首先去除第一阻挡层 14 和第一氧化层 15 二者位于硬掩膜层 12 上表面的部分，以形成中间阻挡层 14'和第一中间氧化层 15'；然后，去除硬掩膜层 12，以及中间阻挡层 14'和第一中间氧化层 15'二者凸出于垫氧层 11 上表面的部分，以形成第二阻挡层 16 和第二中间氧化层；最后再去除垫氧层 11 和第二中间氧化层。但并不仅限于此，以形成的第二阻挡层 16 能够有效隔离衬底氧化层 13 为限。

此外，在一些实施例中，上述各层结构的去除也可以采用干法刻蚀工艺实现。

值得一提的是，在一些实施例中，请参阅图 16，浅沟槽隔离结构的制备方法还包括如下步骤。

S700，氧化第二阻挡层及衬底的部分表面以形成第二氧化层。

S800，去除第二氧化层及部分衬底氧化层，以使保留于沟槽内的衬底氧化层形成浅沟槽隔离结构。

本公开实施例中，在去除垫氧层的过程中，可以将衬底氧化层上表面的第一氧化层与垫氧层同步去除，以使衬底氧化层上表面的第一阻挡层形成第二阻挡层。基于此，在对第二阻挡层及衬底的部分表面进行氧化处理后，第二阻挡层及衬底的部分表面氧化转变为第二氧化层，这样便可以通过清洗氧化表面的方式去除第二氧化层，从而简化浅沟槽隔离结构的制备工艺，并进一步确保浅沟槽隔离结构具有较高的表面质量。进而能够进一步提高浅沟槽隔离结构的隔离性能，以进一步改善半导体结构的电学性能，有效提升半导体结构的使用可靠性及良率。

在步骤 S700 中，请参阅图 16 中的 S700 及图 17，氧化第二阻挡层 16 及衬底 10 的部分表面，以形成第二氧化层 17。

在一些实施例中，将形成第二阻挡层 16 后的所得结构放置于氧化环境中，例如向形成第二阻挡层 16 后的所得结构通入氧化剂气流，并将所得结构放置于高温环境中，以使得第二阻挡层 16 及衬底 10 部分表面的材料由多晶硅或硅转化为氧化硅。高温环境的温度可以根据实际需求选择设置，衬底 10 被氧化材料的厚度可以根据实际需求选择设置。本公开实施例对此均不做限定。

此外，可以理解，在氧化第二阻挡层 16 及衬底 10 的部分表面，以形成第二氧化层 17 之前，还可以执行 SC1 清洗工艺，以去除衬底上的杂质。其中，SC1 清洗工艺的清洗

液包括氨水、双氧水和水，且氨水：双氧水：水的体积比例例如为 1:2:100~1:2:10。示例地，氨水浓度例如是 27%，双氧水例如是 30%。SC1 清洗液的温度例如为 20℃~50℃。SC1 清洗液的清洗时间例如为 0.5min~10min。并且，在执行 SC1 清洗工艺之后，还可以视情况执行第二纯水清洗工艺，以去除衬底 10 上残留的 SC1 溶液。该第二纯水清洗工艺的温度例如为 20℃~30℃。

在步骤 S800 中，请参阅图 16 中的 S800 及图 18，去除第二氧化层 17 及部分衬底氧化层 13，以使保留于沟槽 G 内的衬底氧化层形成浅沟槽隔离结构 18。

在一些实施例中，去除第二氧化层 17 及部分衬底氧化层 13，包括：使用氢氟酸稀释溶液对形成第二氧化层 17 后所得的结构进行清洗，以去除第二氧化层 17 及部分衬底氧化层 13。

此处，氢氟酸稀释溶液中，氢氟酸和水的体积比例例如为 1:100 至 1:500。氢氟酸稀释溶液的温度例如为 15℃~30℃。使用氢氟酸稀释溶液对形成第二氧化层 17 后所得的结构进行清洗，可以视为是采用湿法刻蚀工艺去除第二氧化层 17 及部分衬底氧化层 13。

请参阅图 18，本公开一些实施例还提供了一种浅沟槽隔离结构 18，采用如上一些实施例所述的制备方法制备获得。

请参阅图 19，本公开一些实施例还提供了一种半导体结构，包括：衬底 10、多个晶体管 20 以及如上一些实施例所述的浅沟槽隔离结构 18。其中，衬底 10 具有沟槽 G。浅沟槽隔离结构 18 设置于所述沟槽 G 内，并在衬底 10 内隔离出多个有源区 S。晶体管 20 设置于对应的有源区 S 内。

在一些实施例中，多个有源区 S 可以呈阵列状排布。有源区包括源区和漏区。有源区的材料例如为多晶硅（poly），有源区的源区和漏区分别为多晶硅的不同掺杂区。晶体管通常包括栅极、源极和漏极；其中，源极可以与有源区的源区连接，漏极可以与有源区的漏区连接。

在一些实施例中，晶体管 20 包括：金属氧化物半导体场效应晶体管（Metal Oxide Semiconductor Field Effect Transistor，简称 MOSFET），例如为 N 型金属氧化物半导体场效应晶体管（NMOSFET），或 P 型金属氧化物半导体场效应晶体管（PMOSFET）。

示例的，金属氧化物半导体场效应晶体管的栅极长度小于 50nm。

此处，金属氧化物半导体场效应晶体管的栅极长度是指栅极所能控制的导电沟道长度，即其漏极与源极之间的距离。

本公开实施例中，浅沟槽隔离结构的边缘完整，可以在半导体结构尺寸规模较小的情况下，有效隔离不同的有源区，以避免金属氧化物半导体场效应晶体管出现反向窄沟道效应，从而有效提升金属氧化物半导体场效应晶体管的电学性能，例如能够有效提升金属氧化物半导体场效应晶体管的开关响应速度。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛

盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

权利要求书

1. 一种浅沟槽隔离结构的制备方法，包括：

提供衬底，在所述衬底的表面依次层叠形成垫氧层和硬掩膜层；

以图案化后的所述硬掩膜层为掩膜刻蚀所述垫氧层及所述衬底，以在所述垫氧层中形成开口，在所述衬底中形成沟槽；

5 在所述沟槽内形成衬底氧化层；

形成第一阻挡层，所述第一阻挡层覆盖所述硬掩膜层和所述衬底氧化层；

形成第一氧化层，所述第一氧化层覆盖所述第一阻挡层；

去除所述硬掩膜层上表面的所述第一阻挡层和所述第一氧化层；

去除所述衬底上表面的所述垫氧层和所述硬掩膜层以形成第二阻挡层。

10 2. 根据权利要求 1 所述的浅沟槽隔离结构的制备方法，其中，所述制备方法还包括：
氧化所述第二阻挡层及所述衬底的部分表面以形成第二氧化层；

去除所述第二氧化层及部分所述衬底氧化层，以使保留于所述沟槽内的所述衬底氧化层形成浅沟槽隔离结构。

15 3. 根据权利要求 2 所述的浅沟槽隔离结构的制备方法，其中，所述去除所述第二氧化层及部分所述衬底氧化层，包括：

使用氢氟酸稀释溶液对形成所述第二氧化层后所得的结构进行清洗，以去除所述第二氧化层及部分所述衬底氧化层。

4. 根据权利要求 1 所述的浅沟槽隔离结构的制备方法，其中，所述在所述沟槽内形成衬底氧化层，包括：

20 在所述沟槽、所述开口和所述硬掩膜层的图案内沉积氧化物；

去除位于所述开口和所述硬掩膜层的图案内的所述氧化物，以使保留于所述沟槽内的所述氧化物构成所述衬底氧化层。

5. 根据权利要求 4 所述的浅沟槽隔离结构的制备方法，其中，所述在所述沟槽内形成衬底氧化层，还包括：

25 在所述沟槽、所述开口和所述硬掩膜层的图案内沉积氧化物之后，在去除位于所述开口和所述硬掩膜层的图案内的所述氧化物之前，采用化学机械研磨工艺抛光所述硬掩膜层及所述氧化物的裸露表面。

30 6. 根据权利要求 1 所述的浅沟槽隔离结构的制备方法，其中，所述去除所述硬掩膜层上表面的所述第一阻挡层和所述第一氧化层，去除所述衬底上表面的所述垫氧层和所述硬掩膜层以形成第二阻挡层，包括：

去除所述第一阻挡层和所述第一氧化层二者位于所述硬掩膜层上表面的部分，以形成中间阻挡层和中间氧化层；

去除所述硬掩膜层；

去除所述垫氧层和所述中间氧化层，以使所述中间阻挡层形成所述第二阻挡层。

7. 根据权利要求 6 所述的浅沟槽隔离结构的制备方法, 其中, 采用化学机械研磨工艺, 去除所述第一阻挡层和所述第一氧化层二者位于所述硬掩膜层上表面的部分, 以形成中间阻挡层和中间氧化层。

5 8. 根据权利要求 6 所述的浅沟槽隔离结构的制备方法, 其中, 采用湿法刻蚀工艺, 去除所述硬掩膜层。

9. 根据权利要求 6 所述的浅沟槽隔离结构的制备方法, 其中, 采用湿法刻蚀工艺, 去除所述垫氧层和所述中间氧化层。

10. 根据权利要求 9 所述的浅沟槽隔离结构的制备方法, 其中, 所述垫氧层和所述第一氧化层的材料相同。

10 11. 根据权利要求 1~10 中任一项所述的浅沟槽隔离结构的制备方法, 其中, 所述第一阻挡层的材料包括多晶硅。

12. 根据权利要求 1~10 中任一项所述的浅沟槽隔离结构的制备方法, 其中, 所述第一阻挡层的厚度范围为 1nm~3 nm。

13. 一种浅沟槽隔离结构, 采用如权利要求 1~12 中任一项所述的制备方法制备获得。

15 14. 一种半导体结构, 包括:

衬底, 具有沟槽;

如权利要求 13 中所述的浅沟槽隔离结构, 设置于所述沟槽内; 所述浅沟槽隔离结构在所述衬底内隔离出多个有源区;

以及, 多个晶体管; 所述晶体管设置于对应的所述有源区内。

15. 根据权利要求 14 所述的半导体结构, 其中, 所述晶体管包括: 金属氧化物半导体场效应晶体管; 所述金属氧化物半导体场效应晶体管的栅极长度小于 50nm。

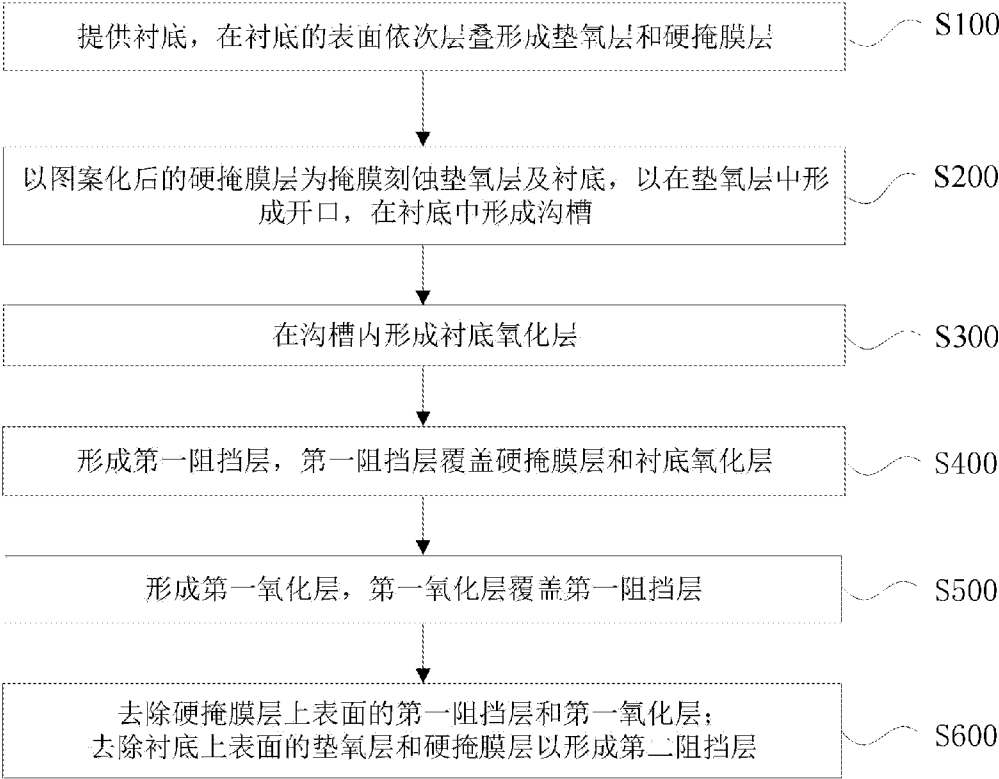


图 1

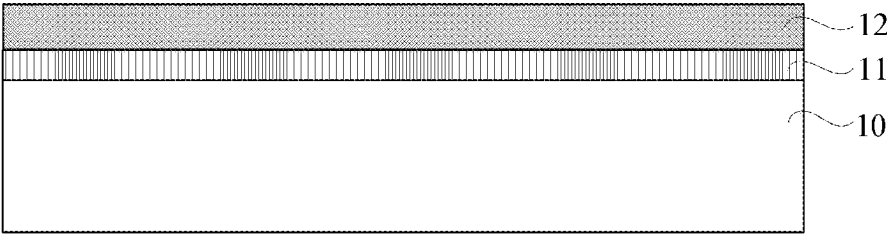


图 2

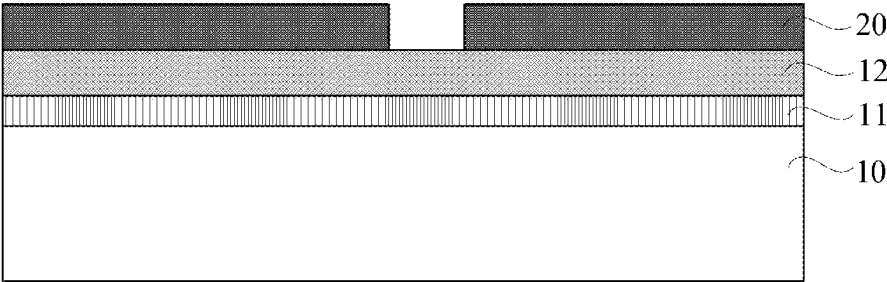


图 3

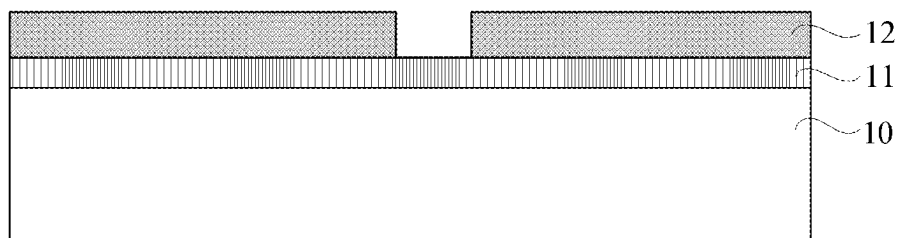


图 4

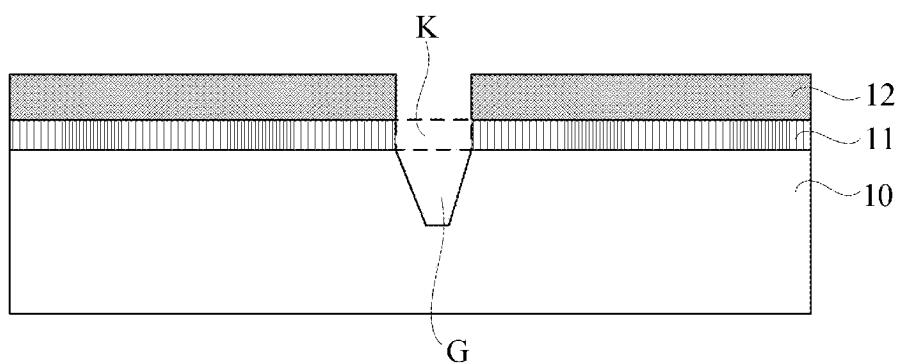


图 5

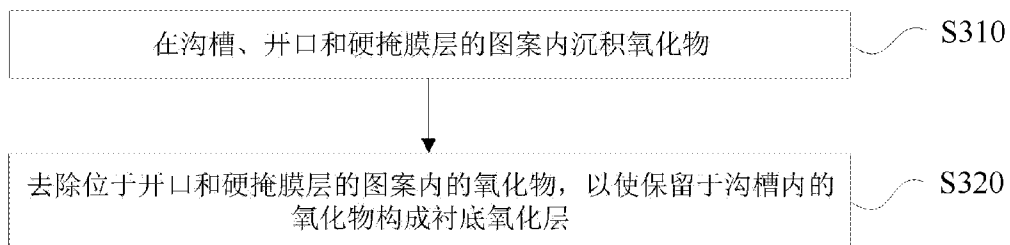


图 6

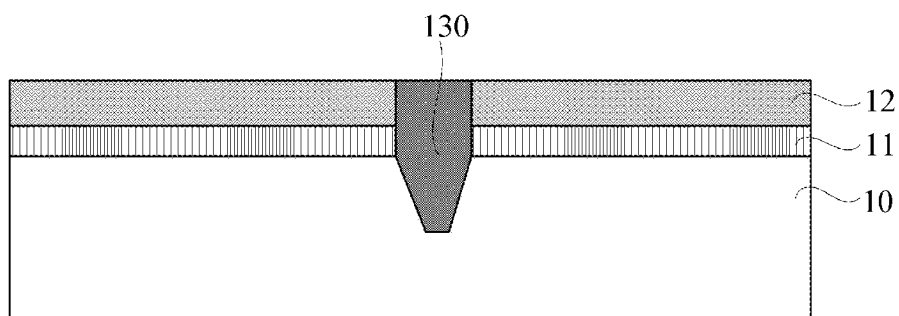


图 7

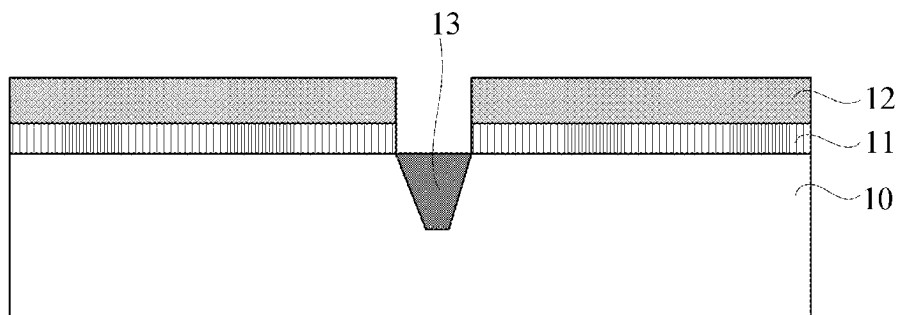


图 8

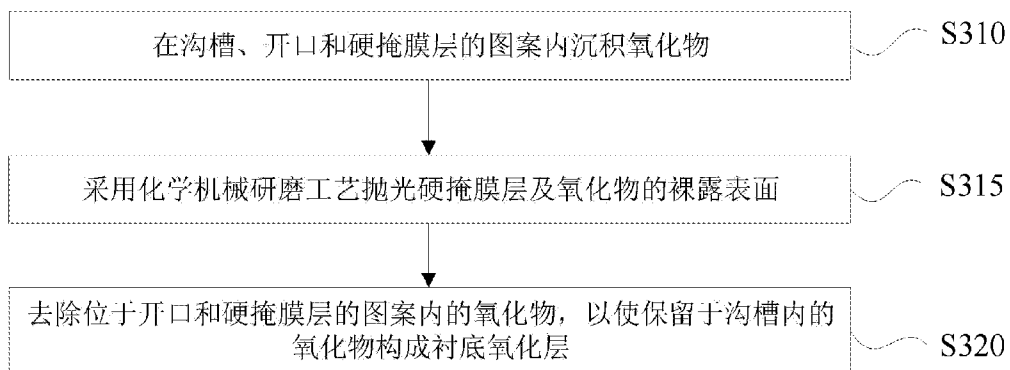


图 9

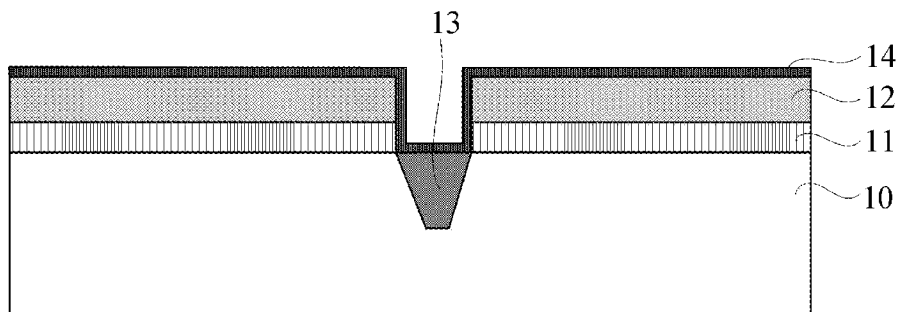


图 10

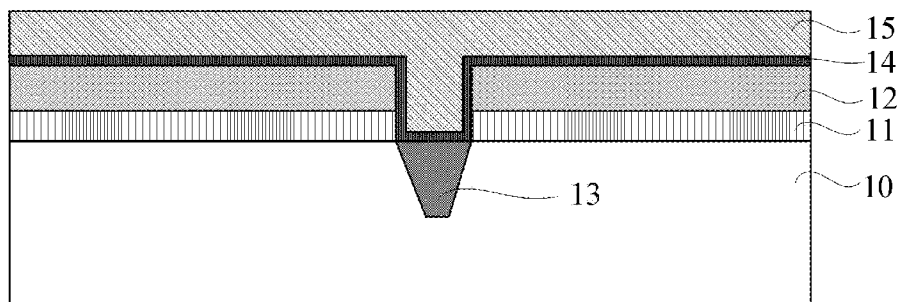


图 11

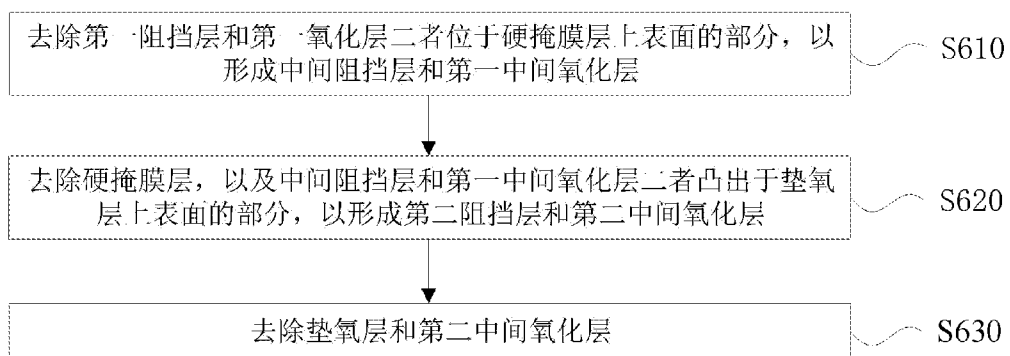


图 12

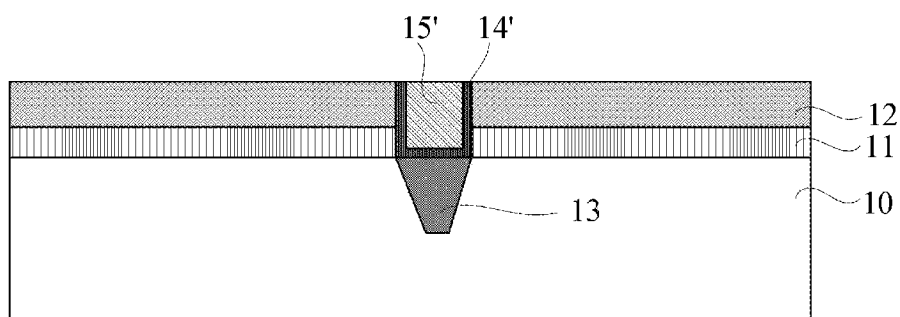


图 13

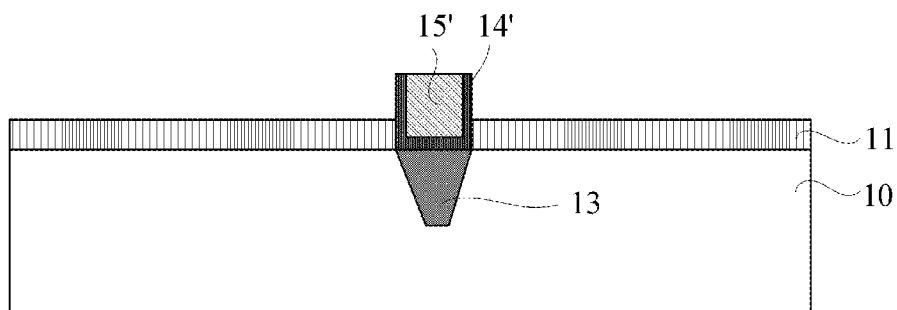


图 14

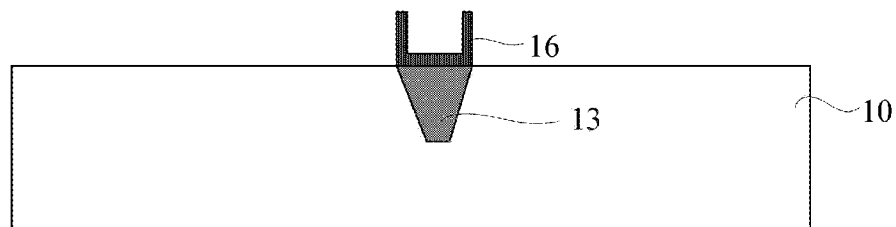


图 15



图 16

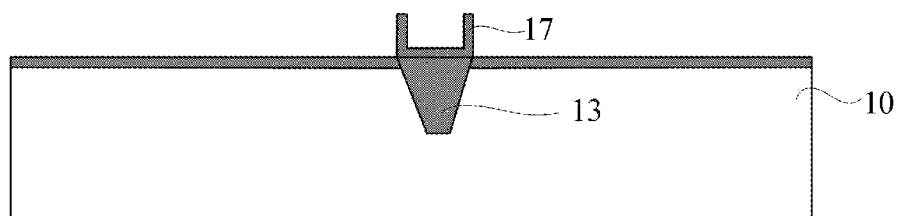


图 17

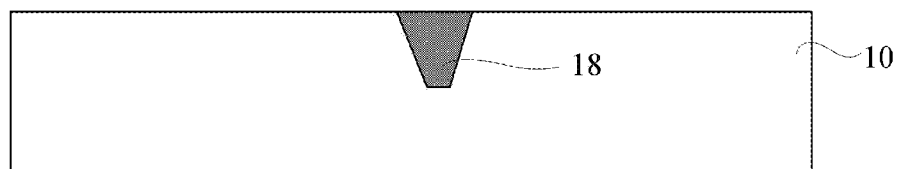


图 18

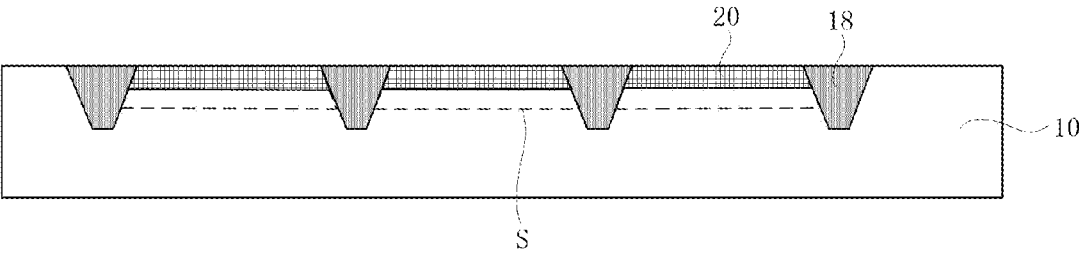


图 19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/081487

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/76(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 浅沟槽隔离, 鸟嘴, 凹陷, 孔洞, 保护层, 阻挡层, STI, isolation, trench, groove, beak, divot, protect, barrier

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008280418 A1 (NANYA TECHNOLOGY CORPORATION) 13 November 2008 (2008-11-13) description, paragraphs [0029]-[0040], and figure 2	1-15
X	US 6475875 B1 (CHARTERED SEMICONDUCTOR MANUFACTURING LTD.) 05 November 2002 (2002-11-05) description, column 3, line 8-column 5, line 10, and figures 1-9	1-15
X	KR 20040046513 A (HYNIX SEMICONDUCTOR INC.) 05 June 2004 (2004-06-05) description, page 4, paragraph 2-page 5, paragraph 3, and figure 3	1-15
A	CN 103839868 A (SHANGHAI HUALI MICROELECTRONICS CORP.) 04 June 2014 (2014-06-04) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 October 2022

Date of mailing of the international search report

17 November 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/081487

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2008280418	A1	13 November 2008	TW	200845292	A	16 November 2008
				US	7732337	B2	08 June 2010
					TWI336918	B	01 February 2011
US	6475875	B1	05 November 2002	SG	117411	A1	29 December 2005
KR	20040046513	A	05 June 2004	KR	450392	B1	30 September 2004
CN	103839868	A	04 June 2014		None		

国际检索报告

国际申请号

PCT/CN2022/081487

A. 主题的分类 H01L 21/76 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT, WPI, EPDOC: 浅沟槽隔离, 鸟嘴, 凹陷, 孔洞, 保护层, 阻挡层, STI, isolation, trench, groove, beak, divot, protect, barrier				
C. 相关文件				
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求		
X	US 2008280418 A1 (NANYA TECHNOLOGY CORPORATION) 2008年11月13日 (2008 - 11 - 13) 说明书[0029]-[0040]段, 附图2	1-15		
X	US 6475875 B1 (CHARTERED SEMICONDUCTOR MANUFACTURING LTD.) 2002年11月5日 (2002 - 11 - 05) 说明书第3栏第8行-第5栏第10行, 附图1-9	1-15		
X	KR 20040046513 A (HYNIX SEMICONDUCTOR INC.) 2004年6月5日 (2004 - 06 - 05) 说明书第4页第2段-第5页第3段, 附图3	1-15		
A	CN 103839868 A (上海华力微电子有限公司) 2014年6月4日 (2014 - 06 - 04) 全文	1-15		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。				
<table><tr><td>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td><td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</td></tr></table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件			
国际检索实际完成的日期 2022年10月27日		国际检索报告邮寄日期 2022年11月17日		
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 赵世欣 电话号码 86-(10)-53961201		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/081487

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2008280418	A1	2008年11月13日	TW	200845292	A	2008年11月16日
				US	7732337	B2	2010年6月8日
					TWI336918	B	2011年2月1日
US	6475875	B1	2002年11月5日	SG	117411	A1	2005年12月29日
KR	20040046513	A	2004年6月5日	KR	450392	B1	2004年9月30日
CN	103839868	A	2014年6月4日		无		