

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/30 (2006.01)

H01L 21/46 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580050155.5

[43] 公开日 2008年6月18日

[11] 公开号 CN 101203943A

[22] 申请日 2005.6.28

[21] 申请号 200580050155.5

[30] 优先权

[32] 2005.6.27 [33] US [31] 11/168,171

[86] 国际申请 PCT/US2005/022683 2005.6.28

[87] 国际公布 WO2007/001299 英 2007.1.4

[85] 进入国家阶段日期 2007.12.14

[71] 申请人 加利福尼亚大学董事会

地址 美国加利福尼亚州

[72] 发明人 谢亚宏

[74] 专利代理机构 北京康信知识产权代理有限责任公司

代理人 章社杲 吴贵明

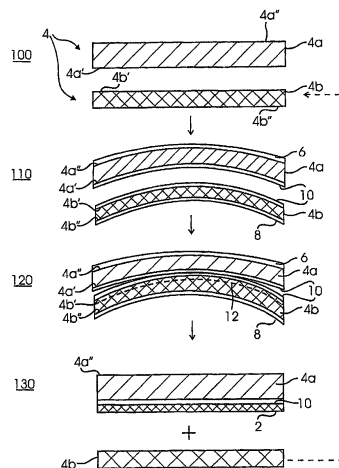
权利要求书 4 页 说明书 10 页 附图 3 页

[54] 发明名称

制作无位错应变晶体薄膜的方法

[57] 摘要

一种形成无位错应变硅薄膜的方法，包括提供两个弯曲的硅衬底的步骤。一个衬底通过后表面上存在二氧化硅而弯曲。另一衬底通过存在氮化硅层而弯曲。对其中一个衬底进行氢注入，并且所述两个衬底在退火处理中彼此结合。将这两个衬底分离，从而将应变硅层留在一个衬底的前侧。接着，去除后侧面上的二氧化硅层或氮化硅层以使所述衬底回复到基本上为平面的状态。可以采用所述方法形成无位错应变硅薄膜。所述薄膜可以处于拉伸或压缩应变下。



1. 一种形成薄膜的方法，所述方法包括：
 - 提供具有第一侧面和第二侧面的第一衬底；
 - 在所述第一衬底的第二侧面上形成二氧化硅包含层，所述二氧化硅包含层使得所述第一衬底变形为弯曲的形状；
 - 提供具有第一侧面和第二侧面的第二衬底；
 - 在所述第二衬底的第二侧面上形成氮化硅包含层，所述氮化硅包含层使得所述第二衬底变形为弯曲的形状；
 - 对所述第二衬底的第一侧面进行氢离子注入；
 - 在退火处理中，将所述第一衬底的第一侧面结合至所述第二衬底的第一侧面；以及
 - 将所述第二衬底与所述第一衬底分离，其中应变硅层留在所述第一衬底的所述第一侧面上。
2. 根据权利要求1所述的方法，进一步包括去除所述第一衬底的第二侧面上的所述二氧化硅包含层的步骤，其中，所述二氧化硅包含层的去除使得所述第一衬底回复到基本上为平面的状态。
3. 根据权利要求1所述的方法，其中，对所述第一衬底的第二侧面上的所述二氧化硅包含层进行图案化。
4. 根据权利要求1所述的方法，其中，所述第二衬底具有比所述第一衬底更薄的厚度。

5. 根据权利要求1所述的方法，其中，所述第二衬底的曲率大于所述第一衬底的曲率。
6. 根据权利要求1所述的方法，其中，在结合之前，所述第一衬底的第一侧面以及所述第二衬底的第一侧面均包括二氧化硅包含层。
7. 根据权利要求1所述的方法，进一步包括对所述第一衬底进行二次退火处理的步骤。
8. 根据权利要求7所述的方法，进一步包括对外露的应变硅层进行化学机械抛光处理的步骤。
9. 根据权利要求1所述的方法，进一步包括去除所述第二衬底的第二侧面上的所述氮化硅包含层的步骤。
10. 根据权利要求9所述的方法，进一步包括对所述第二衬底的第二侧面进行化学机械抛光处理的步骤。
11. 根据权利要求1所述的方法，其中，所述第二衬底的第一侧面包括SiGe蚀刻停止层以及位于所述SiGe蚀刻层顶部上的外延生长硅层。
12. 一种形成薄膜的方法，所述方法包括：
 - 提供具有第一侧面和第二侧面的第一衬底；
 - 在所述第一衬底的第二侧面上形成氮化硅包含层，所述氮化硅包含层使得所述第一衬底变形为弯曲的形状；
 - 提供具有第一侧面和第二侧面的第二衬底；

在所述第二衬底的第二侧面上形成二氧化硅包含层，所述二氧化硅包含层使得所述第二衬底变形为弯曲的形状；

对所述第二衬底的第一侧面进行氢离子注入；

在退火处理中，将所述第一衬底的第一侧面结合至所述第二衬底的第一侧面；以及

将所述第二衬底与所述第一衬底分离，其中应变硅层留在所述第一衬底的所述第一侧面上。

13. 根据权利要求 12 所述的方法，进一步包括去除所述第一衬底的第二侧面上的所述氮化硅包含层的步骤，其中，所述氮化硅包含层的去除使得所述第一衬底回复到基本上为平面的状态。
14. 根据权利要求 12 所述的方法，其中，对所述第一衬底的第二侧面上的所述氮化硅包含层进行图案化。
15. 根据权利要求 12 所述的方法，其中，所述第二衬底具有比所述第一衬底更薄的厚度。
16. 根据权利要求 12 所述的方法，其中，所述第一衬底的曲率大于所述第二衬底的曲率。
17. 根据权利要求 12 所述的方法，其中，在结合之前，所述第一衬底的第一侧面以及所述第二衬底的第一侧面均包括二氧化硅包含层。
18. 根据权利要求 12 所述的方法，进一步包括对所述第一衬底进行二次退火处理的步骤。
19. 根据权利要求 18 所述的方法，进一步包括对外露的应变硅层进行化学机械抛光处理的步骤。

-
20. 根据权利要求 12 所述的方法, 进一步包括去除所述第二衬底的第二侧面上的所述二氧化硅包含层的步骤。

制作无位错应变晶体薄膜的方法

技术领域

本发明的领域通常涉及用于形成拉伸应变或压缩应变晶体（例如硅）薄膜的方法和工艺。更具体地说，本发明的领域涉及用于形成薄膜的方法和工艺。

背景技术

应变硅被逐渐用于改进硅基 CMOS 晶体管的性能。例如，当传统器件达到物理尺寸极限时，拉伸应变硅是最有望用来改进 I_{on}/I_{off} 比和互导的解决方案中的一种。由于应变硅具有易于集成到 CMOS 工艺、标准 MOSFET 结构、以及电路设计中的能力，所以应变硅在半导体基器件中的应用也引起了注意。

例如，通过具有四角变形、双轴应变硅表面薄膜的体立方晶硅的移位，应变硅能够改进 CMOS 的性能和功能。另外，应变硅薄膜具有优于体硅（bulk silicon）的电子特性。例如，应变硅薄膜具有更高的电子和空穴迁移率，这种迁移转化为用于 NMOS 和 PMOS 晶体管的更大的驱动电流能力。

通常，利用包括多个步骤的应变硅异质结构来形成应变硅。首先，形成 SiGe 弛豫缓变层（relaxed graded layer）以设计 SiGe 合金的晶格常数。弛豫的 SiGe 缓变层是具有一系列层的外延生长薄膜，所述层具有逐渐增加的 Ge 含量直到最终的 Ge 组分。接着，生长出固定组分的 Ge 薄膜，以便将随后的应变硅薄膜与有意引入到 SiGe

弛豫缓变层中的失配位错空间地分离。最后的步骤是硅薄膜的沉积，当所述硅薄膜符合固定组分的 SiGe 层的晶格时其处于双轴拉伸的状态。

应变硅也用于与绝缘体上硅 (SOI) 器件相结合。例如，B. Ghyselen 等公开了利用智能剥离工艺在绝缘体晶片上设计应变硅的工艺。参见 B.Ghyselen 等的 Engineering Strained Silicon on Insulator Wafers with the SMART CUT Technology, *Solid-State Electronics* 48, 1285-1296 页(2004)。以上审定出版物的全部内容结合于此作为参考。

根据一种工艺，通过始于外延层叠层且终于中间缓变缓冲层顶部上的弛豫 SiGe 层，在绝缘体晶片上形成拉伸应变硅。然后，在所述弛豫 SiGe 层上进行氢注入，并利用智能剥离 (SMART CUT) 工艺来剥离外延叠层的最顶部，再将其转移至另一硅衬底。然后，在弛豫 SiGe 层 (SGOI) 的顶部上生长应变硅层。

在另一方法中，在供体晶片 (donor wafer) 的弛豫 SiGe 层上直接生长拉伸应变硅。然后，利用智能剥离工艺将包含应变硅层和弛豫 SiGe 层的双层转移至另一衬底。在去除 SiGe 层之后，拉伸应变硅层露出，从而在绝缘体上形成应变硅 (sSOI)。

虽然生长应变硅层的方法已为人所知，但仍需创建基本上或完全无位错的应变硅的方法或工艺。形成应变硅的传统方法，诸如使用成分缓变的 SiGe 缓冲层或 SiGe 的氧化物，在所得到的应变硅层中产生螺旋位错。即使在 B.Ghyselen 等公布的方法中，SiGe 层中的位错仍会转移或以其它方式传递至邻近的应变硅层。然而，形成于应变硅中的位错 (尤其是螺旋位错) 削弱了器件的整体性能。

发明内容

在本发明的一个方面中，形成无位错应变硅薄膜的方法包括提供两个弯曲的硅衬底的步骤。一个衬底通过后表面上存在二氧化硅而弯曲。另一衬底通过存在氮化硅层而弯曲。对其中一个衬底进行氢注入，并且所述两个衬底在退火处理中彼此结合。将这两个衬底分离，从而将应变硅层留在一个衬底的前侧上。接着，去除后侧面上的二氧化硅层或氮化硅层以使所述衬底回复到基本上为平面的状态。可以使用所述方法形成无位错应变硅薄膜。所述薄膜可以处于拉伸或压缩应变下。

在本发明的一个方面中，在第一衬底的后侧面上形成二氧化硅层，这使得第一衬底变形为弯曲的形状。在第二衬底的后侧面上设置氮化硅层，并使第二衬底变形为弯曲的形状。然后，对第二衬底的前侧面进行氢离子注入。接着，将第一衬底的前侧面和第二衬底的前侧面在退火处理中彼此结合。将第二衬底与第一衬底分离，使得应变硅层保留在第一衬底的前侧面上。去除第一衬底后侧面上的二氧化硅层，以使第一衬底回复到基本上为平面的状态。从而形成无位错拉伸应变硅薄膜。

在上述工艺的一个方面中，对第一衬底后侧面上的二氧化硅层进行图案化。在所述工艺的另一方面中，第二衬底具有比第一衬底更薄的厚度。第二衬底的曲率可以大于第一衬底的曲率。

在上述工艺的一个方面中，通过去除氮化硅层并将第二衬底的后侧面进行化学机械抛光（CMP）处理，可以重新使用第二衬底。

在本发明的替换方面中，第二衬底的前侧面包括 SiGe 蚀刻停止层和位于该 SiGe 蚀刻层顶部上的外延生长硅层。

在本发明的替换方面中，在第一衬底的后侧面上形成氮化硅层，这使得第一衬底变形为弯曲的形状。在第二衬底的后侧面上设置二氧化硅层，并使第二衬底变形为弯曲的形状。然后，对第二衬底的前侧面进行氢离子注入。接着，在退火处理中将第一衬底的前侧面和第二衬底的前侧面彼此结合。将第二衬底与第一衬底分离，使得应变硅层保留在第一衬底的前侧面上。去除第一衬底后侧面上的氮化硅层，以使第一衬底恢复到基本上为平面的状态。从而形成无位错压缩应变硅薄膜。

尽管在此对硅薄膜进行了描述，但所讨论的方法和工艺可以同样应用于其它晶体薄膜，诸如 GaAs、InAs、GaN 以及其它 III-V 族和 II-VI 族复合半导体材料。

基于对下列附图的讨论和对优选实施例的描述，其它的特征和优点将变得显而易见。

附图说明

图 1 示出了根据本发明一个方面的形成无位错拉伸应变硅薄膜的方法；

图 2 示出了根据本发明另一方面的形成无位错压缩应变硅薄膜的方法；

图 3 示出了具有外延生长 SiGe 蚀刻停止层和外延生长硅薄膜的硅衬底的横截面图；

图 4A 示出了用于将衬底强制折弯或弯曲成凸形的凸形真空卡盘装置；

图 4B 示出了用于将衬底强制折弯或弯曲成凹形的凹形真空卡盘装置。

具体实施方式

图 1 和图 2 示出了在衬底 4 上形成无位错应变硅薄膜 2 的两种方法。图 1 示出了制作拉伸应变硅薄膜 2 的工艺，而图 2 示出了制作压缩应变硅薄膜 2 的工艺。在此所描述的工艺的主要优点是在薄膜 2 中基本上没有形成位错。因此，应变膜 2 是完全没有位错的（例如螺旋位错），并且是非常均匀的。所得到的应变薄膜 2 的改进特性使得其对于结合到基于半导体的器件中特别有用。

现在参照图 1，通过提供第一衬底 4a 和第二衬底 4b 来开始本工艺（图 1 中的步骤 100）。第一和第二衬底 4a、4b 可以包括例如晶片等形式的硅衬底。当然可以根据在此描述的方法使用除硅以外的其它材料。在本发明的一个方面中，第二衬底 4b 具有的厚度可以小于第一衬底 4a 的厚度。第二衬底 4b 的减小的厚度使得第二衬底 4b 更易弯曲，且可有助于以下详细描述的第一和第二衬底 4a、4b 的结合。此外，不同的厚度可以减少在结合过程中于两衬底 4a、4b 之间诱入气泡的可能性。

第一和第二衬底 4a、4b 两者包括前表面 4a'、4b' 及后表面 4a''、4b''。前表面 4a'、4b' 可包括例如抛光的硅（001）晶片表面，而后表面 4a''、4b'' 可包括未抛光的表面。如图 1 中的步骤 100 可见，示出了与第二衬底 4b 的前表面 4b' 相对的第一衬底 4a 的前表面 4a'。

如图 1 的步骤 110 可见，在第一衬底 4a 的后侧面 4a'' 上生长或以其它方式沉积诸如电介质的膜 6。在本工艺的一个方面中，对后侧面 4a'' 进行氧化处理以形成膜 6 或二氧化硅层（例如二氧化硅包含层）。二氧化硅膜 6 经由热氧化而形成，因而处于压缩应力下。因此，如图 1 的步骤 110 所示，第一衬底 4a 形成弯曲的或弓形的形状。当然，根据在此所描述的工艺可以使用处于压缩应力下的其它膜 6。

可以使用位于第一衬底 **4a** 前侧面 **4a'** 上的可选的氮化硅薄膜（未示出）以防止氧化。此外，可以在设置于第一衬底 **4a** 后侧面 **4a''** 上的膜 **6** 中形成可选的图案。可以使用该图案来修改或“微调”第一衬底 **4a** 在不同位置处的曲率。

接着，在第二衬底 **4b** 的后侧面 **4b''** 上沉积高应力氮化硅层 **8**（例如，氮化硅包含层）。优选地，在高强度拉伸应力下，通过化学气相沉积（CVD）在第二衬底 **4b** 上沉积氮化硅。因此，如图 1 的步骤 110 中所示，第二衬底 **4b** 形成弯曲的或弓形的形状。当然，可以使用处于拉伸应力下的其它材料来代替氮化硅。

此外，如步骤 110 所示，第一衬底 **4a** 的前侧面 **4a'** 和第二衬底 **4b** 的前侧面 **4b'** 均可以包括可选的二氧化硅结合层 **10**，所述二氧化硅结合层用于第一和第二衬底 **4a**、**4b** 的亲水性结合。如果期望得到疏水的硅上硅（silicon-on-silicon）结构，可以省去可选的结合层 **10**。

现在参照图 1 中的步骤 120，接着，对第二衬底 **4b** 的前侧面 **4b'** 进行氢离子注入，以便有助于后续的硅膜脱落（见下面的描述）。氢离子在第二衬底 **4b** 的前侧面 **4b'** 中的渗透深度由虚线 **12** 示出。对于本领域技术人员来说，氢离子注入技术是众所周知的。例如，可以采用与美国专利第 5,374,564 号和第 5,993,677 号中以及 B. Ghyselen 等的 Engineering Strained Silicon on Insulator Wafers with the SMART CUT Technology, *Solid-State Electronics* 48, 1285-1296 页(2004)中所描述的所谓智能剥离工艺相结合使用的氢离子注入技术。以上面审定专利的内容整体结合于此作为参考。

仍参照图 1 中的步骤 120，利用例如湿化学清洗来清洗第一和第二衬底 **4a**、**4b** 的前侧面 **4a'**、**4b'**，接着是等离子区中的可选的表面活化步骤。然后，将第一和第二衬底 **4a**、**4b** 的前侧面 **4a'**、**4b'**

以面对面的布置方式彼此结合。优选地，如步骤 120 中所示，在衬底 **4a**、**4b** 的中央区域开始结合过程。

然后，对衬底 **4a**、**4b** 进行低温退火以建立初始结合。在初始结合之后，对衬底 **4a**、**4b** 进行众所周知的智能剥离工艺中所用的中温退火处理，从而将衬底 **4a** 与衬底 **4b** 分离。智能剥离工艺将来自第二衬底 **4b** 的一部分硅或一层硅留在第一衬底 **4a** 上。由于通过氢离子注入而在第二衬底 **4b** 中产生的弱化区，使得所述硅层被转移至第一衬底 **4a**。

在将两个衬底 **4a**、**4b** 分离之后，接着，从第一衬底 **4a** 的后侧面 **4a''** 上去除膜 **6**（例如，二氧化硅膜）。在去除二氧化硅膜层 **6** 之后，衬底 **4a** 回复到基本上为平面的状态（如图 1 的步骤 130 中所示）。现为平面的衬底 **4a** 包括处于拉伸应力下的应变硅的薄层 **2**。薄层 **2** 中的拉伸应力强度主要由步骤 110 中所形成的衬底 **4a** 的曲率来决定。此外，如图 1 中的虚线箭头所示，分离过程将可以用于后续的晶片结合工艺中的第二衬底 **4b** 释放出来。

具有应变硅层 **2** 的第一衬底 **4a** 可以经历另外的高温退火处理以完善结合。此外，第一衬底 **4a** 可以接着经历 CMP 处理以使应变硅薄层 **2** 的脱落表面平坦化。可选地，接着可以是对应变硅膜 **2** 进行可控薄化的步骤。所述最后的可选步骤对于例如完全耗尽的绝缘体上应变硅（sSOI）结构的应用是有利的。

图 2 示出了制作压缩应变硅薄膜 **2** 的工艺。如图 2 可见，在步骤 150 中，提供第一和第二衬底 **4a**、**4b**。第一和第二衬底 **4a**、**4b** 可以包括例如晶片等形式的硅衬底 **4**。在本发明的一个方面中，第二衬底 **4b** 具有的厚度可以小于第一衬底 **4a** 的厚度。

第一和第二衬底 **4a**、**4b** 两者均包括前表面 **4a'**、**4b'**及后表面 **4a''**、**4b''**。如图 2 的步骤 150 中可见，示出了与第二衬底 **4b** 的前表面 **4b'**相对的第一衬底 **4a** 的前表面 **4a'**。

在图 2 的步骤 160 中，在第二衬底 **4b** 的后侧面 **4b''**上生长或以其它方式沉积诸如电介质的膜 **6**。在本工艺的一个方面中，对后侧面 **4b''**进行氧化处理以形成膜 **6** 或二氧化硅层。二氧化硅膜 **6** 经由热氧化而形成，因而处于压缩应力下。因此，如图 2 的步骤 160 中所示，第二衬底 **4b** 形成弯曲的或弓形的形状。当然，根据在此所描述的工艺可以使用处于压缩应力下的其它膜 **6**。

可以使用位于第二衬底 **4b** 前侧面 **4b'**上的可选的氮化硅薄膜（未示出）以防止氧化。此外，可以在设置于第二衬底 **4b** 后侧面 **4b''**上的膜 **6** 中形成可选的图案。如上所公布，该图案可用来变更或修改第二衬底 **4b** 在其表面上的不同点或位置处的曲率。

参照图 2 中的步骤 160，接着，在第一衬底 **4a** 的后侧面 **4a''**上沉积高应力氮化硅层 **8**。优选地，在高强度拉伸应力下，通过化学气相沉积（CVD）在第一衬底 **4a** 上沉积氮化硅层。因此，如图 2 的步骤 160 中所示，第一衬底 **4a** 形成弯曲的或弓形的形状。当然，可以使用处于拉伸应力下的其它材料来代替氮化硅。

可选地，如图 2 的步骤 160 中所示，第一衬底 **4a** 的前侧面 **4a'**和第二衬底 **4b** 的前侧面 **4b'**可以包括可选的二氧化硅结合层 **10**，所述二氧化硅结合层用于第一和第二衬底 **4a**、**4b** 的亲水性结合。然而，应当理解，如果期望得到疏水的硅上硅结构，可以省去可选的结合层 **10**。

接着，参照图 2 中的步骤 170，对第二衬底 **4b** 的前侧面 **4b'**进行氢离子注入，以便有助于后续的硅膜分离。相对于图 1 所示的工

艺的上述技术用于氢离子注入。氢离子在第二衬底 **4b** 的前侧面 **4b'** 中的渗透深度由虚线 **12** 示出。

利用例如湿化学清洗来清洗第一和第二衬底 **4a**、**4b** 的前侧面 **4a'**、**4b'**，接着是等离子区中的可选的表面活化步骤。然后，将第一和第二衬底 **4a**、**4b** 的前侧面 **4a'**、**4b'** 以面对面的设置方式彼此结合。优选地，如步骤 170 中所示，在衬底 **4a**、**4b** 的中央区域开始结合过程。

然后，对衬底 **4a**、**4b** 进行低温退火以建立初始结合。在初始结合之后，对衬底 **4a**、**4b** 进行众所周知的智能剥离工艺中所用的中温退火处理，从而将衬底 **4a** 与衬底 **4b** 分离。智能剥离工艺将来自第二衬底 **4b** 的一部分硅或一层硅留在第一衬底 **4a** 上。由于通过氢离子注入而在第二衬底 **4b** 中产生的弱化区，使得所述硅层被转移至第一衬底 **4a**。

在将两个衬底 **4a**、**4b** 分离之后，接着，去除位于第一衬底 **4a** 的后侧面 **4a''** 上的高应力氮化硅层 **8**。在去除氮化硅层 **8** 之后，衬底 **4a** 回复到基本上为平面的状态（如图 2 的步骤 180 中所示）。现为平面的衬底 **4a** 包括处于压缩应力下的应变硅的薄层 **2**。薄层 **2** 中的压缩应力强度主要由步骤 160 中所形成的衬底 **4a** 的曲率来决定。此外，如图 2 中的虚线箭头所示，分离过程将可以用于后续的晶片结合工艺中的第二衬底 **4b** 释放出来。

具有应变硅层 **2** 的第一衬底 **4a** 可以经历另外的高温退火处理以完善结合。此外，第一衬底 **4a** 可以接着经历 CMP 处理以使应变硅薄层 **2** 的脱落表面平坦化。可选地，接着可以是对应变硅膜 **2** 进行可控薄化的步骤。所述最后的可选步骤对于例如完全耗尽的绝缘体上应变硅（sSOI）结构的应用是有利的。

图3示出了具有外延生长SiGe蚀刻停止层14以及位于该SiGe蚀刻停止层14顶部上的外延生长硅薄膜16的硅衬底的横截面图。所述SiGe蚀刻停止层14形成在图1和图2中所示的第二衬底4b的顶部上。同样在图3中示出的是用于后续的智能剥离工艺的氢注入层12(以虚线表示)。图3中示出的层结构对于获得用于完全耗尽的MOSFET应用的具有平坦表面的超薄应变硅膜可能是特别有利的。在本发明的这一替换方面中,在所有其它的处理步骤之前,可以在第二衬底4b上形成SiGe层14。优选地, SiGe层14与硅(001)衬底4b完全匹配。利用对于硅比对于SiGe具有更高蚀刻率的传统湿化学蚀刻剂, SiGe层14允许能够生长在其顶部上的极薄硅膜2的平坦化。

图4A和图4B示出了在本工艺的替换方面中所使用的真空卡盘20的两个实施例。所述真空卡盘20包括用于保持衬底4的接触表面22。该接触表面22包括多个孔或开口24,这些孔或开口与真空卡盘中的连接至真空源28的通道或空间26流体连通。真空卡盘20中的孔或开口24在邻近真空卡盘20的接触表面22的位置形成真空环境。所述真空环境强制拉动邻近真空卡盘20的接触表面22的衬底4。图4A示出了将衬底4弯曲成凸曲率的真空卡盘20。图4B示出了将衬底4弯曲成凹形结构的真空卡盘20。

可以使用图4A和图4B中示出的真空卡盘20来代替用于减少衬底4中的拉伸/压缩应力(因而引起弯曲)的膜6、8。

虽然已示出和描述了本发明的实施例,在不背离本发明范围的前提下可以进行各种修改。而且应当理解,在此所描述的步骤的特定顺序的变化应落在本发明的范围内。例如,可以在第二衬底上形成氮化硅包含层之前或之后,在第一衬底上形成二氧化硅包含层。因此,除了所附权利要求及其等同物,本发明不受其它的限制。

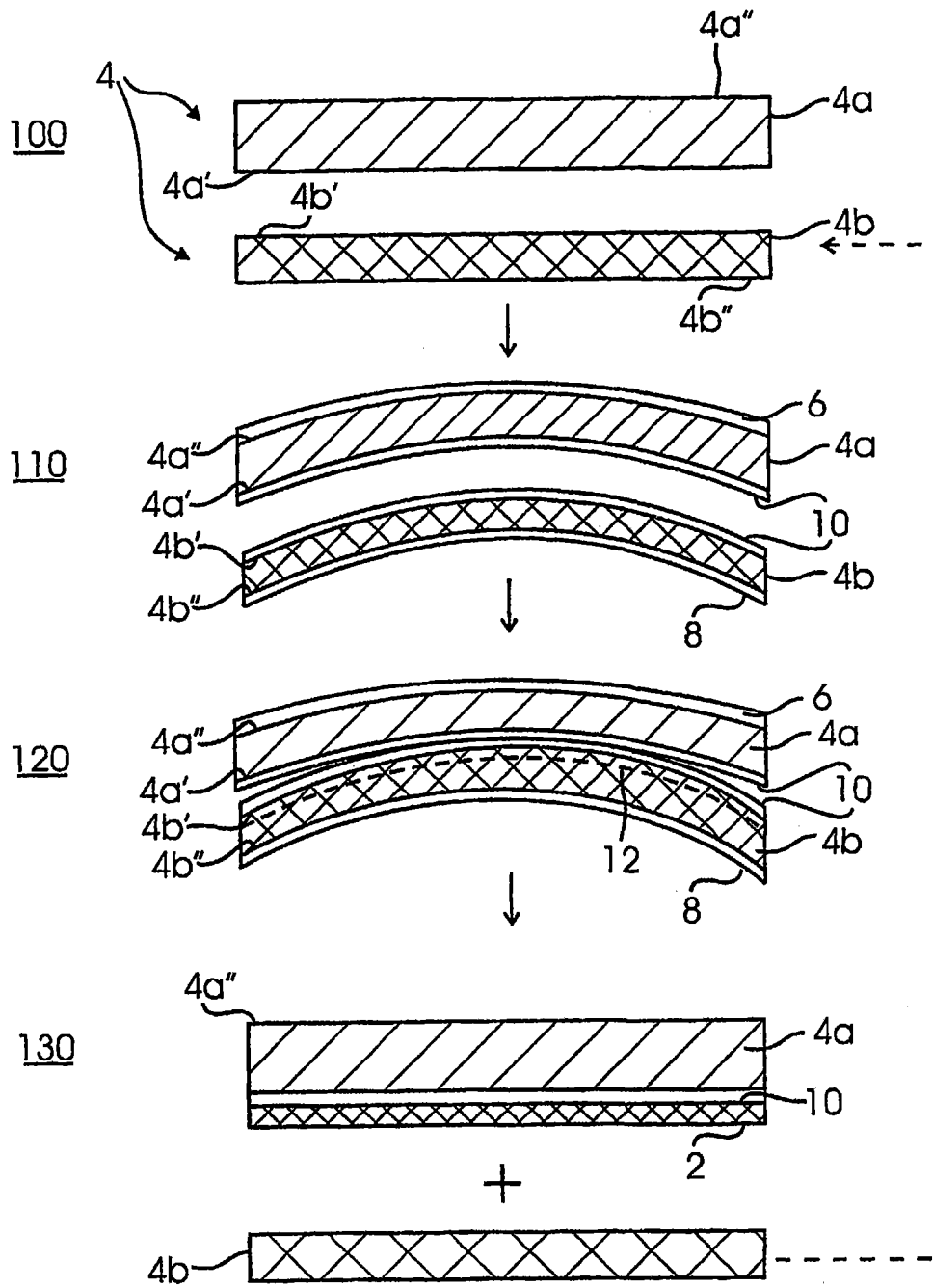


图 1

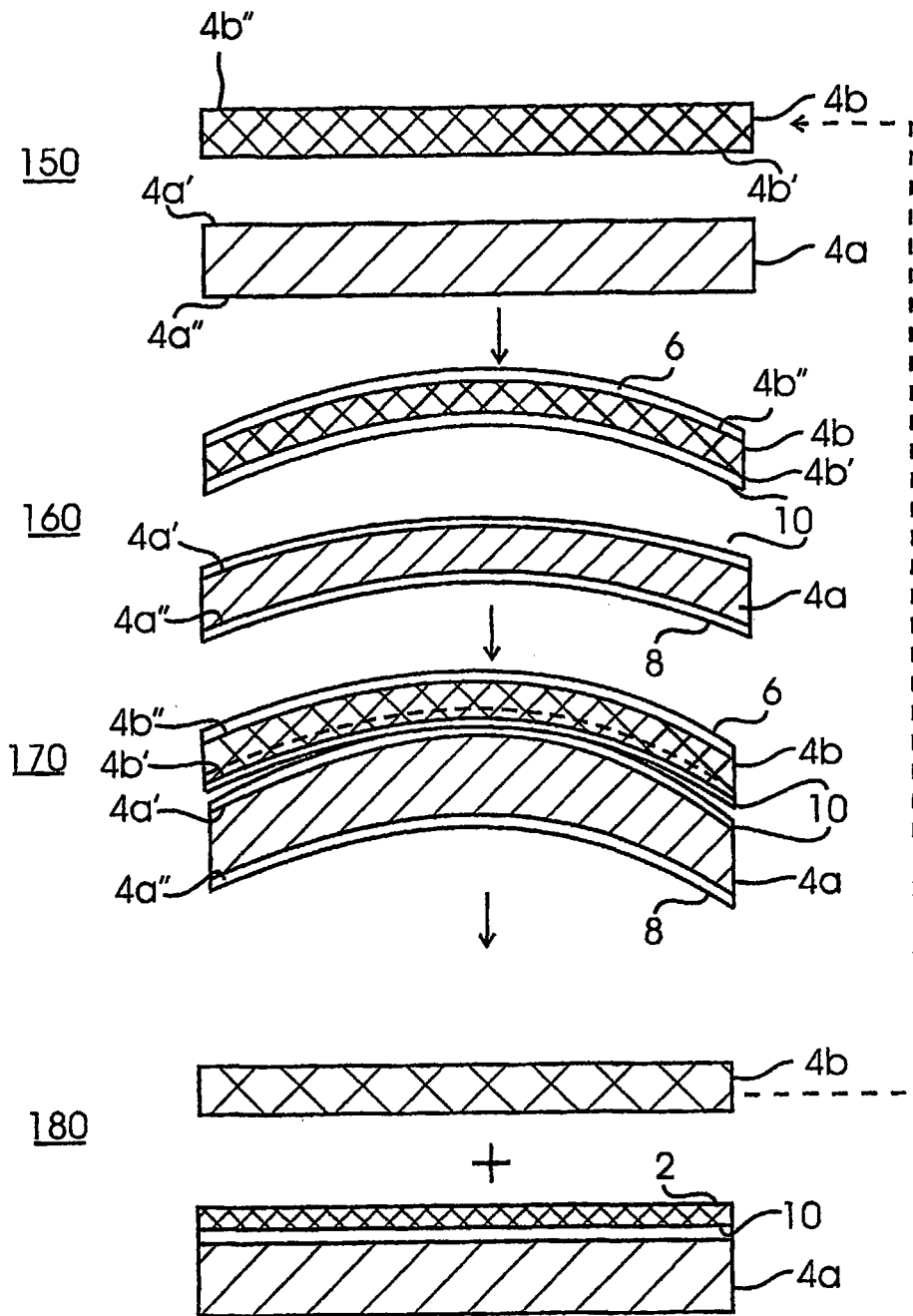


图 2

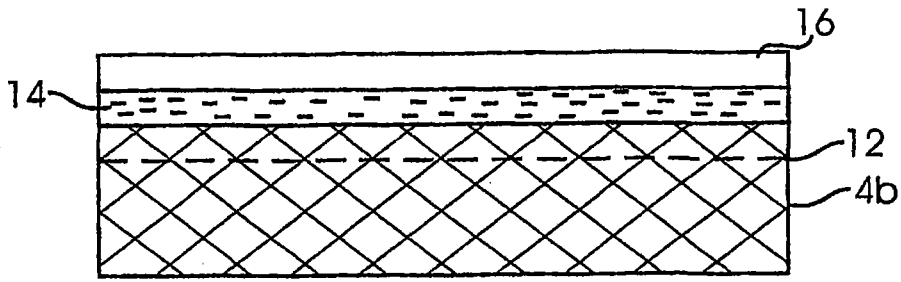


图 3

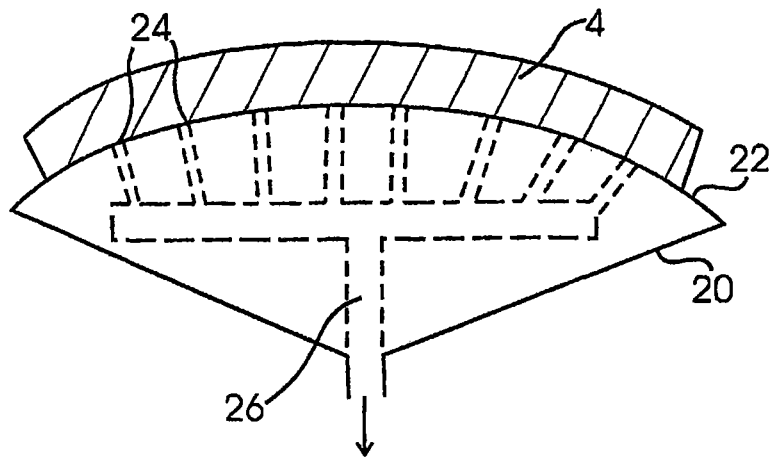


图 4A

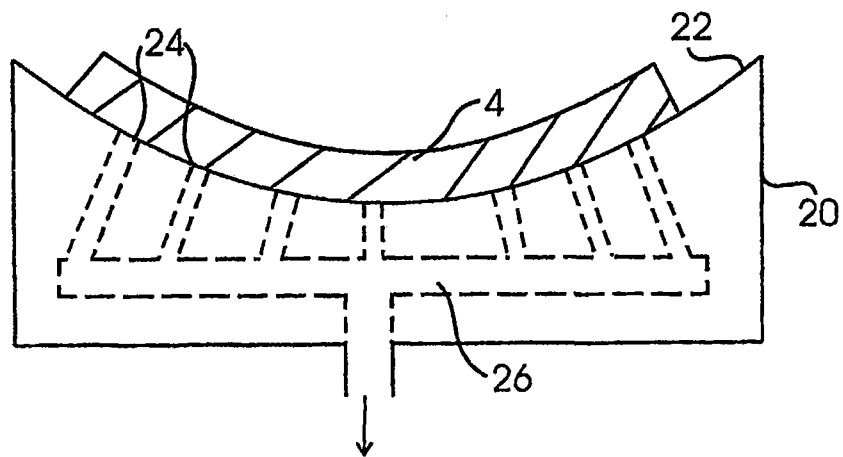


图 4B