

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/06

H01L 29/66 H01L 29/812



[12] 发明专利说明书

[21] ZL 专利号 97181513.5

[45] 授权公告日 2004 年 6 月 30 日

[11] 授权公告号 CN 1156012C

[22] 申请日 1997. 12. 3 [21] 申请号 97181513.5

[30] 优先权

[32] 1996. 12. 3 [33] JP [31] 337476/1996

[86] 国际申请 PCT/JP1997/004417 1997. 12. 3

[87] 国际公布 WO1998/025308 日 1998. 6. 11

[85] 进入国家阶段日期 1999. 7. 23

[71] 专利权人 科学技术振兴事业团

地址 日本琦玉县

共同专利权人 株式会社东芝

[72] 发明人 三浦忠男 田中俊一郎 角谷透

审查员 吴晓达

[74] 专利代理机构 中国专利代理(香港)有限公司

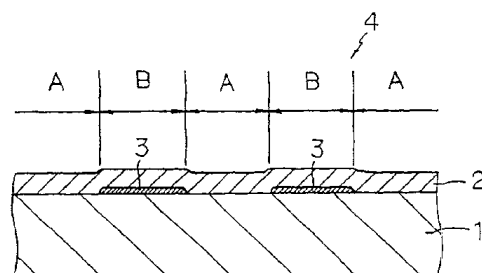
代理人 杨 凯 叶恺东

权利要求书 2 页 说明书 12 页 附图 4 页

[54] 发明名称 膜状复合结构体及其制造方法

[57] 摘要

在由半导体单晶衬底等构成的半导体层 1 上形成了厚度为 20nm 以下的金属层 2。金属层 2 具有与半导体层 1 直接相接的第 1 区域 A 和在与半导体层 1 之间介入了由绝缘体、与金属层 2 不同的金属或与半导体层 1 不同的半导体构成的、且厚度为 10nm 以下的中间层 3 的第 2 区域 B。第 1 区域 A 与第 2 区域 B 的肖特基电流以及肖特基势垒高度不同。该各区域 A、B 都有纳米级的大小,而且各区域 A、B 内的各界面分别具有实际上均匀的电位势垒。这样的膜状复合结构体对实现纳米级的半导体元件的微细化及新的功能元件等有贡献。



ISSN 1008-4274

1. 一种高集成化元件用膜状复合结构体，其特征在于：
具备：

在表面上具有所希望宽度的半导体单晶衬底；

5 在上述半导体单晶衬底的上述表面上形成的厚度为大于 0 和小于 20nm 的金属层；以及

中间层，根据希望的元件图形，该中间层部分地介入于上述半导体单晶衬底与上述金属层之间，而且由绝缘体、与上述金属层不同的金属或与上述半导体单晶衬底不同的半导体构成，并且厚度为大于 0
10 和小于 10nm，在上述半导体单晶衬底上作为最大直径为大于 0 和小于 100nm 的岛状体或宽度为大于 0 和小于 100nm 的带状体而形成；

上述金属层具有与上述半导体单层衬底直接相接，并且具有均匀的第 1 肖特基势垒高的第 1 区域和将上述中间层介入于与上述半导体
15 单层衬底之间的、具有与上述第 1 肖特基势垒高度不同、并且均匀的第 2 肖特基势垒高度的第 2 区域。

2. 如权利要求 1 所述的高集成化元件用膜状复合结构体，其特征在于：

上述第 1 区域和上述第 2 区域的各区域内的各界面分别具有均匀的电位势垒。

20 3. 如权利要求 1 所述的高集成化元件用膜状复合结构体，其特征在于：

根据按上述第 1 肖特基势垒高度而流到上述第 1 区域的第 1 肖特基电流，和按上述第 2 肖特基势垒高度而流到上述第 2 区域的第 2 肖特基电流，具有不同肖特基电流的微细的元件区域。

25 4. 一种高集成化元件用膜状复合结构体的制造方法，其特征在于，具备：

将半导体单晶衬底表面的大小，加工成所希望宽度的工序；

在上述半导体单晶衬底上按所希望的元件图形，形成由绝缘体、第 1 金属或与上述半导体单晶衬底不同的半导体构成的、厚度为大于 0
30 和小于 10nm、最大直径为大于 0 和小于 100nm 的岛状体或宽度为大于 0 和小于 100nm 的带状体的中间层的工序；以及

在具有上述中间层的半导体单晶衬底上形成由与上述第 1 金属不同的第 2 金属构成的厚度为大于 0 和小于 20nm 的金属层，并形成与上

述金属层和上述半导体单晶衬底直接相接、并且具有均匀的第 1 肖特基势垒高度的第 1 区域和在上述金属层与上述半导体单晶衬底之间介入了上述中间层的、具有与上述第 1 肖特基势垒高度不同、并且均匀的第 2 肖特基势垒高度的第 2 区域的工序。

- 5 5. 如权利要求 4 所述高集成化元件用膜状复合结构体的制造方法，其特征在于：

根据按上述第 1 肖特基势垒高度而流到上述第 1 区域的第 1 肖特基电流，和按上述第 2 肖特基势垒高度而流到上述第 2 区域的第 2 肖特基电流，具有不同肖特基电流的微细的元件区域。

膜状复合结构体及其制造方法

技术领域

- 5 本发明涉及具有肖特基电流及肖特基势垒高度不同的多个微小区域的膜状复合结构体及其制造方法。

背景技术

- 在半导体元件中，各种界面对于元件的工作来说起到基本的作用。在界面上存在电位变化，产生载流子的非热平衡状态。其中，已知在金属与半导体的交界面上产生电位势垒、所谓的肖特基势垒。肖特基势垒具有整流作用。将显示该整流作用的金属-半导体结、即所谓的肖特基结，作为肖特基势垒二极管、肖特基栅晶体管等来利用，成为半导体元件的基础。

- 15 控制在金属-半导体界面上形成的肖特基势垒这一点在元件的设计、制造上是重要的，但关于势垒的形成机构还没有统一的理解。此外，在将电极连接到元件上时，存在金属-半导体界面，虽然有必要得到非整流性的欧姆接触，但一般来说要完全避免整流性的势垒是极为困难的。利用肖特基势垒也好、利用欧姆接触也好，对金属-半导体界面处的电位势垒进行控制是不可缺少的。但是，在现有的界面上不可避免地形成界面能级，控制肖特基势垒是困难的。

- 25 此外，由于在界面形成时的半导体表面的晶体结构方面的缺陷、杂质的存在、界面反应等，难以形成均匀的界面，这也使金属-半导体界面的电位势垒的控制变得困难。这是界面形成过程的理解没有得到进展的一个原因。为了解决上述的问题，有必要理解原子级的界面形成过程并进行控制。

如上所述，迄今为止，作为肖特基势垒二极管、肖特基栅晶体管等，使用了利用肖特基势垒的各种电子元件。这些元件不过是利用了金属-半导体界面的总体的肖特基势垒，其利用领域限于在整个界面上控制电荷的流动及量等那样的元件。

- 30 通过控制金属-半导体界面的电位势垒，寻求在制造具有均匀的电位势垒的界面的同时，使电位势垒不同的界面存在于纳米级的区域中。如果可实现这一点，则预期可谋求纳米级的半导体元件的微细化、进而

向介子 (mesoscopic) 元件等的新的功能元件的应用进展。但是, 迄今为止, 尚未发现那样的电子元件。

另一方面, 已报告了, 关于肖特基势垒高度的值本身, 即使是相同的金属-半导体结, 也因界面的状态等的不同而不同。例如, 已报告了, 在 $\text{NiSi}_2/\text{Si}(111)$ 的结系统中, 在 Si 的 (111) 面和 NiSi_2 的 (111) 面满足完全的外延关系的情况下和这些面处于双晶关系的情况下, 肖特基势垒高度的值不同。具体地说, 前者为 0.65eV, 而后者为 0.79eV (R. T. Tung, Phys. Rev. Lett. 52, 461 (1984))。一般认为, 这是因为在结界面上的 Ni 原子和 Si 原子的排列不同, 这一点使得在肖特基势垒高度方面产生差别。

上述的报告虽然显示了因界面结构的不同从而肖特基势垒高度不同的情况, 但该情况是以金属-半导体的测定结区域内的肖特基势垒高度是相同的这一点为前提。这不过是显示了在不同的金属-半导体结中的肖特基势垒高度的不同。因而, 不是显示在金属-半导体的微小结区域内共存肖特基势垒高度不同的多个区域, 这样的结构不超出利用了现有的肖特基势垒的电子元件的范围。

如上所述, 现有的利用了肖特基势垒的电子元件不过是利用了金属-半导体界面的总体的肖特基势垒高度, 未能得到使肖特基势垒不同的界面在纳米级的区域中存在的膜结构。由这一点可知, 希望在实现纳米级的半导体元件的微细化及新的功能元件方面, 控制金属-半导体界面的电位势垒。而且, 寻求在制造具有均匀的电位势垒的界面的同时, 使肖特基电流、进而肖特基势垒高度不同的界面共存于纳米级的区域中的膜状复合结构体。

本发明的目的在于通过实现金属-半导体界面的肖特基势垒的控制来提供一种使肖特基电流及肖特基势垒高度不同的纳米级的多个区域存在于微小区域内的膜状复合结构体及其制造方法。

发明内容

本发明的膜状复合结构体的特征在于: 具备具有平坦部的半导体层、在上述半导体层的平坦部上形成的厚度在 20nm 以下的金属层和中间层, 该中间层部分地介入于上述半导体层与上述金属层之间, 而且由绝缘体、与上述金属层不同的金属或与上述半导体层不同的半导体构成, 并且厚度在 10nm 以下, 上述金属层具有与上述半导体层直接相

接的第 1 区域和将上述中间层介入于与上述半导体层之间的、肖特基势垒高度与上述第 1 区域不同的第 2 区域，上述第 1 和第 2 区域分别

在各区域内具有实际上均匀的肖特基势垒高度。

在本发明的膜状复合结构体特征在于：第 1 区域和第 2 区域的各区域

5 内的各界面分别具有实际上均匀的电位势垒。

本发明的膜状复合结构体中相对于金属层的全部区域，根据所希望的元件图形部分地设置了第 2 区域。作为中间层的具体形状，可举出最大直径在 100nm 以下的岛状体，或宽度在 100nm 以下的带状体等。

本发明的膜状复合结构体的制造方法的特征在于：具备在具有平坦

10 部的半导体层上以岛状或带状形成由绝缘体、第 1 金属或与上述半导体层不同的半导体构成的厚度在 10nm 以下的中间层的工序和在具有上述中间层的半导体层上形成由与上述第 1 金属不同的第 2 金属构成的厚度在 20nm 以下的金属层的工序，在上述半导体层上形成上述金属层与上述半导体层直接相接的第 1 区域和在上述金属层与上述半导体之

15 间介入了上述中间层的、肖特基势垒高度与上述第 1 区域不同的第 2 区域。

发现了，在形成金属-半导体界面时，通过例如在控制单晶半导体衬底的初始表面的同时，以原子级控制金属薄膜、绝缘体薄膜或半导体薄膜的形成，可控制界面的电位势垒。本发明是基于这样的发现而

20 完成的。

即，降低单晶半导体衬底表面的表面能级密度。再有，以原子级使单晶半导体衬底的表面平坦化，同时，在中间层和金属层的形成中例如利用分子束外延（MBE）法。在超高真空中控制了初始表面之后，一边控制衬底温度及蒸发速度，一边形成中间层和金属层。由此，可控制

25 各界面的电位势垒。

基于界面的电位势垒的控制，金属层与半导体层直接相接的第 1 区域和在金属层与半导体层之间介入了厚度在 10nm 以下的中间层的第 2 区域的各区域内的界面分别具有均匀的电位势垒。这样的各区域内的肖特基势垒高度可分别地控制。而且，因为第 1 区域和第 2 区域具有

30 中间层的有无那样的界面结构的差别，故可作成肖特基势垒高度不同的区域。

另一方面，由金属、绝缘体或半导体构成的厚度为 10nm 以下的中

间层，例如可通过利用半导体层表面的平台以岛状或条状等的所希望的图形部分地形成。因而，通过形成金属层使之覆盖包含这样的中间层上的半导体层表面，能以纳米级得到具有肖特基势垒高度不同的多个区域的膜状复合结构体。

5 在这样的膜状复合结构体中，例如能以下述方式来确认纳米级的微小区域的复合化状态。即，在超高真空中制造了膜状复合结构体之后，在不破坏真空的情况下，在超高真空中进行弹道电子发射显微镜（BEEM）观察。利用 BEEM 观察来测定各区域的肖特基电流、进而肖特基势垒高度。通过这样做，可确认纳米级的微小区域的复合化状态。

10 本发明的膜状复合结构体利用上述的第 1 区域和第 2 区域中的不同的肖特基电流及不同的肖特基势垒高度，可应用于以纳米级微细化了的肖特基势垒二极管及肖特基栅晶体管等各种高集成化功能元件。

例如，使隧道电流由探针流到金属层中。在到达金属层的表面的电子中的在金属层内不受散射地到达了金属层与半导体层的界面的电子（弹道电子）的一部分超越金属-半导体界面的电位势垒、即所谓的肖特基势垒，作为肖特基电流（也称为收集极电流或 BEEM 电流）流到半导体层中。

特别是在弹道电子充分地到达界面的条件下，相对于施加到探针上的电压，肖特基电流从肖特基势垒高度附近起急剧地增加。因而，如果第 1 区域和第 2 区域的肖特基势垒高度不同，则可根据流到金属层中的隧道电流的电压（探针电压）来控制在各区域间流到半导体层中的电流、即肖特基电流。此外，即使在中间层使弹道电子受到较强的散射的情况下，同样也可在第 1 区域和第 2 区域间控制肖特基电流。

25 本发明的膜状复合结构体也可应用于利用纳米级的区域的 BEEM 电流值的不同来进行读出的高密度存储元件等。这样，本发明的膜状复合结构体具有应用于各种高集成化功能元件的可能性。

附图的简单说明

图 1 是示意性地示出本发明的膜状复合结构体的一实施形态的结构

30 的剖面图。

图 2 是作为本发明的膜状复合结构体中的各区域的确认结果而示出的 Au 膜的 STM 照片。

图 3 是与图 2 中示出的隧道式扫描显微镜（Scanning Tunneling Microscope, 简称 STM）照片处于相同部位的 BEEM 照片。

图 4 是示意性地示出图 2 中示出的 Au 膜的 BEEM 照片的一部分的图。

图 5 是示出图 2 中示出的 Au 膜的 Au-Si 界面和具有 Au-Si 反应物的界面的 BEEM 谱的测定结果的图。

图 6 是示出本发明的一实施例的膜状复合结构体的 Ag-Si 界面和 Au-Si 界面的 BEEM 谱的测定结果的图。

用于实施发明的形态

以下, 说明用于实施本发明的形态。

图 1 是示意性地示出本发明的膜状复合结构体的基本结构的剖面图。在该图中, 1 是半导体层。可使用各种半导体的单晶衬底或外延生长膜作为半导体层 1, 其材料不作特别限定。作为半导体层 1 的具体例, 可举出 Si 单晶衬底、Ge 单晶衬底、Si-Ge 衬底、GaAs、GaSb、InP、ZnTe、CdCe、CdTe 等各种化合物半导体的单晶衬底、或上述各种半导体的外延生长膜等。

在半导体层 1 上形成了厚度为 20nm 以下的薄膜状的金属层 2。该金属层 2 的构成材料也不作特别限定, 可使用 Au、Ag、Pt、Cu、Al 等各种单质金属、或合金等。将该金属层 2 的厚度定为 20nm 以下。这是因为, 如果金属层 2 的厚度太厚, 则与后面详细叙述的中间层 3 的存在的有无无关, 在对金属(2)-半导体(1)的结界面注入弹道电子时, 流到半导体层 1 中的肖特基电流(收集极电流/BEEM 电流)变得太小, 肖特基电流的控制变得困难。

金属层 2 具有与半导体层 1 直接相接的第 1 区域 A 和在与半导体层 1 之间介入了厚度为 10nm 以下的中间层 3 的第 2 区域 B。利用该第 1 区域 A 和第 2 区域 B 构成了金属(2)-半导体(1)的结界面(金属-半导体界面)。

该第 1 区域 A 和第 2 区域 B 的各区域内的金属层 2 与半导体层 1 的界面、中间层 3 与半导体层 1 和金属层 2 与中间层 3 的界面分别具有实际上均匀的电位势垒。这样的具有实际上均匀的电位势垒的界面可利用 BEEM 观察来确认。即, 如果各区域内的界面的电位势垒实际上是均匀的, 则与各区域对应的 BEEM 像(使 BEEM 电流的测定结果图象化后的结果)几乎没有反差。利用这样的 BEEM 像可进行界面状态的确认。

通过在控制半导体层 1 的初始表面的同时以原子级来控制中间层 3 及金属层 2 的形成, 可得到具有实际上均匀的电位势垒的界面。例如,

通过有意识地将由单晶半导体衬底构成的半导体层 1 的表面处理得较深,可降低表面能级密度和实现原子级的表面平坦化。

例如如分子束外延(MBE)法那样,在超高真空中控制了初始表面之后,利用能控制对金属薄膜、绝缘体薄膜、半导体薄膜等进行成膜时的衬底温度及蒸发速度的成膜方法,在具有上述那样的表面的半导体层 1 上来形成中间层 3、进而形成金属层 2,由此可得到分别具有实际上均匀的电位势垒的界面。具体地说,最好在 1×10^{-7} Pa 以下那样的超高真空中形成中间层 3 及金属层 2。

作为中间层 3 的构成材料,可使用绝缘体、与金属层 2 不同的金属、或与半导体层 1 不同的半导体。除了积极地使由绝缘体、不同种类的金属或半导体构成的第 3 物质介入以外,也可利用金属层 2 与半导体层 1 的反应层等作为中间层 3。将这样的中间层 3 的厚度定为 10nm 以下。如果中间层 3 的厚度超过 10nm,则难以形成所希望的图形形状。

相对于金属 2-半导体 1 的结界面、即金属层 2 的整个区域,部分地设置了中间层 3。通过利用半导体层 1 表面的平台等,可将中间层 3 的形状作成与所希望的图形对应的形状。

即,通过利用例如由单晶半导体衬底构成的半导体层 1 的平坦的平台,可将厚度为 10nm 以下的中间层 3 形成为最大直径例如约为 1~100nm 的岛状体。或者,可沿台阶形成为宽度例如约为 1~100nm 的带状体。也可这样来形成中间层 3,使其只覆盖特定的平台。利用来自半导体层 1 表面的特定结晶面的角度调整及在大气中的氧化处理和超高真空中的加热处理的适当的组合等,可在几十 nm~几百 nm 的范围内控制平台宽度。

这样,通过将中间层 3 的厚度定为 10nm 以下的同时利用半导体层 1 表面的平台及台阶,可作为最大直径约为 1~100nm 的岛状体或宽度约为 1~100nm 的带状体来形成。可将中间层 3 以所希望的图形来形成。

在半导体层 1 上形成了厚度为 10nm 以下的中间层 3 之后,通过用上述那样的成膜方法连续地形成金属层 2,可得到在每个区域 A、B 中界面的电位势垒是均匀的膜状复合结构体 4。膜状复合结构体 4 的各区域 A、B 内的肖特基电流和肖特基势垒高度如下所述。

例如,在使用厚度为 10nm 以下的绝缘体薄膜作为中间层 3 的情况下,因为金属(2)-半导体(1)的结界面中的第 1 区域 A 的半导体

层 1 与金属层 2 直接相接, 故具有基于构成半导体层 1 的半导体和构成金属层 2 的金属的肖特基势垒高度。因为第 1 区域 A 内的界面具有实际上均匀的电位势垒, 故在第 1 区域 A 内该肖特基势垒高度实际上为均匀的。在这样的第 1 区域 A 中, 例如在使隧道电流由探针流到金属层 2 中的情况下, 弹道电子作为与上述的肖特基势垒高度对应的肖特基电流流到半导体层 1 中。

另一方面, 由于在半导体层 1 与金属层 2 之间介入了由绝缘体构成的中间层 3, 故第 2 区域 B 成为金属 (M) - 绝缘体 (I) - 半导体 (S) 结, 具有基于所谓的 MIS 结的肖特基势垒高度。因为第 2 区域 B 内的各界面具有实际上均匀的电位势垒, 故基于该 MIS 结的肖特基势垒高度在第 2 区域 B 内实际上是均匀的。在这样的第 2 区域 B 中, 流到金属层 2 中的隧道电流作为与基于 MIS 结的肖特基势垒高度对应的肖特基电流流到半导体层 1 中。或者, 在由绝缘体构成的中间层 3 使弹道电子受到较强的散射的情况下, 没有肖特基电流本身的流动。

此外, 在中间层 3 由与金属层 2 不同的金属构成的情况下, 在构成该中间层 3 的金属与半导体层 1 之间的金属 - 半导体界面就支配第 2 区域 B 的肖特基势垒高度。因而, 在这样的第 2 区域 B 中, 在使隧道电流流到金属层 2 中的情况下, 根据基于与金属层 2 不同的金属与半导体层 1 的界面的肖特基势垒高度, 电流作为肖特基电流流到半导体层 1 中。即, 第 2 区域 B 具有与第 1 区域 A 不同的肖特基势垒高度和肖特基电流。

再有, 在中间层 3 由与半导体层 1 不同的半导体构成的情况下, 在构成该中间层 3 的半导体与金属层 2 之间的金属 - 半导体界面就支配第 2 区域 B 的肖特基势垒高度。因而, 在这样的第 2 区域 B 中, 在使隧道电流流到金属层 2 中的情况下, 根据基于金属层 2 与半导体层 1 不同的半导体之间的界面的肖特基势垒高度, 电流作为肖特基电流流到半导体层 1 中。即, 第 2 区域 B 具有与第 1 区域 A 不同的肖特基势垒高度和肖特基电流。

这样, 在使中间层 3 部分地存在于金属层 2 与半导体层 1 之间的膜状复合结构体 4 中, 可控制第 1 区域 A 和第 2 区域 B 的肖特基电流以及肖特基势垒高度、具体地说, 相对于第 1 区域 A 和第 2 区域 B, 例如通过使隧道电流由探针流到金属层 2 中, 可在各区域间控制肖特基电

流。即,可使肖特基电流及肖特基势垒高度不同的纳米级的多个微小区域(第1区域A和第2区域B)存在于金属(2)-半导体(1)的界面(金属-半导体界面)内。

5 上述那样的膜状复合结构体利用在第1区域A和第2区域B中的不同的肖特基电流及肖特基势垒高度,可应用于以纳米级微细化了的肖特基二极管及肖特基栅晶体管等各种高集成化元件、以及利用纳米区域的 BEEM 电流值的不同来进行读出的高密度存储元件及介子元件等新的功能元件。

10 其次,叙述用 BEEM 观察来确认在金属(2)-半导体(1)界面上存在上述那样的纳米级的微小的第1区域A和第2区域B的情况的具体例。

首先,使用 Si(111)衬底作为半导体层1,在该 Si(111)衬底表面上在 1×10^{-7} Pa 以下的超高真空中对 Au 进行成膜。为了减少成为表面及界面的控制或测定的妨碍的来自气氛的氧、水、有机物等吸附,
15 利用能在超高真空中进行从成膜到评价为止的全部过程的装置来实施 Au 的成膜及其评价。

上述的装置首先具有适用于在控制性方面良好的分子束外延(MBE)法的成膜室。将 STM 准备室通过样品运送室连接到成膜室。将 STM 准备室连接到 STM 室,STM 室具有 STM 观察装置和 BEEM 观察装置。STM
20 准备室可实施附加 BEEM 测定用的电极等的操作。从以上的成膜到 STM 观察和 BEEM 观察为止的过程,要保持于 2×10^{-8} Pa 以下的超高真空中。

使用上述的超高真空成膜-评价装置,将 Si(111)衬底的 (7×7) 表面定为成膜面,用 MBE 法在该清洁的 Si(111)· (7×7) 表面上对厚度为 3.0nm 的 Au 进行成膜。成膜时的衬底温度受到 Au 的蒸发源的影响,约为 423K。接着,用超高真空成膜-评价装置进行 Au 膜的同一
25 部位的 STM 观察和 BEEM 观察。在图 2 中示出 STM 像,在图 3 中示出 BEEM 像。观察范围为 $100\text{nm} \times 100\text{nm}$ 。BEEM 像因 BEEM 电流的强弱而带有反差。

由图中示出的 STM 像可知,Au 以大小的岛状来生长。由于在 BEEM
30 中到达界面的弹道电流随膜厚的增加而减少,故 BEEM 电流也随膜厚的增加而减少。因而,大的岛与小的岛相比,BEEM 电流减少。

图 3 中示出的 BEEM 像受到以上所述的影响,笼统地说,成为使 STM

像的反差反转后的像。但是，在 BEEM 像中，在与 STM 像的岛状部对应的部分内，存在黑色区域、即 BEEM 电流极低的区域。在图 4 中示意性地示出该状态。图 4 示意性地示出图 3 中示出的 BEEM 像的一部分，加上点的部分是黑色区域。此外，用图 4 的虚线包围的区域（斜线区域）
5 示出同一部位的因 STM 像引起的岛状部。

关于上述的 Au 的原来的岛状区域（在图 4 中用箭头 a 示出的部分/黑色区域以外的部分）和黑色区域（在图 4 中用箭头 b 示出的部分），评价了 BEEM 电流的芯片（chip）电压的依存性、即所谓的 BEEM 谱线。在图 5 中示出其结果。在区域 a 中，BEEM 电流显示出从 Au/Si (111)
10 的肖特基势垒高度、即 0.8eV 起上升的谱线。另一方面，在区域 b 中，即使增加电子能量，也未见到 BEEM 电流的增加。

一般认为，在区域 b 中，如通常的 Au/Si (111) 界面那样，未见到 BEEM 电流的增加这一点，是由于在 Au/Si (111) 界面上存在 Au 与 Si 的反应物。由于在成膜时衬底温度上升到约 423K，故该反应物是 Au 与
15 Si 因该衬底温度而发生低温反应的反应物。通过将上述样品在 573K、30 分的条件下再次退火、以促进在界面处的反应时，在样品整个面上 BEEM 电流成为检测极限以下，确认了这一点。如果在界面上存在 Au 与 Si 的反应物层，则由于弹道电子在通过该反应物层时受到较强的散射，故 BEEM 电流（肖特基电流）几乎不流过。

20 如上述的区域 a 和区域 b 那样，在金属-半导体界面上存在 BEEM 电流不同的多个区域这一点，只利用 STM 观察是不能知道的。通过合并使用 STM 观察和 BEEM 观察，首次确定了 BEEM 电流不同的多个区域。

这样，通过使 Au 与 Si 的反应物层部分地存在于界面上，可得到在 Au/Si (111) 界面上不存在其它杂质的区域（相当于图 1 的第 1 区域 A）
25 和在界面上存在 Au-Si 反应物的区域（相当于图 1 的第 2 区域 B）。这样的界面结构导致具有肖特基电流不同的多个区域的膜状复合结构体。Au/Si (111) 界面上的 Au-Si 反应物的生成，可通过 Si (111) 衬底的表面状态、成膜时的衬底温度等来控制。因而，在被控制的状态下可得到与本发明的第 2 区域相当的在界面上存在 Au-Si 反应物的
30 区域。

但是，上述的 Au-Si 反应物的生成状态及生成区域的可控性较低。因此，其次叙述通过控制 Si 衬底的表面状态及成膜时的衬底温度等，

在不使 Au-Si 反应物等的杂质存在于 Au/Si (111) 界面上的情况下，对只由 Au-Si 界面构成的 Au 膜进行成膜的例子。

首先，Si (111) · (7×7) DAS (Dimar 吸附原子堆垛层错) 结构含有较多的悬挂键 (dangling bond)，由于该悬挂键具有化学活性，故为了抑制 Au-Si 的低温反应，以没有为好。因此，作为 Au 生长的初始状态，使用了 Si (111) · (3^{1/2} × 3^{1/2}) · Au 表面。

在 Au 的蒸发量为 2 个分子层以下时，即使将衬底加热到约 973K，Au 原子也不与 Si 原子产生低温反应，Au 原子与 Si 原子配合，在表面上形成稳定的再排列状态。此外，在蒸发量约为 1.5 个分子层 (膜厚 0.2nm) 时，在衬底温度约为 573K 时，成为 (3^{1/2} × 3^{1/2}) 结构。因此，首先，在衬底温度 573K 下形成了约 0.2nm 厚的 Au 膜之后，为了抑制 Au-Si 的低温反应，将衬底一度在运送室中冷却到室温，然后再次导入到 MBE 室中，形成 3.0nm 厚的 Au 膜。

在进行所得到的 Au 膜的 STM 观察和 BEEM 观察时，由 STM 像确认了 Au 作为约 10nm 的岛状体存在的情况。该岛状 Au 膜的 BEEM 像几乎无反差，此外在其内部的代表性的 BEEM 谱线中观察到从 0.8eV 附近起的上升。由这些情况可知，BEEM 像的反差的缺乏显示了 BEEM 电流的强度是均匀的。于是，确认了岛状 Au 膜内的界面的电位势垒实际上是均匀的，而且在界面上的肖特基势垒高度实际上是均匀的。

上述的岛状 Au 膜可作为图 1 中示出的膜状复合结构体 4 的中间层 3 来使用，通过在 Si 衬底上包含该岛状 Au 膜而形成其它的金属层、例如厚度约为 10nm 的 Ag 层，可得到图 1 中示出的膜状复合结构体 4。

其次，根据上述的 Au 膜的成膜结果，叙述介入了第 3 物质作为中间层 3 的膜状复合结构体 4 的制造例及其评价结果。再有，使用上述的超高真空成膜-评价装置由各膜的成膜来进行评价。

实施例 1

首先，使用 Si (111) · (7×7) 衬底作为半导体层 1，利用在大气中的氧化处理和超高真空中的加热处理，将该 Si 衬底表面的平台的大小控制为约 50nm。在具有这样的平台的清洁的 Si (111) · (7×7) 衬底的表面上，首先，一边将衬底温度控制为 303K，一边用 MBE 法形成厚度为 1nm 的 Au 膜。接着，一边将衬底温度控制为 303K，一边用 MBE 法形成厚度为 10nm 的 Ag 膜。在此，将 Au 膜作为中间层 3 来形成，

在其上形成的 Ag 膜成为金属层 2。

在进行这样的复合膜的 STM 观察和 BEEM 观察时，确认了下述情况：Au 膜在平台上作为岛状体存在，Ag 形成了与 Si 衬底的界面的区域和存在 Au 中间层且 Au 形成了与 Si 衬底的界面的区域共存。由 BEEM 像
5 确认了各界面的电位势垒实际上是均匀的。

再者，在图 6 中示出 Ag-Si 界面区域的 BEEM 谱线的测定结果和 Au-Si 界面区域的 BEEM 谱线的测定结果。显示出在 Ag-Si 界面区域处 BEEM 电流从 Ag-Si 的肖特基势垒高度、即 0.7eV 附近起上升的谱线，另一方面，显示出在 Au-Si 界面区域处 BEEM 电流从 Au-Si 的肖特基
10 势垒高度、即 0.8eV 附近起上升的谱线。由这些情况确认了肖特基势垒高度不同的多个区域共存的情况。

实施例 2

使用 Si(111)·(7×7)衬底作为半导体层 1，在该清洁的 Si(111)·(7×7)衬底的表面上，首先，一边将衬底温度控制为 973K，一边用 MBE
15 法形成厚度为 1nm 的作为绝缘体的 CaF₂ 膜。该 CaF₂ 膜从台阶起以带状生长。其次，将衬底温度控制为 303K，用 MBE 法包含该 CaF₂ 膜形成厚度为 5.0nm 的 Au 膜。在此，将 CaF₂ 膜作为中间层 3 来形成，在其上形成的 Au 膜成为金属层 2。

在进行这样的复合膜的 STM 观察和 BEEM 观察时，确认了：Au 膜形
20 成了与 Si 衬底的直接界面的区域和厚度为 1nm 的带状的 CaF₂ 膜介入于 Au-Si 界面处的区域共存。由该各区域的 BEEM 谱线确认了各区域的肖特基势垒高度是不同的。

实施例 3

使用 Si(111)·(7×7)衬底作为半导体层 1，利用在大气中的
25 氧化处理和超高真空中的加热处理，将该 Si 衬底表面的平台的大小控制为约 50nm。在具有这样的平台的清洁的 Si(111)·(7×7)衬底的表面上，首先，一边将衬底温度控制为 773K，一边用 MBE 法形成厚度为 1nm 的作为绝缘体的 CaF₂ 膜。其次，将衬底温度控制为 303K，用 MBE 法包含该 CaF₂ 膜形成厚度为 5.0nm 的 Au 膜。在此，将 CaF₂ 膜作
30 为中间层 3 来形成，在其上形成的 Au 膜成为金属层 2。

在进行这样的复合膜的 STM 观察和 BEEM 观察时，确认了下述情况：CaF₂ 膜在平台上作为岛状体存在，厚度为 1nm 的 CaF₂ 膜介入于 Au-Si

界面处的区域和 Au 膜形成了与 Si 衬底的直接界面的区域共存。由该各区域的 BEEM 谱线确认了各区域的肖特基势垒高度是不同的。

产业上利用的可能性

- 按照本发明的膜状复合结构体及其制造方法，可在金属-半导体界面内制成肖特基电流及肖特基势垒高度不同的多个微小区域。具有这样的金属-半导体界面的膜状复合结构体可用于集成度高的肖特基二极管及肖特基栅晶体管等各种功能元件、以及利用纳米区域的 BEEM 电流值的不同来进行读出的高密度存储元件等。
- 5

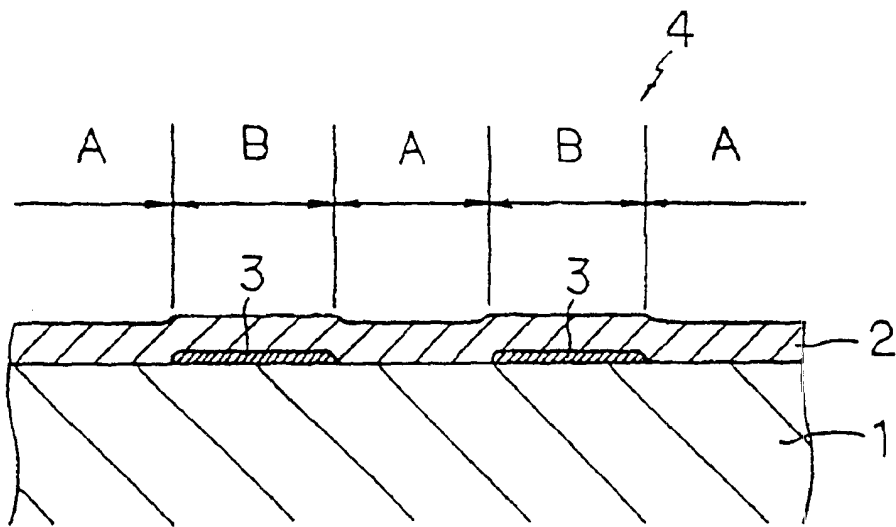


图 1

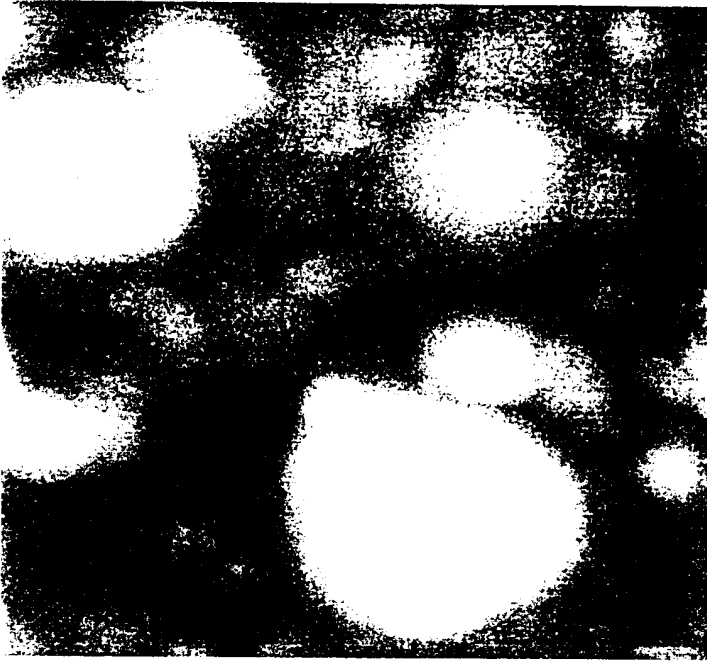


图 2

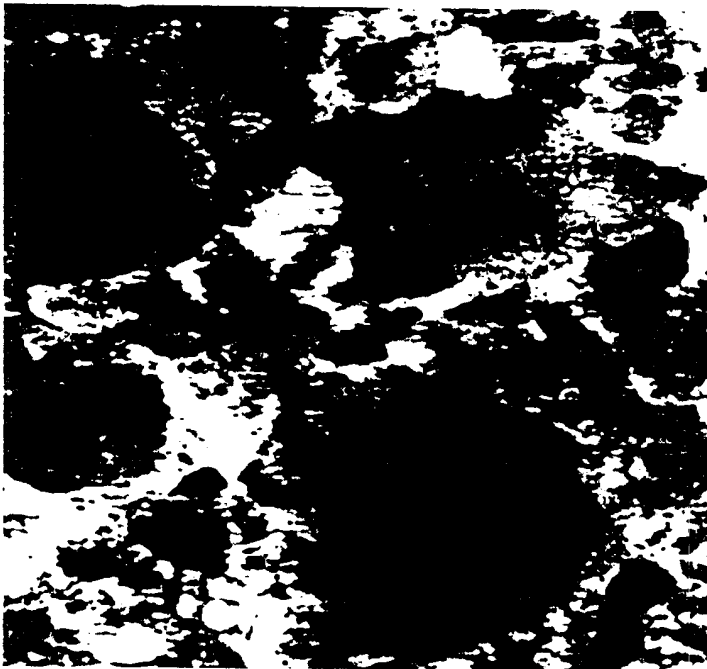


图 3

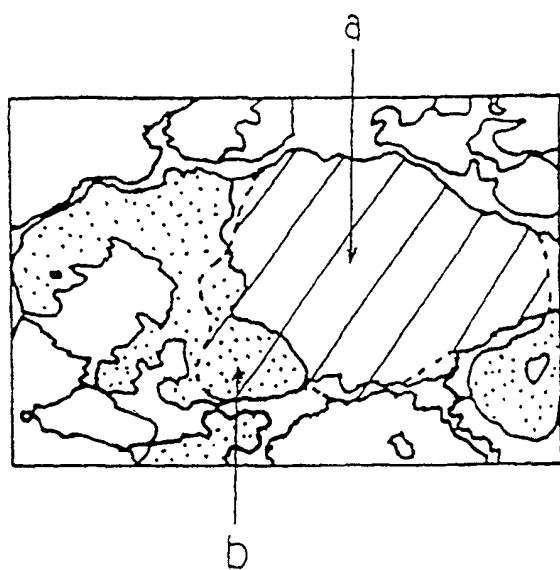


图 4

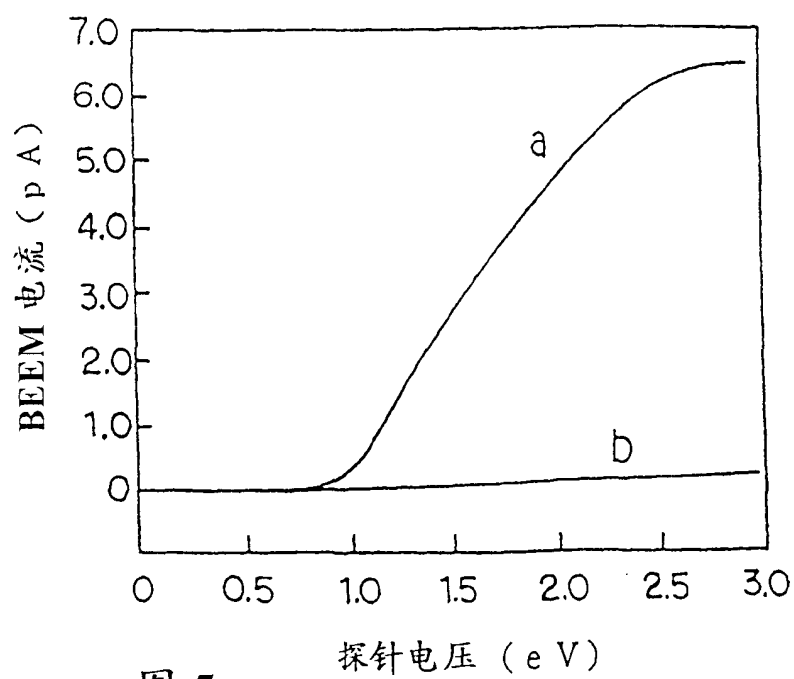


图 5

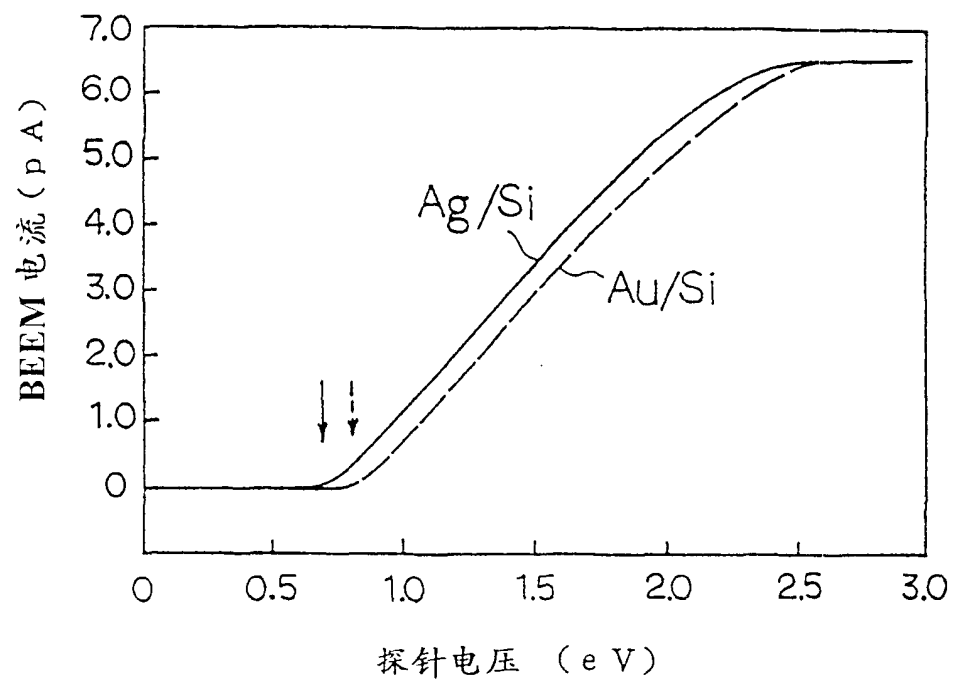


图 6