

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 19 年 2 月 1 日 (2007.2.1)

【公表番号】特表 2006-513492(P2006-513492A)

【公表日】平成 18 年 4 月 20 日 (2006.4.20)

【年通号数】公開・登録公報 2006-016

【出願番号】特願 2004-566539(P2004-566539)

【国際特許分類】

G 0 6 F 13/16 (2006.01)

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/06 (2006.01)

【F I】

G 0 6 F 13/16 5 1 0 A

G 0 6 F 12/00 5 5 0 C

G 0 6 F 12/00 5 6 0 B

G 0 6 F 12/00 5 9 7 R

G 0 6 F 12/06 5 2 5 A

【手続補正書】

【提出日】平成 18 年 12 月 6 日 (2006.12.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

コンピュータシステムであって、
 少なくとも 1 つのプロセッサと、
 前記少なくとも 1 つのプロセッサを制御ブロックおよびメモリバスに結合するためのコントローラと、
 前記メモリバスに結合された複数のメモリモジュールスロットと、
 前記複数のメモリモジュールスロットのサブセットに関連付けられるアダプタポートと、
 、
 前記アダプタポートに結合されるクラスタ相互接続ファブリックとを含み、
 前記複数のメモリモジュールスロットと直接接続することによって制御情報が前記アダプタポートとの間でやりとりされる、コンピュータシステム。

【請求項 2】

前記コントローラはインターリーブされたメモリコントローラを含む、請求項 1 に記載のコンピュータシステム。

【請求項 3】

前記複数のメモリモジュールスロットは D I M M メモリモジュールスロットを含む、請求項 1 に記載のコンピュータシステム。

【請求項 4】

前記アダプタポートは、前記 D I M M メモリモジュールスロットのうちの 1 つの内部における保持のための D I M M 物理フォーマットを含む、請求項 3 に記載のコンピュータシステム。

【請求項 5】

前記複数のメモリモジュールスロットはランバスフォーマットメモリモジュールスロット

トを含む、請求項 1 に記載のコンピュータシステム。

【請求項 6】

前記アダプタポートは、前記 R I M M メモリモジュールスロットのうちの 1 つの内部における保持のためのランバス物理フォーマットを含む、請求項 5 に記載のコンピュータシステム。

【請求項 7】

前記制御ブロックは、
周辺バス制御ブロックと、
グラフィックス制御ブロックと、
システムメンテナンス制御ブロックと、のうちの少なくとも 1 つを含む、請求項 1 に記載のコンピュータシステム。

【請求項 8】

前記アダプタポートは、前記メモリバスからデータ情報を受信するよう適合されたメモリバスデータマルチプレクサを含む、請求項 1 に記載のコンピュータシステム。

【請求項 9】

前記アダプタポートはさらに、
前記メモリバスからアドレス情報を受信するよう適合されたアドレスおよびコマンドデコードと、
前記クラスタ相互接続ファブリックに結合されたプロセッサ要素に前記メモリバスから受信した前記データ情報を結合するための書込バッファ、および、前記プロセッサ要素によって供給されるデータを前記メモリバスに結合するための読出バッファと、
のうちの少なくとも 1 つを含む、請求項 8 に記載のコンピュータシステム。

【請求項 10】

書込バッファを含む場合、前記システムは、
前記書込バッファを前記プロセッサ要素に結合するためのパケット化装置と、
前記プロセッサ要素を前記読出バッファに結合するための非パケット化装置とをさらに含む、請求項 9 に記載のコンピュータシステム。

【請求項 11】

前記メモリバスデータマルチプレクサに結合された複数のレジスタをさらに含む、請求項 8 に記載のコンピュータシステム。

【請求項 12】

前記複数のレジスタは、
構成レジスタと、
状態レジスタと、のうちの少なくとも 1 つを含む、請求項 11 に記載のコンピュータシステム。

【請求項 13】

前記クラスタ相互接続ファブリックに結合されたプロセッサ要素に前記アドレスおよびコマンドデコードを結合するコマンドフォーマットをさらに含む、請求項 9 に記載のコンピュータシステム。

【請求項 14】

前記クラスタ相互接続ファブリックに結合された再構成可能なプロセッサ要素と、
前記メモリバス上において前記コントローラから受信したデータを変更するよう動作する、前記クラスタ相互接続ファブリックに結合されたプロセッサ要素と、
変更されたデータを前記メモリバス上に配置する前に、外部ソースから受信したデータを変更するよう動作する、前記クラスタ相互接続ファブリックに結合されたプロセッサ要素と、

前記クラスタ相互接続ファブリックに結合される制御ブロックと、のうちの少なくとも 1 つをさらに含む、請求項 1 に記載のコンピュータシステム。

【請求項 15】

前記クラスタ相互接続ファブリックに結合される制御ブロックを含む場合、前記制御ブ

ロックはさらに、

前記アダプタポート上における識別されたアルゴリズムと、前記アダプタポートによって供給されるオペランドとを実行するよう構成可能な少なくとも1つのフィールドプログラマブルゲートアレイを含む、請求項 1 4 に記載のコンピュータシステム。

【請求項 1 6】

前記アダプタポートに結合された制御ブロックを前記少なくとも1つのフィールドプログラマブルゲートアレイに結合するデュアルポートメモリブロックをさらに含む、請求項 1 5 に記載のコンピュータシステム。

【請求項 1 7】

前記クラスタ相互接続ファブリックに結合されるチェーンポートをさらに含む、請求項 1 に記載のコンピュータシステム。

【請求項 1 8】

前記制御ブロックは、それに構成情報を供給するための読出専用メモリをさらに含む、請求項 1 7 に記載のコンピュータシステム。

【請求項 1 9】

前記クラスタ相互接続ファブリックに結合されたプロセッサ要素をさらに含む、請求項 1 に記載のコンピュータシステム。