

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 25 日(25.09.2014)



(10) 国際公開番号
WO 2014/148170 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)
- (21) 国際出願番号: PCT/JP2014/053620
- (22) 国際出願日: 2014 年 2 月 17 日(17.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-059180 2013 年 3 月 21 日(21.03.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 村上 祐一郎(MURAKAMI, Yuhichiroh). 佐々木 寧(SASAKI, Yasushi). 古田 成(FURUTA, Shige). 西 修司(NISHI, Shuji). 横山 真(YOKOYAMA, Makoto).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).

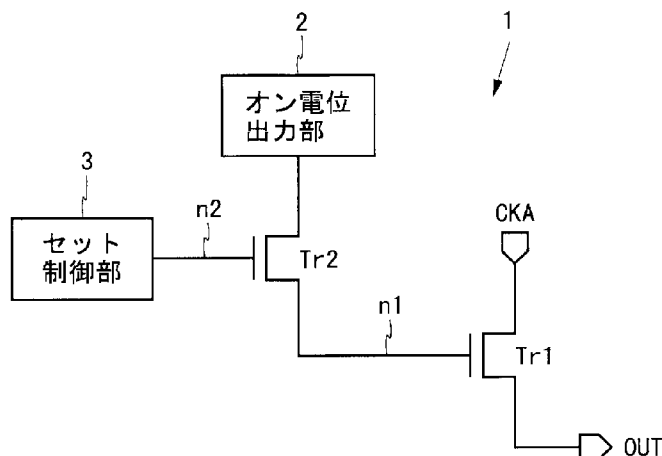
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SHIFT REGISTER

(54) 発明の名称: シフトレジスタ



2 ON-POTENTIAL OUTPUT UNIT
3 SET CONTROL UNIT

(57) Abstract: Unit circuits (1) are connected in multi-stages so as to configure a shift register. An output transistor (Tr1), in accordance with a gate potential, switches between whether or not to output a clock signal (CKA). A set transistor (Tr2), in accordance with output of a set control unit (3), switches between whether or not to impart output of an on-potential output unit (2) to the gate terminal of (Tr1). The set control unit (3), during a portion of a period in which a high-level potential is imparted to the gate terminal of (Tr1), controls the gate terminal of the (Tr2) to be in a floating state. Gate potential of the (Tr2) is increased by way of raising, and a high-level potential which does not drop by a threshold is imparted to the gate terminal of (Tr1) so that integrity loss of the output signal (OUT) when the output signal (OUT) becomes high-level is reduced. As a result, the margin of operation for variation in threshold voltage for a transistor is increased.

(57) 要約: 単位回路 1 を多段接続してシフトレジスタを構成する。出力トランジスタ Tr1 は、ゲート電位に応じて、クロック信号 CKA を出力するか否かを切り替える。セットトランジスタ Tr2 は、セット制御部 3 の出力に応じて、オン電位出力部

2 の出力を Tr1 のゲート端子に与えるか否かを切り替える。セット制御部 3 は、Tr1 のゲート端子にハイレベル電位が与えられる期間の一部において、Tr2 のゲート端子をフローティング状態に制御する。Tr2 のゲート電位を突き上げによって上昇させ、Tr1 のゲート端子に閾値落ちのないハイレベル電位を与え、出力信号 OUT がハイレベルになるときに出力信号 OUT のなまりを小さくする。これにより、トランジスタの閾値電圧の変動に対する動作マージンを大きくする。

WO 2014/148170 A1

明 細 書

発明の名称：シフトレジスタ

技術分野

[0001] 本発明は、シフトレジスタに関し、特に、表示装置の駆動回路などに好適に使用されるシフトレジスタに関する。

背景技術

[0002] アクティブマトリクス型の表示装置は、２次元状に配置された画素回路を行単位で選択し、選択した画素回路に表示データに応じた電圧を書き込むことにより、画像を表示する。画素回路を行単位で選択するためには、走査線駆動回路として、クロック信号に基づき出力信号を順にシフトするシフトレジスタが用いられる。また、点順次駆動を行う表示装置では、データ線駆動回路の内部に同様のシフトレジスタが設けられる。

[0003] 液晶表示装置などでは、画素回路内のＴＦＴ（Thin Film Transistor）を形成するための製造プロセスを用いて、画素回路の駆動回路を画素回路と一体に形成することがある。この場合には、製造コストを削減するために、シフトレジスタを含む駆動回路をＴＦＴと同じ導電型のトランジスタで形成することが好ましい。

[0004] シフトレジスタについては、従来から各種の回路が提案されている。図６１は、特許文献１に記載されたシフトレジスタの構成を示すブロック図である。図６１に示すシフトレジスタは、図６２に示す単位回路９１を多段接続して構成され、図６３に示すタイミングチャートに従い動作する。このシフトレジスタでは、ブートストラップ方式が採用されている。以下、トランジスタの閾値電圧を V_{th} 、ハイレベル電位を VDD とする。

[0005] 単位回路９１には、入力信号 I_N として、前段の単位回路９１の出力信号 O_{UT} （または、スタートパルス S_T ）が与えられる。入力信号 I_N がハイレベルになると、トランジスタ Q_2 がオンし、節点 N_1 の電位は $(VDD - V_{th})$ まで上昇する。次にクロック信号 CK がローレベルからハイレベル

に変化すると、トランジスタQ1のゲート-チャネル間の容量および容量C1によって、節点N1の電位は突き上げられて $(V_{DD} - V_{th} + \alpha)$ まで上昇する(ただし、 α はクロック信号CKの振幅にほぼ等しい)。通常は $V_{DD} - V_{th} + \alpha > V_{DD} + V_{th}$ が成立するので、クロック信号CKがトランジスタQ1を通過するときに、クロック信号CKのハイレベル電位はトランジスタQ1の閾値電圧分だけ低下しない。したがって、閾値落ちのないハイレベル電位 V_{DD} を出力信号OUTとして出力することができる。また、出力信号OUTのハイレベル期間では、トランジスタQ1のゲート-ソース間の電圧は $(V_{DD} - V_{th} + \alpha) - V_{DD} = \alpha - V_{th}$ になる。トランジスタQ1のゲート端子にクロック信号CKのハイレベル電位よりも十分に高い電位を与えることにより、出力信号OUTのなまりを小さくすることができる。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2009/34750号

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記従来のシフトレジスタでは、トランジスタの閾値電圧が高いときに以下の問題が生じる。トランジスタの閾値電圧は、製造ばらつきによって元々高い場合や、温度変化やトランジスタの劣化によって高くなる場合がある。閾値電圧 V_{th} が高い場合、トランジスタQ2のオン電流は減少するので、入力信号INのハイレベル期間内に節点N1の電位が $(V_{DD} - V_{th})$ に到達しないことがある。例えば、入力信号INがローレベルに変化する時点で節点N1の電位が $(V_{DD} - V_{th} - \beta)$ (ただし、 $\beta > 0$)である場合、出力信号OUTのハイレベル期間では、トランジスタQ1のゲート-ソース間の電圧は $(V_{DD} - V_{th} - \beta + \alpha) - V_{DD} = \alpha - V_{th} - \beta$ になる。トランジスタQ1のゲート電位がクロック信号CKのハイ

レベル電位に近いほど、出力信号OUTのなまりが大きくなる。また、トランジスタの劣化が進行し、 β がさらに大きくなると、 $V_{DD} - V_{th} - \beta + \alpha < V_{DD} + V_{th}$ が成立することがある。この場合、出力信号OUTの電位は V_{DD} よりも低くなるので、シフトレジスタが誤動作することがある。

[0008] それ故に、本発明は、トランジスタの閾値電圧の変動に対して大きな動作マージンを有するシフトレジスタを提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第1の局面は、複数の単位回路を多段接続した構成を有するシフトレジスタであって、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

前記出力トランジスタの制御端子に与えられるオン電位を出力するオン電位出力部と、

第1導通端子に前記オン電位出力部の出力が与えられ、第2導通端子が前記出力トランジスタの制御端子に接続されたセットトランジスタと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部とを備え、

前記セット制御部は、前記出力トランジスタの制御端子にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする。

[0010] 本発明の第2の局面は、複数の単位回路を多段接続した構成を有するシフトレジスタであって、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

第1導通端子が第1節点に接続され、第2導通端子が前記出力トランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加された耐圧用トランジスタと、

前記第1節点に与えられるオン電位を出力するオン電位出力部と、

第1導通端子に前記オン電位出力部の出力が与えられ、第2導通端子が前記第1節点に接続されたセットトランジスタと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部とを備え、

前記セット制御部は、前記第1節点にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする。

[0011] 本発明の第3の局面は、本発明の第1または第2の局面において、
前記オン電位出力部は、前記単位回路に対する入力信号を出力し、
前記セット制御部は、第1導通端子に第2クロック信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする。

[0012] 本発明の第4の局面は、本発明の第1または第2の局面において、
前記オン電位出力部は、前記単位回路に対する入力信号を出力し、
前記セット制御部は、第1導通端子に前記入力信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする。

[0013] 本発明の第5の局面は、本発明の第1または第2の局面において、
前記オン電位出力部は、オン電位を固定的に出力し、
前記セット制御部は、第1導通端子に前記単位回路に対する入力信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする。

[0014] 本発明の第6の局面は、本発明の第1または第2の局面において、

前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、
前記セット制御部は、第 1 導通端子と制御端子に前記単位回路に対する第 2 入力信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続されたトランジスタを含むことを特徴とする。

[0015] 本発明の第 7 の局面は、本発明の第 1 または第 2 の局面において、
前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、
前記セット制御部は、第 1 導通端子に第 2 クロック信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続され、制御端子に前記単位回路に対する第 2 入力信号が与えられたトランジスタを含むことを特徴とする。

[0016] 本発明の第 8 の局面は、本発明の第 1 または第 2 の局面において、
前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、
前記セット制御部は、第 1 導通端子に前記単位回路に対する第 2 入力信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続され、制御端子に第 2 クロック信号が与えられたトランジスタを含むことを特徴とする。

[0017] 本発明の第 9 の局面は、本発明の第 1 または第 2 の局面において、
前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、
前記セット制御部は、第 1 導通端子に前記単位回路に対する第 2 入力信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする。

[0018] 本発明の第 10 の局面は、本発明の第 1 または第 2 の局面において、
前記オン電位出力部は、前記単位回路に対する入力信号を出力し、
前記セット制御部は、第 1 導通端子と制御端子に第 2 クロック信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続されたトランジスタを含むことを特徴とする。

[0019] 本発明の第 11 の局面は、表示装置であって、

互いに平行に配置された複数の走査線と、
前記走査線と直交するように互いに平行に配置された複数のデータ線と、
前記走査線および前記データ線の交点に対応して配置された複数の画素回路と、

前記走査線を駆動する走査線駆動回路として、第 1 または第 2 の発明に係るシフトレジスタとを備える。

[0020] 本発明の第 1 2 の局面は、複数の単位回路を多段接続した構成を有するシフトレジスタの制御方法であって、

前記単位回路が、第 1 導通端子がクロック信号を入力するためのクロック端子に接続され、第 2 導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、第 2 導通端子が前記出力トランジスタの制御端子に接続されたセットトランジスタとを含む場合に、

前記セットトランジスタの第 1 導通端子に対して、前記出力トランジスタの制御端子に与えられるオン電位を出力するステップと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するステップとを備え、

前記セットトランジスタの制御端子の電位を制御するステップは、前記出力トランジスタの制御端子にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする。

[0021] 本発明の第 1 3 の局面は、複数の単位回路を多段接続した構成を有するシフトレジスタの制御方法であって、

前記単位回路が、第 1 導通端子がクロック信号を入力するためのクロック端子に接続され、第 2 導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、第 1 導通端子が第 1 節点に接続され、第 2 導通端子が前記出力トランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加された耐圧用トランジスタと、第 2 導通端子が前記第 1 節点に接続されたセットトランジスタとを含む場合に、

前記セットトランジスタの第1導通端子に対して、前記第1節点に与えられるオン電位を出力するステップと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するステップとを備え、

前記セットトランジスタの制御端子の電位を制御するステップは、前記第1節点にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする。

発明の効果

[0022] 本発明の第1または第12の局面によれば、セットトランジスタの制御端子がフローティング状態になった後、セットトランジスタの制御端子の電位は十分なオン電位（オン電位がハイレベル電位の場合には、通常のオン電位よりも高い電位。オン電位がローレベル電位の場合には、通常のオン電位よりも低い電位）になるので、出力トランジスタの制御端子の電位は閾値落ちのないオン電位になる。したがって、オン電位を有するクロック信号を出力するときに、出力トランジスタの制御端子の電位を十分なオン電位に変化させて、出力信号のなまりを小さくすることができる。また、トランジスタの閾値電圧が元々高い場合や、温度変化やトランジスタの劣化によって高くなる場合でも、波形なまりの影響を抑えて、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0023] 本発明の第2または第13の局面によれば、セットトランジスタの制御端子がフローティング状態になった後、セットトランジスタの制御端子の電位は十分なオン電位になるので、第1節点の電位は閾値落ちのないオン電位になる。したがって、オン電位を有するクロック信号を出力するときに、出力トランジスタの制御端子の電位を十分なオン電位に変化させて、上記第1の局面と同様の効果を奏することができる。また、耐圧用トランジスタの作用により、オン電位を有するクロック信号を出力するときに、第1節点の電位はオン電位出力部から出力されたオン電位から変化しない。したがって、第1節点に接続されたトランジスタの端子間にトランジスタの駆動電圧よりも

高い電圧を印加することを防止することができる。

[0024] 本発明の第3の局面によれば、入力信号と第2クロック信号の電位がオン電位に変化したとき、セットトランジスタの制御端子の電位が所定レベルに到達した後、セットトランジスタの制御端子はフローティング状態になる。その後、出力トランジスタの制御端子の電位（または、第1節点の電位）がオン電位に向けて変化し続けると、セットトランジスタの制御端子の電位は十分なオン電位になり、出力トランジスタの制御端子の電位（または、第1節点の電位）は閾値落ちのないオン電位になる。したがって、上記第1の局面（または、第2の局面）と同様の効果を奏することができる。

[0025] 本発明の第4または第5の局面によれば、入力信号の電位がオン電位に変化したとき、セットトランジスタの制御端子の電位が所定レベルに到達した後、セットトランジスタの制御端子はフローティング状態になる。その後、出力トランジスタの制御端子の電位（または、第1節点の電位）がオン電位に向けて変化し続けると、セットトランジスタの制御端子の電位は十分なオン電位になり、出力トランジスタの制御端子の電位（または、第1節点の電位）は閾値落ちのないオン電位になる。したがって、上記第1の局面（または、第2の局面）と同様の効果を奏することができる。

[0026] 本発明の第6または第9の局面によれば、第2入力信号の電位がオン電位に変化したとき、セットトランジスタの制御端子の電位が所定レベルに到達した後、セットトランジスタの制御端子はフローティング状態になる。その後、第1入力信号の電位がオン電位に変化し、出力トランジスタの制御端子の電位（または、第1節点の電位）がオン電位に変化すると、セットトランジスタの制御端子の電位は十分なオン電位になり、出力トランジスタの制御端子の電位（または、第1節点の電位）は閾値落ちのないオン電位になる。したがって、上記第1の局面（または、第2の局面）と同様の効果を奏することができる。また、第2入力信号に基づきセットトランジスタの制御端子の電位をオン電位に変化させた後に、第1入力信号に基づき出力トランジスタの制御端子（または、第1節点の電位）の電位をオン電位に変化させるこ

とにより、動作マージンを大きくすることができる。

[0027] 本発明の第7または第8の局面によれば、第2入力信号と第2クロック信号の電位がオン電位に変化したとき、セットトランジスタの制御端子の電位が所定レベルに到達した後、セットトランジスタの制御端子はフローティング状態になる。その後、第1入力信号の電位がオン電位に変化し、出力トランジスタの制御端子の電位（または、第1節点の電位）がオン電位に変化すると、セットトランジスタの制御端子の電位は十分なオン電位になり、出力トランジスタの制御端子（または、第1節点の電位）の電位は閾値落ちのないオン電位になる。したがって、上記第1の局面（または、第2の局面）と同様の効果を奏することができる。また、第2入力信号と第2クロック信号に基づきセットトランジスタの制御端子の電位をオン電位に変化させた後に、第1入力信号に基づき出力トランジスタの制御端子の電位（または、第1節点の電位）をオン電位に変化させることにより、動作マージンを大きくすることができる。

[0028] 本発明の第10の局面によれば、第2クロック信号の電位がオン電位に変化したとき、セットトランジスタの制御端子の電位が所定レベルに到達した後、セットトランジスタの制御端子はフローティング状態になる。その後、入力信号の電位がオン電位に変化し、出力トランジスタの制御端子の電位（または、第1節点の電位）がオン電位に変化すると、セットトランジスタの制御端子の電位は十分なオン電位になり、出力トランジスタの制御端子（または、第1節点の電位）の電位は閾値落ちのないオン電位になる。したがって、上記第1の局面（または、第2の局面）と同様の効果を奏することができる。また、第2クロック信号に基づきセットトランジスタの制御端子の電位をオン電位に変化させた後に、入力信号に基づき出力トランジスタの制御端子の電位（または、第1節点の電位）をオン電位に変化させることにより、動作マージンを大きくすることができる。

[0029] 本発明の第11の局面によれば、上記第1または第2の局面に係るシフトレジスタを走査線駆動回路として用いることにより、走査線駆動回路の出力

信号のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

図面の簡単な説明

[0030] [図1]本発明の実施形態に係るシフトレジスタの単位回路の基本構成を示す図である。

[図2]第1の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図3]第1の実施形態に係るシフトレジスタの単位回路の回路図である。

[図4]第1の実施形態に係るシフトレジスタのタイミングチャートである。

[図5]第1の実施形態に係るシフトレジスタの信号波形図である。

[図6]第2の実施形態に係るシフトレジスタの単位回路の回路図である。

[図7]第3の実施形態に係るシフトレジスタの単位回路の回路図である。

[図8]第3の実施形態に係るシフトレジスタの信号波形図である。

[図9]第4の実施形態に係るシフトレジスタの単位回路の回路図である。

[図10]第5の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図11]第5の実施形態に係るシフトレジスタの単位回路の回路図である。

[図12]第6の実施形態に係るシフトレジスタの単位回路の回路図である。

[図13]第6の実施形態に係るシフトレジスタの信号波形図である。

[図14]第7の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図15]第7の実施形態に係るシフトレジスタの単位回路の回路図である。

[図16]第7の実施形態に係るシフトレジスタの逆方向スキンのときのタイミングチャートである。

[図17]第7の実施形態に係るシフトレジスタのスキンの切替回路の第1例の回路図である。

[図18]第7の実施形態に係るシフトレジスタのスキンの切替回路の第2例の回路図である。

[図19]第7の実施形態に係るシフトレジスタのスキンの切替回路の第3例の

回路図である。

[図20]第8の実施形態に係るシフトレジスタの単位回路の回路図である。

[図21]第8の実施形態に係るシフトレジスタの信号波形図である。

[図22]第9の実施形態に係るシフトレジスタの単位回路の回路図である。

[図23]第10の実施形態に係るシフトレジスタの単位回路の回路図である。

[図24]第10の実施形態に係るシフトレジスタの信号波形図である。

[図25]第11の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図26]第11の実施形態に係るシフトレジスタの単位回路の回路図である。

[図27]第11の実施形態に係るシフトレジスタのタイミングチャートである。

[図28]第11の実施形態に係るシフトレジスタの信号波形図である。

[図29]第12の実施形態に係るシフトレジスタの単位回路の回路図である。

[図30]第13の実施形態に係るシフトレジスタの単位回路の回路図である。

[図31]第14の実施形態に係るシフトレジスタの単位回路の回路図である。

[図32]第15の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図33]第15の実施形態に係るシフトレジスタの単位回路の回路図である。

[図34]第16の実施形態に係るシフトレジスタの単位回路の回路図である。

[図35]第17の実施形態に係るシフトレジスタの単位回路の回路図である。

[図36]第17の実施形態に係るシフトレジスタの信号波形図である。

[図37]第18の実施形態に係るシフトレジスタの単位回路の回路図である。

[図38]第19の実施形態に係るシフトレジスタの単位回路の回路図である。

[図39]第20の実施形態に係るシフトレジスタの単位回路の回路図である。

[図40]第21の実施形態に係るシフトレジスタの単位回路の回路図である。

[図41]第21の実施形態に係るシフトレジスタの信号波形図である。

[図42]第22の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図43]第22の実施形態に係るシフトレジスタの単位回路の回路図である。

[図44]第22の実施形態に係るシフトレジスタの信号波形図である。

[図45]第23の実施形態に係るシフトレジスタの単位回路の回路図である。

[図46]第23の実施形態に係るシフトレジスタの信号波形図である。

[図47]第24の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図48]第24の実施形態に係るシフトレジスタのタイミングチャートである。

[図49]第25の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図50]第25の実施形態に係るシフトレジスタの単位回路の回路図である。

[図51]第25の実施形態に係るシフトレジスタの信号波形図である。

[図52]第25の実施形態の変形例に係るシフトレジスタの構成を示すブロック図である。

[図53]図52に示すシフトレジスタのタイミングチャートである。

[図54]第26の実施形態に係るシフトレジスタの単位回路の回路図である。

[図55]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第1の構成例を示すブロック図である。

[図56]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第2の構成例を示すブロック図である。

[図57]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第3の構成例を示すブロック図である。

[図58]図57に示す液晶表示装置のタイミングチャートである。

[図59]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第4の構成例を示すブロック図である。

[図60]図59に示す液晶表示装置のタイミングチャートである。

[図61]従来のシフトレジスタの構成を示すブロック図である。

[図62]従来のシフトレジスタの単位回路の回路図である。

[図63]従来のシフトレジスタのタイミングチャートである。

発明を実施するための形態

[0031] 以下、図面を参照して、本発明の実施形態に係るシフトレジスタについて説明する。以下の説明では、トランジスタの導通端子がソース端子にもドレイン端子にもなる場合には、一方の導通端子を固定的にソース端子と呼び、他方の導通端子を固定的にドレイン端子と呼ぶ。また、ある端子経由で入力または出力される信号を当該端子と同じ名称と呼ぶ（例えば、クロック端子CKA経由で入力される信号をクロック信号CKAという）。また、ゲート端子に与えたときにトランジスタがオンする電位をオン電位、トランジスタがオフする電位をオフ電位という。例えば、Nチャネル型トランジスタについては、ハイレベル電位がオン電位、ローレベル電位がオフ電位である。また、トランジスタの閾値電圧を V_{th} 、ハイレベル電位を V_{DD} 、ローレベル電位を V_{SS} とする。

[0032] なお、以下に示す各トランジスタを直列接続された2個以上のトランジスタで構成してもよい。また、以下に示す各トランジスタをTFETで構成してもよい。特に、TFETとして、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、および酸素(O)を主成分とする酸化物半導体であるInGaZnO_x（「IGZO」とも呼ばれる）を用いてチャネル層を形成したIGZO-TFETを用いてもよい。

[0033] 図1は、本発明の実施形態に係るシフトレジスタに含まれる単位回路の基本構成を示す図である。図1に示す単位回路1は、トランジスタTr1、Tr2、オン電位出力部2、および、セット制御部3を含んでいる。トランジスタTr1のドレイン端子はクロック端子CKAに接続され、トランジスタTr1のソース端子は出力端子OUTに接続される。トランジスタTr2のドレイン端子にはオン電位出力部2の出力が与えられ、トランジスタTr2のソース端子はトランジスタTr1のゲート端子に接続され、トランジスタTr2のゲート端子にはセット制御部3の出力が与えられる。トランジスタTr1は出力トランジスタとして機能し、トランジスタTr2はセットトラ

ンジスタとして機能する。オン電位出力部 2 は、トランジスタ $T_r 1$ のゲート端子に与えられるオン電位を出力する。セット制御部 3 は、トランジスタ $T_r 2$ のゲート端子にオン電位とオフ電位を切り換えて印加する。セット制御部 3 は、トランジスタ $T_r 1$ のゲート端子にオン電位が与えられる期間の一部において、トランジスタ $T_r 2$ のゲート端子をフローティング状態に制御する。

[0034] 以下、図 1 に示す基本構成を有する単位回路を多段接続して構成したシフトレジスタについて説明する。なお、単位回路 1 ではトランジスタ $T_r 1$ 、 $T_r 2$ は N チャンネル型であるとしたが、トランジスタ $T_r 1$ 、 $T_r 2$ は P チャンネル型でもよい。

[0035] (第 1 の実施形態)

図 2 は、本発明の第 1 の実施形態に係るシフトレジスタの構成を示すブロック図である。図 2 に示すシフトレジスタ 10 は、 n 個 (n は 2 以上の整数) の単位回路 11 を多段接続して構成されている。単位回路 11 は、クロック端子 CKA 、 CKB 、入力端子 IN 、および、出力端子 OUT を有する。シフトレジスタ 10 には外部から、スタートパルス ST と 2 相のクロック信号 $CK1$ 、 $CK2$ が供給される。スタートパルス ST は、1 段目の単位回路 11 の入力端子 IN に与えられる。クロック信号 $CK1$ は、奇数段目の単位回路 11 のクロック端子 CKA と偶数段目の単位回路 11 のクロック端子 CKB に与えられる。クロック信号 $CK2$ は、偶数段目の単位回路 11 のクロック端子 CKA と奇数段目の単位回路 11 のクロック端子 CKB に与えられる。単位回路 11 の出力信号 OUT は、出力信号 $O1 \sim On$ として外部に出力されると共に、次段の単位回路 11 の入力端子 IN に与えられる。

[0036] 図 3 は、単位回路 11 の回路図である。図 3 に示す単位回路 11 は、3 個の N チャンネル型トランジスタ $T_r 1 \sim T_r 3$ を含んでいる。トランジスタ $T_r 1$ のドレイン端子はクロック端子 CKA に接続され、トランジスタ $T_r 1$ のソース端子は出力端子 OUT に接続される。トランジスタ $T_r 2$ のドレイン端子は入力端子 IN に接続され、トランジスタ $T_r 2$ のソース端子はトラ

ンジスタ T_r1 のゲート端子に接続される。トランジスタ T_r3 のドレイン端子はクロック端子 CKB に接続され、トランジスタ T_r3 のソース端子はトランジスタ T_r2 のゲート端子に接続され、トランジスタ T_r3 のゲート端子にはハイレベル電位 VDD が印加される。トランジスタ $T_r1 \sim T_r3$ は、それぞれ、出力トランジスタ、セットトランジスタ、および、セット制御部として機能し、入力端子 IN はオン電位出力部として機能する。以下、トランジスタ T_r1 のゲート端子が接続された節点を $n1$ 、トランジスタ T_r2 のゲート端子が接続された節点を $n2$ という。

[0037] 図4は、シフトレジスタ10のタイミングチャートである。図4に示すように、クロック信号 $CK1$ は、所定の周期でハイレベルとローレベルになる。ただし、クロック信号 $CK1$ のハイレベル期間は、クロック信号 $CK1$ のローレベル期間よりも短い。クロック信号 $CK2$ は、クロック信号 $CK1$ を半周期遅延させた信号である。スタートパルス ST は、シフト開始時にクロック信号 $CK2$ のハイレベル期間でハイレベルになる。

[0038] 図5は、シフトレジスタ10の信号波形図である。図5を参照して、単位回路11の動作を説明する。時刻 $t1$ より前では、節点 $n1$ 、 $n2$ の電位と出力信号 OUT はローレベルである。時刻 $t1$ において、入力信号 IN とクロック信号 CKB はローレベルからハイレベルに変化する。これに伴い、クロック端子 CKB から節点 $n2$ に向けてトランジスタ T_r3 を通過する電流が流れ、節点 $n2$ の電位は上昇する（節点 $n2$ のチャージ）。節点 $n2$ の電位が所定レベルを超えると、トランジスタ T_r2 はオンする。このとき入力信号 IN はハイレベルであるので、入力端子 IN から節点 $n1$ に向けてトランジスタ T_r2 を通過する電流が流れ、節点 $n1$ の電位は上昇する（節点 $n1$ のチャージ）。節点 $n1$ のチャージは、節点 $n2$ のチャージよりも遅れて始まる。節点 $n1$ の電位が所定レベルを超えると、トランジスタ T_r1 はオンする。

[0039] 節点 $n2$ の電位が $(VDD - V_{th})$ まで上昇すると、トランジスタ T_r3 はオフし、節点 $n2$ はこれ以降フローティング状態になる。トランジスタ

T_r3 がオフした後も、節点 $n1$ の電位は上昇し続ける。節点 $n1$ の電位が上昇すると、トランジスタ T_r2 のゲートソース間およびゲートチャンネル間の容量によって、節点 $n2$ の電位は突き上げられて上昇する（節点 $n2$ の突き上げ）。節点 $n2$ の電位が $(V_{DD} + V_{th})$ 以上になると、節点 $n1$ の電位はハイレベル電位 V_{DD} になる。

[0040] 時刻 $t2$ において、クロック信号 CKB と入力信号 IN はローレベルに変化する。これに伴い、トランジスタ T_r3 はオンし、節点 $n2$ からクロック端子 CKB に向けてトランジスタ T_r3 を通過する電流が流れ、節点 $n2$ の電位は下降してローレベルになる（節点 $n2$ のディスチャージ）。節点 $n2$ の電位が所定以下になると、トランジスタ T_r2 はオフする。トランジスタ T_r2 がオフした後も、節点 $n1$ の電位はハイレベル電位 V_{DD} を保ち、トランジスタ T_r1 はオン状態を保つ。

[0041] 時刻 $t3$ において、クロック信号 CKA はローレベルからハイレベルに変化する。これに伴い、時刻 $t3$ 以降、クロック信号 CKA のハイレベル電位が出力信号 OUT として出力される。また、出力信号 OUT の電位が上昇すると、トランジスタ T_r1 のゲートチャンネル間の容量によって、節点 $n1$ の電位は突き上げられて α だけ（ただし、 α はクロック信号 CKA の振幅にほぼ等しい）上昇する（節点 $n1$ の突き上げ）。 α は、クロック信号 CKA の振幅を（トランジスタ T_r1 のゲートチャンネル間の容量の容量値）／（節点 $n1$ に付随するすべての容量の容量値の合計）倍したものである。このとき節点 $n1$ の電位は $(V_{DD} + V_{th})$ 以上になるので、クロック信号 CKA がトランジスタ T_r1 を通過するときに、クロック信号 CKA のハイレベル電位はトランジスタ T_r1 の閾値電圧分だけ低下しない。したがって、閾値落ちのないハイレベル電位 V_{DD} を出力信号 OUT として出力することができる。時刻 $t4$ において、クロック信号 CKA はローレベルに変化する。これに伴い、出力信号 OUT はローレベルに変化する。また、節点 $n1$ の突き上げが終了するので、節点 $n1$ の電位はハイレベル電位 V_{DD} に下降する。

[0042] 時刻 t_5 において、クロック信号 CK_B はハイレベルに変化する。これに伴い、節点 n_2 の電位は $(V_{DD} - V_{th})$ まで上昇し、トランジスタ T_{r2} はオンする。このとき入力信号 I_N はローレベルであるので、節点 n_1 から入力端子 I_N に向けてトランジスタ T_{r2} を通過する電流が流れ、節点 n_1 の電位は下降してローレベルになる（節点 n_1 のディスチャージ）。このように単位回路 11 の出力信号 OUT は、入力信号 I_N がハイレベルになった後のクロック信号 CK_A のハイレベル期間でハイレベルになる。このとき出力信号 OUT の電位は、閾値落ちのないハイレベル電位 V_{DD} になる。

[0043] 図 4 に示すように、1 段目の単位回路 11 の出力信号 O_1 は、スタートパルス ST がハイレベルになった後のクロック信号 CK_1 のハイレベル期間でハイレベルになる。2 段目の単位回路 11 の出力信号 O_2 は、出力信号 O_1 がハイレベルになった後のクロック信号 CK_2 のハイレベル期間でハイレベルになる。同様に、単位回路 11 の出力信号 O_i は、前段の単位回路 11 の出力信号 O_{i-1} がハイレベルになった後のクロック信号 CK_1 または CK_2 のハイレベル期間でハイレベルになる。したがって、シフトレジスタ 10 の出力信号 $O_1 \sim O_n$ は、クロック信号 CK_1 の半周期ずつ遅れて昇順に（ O_1 、 O_2 、…、 O_n の順に）ハイレベルになる。

[0044] このように単位回路 11 は、第 1 導通端子がクロック端子 CK_A に接続され、第 2 導通端子が出力端子 OUT に接続された出力トランジスタ T_{r1} と、出力トランジスタ T_{r1} の制御端子に与えられるオン電位（ハイレベル電位）を出力するオン電位出力部（入力端子 I_N ）と、第 1 導通端子にオン電位出力部の出力が与えられ、第 2 導通端子が出力トランジスタ T_{r1} の制御端子に接続されたセットトランジスタ T_{r2} と、セットトランジスタ T_{r2} の制御端子にオン電位とオフ電位（ローレベル電位）を切り換えて印加するセット制御部とを含んでいる。オン電位出力部は、単位回路 11 に対する入力信号 I_N を出力し、セット制御部は、第 1 導通端子に第 2 クロック信号 CK_B が与えられ、第 2 導通端子がセットトランジスタ T_{r2} の制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタ T_{r3} を含

んでいる。

[0045] 入力信号 I_N と第2クロック信号 CK_B の電位がオン電位に変化したとき、セットトランジスタ T_{r2} の制御端子の電位が所定レベル ($V_{DD} - V_{th}$) に到達した後、セットトランジスタ T_{r2} の制御端子はフローティング状態になる。その後、出力トランジスタ T_{r1} の制御端子の電位がオン電位に向けて変化し続ける（上昇し続ける）と、セットトランジスタ T_{r2} の制御端子の電位は十分なオン電位（通常のハイレベル電位よりも高い電位）になり、出力トランジスタ T_{r1} の制御端子の電位は閾値落ちのないオン電位 V_{DD} になる。したがって、本実施形態に係るシフトレジスタ 10 によれば、オン電位を有するクロック信号を出力するときに、出力トランジスタ T_{r1} の電位を十分なオン電位に変化させて、出力信号 OUT のなまりを小さくすることができる。また、トランジスタの閾値電圧が元々高い場合や、温度変化やトランジスタの劣化によって高くなる場合でも、波形なまりの影響を抑えて、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0046] （第2の実施形態）

本発明の第2の実施形態に係るシフトレジスタは、図2に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 11 に代えて、図6に示す単位回路 12 を備えている。単位回路 12 は、単位回路 11（図3）に容量 C_1 、 C_2 を追加したものである。容量 C_1 はトランジスタ T_{r1} のゲートソース間に設けられ、容量 C_2 はトランジスタ T_{r2} のゲートドレイン間に設けられる。なお、容量 C_1 、 C_2 のうち一方だけを設けてもよい。

[0047] 容量 C_1 を設けることにより、出力信号 OUT がローレベルからハイレベルに変化したときの節点 n_1 の突き上げ効果を大きくすることができる。容量 C_2 を設けることにより、入力信号 I_N がローレベルからハイレベルに変化したときの節点 n_2 の突き上げ効果を大きくすることができる。本実施形態に係るシフトレジスタによれば、節点 n_1 、 n_2 の突き上げ効果を大きく

することにより、出力信号OUTとして閾値落ちのないハイレベル電位VDDをより確実に出力し、トランジスタの閾値電圧の変動に対する動作マージンをさらに大きくすることができる。

[0048] (第3の実施形態)

本発明の第3の実施形態に係るシフトレジスタは、図2に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路11に代えて、図7に示す単位回路13を備えている。単位回路13は、単位回路12(図6)にNチャネル型トランジスタTr4~Tr7と抵抗R1を追加したものである。

[0049] トランジスタTr4のドレイン端子は、トランジスタTr1のゲート端子に接続される。トランジスタTr5のドレイン端子にはハイレベル電位VDDが印加され、トランジスタTr5のソース端子は抵抗R1の一端に接続される。抵抗R1の他端は、トランジスタTr4のゲート端子とトランジスタTr6、Tr7のドレイン端子に接続される。トランジスタTr4、Tr6、Tr7のソース端子には、ローレベル電位VSSが印加される。トランジスタTr5~Tr7のゲート端子は、それぞれ、クロック端子CKB、入力端子IN、および、出力端子OUTに接続される。以下、トランジスタTr4のゲート端子が接続された節点をn3という。

[0050] 図8は、本実施形態に係るシフトレジスタの信号波形図である。図8に示す信号波形図は、図5に示す信号波形図に節点n3の電位の変化を追加したものである。時刻t1より前では、節点n3の電位は($V_{DD} - V_{th}$)である。時刻t1においてクロック信号CKBと入力信号INがハイレベルに変化すると、トランジスタTr5、Tr6はオンする。このとき抵抗R1による電流制限によって、節点n3の電位はVSSに近いローレベル電位に下降するので、トランジスタTr4はオフする。時刻t2においてクロック信号CKBと入力信号INがローレベルに変化すると、トランジスタTr5、Tr6はオフする。トランジスタTr5、Tr6がオフした後も、節点n3の電位はローレベルを保つ。時刻t5においてクロック信号CKBがハイレ

ベルに変化すると、トランジスタ T_r5 はオンし、節点 $n3$ の電位は($V_{DD} - V_{th}$)まで上昇するので、トランジスタ T_r4 はオンする。また、時刻 $t5$ 以降、トランジスタ T_r2 はオン状態になる。したがって、トランジスタ T_r2 、 T_r4 の作用により、節点 $n1$ の電位は高速にローレベルに変化する。

[0051] 単位回路13では、クロック信号 CKB は周期的にハイレベルになり、トランジスタ T_r5 は周期的にオンする。このため、トランジスタ T_r6 、 T_r7 のオフリーク電流によって節点 $n3$ の電位が下降しても、節点 $n3$ の電位は周期的に($V_{DD} - V_{th}$)になる。したがって、本実施形態に係るシフトレジスタによれば、トランジスタ T_r1 のオフ期間では節点 $n3$ の電位をハイレベルに保つことができる。

[0052] また、単位回路13では、節点 $n2$ の電位は周期的にローレベルになり、トランジスタ T_r2 は周期的にオフする。このため、トランジスタ T_r4 を設けなければ、トランジスタ T_r2 がオフ状態のときにクロック信号 CKA がハイレベルになると、節点 $n1$ の電位にノイズが発生し、トランジスタ T_r1 が誤ってオンする可能性がある。単位回路13では、トランジスタ T_r4 を用いて、節点 $n1$ の電位はトランジスタ T_r1 のオフ期間ではローレベルに固定される。したがって、本実施形態に係るシフトレジスタによれば、クロック信号 CKA の変化に起因する誤動作を防止することができる。

[0053] また、トランジスタ T_r7 を設けなければ、出力信号 OUT のハイレベル期間にトランジスタ T_r5 のオフリーク電流によって節点 $n3$ の電位が上昇し、トランジスタ T_r4 がオンして、節点 $n1$ の電位が下降する可能性がある。単位回路13では、トランジスタ T_r7 を用いて、節点 $n3$ の電位は出力信号 OUT のハイレベル期間ではローレベルに固定される。したがって、本実施形態に係るシフトレジスタによれば、節点 $n3$ の電位の上昇に起因する誤動作を防止することができる。

[0054] なお、単位回路13に代えて、トランジスタ T_r5 と抵抗 $R1$ を逆の順序で接続した単位回路(抵抗 $R1$ の一端にハイレベル電位 V_{DD} を印加し、抵

抗 R_1 の他端をトランジスタ T_{r5} のドレイン端子に接続し、トランジスタ T_{r5} のソース端子をトランジスタ T_{r4} のゲート端子とトランジスタ T_{r6} 、 T_{r7} のドレイン端子に接続した回路)を用いてもよい。この単位回路を備えたシフトレジスタによれば、単位回路13を備えたシフトレジスタと同様の効果が得られる。

[0055] (第4の実施形態)

本発明の第4の実施形態に係るシフトレジスタは、図2に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路11に代えて、図9に示す単位回路14を備えている。単位回路14は、単位回路13(図7)にNチャネル型トランジスタ T_{r8} を追加したものである。トランジスタ T_{r8} のドレイン端子は出力端子OUTに接続され、トランジスタ T_{r8} のソース端子にはローレベル電位VSSが印加され、トランジスタ T_{r8} のゲート端子は節点n3に接続される。

[0056] 出力信号OUTは、ハイレベルからローレベルに変化した後は、次に入力信号INがハイレベルになるまでローレベルを保つ必要がある。しかし、トランジスタ T_{r1} のオフリーク電流や出力端子OUTに接続される回路におけるリーク電流などによって、出力信号OUTがローレベルを保つことができず、シフトレジスタが誤動作することがある。単位回路14では、トランジスタ T_{r8} を用いて、出力信号OUTはトランジスタ T_{r1} のオフ期間ではローレベルに固定される。したがって、本実施形態に係るシフトレジスタによれば、出力信号OUTの電位上昇に起因する誤動作を防止することができる。

[0057] (第5の実施形態)

図10は、本発明の第5の実施形態に係るシフトレジスタの構成を示すブロック図である。図10に示すシフトレジスタ20は、 n 個の単位回路21を多段接続して構成されている。単位回路21は、クロック端子CKA、CKB、入力端子IN、初期化端子INIT、および、出力端子OUTを有する。シフトレジスタ20には外部から、スタートパルスST、2相のクロッ

ク信号CK1、CK2、および、初期化信号INITが供給される。初期化信号INITは、n個の単位回路21の初期化端子INITに与えられる。それ以外の信号は、第1の実施形態に係るシフトレジスタ（図2）と同様に各端子に与えられる。

[0058] 図11は、単位回路21の回路図である。単位回路21は、単位回路14（図9）にNチャネル型トランジスタTr9を追加したものである。トランジスタTr9のゲート端子とドレイン端子は初期化端子INITに接続され、トランジスタTr9のソース端子は節点n3に接続される。

[0059] 初期化信号INITは、電源オン直後、電源オフ時、シフトレジスタを一旦初期状態に設定するときなどにハイレベルに制御され、それ以外のときにはローレベルに制御される。初期化信号INITがローレベルのときには、トランジスタTr9はオフし、単位回路21は単位回路14と同様に動作する。初期化信号INITがハイレベルのときには、トランジスタTr9はオンし、節点n3の電位は（ $V_{DD} - V_{th}$ ）まで上昇する。このため、トランジスタTr8はオンし、出力信号OUTはローレベルになる。また、トランジスタTr4もオンするので、節点n1の電位はローレベルになり、トランジスタTr1はオフする。したがって、出力信号OUTは確実にローレベルになる。

[0060] 本実施形態に係るシフトレジスタ20によれば、トランジスタTr9を用いて、節点n1の電位と出力信号OUTをローレベルに初期化し、節点n3の電位をハイレベルに初期化することができる。なお、単位回路21は、トランジスタTr9に代えて、ゲート端子が初期化端子INITに接続され、ドレイン端子にハイレベル電位VDDが印加されたトランジスタを含んでいてもよい。このトランジスタを用いても、同様の初期化を行うことができる。

[0061] （第6の実施形態）

本発明の第6の実施形態に係るシフトレジスタは、図10に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路21に代えて

、図12に示す単位回路22を備えている。単位回路22は、単位回路21（図11）にNチャネル型トランジスタ T_{r10} を追加したものである。トランジスタ T_{r10} のドレイン端子はトランジスタ T_{r2} のソース端子に接続され、トランジスタ T_{r10} のソース端子はトランジスタ T_{r1} のゲート端子に接続され、トランジスタ T_{r10} のゲート端子にはハイレベル電位 V_{DD} が印加される。トランジスタ T_{r10} は、耐圧用トランジスタとして機能する。以下、トランジスタ T_{r10} のドレイン端子が接続された節点を $n4$ 、トランジスタ T_{r10} のソース端子が接続された節点を $n5$ という。

[0062] 単位回路21では、節点 $n1$ の電位は、突き上げによって最高で $(V_{DD} - V_{th} + \alpha)$ になる。このときトランジスタ T_{r2} のゲートーソース間およびソースードレイン間には、 $(V_{DD} - V_{th} + \alpha - V_{SS})$ という高電圧が印加される。トランジスタ T_{r4} のゲートードレイン間およびソースードレイン間にも、同じ高電圧が印加される。トランジスタの端子間にこのような高電圧を印加すると、トランジスタの劣化や破壊が起こる可能性がある。この問題を解決するために、単位回路22はトランジスタ T_{r10} を含んでいる。

[0063] 図13は、本実施形態に係るシフトレジスタの信号波形図である。図13に示す信号波形図は、図8に示す信号波形図から節点 $n1$ の電位の変化を削除し、節点 $n4$ 、 $n5$ の電位の変化を追加したものである。時刻 $t1$ からしばらく経つと、節点 $n4$ の電位は閾値落ちのないハイレベル電位 V_{DD} まで上昇する。このときトランジスタ T_{r10} はオン状態であるので、節点 $n4$ の電位がローレベルからハイレベルに変化すると、節点 $n5$ の電位も同じように変化する（節点 $n5$ のチャージ）。ただし、節点 $n5$ の電位が $(V_{DD} - V_{th})$ まで上昇すると、トランジスタ T_{r10} はオフし、節点 $n4$ と節点 $n5$ は電氣的に切り離される。したがって、節点 $n5$ の電位は、この時点では $(V_{DD} - V_{th})$ までしか上昇しない。

[0064] 時刻 $t3$ においてクロック信号 CKA がハイレベルに変化すると、節点 $n5$ の電位は突き上げによって $(V_{DD} - V_{th} + \alpha)$ まで上昇する（節点 n

5の突き上げ)。このときトランジスタ T_{r10} はオフ状態であるので、節
点 $n5$ の電位が上昇しても、節点 $n4$ の電位は変化しない。時刻 $t4$ におい
てクロック信号 CKA がローレベルに変化すると、出力信号 OUT はローレ
ベルに変化し、節点 $n5$ の電位は $(VDD - V_{th})$ に下降する。時刻 $t5$
においてクロック信号 CKB がハイレベルに変化すると、トランジスタ T_{r2} 、 T_{r4} はオンし、節点 $n4$ 、 $n5$ の電位はローレベルになる(節点 $n5$
のディスチャージ)。

[0065] 単位回路22では、節点 $n5$ の電位は、突き上げによって最高で $(VDD - V_{th} + \alpha)$ になる。このとき節点 $n4$ の電位は VDD であるので、トラ
ンジスタ T_{r2} のゲートソース間およびソースドレイン間には、トラ
ンジスタの駆動電圧よりも低い電圧 $(VDD - V_{SS})$ が印加される。トラ
ンジスタ T_{r4} のゲートドレイン間およびソースドレイン間にも同じ電圧
が印加される。また、トランジスタ T_{r10} のゲートソース間およびソー
スドレイン間には電圧 $(\alpha - V_{th})$ が印加される。 α は最大でもクロッ
ク信号 CKA の振幅にしかならないので、この電圧もトランジスタの駆動電
圧よりも低い。このようにトランジスタ T_{r10} を用いて、トランジスタ T_{r2} 、 T_{r4} の端子間にトランジスタの駆動電圧よりも低い電圧を与えるこ
とにより、トランジスタ T_{r2} 、 T_{r4} の劣化や破壊を防止することができる。

[0066] また、トランジスタ T_{r3} を含まない単位回路に対して上記の耐圧対策を
行った場合、トランジスタ T_{r2} の出力インピーダンスが高いために、節点
 $n5$ のチャージに時間がかかる。このため、動作周波数が高い場合には、節
点 $n5$ の電位が所定時間内に $(VDD - V_{th})$ に到達しないことがある。
これに対して単位回路22では、トランジスタ T_{r2} のゲート電位が高く、
トランジスタ T_{r2} の出力インピーダンスが低いので、節点 $n5$ のチャージ
を高速に行うことができる。このため、動作周波数が高い場合でも、節点 $n5$
の電位は所定時間内に $(VDD - V_{th})$ に到達する。したがって、本実
施形態に係るシフトレジスタによれば、トランジスタ T_{r3} を含まないシフ

トレジスタに耐圧対策を行った場合と比べて、トランジスタの劣化や破壊を防止しながら動作マージンを大きくすることができる。

[0067] このように単位回路 22 は、第 1 導通端子がクロック端子 C K A に接続され、第 2 導通端子が出力端子 O U T に接続された出力トランジスタ T r 1 と、第 1 導通端子が第 1 節点（節点 n 4）に接続され、第 2 導通端子が出力トランジスタ T r 1 の制御端子に接続され、制御端子にオン電位（ハイレベル電位）が固定的に印加された耐圧用トランジスタ T r 1 0 と、第 1 節点に与えられるオン電位を出力するオン電位出力部（入力端子 I N）と、第 1 導通端子にオン電位出力部の出力が与えられ、第 2 導通端子が第 1 節点に接続されたセットトランジスタ T r 2 と、セットトランジスタ T r 2 の制御端子にオン電位とオフ電位を切り換えて印加するセット制御部（トランジスタ T r 3）と含んでいる。オン電位出力部は、単位回路 22 に対する入力信号 I N を出力し、セット制御部は、第 1 導通端子に第 2 クロック信号 C K B が与えられ、第 2 導通端子がセットトランジスタ T r 2 の制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタ T r 3 を含んでいる。

[0068] 入力信号 I N と第 2 クロック信号 C K B の電位がオン電位に変化したとき、セットトランジスタ T r 2 の制御端子の電位が所定レベル（ $V_{DD} - V_{th}$ ）に到達した後、セットトランジスタ T r 2 の制御端子はフローティング状態になる。その後、第 1 節点の電位がオン電位に向けて変化し続ける（上昇し続ける）と、セットトランジスタ T r 2 の制御端子の電位は十分なオン電位（通常のハイレベル電位よりも高い電位）になり、第 1 節点の電位は閾値落ちのないオン電位 V_{DD} になる。したがって、本実施形態に係るシフトレジスタによれば、出力信号 O U T のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、耐圧用トランジスタ T r 1 0 の作用により、オン電位を有するクロック信号を出力するときに、第 1 節点の電位はオン電位出力部から出力されたオン電位から変化しない。したがって、第 1 節点に接続されたトランジスタ T r 2、T r 4 の端子間に高電圧を印加することを防止することができる。

[0069] (第7の実施形態)

図14は、本発明の第7の実施形態に係るシフトレジスタの構成を示すブロック図である。図14に示すシフトレジスタ30は、 n 個の単位回路31を多段接続して構成されている。単位回路31は、クロック端子CKA、CKB、入力端子IN1、IN2、初期化端子INIT、制御端子UD、UDB（図示せず）、および、出力端子OUTを有する。シフトレジスタ30には外部から、スタートパルスST、2相のクロック信号CK1、CK2、初期化信号INIT、および、制御信号UD、UDB（図示せず）が供給される。クロック信号CK1、CK2は、第1の実施形態に係るシフトレジスタ10（図2）と同様に各端子に与えられる。初期化信号INITと制御信号UD、UDBは、それぞれ、 n 個の単位回路31の初期化端子INITと制御端子UD、UDBに与えられる。スタートパルスSTは、1段目の単位回路31の入力端子IN1と n 段目の単位回路31の入力端子IN2に与えられる。単位回路31の出力信号OUTは、出力信号O1～Onとして外部に出力されると共に、次段の単位回路31の入力端子IN1と前段の単位回路31の入力端子IN2に与えられる。

[0070] 図15は、単位回路31の回路図である。単位回路31は、単位回路22（図12）にスキャン切替回路32を追加したものである。スキャン切替回路32は、オン電位出力部として機能する。制御信号UDは、順方向スキャンのときにはハイレベルに制御され、逆方向スキャンのときにはローレベルに制御される。制御信号UDBは、制御信号UDの反転信号である。スキャン切替回路32は、制御信号UD、UDBに従い、順方向スキャンのときには入力信号IN1を出力し、逆方向スキャンのときには入力信号IN2を出力する。スキャン切替回路32の出力信号Osは、トランジスタTr2のドレイン端子とトランジスタTr6のゲート端子に与えられる。以下、スキャン切替回路32の出力端子Osが接続された節点をn6という。

[0071] 順方向スキャンのときには、単位回路31は、前段の単位回路31の出力信号OUTを入力信号として動作する。このときシフトレジスタ30の出力

信号 $O_1 \sim O_n$ は、昇順にハイレベルになる（図4を参照）。逆方向スキャンのときには、単位回路31は、次段の単位回路31の出力信号OUTを入力信号として動作する。このときシフトレジスタ30の出力信号 $O_1 \sim O_n$ は、降順に（ O_n 、 O_{n-1} 、…、 O_1 の順に）ハイレベルになる（図16を参照）。

[0072] 図17～図19は、スキャン切替回路32の例を示す回路図である。図17に示すスキャン切替回路32pでは、順方向スキャンのときには、トランジスタTr21はオンし、トランジスタTr22はオフする。このときスキャン切替回路32pは、入力端子IN1に与えられた前段の単位回路31の出力信号OUTを節点n6に与える。逆方向スキャンのときには、トランジスタTr21はオフし、トランジスタTr22はオンする。このときスキャン切替回路32pは、入力端子IN2に与えられた次段の単位回路31の出力信号OUTを節点n6に与える。スキャン切替回路32pを用いて入力信号を選択することにより、図4および図16に示すようにスキャン方向を切り替えることができる。

[0073] スキャン切替回路32pでは、出力端子Osから出力されるハイレベル電位は（ $V_{DD} - V_{th}$ ）であるので、動作マージンが小さい。そこで動作マージンを大きくするために、スキャン切替回路32pに代えて、図18に示すスキャン切替回路32q、または、図19に示すスキャン切替回路32rを用いてもよい。

[0074] スキャン切替回路32rにおいて、トランジスタTr34のゲート端子が接続された節点をn7という。スキャン切替回路32rでは、順方向スキャンのときには、トランジスタTr32の作用により、節点n7の電位は（ $V_{DD} - V_{th}$ ）になり、節点n7はフローティング状態になる。入力信号IN1がローレベルからハイレベルに変化すると、トランジスタTr34のゲートーチャネル間の容量によって、節点n7の電位は突き上げられて上昇する。したがって、出力端子Osから閾値落ちのないハイレベル電位 V_{DD} を出力することができる。トランジスタTr33は、このときにトランジスタ

Tr31に高電圧が印加されることを防止する。逆方向スキンのときには、トランジスタTr31、Tr33がオンするので、節点n7の電位は制御信号UDと同じくローレベルになり、トランジスタTr34はオフする。スキン切替回路32rを用いることにより、動作マージンを大きくしながらスキン方向を切り替えることができる。

[0075] スキン切替回路32qを用いた場合、順方向スキンのときには、トランジスタTr24、Tr26のゲート端子には、それぞれ、 $(VDD - V_{th})$ 、および、VSSが与えられる。逆方向スキンのときには、トランジスタTr24、Tr26のゲート端子には、それぞれ、VSS、および、 $(VDD - V_{th})$ が与えられる。したがって、スキン切替回路32qでも、スキン切替回路32rと同様の効果が得られる。

[0076] 本実施形態に係るシフトレジスタによれば、スキン方向を切り替えるシフトレジスタについて、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、図18および図19に示すスキン切替回路32q、32rを用いることにより、入力信号IN1、IN2が通過するトランジスタのゲート端子に閾値落ちのないハイレベル電位VDDを与え、動作マージンを大きくすることができる。

[0077] (第8の実施形態)

本発明の第8の実施形態に係るシフトレジスタは、図10に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路21に代えて、図20に示す単位回路23を備えている。単位回路23は、単位回路22(図12)について、トランジスタTr3のドレイン端子の接続先を入力端子INに変更したものである。

[0078] 図21は、本実施形態に係るシフトレジスタの信号波形図である。図21に示す信号波形図は、節点n2の電位が時刻t5以降ローレベルを保つ点を除き、図13に示す信号波形図と同じである。時刻t1において入力信号INがハイレベルに変化すると、入力端子INから節点n2に向けてトランジスタTr3を通過する電流が流れ、節点n2の電位は上昇する(節点n2の

チャージ)。その後、節点 $n5$ のチャージと節点 $n2$ の突き上げが行われる。時刻 $t2$ において入力信号 IN がローレベルに変化すると、節点 $n2$ の電位は下降してローレベルになる（節点 $n2$ のディスチャージ）。節点 $n2$ の電位は、これ以降ローレベルを保つ。

[0079] 単位回路 22 では、節点 $n2$ の電位は、クロック信号 CKB が変化したときに変化する。これに対して単位回路 23 では、節点 $n2$ の電位は、入力信号 IN が変化したときに変化する。入力信号 IN が変化する頻度は、クロック信号 CKB が変化する頻度よりも小さい。したがって、本実施形態に係るシフトレジスタによれば、節点 $n2$ に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0080] このように単位回路 23 では、オン電位出力部（入力端子 IN ）は、単位回路 22 に対する入力信号 IN を出力し、セット制御部は、第 1 導通端子に入力信号 IN が与えられ、第 2 導通端子がセットトランジスタ $Tr2$ の制御端子に接続され、制御端子にオン電位（ハイレベル電位）が固定的に印加されたトランジスタ $Tr3$ を含んでいる。

[0081] 入力信号 IN の電位がオン電位に変化したとき、セットトランジスタ $Tr2$ の制御端子の電位が所定レベル（ $VDD - V_{th}$ ）に到達した後、セットトランジスタ $Tr2$ の制御端子はフローティング状態になる。その後、第 1 節点（節点 $n4$ ）の電位がオン電位に向けて変化し続ける（上昇し続ける）と、セットトランジスタ $Tr2$ の制御端子の電位は十分なオン電位（通常のハイレベル電位よりも高い電位）になり、第 1 節点の電位は閾値落ちのないオン電位 VDD になる。したがって、本実施形態に係るシフトレジスタによれば、出力信号 OUT のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0082] （第 9 の実施形態）

本発明の第 9 の実施形態に係るシフトレジスタは、図 10 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 21 に代えて、図 22 に示す単位回路 24 を備えている。単位回路 24 は、単位回路 23

(図20)から容量 C_2 を削除し、トランジスタ T_{r2} のドレイン端子にハイレベル電位 V_{DD} を印加したものである。ハイレベル電位 V_{DD} を有する端子は、オン電位出力部として機能する。

[0083] 本実施形態に係るシフトレジスタの信号波形図は、図21に示す信号波形図と同じである。時刻 t_1 において入力信号 I_N がハイレベルに変化すると、入力端子 I_N から節点 n_2 に向けてトランジスタ T_{r3} を通過する電流が流れ、節点 n_2 の電位は上昇する(節点 n_2 のチャージ)。節点 n_2 の電位が所定レベルを超えると、トランジスタ T_{r2} はオンする。トランジスタ T_{r2} のドレイン端子にはハイレベル電位 V_{DD} が印加されるので、トランジスタ T_{r2} のドレイン端子から節点 n_5 に向けてトランジスタ T_{r2} 、 T_{r10} を通過する電流が流れ、節点 n_5 の電位は上昇する(節点 n_5 のチャージ)。その後、節点 n_2 の突き上げが行われる。時刻 t_2 において入力信号 I_N がローレベルに変化すると、節点 n_2 の電位は下降してローレベルになる(節点 n_2 のディスチャージ)。節点 n_2 の電位は、これ以降ローレベルを保つ。本実施形態に係るシフトレジスタによれば、第8の実施形態と同様に、節点 n_2 に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0084] このように単位回路24では、オン電位出力部(ハイレベル電位 V_{DD} を有する端子)は、オン電位(ハイレベル電位)を固定的に出力し、セット制御部は、第1導通端子に単位回路23に対する入力信号 I_N が与えられ、第2導通端子がセットトランジスタ T_{r2} の制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタ T_{r3} を含んでいる。本実施形態に係るシフトレジスタによれば、第8の実施形態と同様に、出力信号 O_U のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0085] (第10の実施形態)

本発明の第10の実施形態に係るシフトレジスタは、図2に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路11に代えて

、図23に示す単位回路15を備えている。単位回路15は、単位回路13（図7）をPチャネル型トランジスタを用いて構成したものである。単位回路15は、7個のPチャネル型トランジスタ $T_{rp1} \sim T_{rp7}$ 、容量 $C1$ 、 $C2$ 、および、抵抗 $R1$ を含んでいる。

[0086] 一般に、Nチャネル型トランジスタを用いて構成された回路をPチャネル型トランジスタを用いて構成するためには、Nチャネル型トランジスタをPチャネル型トランジスタに置換し、電源の極性を入れ替え（ハイレベル電位 V_{DD} とローレベル電位 V_{SS} を逆にする）、入力信号の極性を反転させればよい（ハイレベルとローレベルを逆にする）。図24は、本実施形態に係るシフトレジスタの信号波形図である。図24に示す信号波形図は、図8に示す信号波形図について、信号と節点の電位の極性を反転させたものである。

[0087] 本実施形態に係るシフトレジスタによれば、Pチャネル型トランジスタを用いて構成されたシフトレジスタについて、トランジスタの閾値電圧の変化に対する動作マージンを大きくすることができる。なお、ここでは、例として、第3の実施形態に係る単位回路13をPチャネル型トランジスタを用いて構成する場合について説明したが、第1、第2、第4～第9の実施形態、および、後述する第11～第26の実施形態に係る単位回路についても同様の方法を適用することができる。

[0088] （第11の実施形態）

図25は、本発明の第11の実施形態に係るシフトレジスタの構成を示すブロック図である。図25に示すシフトレジスタ40は、 n 個の単位回路41を多段接続して構成されている。単位回路41は、クロック端子 CKA 、 CKB 、入力端子 INa 、 INb 、および、出力端子 OUT を有する。シフトレジスタ40には外部から、スタートパルス STa 、 STb と4相のクロック信号 $CK1 \sim CK4$ が供給される。スタートパルス STa は、1段目の単位回路41の入力端子 INa と2段目の単位回路41の入力端子 INb に与えられる。スタートパルス STb は、1段目の単位回路41の入力端子 I

N bに与えられる。単位回路4 1の出力信号OUTは、出力信号O 1～O nとして外部に出力されると共に、次段の単位回路4 1の入力端子I N aと2段後の単位回路4 1の入力端子I N bに与えられる。

[0089] 1以上 $n/4$ 以下の整数をkとしたとき、クロック信号CK 1は、 $(4k-3)$ 段目の単位回路4 1のクロック端子CK Aと $(4k-1)$ 段目の単位回路4 1のクロック端子CK Bに与えられる。クロック信号CK 2は、 $(4k-2)$ 段目の単位回路4 1のクロック端子CK Aと4 k段目の単位回路4 1のクロック端子CK Bに与えられる。クロック信号CK 3は、 $(4k-1)$ 段目の単位回路4 1のクロック端子CK Aと $(4k-3)$ 段目の単位回路4 1のクロック端子CK Bに与えられる。クロック信号CK 4は、4 k段目の単位回路4 1のクロック端子CK Aと $(4k-2)$ 段目の単位回路4 1のクロック端子CK Bに与えられる。

[0090] 図2 6は、単位回路4 1の回路図である。図2 6に示す単位回路4 1は、5個のNチャネル型トランジスタTr 1、Tr 2、Tr 1 1～Tr 1 3を含んでいる。トランジスタTr 1のドレイン端子はクロック端子CK Aに接続され、トランジスタTr 1のソース端子は出力端子OUTに接続される。トランジスタTr 2のドレイン端子は入力端子I N aに接続され、トランジスタTr 2のソース端子はトランジスタTr 1のゲート端子とトランジスタTr 1 3のドレイン端子に接続される。トランジスタTr 1 1のゲート端子とドレイン端子は入力端子I N bに接続され、トランジスタTr 1 1のソース端子はトランジスタTr 2のゲート端子とトランジスタTr 1 2のドレイン端子に接続される。トランジスタTr 1 2のソース端子にはローレベル電位V S Sが印加され、トランジスタTr 1 2のゲート端子はクロック端子CK Aに接続される。トランジスタTr 1 3のソース端子は入力端子I N aに接続され、トランジスタTr 1 3のゲート端子はクロック端子CK Bに接続される。トランジスタTr 1、Tr 2は、それぞれ、出力トランジスタ、および、セットトランジスタとして機能し、入力端子I N aはオン電位出力部として機能する。トランジスタTr 1 1、Tr 1 2は、セット制御部として機

能する。

[0091] 図27は、シフトレジスタ40のタイミングチャートである。図27に示すように、クロック信号CK1は、所定の周期でハイレベルとローレベルになる。ただし、クロック信号CK1のハイレベル期間は、クロック信号CK1のローレベル期間よりも短い。クロック信号CK2~CK4は、それぞれ、クロック信号CK1を1/4周期、半周期、および、3/4周期遅延させた信号である。スタートパルスSTbは、シフト開始時にクロック信号CK3のハイレベル期間でハイレベルになる。スタートパルスSTaは、スタートパルスSTbをクロック信号CK1の1/4周期遅延させた信号である。

[0092] 図28は、シフトレジスタ40の信号波形図である。図28を参照して、単位回路41の動作を説明する。時刻t1より前では、節点n1、n2の電位と出力信号OUTはローレベルである。時刻t1において、入力信号INbとクロック信号CKBはローレベルからハイレベルに変化する。これに伴い、トランジスタTr11はオンし、入力端子INbから節点n2に向けてトランジスタTr11を通過する電流が流れ、節点n2の電位は上昇する（節点n2のチャージ）。節点n2の電位が（ $V_{DD} - V_{th}$ ）まで上昇すると、トランジスタTr11はオフし、節点n2はこれ以降フローティング状態になる。節点n2の電位が所定レベルを超えると、トランジスタTr2はオンする。また、時刻t1において、トランジスタTr13はオンする。このように時刻t1からしばらく経つと、トランジスタTr2、Tr13は共にオン状態になる。このとき入力信号INaはローレベルであるので、トランジスタTr2、Tr13がオンした後も節点n1の電位はローレベルを保つ。

[0093] 時刻t2において、入力信号INaはローレベルからハイレベルに変化する。このときトランジスタTr2、Tr13はオン状態であるので、入力端子INaから節点n1に向けてトランジスタTr2を通過する電流とトランジスタTr13を通過する電流が流れ、節点n1の電位は上昇する（節点n1のチャージ）。節点n1の電位が所定レベルを超えると、トランジスタT

r_1 はオンする。また、節点 n_1 の電位が上昇すると、トランジスタ T_{r2} のゲート-チャネル間の容量によって、節点 n_2 の電位は突き上げられて上昇する（節点 n_2 の突き上げ）。節点 n_2 の電位が $(V_{DD} + V_{th})$ 以上になると、節点 n_1 の電位はハイレベル電位 V_{DD} になる。時刻 t_3 において、入力信号 I_{Nb} とクロック信号 CK_B はローレベルに変化する。これに伴い、トランジスタ T_{r13} はオフする。トランジスタ T_{r13} がオフした後も、節点 n_1 、 n_2 の電位はハイレベルを保ち、トランジスタ T_{r1} はオン状態を保つ。

[0094] 時刻 t_4 において、クロック信号 CK_A はローレベルからハイレベルに変化する。これに伴い、時刻 t_4 以降、クロック信号 CK_A のハイレベル電位が出力信号 OUT として出力される。また、出力信号 OUT の電位が上昇すると、トランジスタ T_{r1} のゲート-チャネル間の容量によって、節点 n_1 の電位は突き上げられて α だけ（ただし、 α はクロック信号 CK_A の振幅にほぼ等しい）上昇する（節点 n_1 の突き上げ）。このとき節点 n_1 の電位は $(V_{DD} + V_{th})$ 以上になるので、閾値落ちのないハイレベル電位 V_{DD} を出力信号 OUT として出力することができる。また、時刻 t_4 においてトランジスタ T_{r12} はオンするので、節点 n_2 の電位はローレベルになる（節点 n_2 のディスチャージ）。このため、トランジスタ T_{r2} はオフする。このように時刻 t_4 からしばらく経つとトランジスタ T_{r2} 、 T_{r13} はオフ状態になるので、節点 n_1 の電位が突き上げによって上昇するときに節点 n_1 から電流が流れない。

[0095] 時刻 t_5 において、入力信号 I_{Na} はローレベルに変化する。このときトランジスタ T_{r2} 、 T_{r13} はオフ状態であるので、節点 n_1 、 n_2 の電位は変化しない。時刻 t_6 において、クロック信号 CK_A はローレベルに変化する。これに伴い、出力信号 OUT はローレベルに変化し、トランジスタ T_{r12} はオフする。また、節点 n_1 の突き上げが終了するので、節点 n_1 の電位はハイレベル電位 V_{DD} に下降する。時刻 t_7 において、クロック信号 CK_B はハイレベルに変化する。これに伴い、トランジスタ T_{r13} はオン

する。このとき入力信号 $I N a$ はローレベルであるので、節点 $n 1$ から入力端子 $I N a$ に向けてトランジスタ $T r 1 3$ を通過する電流が流れ、節点 $n 1$ の電位は下降してローレベルになる（節点 $n 1$ のディスチャージ）。

[0096] 図 27 に示すように、1 段目の単位回路 41 の出力信号 $O 1$ は、スタートパルス $S T a$ がハイレベルになった後のクロック信号 $C K 1$ のハイレベル期間でハイレベルになる。2 段目の単位回路 41 の出力信号 $O 2$ は、出力信号 $O 1$ がハイレベルになった後のクロック信号 $C K 2$ のハイレベル期間でハイレベルになる。3 段目の単位回路 41 の出力信号 $O 3$ は、出力信号 $O 2$ がハイレベルになった後のクロック信号 $C K 3$ のハイレベル期間でハイレベルになる。4 段目の単位回路 41 の出力信号 $O 4$ は、出力信号 $O 3$ がハイレベルになった後のクロック信号 $C K 4$ のハイレベル期間でハイレベルになる。同様に、単位回路 41 の出力信号 $O i$ は、前段の単位回路 41 の出力信号 $O i - 1$ がハイレベルになった後のクロック信号 $C K 1 \sim C K 4$ のいずれかのハイレベル期間でハイレベルになる。したがって、シフトレジスタ 40 の出力信号 $O 1 \sim O n$ は、クロック信号 $C K 1$ の $1 / 4$ 周期ずつ遅れて昇順にハイレベルになる。

[0097] このように単位回路 41 では、オン電位出力部（入力端子 $I N a$ ）は、単位回路 41 に対する第 1 入力信号 $I N a$ を出力し、セット制御部は、第 1 導通端子と制御端子に単位回路 41 に対する第 2 入力信号 $I N b$ が与えられ、第 2 導通端子がセットトランジスタ $T r 2$ の制御端子に接続されたトランジスタ $T r 1 1$ を含んでいる。

[0098] 第 2 入力信号 $I N b$ の電位がオン電位（ハイレベル電位）に変化したとき、セットトランジスタ $T r 2$ の制御端子の電位が所定レベル（ $V D D - V t h$ ）に到達した後、セットトランジスタ $T r 2$ の制御端子はフローティング状態になる。その後、第 1 入力信号 $I N a$ の電位がオン電位に変化し、出力トランジスタ $T r 1$ の制御端子の電位がオン電位に変化すると、セットトランジスタ $T r 2$ の制御端子の電位は十分なオン電位（通常のハイレベル電位よりも高い電位）になり、出力トランジスタの制御端子の電位は閾値落ちの

ないオン電位 V_{DD} になる。したがって、本実施形態に係るシフトレジスタによれば、出力信号 OUT のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0099] また、第2入力信号 INb （2段前の単位回路41の出力信号 OUT ）に基づきセットトランジスタ $Tr2$ の制御端子の電位をオン電位に変化させた後に、第1入力信号 INa （前段の単位回路41の出力信号 OUT ）に基づき出力トランジスタ $Tr1$ の制御端子の電位をオン電位に変化させることにより、節点 $n2$ のチャージ期間を長くし、節点 $n2$ の電位をより確実にハイレベル電位 V_{DD} にして、動作マージンを大きくすることができる。また、クロック信号 CKA がハイレベルになると、トランジスタ $Tr12$ はオンし、節点 $n2$ の電位はローレベルになる。このように節点 $n2$ の電位を周期的にローレベルにすることにより、シフトレジスタ40の誤動作を防止することができる。

[0100] （第12の実施形態）

本発明の第12の実施形態に係るシフトレジスタは、図25に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路41に代えて、図29に示す単位回路42を備えている。単位回路42は、単位回路41（図26）に容量 $C1$ 、 $C2$ を追加したものである。容量 $C1$ は、トランジスタ $Tr1$ のゲートソース間に設けられる。容量 $C2$ は、トランジスタ $Tr2$ のゲートドレイン間に設けられる。なお、容量 $C1$ 、 $C2$ のうち一方だけを設けてもよい。

[0101] 容量 $C1$ 、 $C2$ を設けることにより、第2の実施形態と同様の効果が得られる。本実施形態に係るシフトレジスタによれば、節点 $n1$ 、 $n2$ の突き上げ効果を大きくすることにより、出力信号 OUT として閾値落ちのないハイレベル電位 V_{DD} をより確実に出力し、トランジスタの閾値電圧の変動に対する動作マージンをさらに大きくすることができる。

[0102] また、単位回路41では、クロック信号 CKA がローレベルからハイレベルに変化したときに、トランジスタ $Tr1$ のゲートドレイン間の寄生容量

によって節点 $n1$ の電位が上昇し、トランジスタ T_{r1} がオンし、シフトレジスタが誤動作する可能性がある。容量 $C1$ を含む単位回路 42 では、節点 $n1$ に付随する容量の全体に対するトランジスタ T_{r1} の寄生容量の比率が低下するので、クロック信号 CKA のノイズの影響を受けにくい。したがって、本実施形態に係るシフトレジスタによれば、クロック信号の変化に起因する誤動作を防止し、動作マージンを大きくすることができる。

[0103] (第13の実施形態)

本発明の第13の実施形態に係るシフトレジスタは、図25に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路41に代えて、図30に示す単位回路43を備えている。単位回路43は、単位回路42(図29)にNチャネル型トランジスタ T_{r8} を追加したものである。トランジスタ T_{r8} のドレイン端子は出力端子 OUT に接続され、トランジスタ T_{r8} のソース端子にはローレベル電位 VSS が印加され、トランジスタ T_{r8} のゲート端子はクロック端子 CKB に接続される。本実施形態に係るシフトレジスタの信号波形図は、図28に示す信号波形図と同じである。

[0104] 単位回路42では、出力信号 OUT がローレベルになる前にトランジスタ T_{r1} がオフした場合、出力信号 OUT は完全なローレベルにならずに中間電位になる。これに対して単位回路43では、トランジスタ T_{r8} を用いて、トランジスタ T_{r1} がオフした後に出力信号 OUT を確実にローレベルにすることができる。したがって、本実施形態に係るシフトレジスタによれば、動作マージンを大きくすることができる。

[0105] また、単位回路42では、トランジスタ T_{r1} のオフリーク電流や出力端子 OUT に接続される回路におけるリーク電流などによって、出力信号 OUT がローレベルを保つことができず、シフトレジスタが誤動作する可能性がある。これに対して単位回路43では、トランジスタ T_{r8} を用いて、出力信号 OUT は定期的にローレベルに設定される。したがって、本実施形態に係るシフトレジスタによれば、出力信号 OUT の電位上昇に起因する誤動作を防止することができる。

[0106] また、単位回路43では、図28に示す時刻 t_7 においてクロック信号CKBがハイレベルに変化すると、トランジスタTr13がオンし、節点n1から入力端子INaに向けて電流が流れる。この電流は、前段の単位回路43の出力端子OUTに流れ込む。このとき、前段の単位回路43では、クロック信号CKBはハイレベルで、トランジスタTr8はオン状態である。このため、出力端子OUTに流れ込んだ電流は、トランジスタTr8を経由してローレベル電位VSSを有する端子に流れる。したがって、本実施形態に係るシフトレジスタによれば、単位回路の出力端子に電荷が滞留することを防止して、動作マージンを大きくすることができる。

[0107] (第14の実施形態)

本発明の第14の実施形態に係るシフトレジスタは、図25に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路41に代えて、図31に示す単位回路44を備えている。単位回路44は、単位回路43(図30)から容量C1を削除し、Nチャネル型トランジスタTr14を追加したものである。トランジスタTr14のドレイン端子はトランジスタTr1のゲート端子に接続され、トランジスタTr14のソース端子は出力端子OUTに接続され、トランジスタTr14のゲート端子はクロック端子CKAに接続される。本実施形態に係るシフトレジスタの信号波形図は、図28に示す信号波形図と同じである。

[0108] 単位回路41(図26)では、クロック信号CKAがローレベルからハイレベルに変化したときに、トランジスタTr1のゲートドレイン間の寄生容量によって節点n1の電位が上昇し、トランジスタTr1がオンし、シフトレジスタが誤動作する可能性がある。この問題を解決する方法として、第12の実施形態のように、容量C1を含む単位回路42(図29)を用いる方法がある。しかし、この方法では、容量C1の分だけ回路のレイアウト面積が大きくなる。この問題を他の方法で解決するために、単位回路44はトランジスタTr14を含んでいる。

[0109] 単位回路44では、クロック信号CKAがハイレベルのときには、トラン

ジスタ T_{r14} がオンし、節点 $n1$ と出力端子 OUT はトランジスタ T_{r14} を介して電氣的に接続される。このため、節点 $n1$ および出力端子 OUT に付随する容量の全体に対するトランジスタ T_{r1} の寄生容量の比率が低下するので、単位回路 44 はクロック信号 CKA からのノイズの影響を受けにくい。したがって、本実施形態に係るシフトレジスタによれば、クロック信号の変化に起因する誤動作を防止することができる。

[0110] また、出力信号 OUT がハイレベルのときには、トランジスタ T_{r14} はオフするので、節点 $n1$ から出力端子 OUT に向けてトランジスタ T_{r14} を通過する電流は流れない。したがって、節点 $n1$ の電位は突き上げによって上昇するので、閾値落ちのないハイレベル電位 VDD を出力信号 OUT として出力することができる。なお、単位回路 44 に代えて、単位回路 43 から容量 $C1$ を削除せずに、トランジスタ T_{r14} を追加した単位回路を用いてもよい。

[0111] (第 15 の実施形態)

図 32 は、本発明の第 15 の実施形態に係るシフトレジスタの構成を示すブロック図である。図 32 に示すシフトレジスタ 50 は、 n 個の単位回路 51 を多段接続して構成されている。単位回路 51 は、クロック端子 CKA 、 CKB 、入力端子 INa 、 INb 、初期化端子 $INIT$ 、および、出力端子 OUT を有する。シフトレジスタ 50 には外部から、スタートパルス STa 、 STb 、4 相のクロック信号 $CK1 \sim CK4$ 、および、初期化信号 $INIT$ が供給される。初期化信号 $INIT$ は、 n 個の単位回路 51 の初期化端子 $INIT$ に与えられる。それ以外の信号は、第 11 の実施形態に係るシフトレジスタ 40 (図 25) と同様に各端子に与えられる。

[0112] 図 33 は、単位回路 51 の回路図である。単位回路 51 は、単位回路 44 (図 31) に N チャンネル型トランジスタ $T_{r15} \sim T_{r17}$ を追加したものである。トランジスタ $T_{r15} \sim T_{r17}$ のドレイン端子は、それぞれ、トランジスタ T_{r2} のゲート端子、トランジスタ T_{r1} のゲート端子、および、出力端子 OUT に接続される。トランジスタ $T_{r15} \sim T_{r17}$ のソース

端子にはローレベル電位 V_{SS} が印加され、トランジスタ $T_{r15} \sim T_{r17}$ のゲート端子は初期化端子 $INIT$ に接続される。本実施形態に係るシフトレジスタの動作時の信号波形図は、図 28 に示す信号波形図と同じである。

[0113] 初期化信号 $INIT$ は、電源オン直後、電源オフ時、シフトレジスタを一旦初期状態に設定するときなどにハイレベルに制御され、それ以外ときにはローレベルに制御される。初期化信号 $INIT$ がローレベルのときには、トランジスタ $T_{r15} \sim T_{r17}$ はオフし、単位回路 51 は単位回路 44 と同様に動作する。初期化信号 $INIT$ がハイレベルのときには、トランジスタ $T_{r15} \sim T_{r17}$ はオンする。トランジスタ T_{r15} がオンすることにより、節点 $n2$ の電位はローレベルに初期化される。トランジスタ T_{r16} がオンすることにより、節点 $n1$ の電位はローレベルに初期化される。トランジスタ T_{r17} がオンすることにより、出力信号 OUT はローレベルに初期化される。本実施形態に係るシフトレジスタ 50 によれば、トランジスタ $T_{r15} \sim T_{r17}$ を用いて、節点 $n1$ 、 $n2$ の電位と出力信号 OUT をローレベルに初期化することができる。

[0114] (第 16 の実施形態)

本発明の第 16 の実施形態に係るシフトレジスタは、図 32 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 51 に代えて、図 34 に示す単位回路 52 を備えている。単位回路 52 は、単位回路 51 (図 33) について、トランジスタ T_{r12} 、 T_{r15} のソース端子の接続先を入力端子 INb に変更し、トランジスタ T_{r16} のソース端子の接続先を出力端子 OUT に変更したものである。本実施形態に係るシフトレジスタの動作時の信号波形図は、図 28 に示す信号波形図と同じである。

[0115] 初期化信号 $INIT$ がローレベルのときには、トランジスタ $T_{r15} \sim T_{r17}$ はオフし、単位回路 52 は単位回路 44 (図 31) と同様に動作する。ただし、図 28 に示す時刻 $t4$ においてクロック信号 CKA がハイレベルに変化すると、トランジスタ T_{r12} はオンする。このとき、入力信号 IN

bはローレベルであるので、節点n2から入力端子INbに向けてトランジスタTr12を通過する電流が流れ、節点n2の電位は下降してローレベルになる（節点n2のディスチャージ）。このため、トランジスタTr2はオフする。

[0116] 初期化信号INTがハイレベルのときには、トランジスタTr15～Tr17はオンする。トランジスタTr17がオンすることにより、出力信号OUTはローレベルに初期化される。トランジスタTr16がオンすることにより、トランジスタTr1のゲート端子はトランジスタTr16を介して出力端子OUTに電氣的に接続される。このとき出力信号OUTはローレベルであるので、節点n1の電位はローレベルに初期化される。トランジスタTr15がオンすることにより、トランジスタTr2のゲート端子はトランジスタTr15を介して入力端子INbに電氣的に接続される。このとき3～n段目の単位回路52では、入力信号INb（2段前の単位回路52の出力信号OUT）はローレベルであるので、節点n2の電位はローレベルに初期化される。また、初期化時にスタートパルスSTa、STbをローレベルに制御することにより、1段目および2段目の単位回路52についても節点n2の電位をローレベルに初期化することができる。したがって、本実施形態に係るシフトレジスタによれば、第15の実施形態と同様の初期化を行うことができる。

[0117] 第6の実施形態で述べたように、トランジスタのソースドレイン間に高電圧を印加すると、トランジスタの劣化や破壊が起こる可能性がある。そこで耐圧対策として、直列接続された複数のトランジスタやL長の長いトランジスタを用いる方法が従来から知られている。しかし、従来の耐圧対策には回路のレイアウト面積が増大するという問題がある。

[0118] 単位回路52では、節点n1、n2の電位は、突き上げによって最高で（ $V_{DD} - V_{th} + \alpha$ ）になる。節点n1の突き上げ期間では、出力信号OUTの電位は V_{DD} であるので、トランジスタTr16のソースドレイン間には電圧（ $\alpha - V_{th}$ ）が印加される。また、節点n2の突き上げ期間の多

くの部分（図28に示す時刻 $t_2 \sim t_3$ ）では、入力信号 I_{Nb} の電位は V_{DD} であるので、トランジスタ T_{r12} 、 T_{r15} のソースドレイン間には同じ電圧（ $\alpha - V_{th}$ ）が印加される。電圧（ $\alpha - V_{th}$ ）は、トランジスタの駆動電圧よりも低い。

[0119] このように単位回路52では、トランジスタ T_{r16} のソースドレイン間に高電圧は印加されず、トランジスタ T_{r12} 、 T_{r15} のソースドレイン間に高電圧が印加される時間は短い。このため、トランジスタ T_{r12} 、 T_{r15} 、 T_{r16} には、従来の耐圧対策を行う必要がない。したがって、本実施形態に係るシフトレジスタによれば、レイアウト面積を増大させずにトランジスタの劣化や破壊を防止することができる。

[0120] なお、図28に示す時刻 $t_3 \sim t_4$ では、節点 n_2 の電位が（ $V_{DD} - V_{th} + \alpha$ ）になり、クロック信号 CK_B がローレベルになる。この期間では、トランジスタ T_{r12} 、 T_{r15} のソースドレイン間に高電圧（ $V_{DD} - V_{th} + \alpha - V_{SS}$ ）が印加される。これを防止するためには、クロック信号 $CK_1 \sim CK_4$ のデューティ比を50%にし、スタートパルス ST_a 、 ST_b のハイレベル期間をクロック信号 $CK_1 \sim CK_4$ のハイレベル期間と同じ長さにすればよい。

[0121] また、トランジスタ T_{r12} 、 T_{r15} のソース端子を初期化時にローレベルになり、節点 n_2 の突き上げ時にハイレベルになる他の端子（例えば、クロック端子 CK_B ）に接続してもよく、トランジスタ T_{r16} のソース端子を初期化時にローレベルになり、節点 n_1 の突き上げ時にハイレベルになる他の端子（例えば、クロック端子 CK_A ）に接続してもよい。このような単位回路を用いても、本実施形態と同様の効果が得られる。

[0122] （第17の実施形態）

本発明の第17の実施形態に係るシフトレジスタは、図32に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路51に代えて、図35に示す単位回路53を備えている。単位回路53は、単位回路52（図34）にNチャネル型トランジスタ T_{r18} を追加したものである。

トランジスタ T_{r18} のドレイン端子はトランジスタ T_{r2} のソース端子に接続され、トランジスタ T_{r18} のソース端子はトランジスタ T_{r1} のゲート端子に接続され、トランジスタ T_{r18} のゲート端子にはハイレベル電位 VDD が印加される。トランジスタ T_{r18} は、耐圧用トランジスタとして機能する。以下、トランジスタ T_{r18} のドレイン端子が接続された節点を $n8$ 、トランジスタ T_{r18} のソース端子が接続された節点を $n9$ という。

[0123] 図36は、本実施形態に係るシフトレジスタの信号波形図である。図36に示す信号波形図は、図28に示す信号波形図から節点 $n1$ の電位の変化を削除し、節点 $n8$ 、 $n9$ の電位の変化を追加したものである。

[0124] トランジスタ T_{r10} を含む単位回路22（図12）と同様に、トランジスタ T_{r18} を含む単位回路53では、節点 $n9$ の突き上げ期間でも、トランジスタ T_{r2} 、 T_{r13} 、 T_{r16} の端子間にはトランジスタの駆動電圧よりも低い電圧が与えられる。したがって、本実施形態に係るシフトレジスタによれば、トランジスタの劣化や破壊を防止することができる。また、第6の実施形態と同様に、トランジスタ T_{r11} を含まない単位回路に対して耐圧対策を行った場合と比べて、トランジスタの劣化や破壊を防止しながら動作マージンを大きくすることができる。

[0125] （第18の実施形態）

本発明の第18の実施形態に係るシフトレジスタは、図32に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路51に代えて、図37に示す単位回路54を備えている。単位回路54は、単位回路52（図34）について、トランジスタ T_{r12} のゲート端子の接続先を出力端子 OUT に変更したものである。

[0126] 本実施形態に係るシフトレジスタの信号波形図は、図28に示す信号波形図と同じである。時刻 $t4$ より前では、単位回路54は単位回路52と同様に動作する。時刻 $t4$ においてクロック信号 CKA がローレベルからハイレベルに変化すると、時刻 $t4$ 以降、クロック信号 CKA のハイレベル電位が出力信号 OUT として出力される。また、出力信号 OUT がハイレベルにな

ると、トランジスタ T_{r12} はオンする。このとき入力信号 I_{Nb} はローレベルであるので、節点 $n2$ の電位は下降してローレベルになる（節点 $n2$ のディスチャージ）。このため、トランジスタ T_{r2} はオフする。

[0127] 単位回路52では、トランジスタ T_{r12} のゲート端子はクロック端子 CKA に接続される。これに対して単位回路54では、トランジスタ T_{r12} のゲート端子は出力端子 OUT に接続される。出力信号 OUT が変化する頻度は、クロック信号 CKA が変化する頻度よりも小さい。したがって、本実施形態に係るシフトレジスタによれば、トランジスタ T_{r12} のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0128] （第19の実施形態）

本発明の第19の実施形態に係るシフトレジスタは、図32に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路51に代えて、図38に示す単位回路55を備えている。単位回路55は、単位回路52（図34）について、トランジスタ T_{r11} のドレイン端子の接続先をクロック端子 CKB に変更したものである。

[0129] 本実施形態に係るシフトレジスタの信号波形図は、図28に示す信号波形図と同じである。時刻 $t1$ より前では、節点 $n1$ 、 $n2$ の電位と出力信号 OUT はローレベルである。時刻 $t1$ において入力信号 I_{Nb} とクロック信号 CKB がハイレベルに変化すると、トランジスタ T_{r11} はオンし、クロック端子 CKB から節点 $n2$ に向けてトランジスタ T_{r11} を通過する電流が流れ、節点 $n2$ の電位は上昇する（節点 $n2$ のチャージ）。時刻 $t1$ からしばらく経つと、トランジスタ T_{r11} はオフし、節点 $n2$ はフローティング状態になり、トランジスタ T_{r2} 、 T_{r13} はオン状態になる。時刻 $t2$ 以降、単位回路55は単位回路44（図31）と同様に動作する。本実施形態に係るシフトレジスタによれば、第16の実施形態に係るシフトレジスタと同様の効果が得られる。

[0130] このように単位回路55では、オン電位出力部（入力端子 I_{Na} ）は、単位回路41に対する第1入力信号 I_{Na} を出力し、セット制御部は、第1導

通端子に第2クロック信号CKBが与えられ、第2導通端子がセットトランジスタTr2の制御端子に接続され、制御端子に単位回路55に対する第2入力信号INbが与えられたトランジスタTr11を含んでいる。

[0131] 第2入力信号INbと第2クロック信号CKBの電位がオン電位（ハイレベル電位）に変化したとき、セットトランジスタTr2の制御端子の電位が所定レベル（ $V_{DD} - V_{th}$ ）に到達した後、セットトランジスタTr2の制御端子はフローティング状態になる。その後、第1入力信号INaの電位がオン電位に変化し、出力トランジスタTr1の制御端子の電位がオン電位に変化すると、セットトランジスタTr2の制御端子の電位は十分なオン電位（通常のハイレベル電位よりも高い電位）になり、出力トランジスタTr1の制御端子の電位は閾値落ちのないオン電位VDDになる。したがって、本実施形態に係るシフトレジスタによれば、出力信号OUTのなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、第2入力信号INbと第2クロック信号CKBに基づきセットトランジスタTr2の制御端子の電位をオン電位に変化させた後に、第1入力信号INaに基づき出力トランジスタTr1の制御端子の電位をオン電位に変化させることにより、動作マージンを大きくすることができる。

[0132] （第20の実施形態）

本発明の第20の実施形態に係るシフトレジスタは、図32に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路51に代えて、図39に示す単位回路56を備えている。単位回路56は、単位回路52（図34）について、トランジスタTr11のゲート端子の接続先をクロック端子CKBに変更したものである。

[0133] 本実施形態に係るシフトレジスタの信号波形図は、図28に示す信号波形図と同じである。時刻t1より前では、節点n2の電位はローレベルである。時刻t1において入力信号INbとクロック信号CKBがハイレベルに変化すると、トランジスタTr11はオンし、入力端子INbから節点n2に向けてトランジスタTr11を通過する電流が流れ、節点n2の電位は上昇

する（節点 $n2$ のチャージ）。時刻 $t1$ からしばらく経つと、トランジスタ $Tr11$ はオフし、節点 $n2$ はフローティング状態になり、トランジスタ $Tr2$ 、 $Tr13$ はオン状態になる。時刻 $t2$ 以降、単位回路 56 は単位回路 44 （図 31 ）と同様に動作する。ただし、クロック信号 CKB がハイレベルのとき、トランジスタ $Tr11$ はオンする。トランジスタ $Tr11$ がオンしても、入力信号 INb がローレベルである間、節点 $n2$ の電位はローレベルを保つ。本実施形態に係るシフトレジスタによれば、第 16 の実施形態に係るシフトレジスタと同様の効果が得られる。

[0134] このように単位回路 56 では、オン電位出力部（入力端子 INa ）は、単位回路 41 に対する第 1 入力信号 INa を出力し、セット制御部は、第 1 導通端子に単位回路 56 に対する第 2 入力信号 INb が与えられ、第 2 導通端子がセットトランジスタ $Tr2$ の制御端子に接続され、制御端子に第 2 クロック信号 CKB が与えられたトランジスタ $Tr11$ を含んでいる。本実施形態に係るシフトレジスタによれば、第 19 の実施形態と同様に、出力信号 OUT のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、第 2 入力信号 INb と第 2 クロック信号 CKB に基づきセットトランジスタ $Tr2$ の制御端子の電位をオン電位に変化させた後に、第 1 入力信号 INa に基づき出力トランジスタ $Tr1$ の制御端子の電位をオン電位に変化させることにより、動作マージンを大きくすることができる。

[0135] （第 21 の実施形態）

本発明の第 21 の実施形態に係るシフトレジスタは、図 32 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 51 に代えて、図 40 に示す単位回路 57 を備えている。単位回路 57 は、単位回路 52 （図 34 ）からトランジスタ $Tr12$ を削除し、トランジスタ $Tr11$ のゲート端子にハイレベル電位 VDD を印加したものである。トランジスタ $Tr1$ 、 $Tr2$ 、 $Tr11$ は、それぞれ、出力トランジスタ、セットトランジスタ、および、セット制御部として機能し、入力端子 INa はオン電位出力

部として機能する。

[0136] 図41は、本実施形態に係るシフトレジスタの信号波形図である。図41に示す信号波形図は、節点n2の電位の変化を除いて、図28に示す信号波形図と同じである。時刻t1より前では、節点n1、n2の電位と出力信号OUTはローレベルである。時刻t1において入力信号INbがハイレベルに変化すると、トランジスタTr11はオンし、入力端子INbから節点n2に向けてトランジスタTr11を通過する電流が流れ、節点n2の電位は上昇する（節点n2のチャージ）。時刻t1からしばらく経つと、トランジスタTr11はオフし、節点n2はフローティング状態になり、トランジスタTr2、Tr13はオン状態になる。

[0137] 時刻t2において入力信号INaがハイレベルに変化すると、節点n1のチャージと節点n2の突き上げが行われる。時刻t3においてクロック信号CKBがローレベルに変化すると、トランジスタTr13はオフする。また、時刻t3において入力信号INbがローレベルに変化すると、トランジスタTr11はオンし、節点n2から入力端子INbに向けてトランジスタTr11を通過する電流が流れ、節点n2の電位は下降してローレベルになる（節点n2のディスチャージ）。時刻t4以降、単位回路57は単位回路44（図31）と同様に動作する。本実施形態に係るシフトレジスタによれば、第16の実施形態に係るシフトレジスタと同様の効果が得られる。

[0138] このように単位回路57では、オン電位出力部（入力端子INa）は、単位回路41に対する第1入力信号INaを出力し、セット制御部は、第1導通端子に単位回路57に対する第2入力信号INbが与えられ、第2導通端子がセットトランジスタTr2の制御端子に接続され、制御端子にオン電位VDDが固定的に印加されたトランジスタTr11を含んでいる。本実施形態に係るシフトレジスタによれば、第11の実施形態と同様に、出力信号OUTのなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、第2入力信号INbに基づきセットトランジスタTr2の制御端子の電位をオン電位に変化させた後に、第1入

力信号 I_{Na} に基づき出力トランジスタ T_{r1} の制御端子の電位をオン電位に変化させることにより、動作マージンを大きくすることができる。

[0139] (第22の実施形態)

図42は、本発明の第22の実施形態に係るシフトレジスタの構成を示すブロック図である。図42に示すシフトレジスタ60は、 n 個の単位回路61を多段接続して構成されている。単位回路61は、クロック端子 CKA 、 CKB 、入力端子 I_{Na} 、初期化端子 I_{NIT} 、および、出力端子 OUT を有する。シフトレジスタ60には外部からスタートパルス STa 、4相のクロック信号 $CK1 \sim CK4$ 、および、初期化信号 I_{NIT} が供給される。クロック信号 $CK1 \sim CK4$ は、第11の実施形態に係るシフトレジスタ40 (図25) と同様に各端子に与えられる。初期化信号 I_{NIT} は、 n 個の単位回路61の初期化端子 I_{NIT} に与えられる。スタートパルス STa は、1段目の単位回路61の入力端子 I_{Na} に与えられる。単位回路61の出力信号 OUT は、出力信号 $O1 \sim On$ として外部に出力されると共に、次段の単位回路61の入力端子 I_{Na} に与えられる。

[0140] 図43は、単位回路61の回路図である。単位回路61は、単位回路52 (図34) について、トランジスタ T_{r11} のゲート端子およびドレイン端子、並びに、トランジスタ T_{r12} 、 T_{r15} のソース端子の接続先をクロック端子 CKB に変更したものである。

[0141] 図44は、シフトレジスタ60の信号波形図である。図44に示す信号波形図は、入力信号 I_{Nb} の電位の変化が削除されている点、および、時刻 t_7 以降において節点 $n2$ の電位が周期的に所定レベル ($V_{DD} - V_{th}$) になる点を除き、図28に示す信号波形図と同じである。時刻 t_1 より前では、節点 $n1$ 、 $n2$ の電位と出力信号 OUT はローレベルである。時刻 t_1 においてクロック信号 CKB がハイレベルに変化すると、トランジスタ T_{r11} はオンし、クロック端子 CKB から節点 $n2$ に向けてトランジスタ T_{r11} を通過する電流が流れ、節点 $n2$ の電位は上昇する (節点 $n2$ のチャージ)。時刻 t_1 からしばらく経つと、トランジスタ T_{r2} 、 T_{r13} は共にオ

ン状態になる。

[0142] 時刻 t_2 において入力信号 I_{Na} がハイレベルに変化すると、節点 n_1 のチャージと節点 n_2 の突き上げが行われる。時刻 t_3 においてクロック信号 CK_B がローレベルに変化すると、トランジスタ T_{r13} はオフする。トランジスタ T_{r13} がオフした後も、節点 n_1 、 n_2 の電位は変化せず、トランジスタ T_{r1} はオン状態を保つ。時刻 $t_3 \sim t_7$ では、単位回路 61 は単位回路 44（図 31）と同様に動作する。

[0143] 時刻 t_7 においてクロック信号 CK_B がハイレベルに変化すると、トランジスタ T_{r13} はオンし、節点 n_1 のディスチャージが行われる。また、時刻 t_7 において、トランジスタ T_{r11} はオンする。このため、クロック端子 CK_B から節点 n_2 に向けてトランジスタ T_{r11} を通過する電流が流れ、節点 n_2 の電位は上昇する。時刻 t_7 以降において、節点 n_2 の電位は、クロック信号 CK_B がハイレベルに変化すると $(V_{DD} - V_{th})$ に変化し、クロック信号 CK_A がハイレベルに変化するとローレベルに変化する。

[0144] シフトレジスタ 60 にはスタートパルス ST_b を供給する必要がなく、単位回路 61 には 2 段前の単位回路 61 の出力信号 OUT を与える必要がない。したがって、本実施形態に係るシフトレジスタ 60 によれば、単位回路間の配線を削減し、回路のレイアウト面積を削減することができる。

[0145] このように単位回路 61 では、オン電位出力部（入力端子 I_{Na} ）は、単位回路 41 に対する入力信号 I_{Na} を出力し、セット制御部は、第 1 導通端子と制御端子に第 2 クロック信号 CK_B が与えられ、第 2 導通端子がセットトランジスタ T_{r2} の制御端子に接続されたトランジスタ T_{r11} を含んでいる。

[0146] 第 2 クロック信号 CK_B の電位がオン電位（ハイレベル電位）に変化したとき、セットトランジスタ T_{r2} の制御端子の電位が所定レベル $(V_{DD} - V_{th})$ に到達した後、セットトランジスタ T_{r2} の制御端子はフローティング状態になる。その後、入力信号 I_{Na} の電位がオン電位に変化し、出力トランジスタ T_{r1} の制御端子の電位がオン電位に変化すると、セットトラ

ンジスタ T_{r2} の制御端子の電位は十分なオン電位（通常のハイレベル電位よりも高い電位）になり、出力トランジスタ T_{r1} の制御端子の電位は閾値落ちのないオン電位 V_{DD} になる。したがって、本実施形態に係るシフトレジスタによれば、出力信号 OUT のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、第2クロック信号 CKB に基づきセットトランジスタ T_{r2} の制御端子の電位をオン電位に変化させた後に、入力信号 INa に基づき出力トランジスタ T_{r1} の制御端子の電位をオン電位に変化させることにより、動作マージンを大きくすることができる。

[0147] （第23の実施形態）

本発明の第23の実施形態に係るシフトレジスタは、図42に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路61に代えて、図45に示す単位回路62を備えている。単位回路62は、単位回路61（図43）について、トランジスタ T_{r12} のゲート端子の接続先を出力端子 OUT に変更したものである。

[0148] 図46は、本実施形態に係るシフトレジスタの信号波形図である。図46に示す信号波形図は、節点 $n2$ の電位の変化を除いて、図44に示す信号波形図と同じである。時刻 $t2$ より前では、節点 $n1$ の電位と出力信号 OUT はローレベル、節点 $n2$ の電位は $(V_{DD} - V_{th})$ であり、節点 $n2$ はフローティング状態であり、トランジスタ T_{r2} はオン状態である。

[0149] 時刻 $t2$ において入力信号 INa がハイレベルに変化すると、節点 $n1$ のチャージと節点 $n2$ の突き上げが行われる。時刻 $t3$ においてクロック信号 CKB がローレベルに変化すると、トランジスタ T_{r13} はオフする。トランジスタ T_{r13} がオフした後も、節点 $n1$ 、 $n2$ の電位は変化せず、トランジスタ T_{r1} 、 T_{r2} はオン状態を保つ。時刻 $t4$ においてクロック信号 CKA がローレベルからハイレベルに変化すると、節点 $n1$ の突き上げが行われ、閾値落ちのないハイレベル電位 V_{DD} が出力信号 OUT として出力される。また、出力信号 OUT がハイレベルになると、トランジスタ T_{r12}

はオンする。このときクロック信号CKBはローレベルであるので、節点n2の電位は下降してローレベルになる（節点n2のディスチャージ）。このため、トランジスタTr2はオフする。

[0150] 時刻t5において、入力信号INaはローレベルに変化する。このときトランジスタTr2、Tr13はオフ状態であるので、節点n1、n2の電位は変化しない。時刻t6においてクロック信号CKAがローレベルに変化すると、出力信号OUTはローレベルに変化し、トランジスタTr12はオフする。また、節点n1の突き上げが終了するので、節点n1の電位はハイレベル電位VDDに下降する。時刻t7においてクロック信号CKBがハイレベルに変化すると、節点n1のディスチャージが行われる。また、時刻t7においてトランジスタTr11はオンするので、節点n2の電位は上昇して（ $VDD - V_{th}$ ）になる（節点n2のチャージ）。

[0151] 本実施形態に係るシフトレジスタによれば、第18の実施形態と同様に、トランジスタTr12のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。また、節点n2のディスチャージは、出力信号OUTがハイレベルのときにだけ行われる。したがって、本実施形態に係るシフトレジスタによれば、節点n2に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0152] （第24の実施形態）

図47は、本発明の第24の実施形態に係るシフトレジスタの構成を示すブロック図である。図47に示すシフトレジスタ70は、n個の単位回路71を多段接続し、その前段にダミー単位回路72を接続したものである。単位回路71は、クロック端子CKA、CKB、入力端子INa、INb、初期化端子INIT、および、出力端子OUTを有する。ダミー単位回路72は、クロック端子CKA、CKB、入力端子INa、初期化端子INIT、および、出力端子OUTを有する。例えば、単位回路71には単位回路52（図34）が用いられ、ダミー単位回路72には単位回路61（図43）が用いられる。

[0153] シフトレジスタ 70 には外部から、スタートパルス STa 、4 相のクロック信号 $CK1 \sim CK4$ 、および、初期化信号 $INIT$ が供給される。クロック信号 $CK1 \sim CK4$ は、第 11 の実施形態に係るシフトレジスタ 40 (図 25) と同様に各端子に与えられる。これに加えて、クロック信号 $CK2$ はダミー単位回路 72 のクロック端子 CKB に与えられ、クロック信号 $CK4$ はダミー単位回路 72 のクロック端子 CKA に与えられる。スタートパルス STa は、ダミー単位回路 72 の入力端子 INa と 1 段目の単位回路 71 の入力端子 INb に与えられる。初期化信号 $INIT$ は、 n 個の単位回路 71 とダミー単位回路 72 の初期化端子 $INIT$ に与えられる。ダミー単位回路 72 の出力信号 OUT は、外部に出力されることなく、1 段目の単位回路 71 の入力端子 INa と 2 段目の単位回路 71 の入力端子 INb に与えられる。単位回路 71 の出力信号 OUT は、出力信号 $O1 \sim On$ として外部に出力されると共に、次段の単位回路 71 の入力端子 INa と 2 段後の単位回路 71 の入力端子 INb に与えられる。

[0154] 図 48 は、シフトレジスタ 70 のタイミングチャートである。図 48 に示すように、スタートパルス STa とクロック信号 $CK1 \sim CK4$ は、第 11 の実施形態と同じタイミングで変化する (図 27 を参照)。ダミー単位回路 72 の出力信号 OUT (以下、ダミー出力信号 O_{dmy} という) は、スタートパルス STa をクロック信号 $CK1$ の $1/4$ 周期遅延させた信号となる。スタートパルス STa とダミー出力信号 O_{dmy} は、それぞれ、第 11 の実施形態に係るシフトレジスタ 40 におけるスタートパルス STb 、 STa と同じ役割を有する。

[0155] このようにシフトレジスタ 70 は、スタートパルス STa をクロック信号の $1/4$ 周期遅延させた信号を出力するダミー単位回路 72 を備えている。このため、シフトレジスタ 70 に供給するスタートパルスは 1 本でよい。したがって、本実施形態に係るシフトレジスタ 70 によれば、スタートパルスを供給する入力端子とスタートパルスを伝搬する配線の分だけ、レイアウト面積を削減することができる。

[0156] (第25の実施形態)

図49は、本発明の第25の実施形態に係るシフトレジスタの構成を示すブロック図である。図49に示すシフトレジスタ80は、 n 個の単位回路81と2個のダミー単位回路82、83を多段接続して構成されている。単位回路81は、クロック端子CKA、CKB、入力端子INa、INb、初期化端子INIT、リセット端子R、および、出力端子OUTを有する。ダミー単位回路82、83は、クロック端子CKA、CKB、入力端子INa、INb、初期化端子INIT、および、出力端子OUTを有する。

[0157] シフトレジスタ80には外部から、スタートパルスSTa、STb、4相のクロック信号CK1～CK4、および、初期化信号INITが供給される。スタートパルスSTa、STbとクロック信号CK1～CK4は、第11の実施形態に係るシフトレジスタ40（図25）と同様に各端子に与えられる。これに加えて、クロック信号CK1～CK4は、それぞれ、ダミー単位回路82のクロック端子CKA、ダミー単位回路83のクロック端子CKA、ダミー単位回路82のクロック端子CKB、および、ダミー単位回路83のクロック端子CKBに与えられる。初期化信号INITは、 n 個の単位回路81とダミー単位回路82、83の初期化端子INITに与えられる。単位回路81の出力信号OUTは、出力信号O1～Onとして外部に出力されると共に、次段の単位回路81（または、ダミー単位回路82）の入力端子INa、2段後の単位回路81（または、ダミー単位回路82、83）の入力端子INb、および、2段前の単位回路81のリセット端子Rに与えられる。ダミー単位回路82の出力信号OUT（以下、ダミー出力信号O_{dmy1}という）は、ダミー単位回路83の入力端子INa、および、 $(n-1)$ 段目の単位回路81のリセット端子Rに与えられる。ダミー単位回路83の出力信号OUT（以下、ダミー出力信号O_{dmy2}という）は、 n 段目の単位回路81のリセット端子Rに与えられる。

[0158] 図50は、単位回路81の回路図である。単位回路81は、単位回路54（図37）について、トランジスタTr13のゲート端子の接続先をリセッ

ト端子Rに変更したものである。ダミー単位回路82、83には、リセット端子Rを有しない単位回路（例えば、単位回路54）が用いられる。

[0159] シフトレジスタ80では、2段後の単位回路81の出力信号OUTがゲート端子に与えられたトランジスタTr13を用いて、節点n1のディスチャージが行われる。（n-1）段目およびn段目の単位回路81に2段後の単位回路81の出力信号OUTを与えるために、シフトレジスタ80はダミー単位回路82、83を備えている。（n-1）段目の単位回路81のトランジスタTr13のゲート端子には、ダミー出力信号Odm1が与えられる。n段目の単位回路81のトランジスタTr13のゲート端子には、ダミー出力信号Odm2が与えられる。

[0160] 図51は、シフトレジスタ80の信号波形図である。図51に示す信号波形図は、図28に示す信号波形図にリセット信号Rの変化を追加したものである。出力信号OUTは、時刻t4においてハイレベルに変化し、時刻t6においてローレベルに変化する。これよりもクロック信号CK1の半周期遅れて、リセット信号Rは、時刻t7においてハイレベルに変化し、時刻t8においてローレベルに変化する。時刻t6においてクロック信号CKAがローレベルに変化すると、節点n1の突き上げが終了し、節点n1の電位はハイレベル電位VDDに下降する。時刻t7においてリセット信号Rがハイレベルに変化すると、トランジスタTr13はオンし、節点n1の電位は下降してローレベルになる（節点n1のディスチャージ）。

[0161] 単位回路54では、クロック信号CKBがハイレベルのときに、トランジスタTr13がオンし、節点n1のディスチャージが行われる。これに対して単位回路81では、リセット信号Rがハイレベルのときに、トランジスタTr13がオンし、節点n1のディスチャージが行われる。リセット信号Rが変化する頻度は、クロック信号CKBが変化する頻度よりも小さい。したがって、本実施形態に係るシフトレジスタ80によれば、トランジスタTr13のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

- [0162] 本実施形態に係るシフトレジスタ80については、図52に示す変形例を構成することができる。図52に示すシフトレジスタ84は、 $(n+2)$ 個の単位回路81を多段接続して構成されている。 $(n+1)$ 段目および $(n+2)$ 段目の単位回路81は、ダミー単位回路として機能する。シフトレジスタ84には外部からスタートパルスSTa、STb、4相のクロック信号CK1~CK4、初期化信号INIT、および、リセット信号Rが供給される。リセット信号Rは、 $(n+1)$ 段目および $(n+2)$ 段目の単位回路81のリセット端子Rに与えられる。それ以外の信号は、シフトレジスタ80と同様に各端子に与えられる。
- [0163] シフトレジスタ84では、シフトレジスタ80と同様に、2段後の単位回路81の出力信号OUTがゲート端子に与えられたトランジスタTr13を用いて、節点n1のディスチャージが行われる。 $(n-1)$ 段目およびn段目の単位回路81に2段後の単位回路81の出力信号OUTを与えるために、シフトレジスタ84は $(n+1)$ 段目およびn段目の単位回路81を備えている。 $(n-1)$ 段目の単位回路81のトランジスタTr13のゲート端子には、 $(n+1)$ 段目の単位回路81の出力信号OUT（以下、ダミー出力信号Odm1という）が与えられる。n段目の単位回路81のトランジスタTr13のゲート端子には、 $(n+2)$ 段目の単位回路81の出力信号OUT（以下、ダミー出力信号Odm2という）が与えられる。
- [0164] 図53は、シフトレジスタ84のタイミングチャートである。図53に示すように、ダミー出力信号Odm1は、n段目の単位回路81の出力信号OUTがハイレベルになった後のクロック信号CK1のハイレベル期間でハイレベルになる。ダミー出力信号Odm2は、ダミー出力信号Odm1がハイレベルになった後のクロック信号CK2のハイレベル期間でハイレベルになる。リセット信号Rは、ダミー出力信号Odm2のハイレベル期間の後にハイレベルになる。リセット信号Rがハイレベルになると、 $(n+1)$ 段目およびn段目の単位回路81において、トランジスタTr13はオンし、節点n1の電位はローレベルになる。

[0165] シフトレジスタ84でも、シフトレジスタ80と同様に、トランジスタTr13のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。なお、シフトレジスタ84には、初期化信号INITとリセット信号Rに代えて、初期化時とリセット時にハイレベルになる制御信号を供給してもよい。この場合、単位回路81からトランジスタTr13、Tr16のうち一方を削除してもよい。

[0166] (第26の実施形態)

本発明の第26の実施形態に係るシフトレジスタは、図49または図52に示す構成を有する。本実施形態に係るシフトレジスタは、単位回路81に代えて、図54に示す単位回路85を備えている。単位回路85は、単位回路81(図50)にトランジスタTr19を追加したものである。トランジスタTr19のドレイン端子は出力端子OUTに接続され、トランジスタTr19のソース端子にはローレベル電位VSSが印加され、トランジスタTr19のゲート端子はリセット端子Rに接続される。本実施形態に係るシフトレジスタの信号波形図は、第25の実施形態に係る信号波形図と同じである。

[0167] 単位回路41(図26)では、出力信号OUTがローレベルになる前にトランジスタTr1がオフした場合、出力信号OUTはローレベルにならずに中間電位になる。単位回路43(図30)は、出力信号OUTをローレベルにするために、ゲート端子がクロック端子CKBに接続されたトランジスタTr8を含んでいる。しかし、出力信号OUTを確実にローレベルにするためにトランジスタTr8のサイズを大きくすると、消費電力が増大する。この問題を解決するために、単位回路85はゲート端子がリセット端子Rに接続されたトランジスタTr19を含んでいる。

[0168] 単位回路85では、リセット信号Rがハイレベルになると、トランジスタTr19がオンするので、出力信号OUTは確実にローレベルになる。このため、単位回路85では、トランジスタTr8のサイズを大きくする必要はない。また、出力信号OUTが変化する頻度は、クロック信号CKBが変化

する頻度よりも小さい。このため、トランジスタ T_{r19} のサイズを大きくしても、トランジスタ T_{r8} を大きくしたときほど、消費電力は増大しない。したがって、本実施形態に係るシフトレジスタによれば、消費電力を増大させずに、出力信号 OUT を確実にローレベルにすることができる。

[0169] また、トランジスタ T_{r8} は、クロック信号 CKB に基づき周期的にオンする。したがって、トランジスタ T_{r1} のリーク電流などによって出力信号 OUT の電位が上昇しても、トランジスタ T_{r8} を用いて出力信号 OUT の電位を周期的にローレベルにすることができる。なお、単位回路85はトランジスタ T_{r8} 、 T_{r19} を含むこととしたが、トランジスタ T_{r19} を含めば、必ずしもトランジスタ T_{r8} を含む必要はない。

[0170] 以下、本発明の実施形態に係るシフトレジスタを備えた表示装置の例を説明する。図55は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第1の構成例を示すブロック図である。図55に示す液晶表示装置は、 n 本の走査線 $GL1 \sim GLn$ 、 m 本（ m は2以上の整数）のデータ線 $SL1 \sim SLM$ 、 $(m \times n)$ 個の画素回路101、データ線駆動回路111、および、シフトレジスタ121、122を備えている。

[0171] 走査線 $GL1 \sim GLn$ は互いに平行に配置され、データ線 $SL1 \sim SLM$ は走査線 $GL1 \sim GLn$ と直交するように互いに平行に配置される。（ $m \times n$ ）個の画素回路101は、走査線 $GL1 \sim GLn$ とデータ線 $SL1 \sim SLM$ の交点に対応して配置される。画素回路101は、トランジスタ T_w 、液晶容量 C_{lc} 、および、補助容量 C_{cs} を含んでいる。トランジスタ T_w のゲート端子は1本の走査線に接続され、トランジスタ T_w のソース端子は1本のデータ線に接続される。以下、画素回路101の配置領域を領域Aという。

[0172] データ線駆動回路111は、領域Aの一辺（図55では上辺）に沿って配置される。データ線駆動回路111は、データ線 $SL1 \sim SLM$ の一端（図55では上端）に接続され、データ線 $SL1 \sim SLM$ を駆動する。

[0173] シフトレジスタ121、122は、それぞれ n 個の出力端子 $O1 \sim On$ を

有し、走査線駆動回路として機能する。シフトレジスタ121、122には、例えば、第1～第10の実施形態に係るシフトレジスタが用いられる。シフトレジスタ121、122には同じ回路が用いられ、同じ信号が供給される。シフトレジスタ121は領域Aの一辺（図55では左辺）に沿って配置され、シフトレジスタ122は領域Aの対向する辺（図55では右辺）に沿って配置される。シフトレジスタ121の出力端子O1～Onは、それぞれ、走査線GL1～GLnの一端（図55では左端）に接続される。シフトレジスタ121は、走査線GL1～GLnを一端側から駆動する。シフトレジスタ122の出力端子O1～Onは、それぞれ、走査線GL1～GLnの他端（図55では右端）に接続される。シフトレジスタ122は、走査線GL1～GLnを他端側から駆動する。このように図55に示す液晶表示装置では、走査線GL1～GLnは、2個のシフトレジスタ121、122を用いて両側から駆動される。

[0174] 図56は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第2の構成例を示すブロック図である。図56に示す液晶表示装置は、図55に示す液晶表示装置においてシフトレジスタ121、122を、それぞれ、シフトレジスタ123、124に置換したものである。シフトレジスタ123、124は、それぞれn個の出力端子O1～Onを有し、走査線駆動回路として機能する。シフトレジスタ123、124には、例えば、第11～第26の実施形態に係るシフトレジスタが用いられる。

[0175] なお、図55および図56に示す液晶表示装置は、領域Aの対向する2辺に沿って配置された2個のシフトレジスタを用いて、走査線GL1～GLnを両側から駆動することとした。これに代えて、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置は、領域Aの一辺に沿って配置された1個のシフトレジスタを用いて、走査線GL1～GLnを片側から駆動してもよい。

[0176] 図57は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第3の構成例を示すブロック図である。図57に示す液晶表示装置は、2

n 本の走査線 $GL\ 1 \sim GL\ 2\ n$ 、 m 本のデータ線 $SL\ 1 \sim SL\ m$ 、($m \times 2\ n$)個の画素回路 $1\ 0\ 1$ 、データ線駆動回路 $1\ 1\ 1$ 、および、シフトレジスタ $1\ 2\ 1$ 、 $1\ 2\ 2$ を備えている。走査線 $GL\ 1 \sim GL\ 2\ n$ 、データ線 $SL\ 1 \sim SL\ m$ 、($m \times 2\ n$)個の画素回路 $1\ 0\ 1$ 、および、データ線駆動回路 $1\ 1\ 1$ は、図55に示す液晶表示装置と同様に配置される。

[0177] シフトレジスタ $1\ 2\ 1$ 、 $1\ 2\ 2$ には同じ回路が用いられ、初期化信号 IN 、 IT を除いて異なる信号が与えられる。シフトレジスタ $1\ 2\ 1$ 、 $1\ 2\ 2$ には、例えば、第1～第10の実施形態に係るシフトレジスタが用いられる。シフトレジスタ $1\ 2\ 1$ の出力端子 $O\ 1 \sim O\ n$ は、それぞれ、奇数番目の走査線 $GL\ 1$ 、 $GL\ 3$ 、 $\dots$ 、 $GL\ 2\ n - 1$ の一端（図57では左端）に接続される。シフトレジスタ $1\ 2\ 1$ は、奇数番目の走査線 $GL\ 1$ 、 $GL\ 3$ 、 $\dots$ 、 $GL\ 2\ n - 1$ を一端側から駆動する。シフトレジスタ $1\ 2\ 2$ の出力端子 $O\ 1 \sim O\ n$ は、それぞれ、偶数番目の走査線 $GL\ 2$ 、 $GL\ 4$ 、 $\dots$ 、 $GL\ 2\ n$ の他端（図57では右端）に接続される。シフトレジスタ $1\ 2\ 2$ は、偶数番目の走査線 $GL\ 2$ 、 $GL\ 4$ 、 $\dots$ 、 $GL\ 2\ n$ を他端側から駆動する。このように図57に示す液晶表示装置では、奇数番目の走査線 $GL\ 1$ 、 $GL\ 3$ 、 $\dots$ 、 $GL\ 2\ n - 1$ はシフトレジスタ $1\ 2\ 1$ を用いて一端側から駆動され、偶数番目の走査線 $GL\ 2$ 、 $GL\ 4$ 、 $\dots$ 、 $GL\ 2\ n$ はシフトレジスタ $1\ 2\ 2$ を用いて他端側から駆動される。

[0178] 図58は、図57に示す液晶表示装置のタイミングチャートである。シフトレジスタ $1\ 2\ 1$ に供給されるクロック信号 $CK\ 1\ L$ は、所定の周期でハイレベルとローレベルになる。ただし、クロック信号 $CK\ 1\ L$ のハイレベル期間は、クロック信号 $CK\ 1\ L$ の $1/4$ 周期よりも短い。クロック信号 $CK\ 2\ L$ は、クロック信号 $CK\ 1\ L$ を半周期遅延させた信号である。シフトレジスタ $1\ 2\ 2$ に供給されるクロック信号 $CK\ 1\ R$ 、 $CK\ 2\ R$ は、それぞれ、クロック信号 $CK\ 1\ L$ を $1/4$ 周期、および、 $3/4$ 周期遅延させた信号である。シフトレジスタ $1\ 2\ 1$ に供給されるスタートパルス $ST\ L$ は、シフト開始時にクロック信号 $CK\ 2\ R$ のハイレベル期間でハイレベルになる。シフトレ

ジスタ 122 に供給されるスタートパルス STR は、スタートパルス STL をクロック信号 CK1L の $1/4$ 周期遅延させた信号である。シフトレジスタ 121 の出力信号 O1 のハイレベル期間は、スタートパルス STL のハイレベル期間からクロック信号の $1/4$ 周期遅れる。シフトレジスタ 121 の出力信号 O2 ~ On のハイレベル期間は、それぞれ、シフトレジスタ 121 の出力信号 O1 ~ On-1 のハイレベル期間からクロック信号の半周期遅れる。シフトレジスタ 122 の出力信号 O1 のハイレベル期間は、シフトレジスタ 121 の出力信号 O1 のハイレベル期間からクロック信号の $1/4$ 周期遅れる。シフトレジスタ 122 の出力信号 O2 ~ On のハイレベル期間は、それぞれ、シフトレジスタ 122 の出力信号 O1 ~ On-1 のハイレベル期間からクロック信号の半周期遅れる。したがって、図 58 に示すように、走査線 GL1 ~ GL2n の電位は、クロック信号の $1/4$ 周期ずつ遅れて昇順にハイレベルになる。

[0179] 図 59 は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第 4 の構成例を示すブロック図である。図 59 に示す液晶表示装置は、図 57 に示す液晶表示装置においてシフトレジスタ 121、122 を、それぞれ、シフトレジスタ 123、124 に置換したものである。シフトレジスタ 123、124 には同じ回路が用いられ、初期化信号 INIT を除いて異なる信号が与えられる。シフトレジスタ 123、124 には、例えば、第 11 ~ 第 26 の実施形態に係るシフトレジスタが用いられる。

[0180] 図 60 は、図 59 に示す液晶表示装置のタイミングチャートである。シフトレジスタ 123 に供給されるスタートパルス STaL、STbL およびクロック信号 CK1L ~ CK4L は、それぞれ、図 27 に示すスタートパルス STa、STb およびクロック信号 CK1 ~ CK4 と同じタイミングで変化する。シフトレジスタ 124 に供給されるスタートパルス STaR、STbR およびクロック信号 CK1R ~ CK4R は、シフトレジスタ 123 に供給される信号よりもクロック信号の $1/8$ 周期遅れて変化する。シフトレジスタ 123 の出力信号 O1 のハイレベル期間は、スタートパルス STaL のハ

イレベル期間からクロック信号の $1/4$ 周期遅れる。シフトレジスタ 123 の出力信号 $O_2 \sim O_n$ のハイレベル期間は、それぞれ、シフトレジスタ 123 の出力信号 $O_1 \sim O_{n-1}$ のハイレベル期間からクロック信号の $1/4$ 周期遅れる。シフトレジスタ 124 の出力信号 O_1 のハイレベル期間は、シフトレジスタ 123 の出力信号 O_1 のハイレベル期間からクロック信号の $1/8$ 周期遅れる。シフトレジスタ 124 の出力信号 $O_2 \sim O_n$ のハイレベル期間は、それぞれ、シフトレジスタ 124 の出力信号 $O_1 \sim O_{n-1}$ のハイレベル期間からクロック信号の $1/4$ 周期遅れる。したがって、図 60 に示すように、走査線 $GL_1 \sim GL_{2n}$ の電位は、クロック信号の $1/8$ 周期ずつ遅れて昇順にハイレベルになる。

[0181] 以上に示す液晶表示装置によれば、第 1 ～ 第 26 の実施形態に係るシフトレジスタを走査線駆動回路として用いることにより、走査線駆動回路の出力信号のなまりを小さくし、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。また、図 55 および図 56 に示す液晶表示装置では、走査線 1 本分の幅に対応した領域にシフトレジスタの単位回路を 1 個配置する必要がある。これに対して図 57 および図 59 に示す液晶表示装置では、走査線 2 本分の幅に対応した領域にシフトレジスタの単位回路を 1 個配置すればよい。したがって、図 57 および図 59 に示す液晶表示装置によれば、画素回路の配置領域の外周部分に設けるシフトレジスタのレイアウト領域の幅を小さくすることができる。また、図 55 および図 56 に示す液晶表示装置によれば、走査線 $GL_1 \sim GL_n$ を両側から駆動することにより、片側から駆動する場合と比べて出力信号のなまりをさらに小さくすることができる。

[0182] 以上に示すように、本発明のシフトレジスタによれば、出力トランジスタの制御端子にオン電位が与えられる期間の一部において、セットトランジスタの制御端子をフローティング状態に制御することにより、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0183] なお、以上に述べたシフトレジスタについては、複数の単位回路の特徴を

その性質に反しない限り任意に組み合わせて、各種の変形例に係るシフトレジスタを構成することができる。例えば、耐圧用トランジスタを含む単位回路から耐圧用トランジスタを削除し、得られた単位回路を多段接続してシフトレジスタを構成してもよい。あるいは、耐圧用トランジスタを含まない単位回路に耐圧用トランジスタを追加し、得られた単位回路を多段接続してシフトレジスタを構成してもよい。

産業上の利用可能性

[0184] 本発明のシフトレジスタは、トランジスタの閾値電圧の変動に対して大きな動作マージンを有するという特徴を有するので、表示装置の駆動回路など、各種の回路に利用することができる。

符号の説明

[0185] 10、20、30、40、50、60、70、80、84、121～124…シフトレジスタ
1、11～15、21～24、31、41～44、51～57、61～62、71、81、85…単位回路
2…オン電位出力部
3…セット制御部
32…スキャン切替回路
72、82、83…ダミー単位回路
Tr1～Tr19、Tr21～Tr26、Tr31～Tr38、Trp1～Trp7…トランジスタ

請求の範囲

[請求項1] 複数の単位回路を多段接続した構成を有するシフトレジスタであって、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

前記出力トランジスタの制御端子に与えられるオン電位を出力するオン電位出力部と、

第1導通端子に前記オン電位出力部の出力が与えられ、第2導通端子が前記出力トランジスタの制御端子に接続されたセットトランジスタと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部とを備え、

前記セット制御部は、前記出力トランジスタの制御端子にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする、シフトレジスタ。

[請求項2] 複数の単位回路を多段接続した構成を有するシフトレジスタであって、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

第1導通端子が第1節点に接続され、第2導通端子が前記出力トランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加された耐圧用トランジスタと、

前記第1節点に与えられるオン電位を出力するオン電位出力部と

、

第1導通端子に前記オン電位出力部の出力が与えられ、第2導通端子が前記第1節点に接続されたセットトランジスタと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部とを備え、

前記セット制御部は、前記第1節点にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする、シフトレジスタ。

[請求項3] 前記オン電位出力部は、前記単位回路に対する入力信号を出力し、
前記セット制御部は、第1導通端子に第2クロック信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする、請求項1または2に記載のシフトレジスタ。

[請求項4] 前記オン電位出力部は、前記単位回路に対する入力信号を出力し、
前記セット制御部は、第1導通端子に前記入力信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする、請求項1または2に記載のシフトレジスタ。

[請求項5] 前記オン電位出力部は、オン電位を固定的に出力し、
前記セット制御部は、第1導通端子に前記単位回路に対する入力信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする、請求項1または2に記載のシフトレジスタ。

[請求項6] 前記オン電位出力部は、前記単位回路に対する第1入力信号を出力し、

前記セット制御部は、第1導通端子と制御端子に前記単位回路に対する第2入力信号が与えられ、第2導通端子が前記セットトランジスタの制御端子に接続されたトランジスタを含むことを特徴とする、請

求項 1 または 2 に記載のシフトレジスタ。

[請求項7] 前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、

前記セット制御部は、第 1 導通端子に第 2 クロック信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続され、制御端子に前記単位回路に対する第 2 入力信号が与えられたトランジスタを含むことを特徴とする、請求項 1 または 2 に記載のシフトレジスタ。

[請求項8] 前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、

前記セット制御部は、第 1 導通端子に前記単位回路に対する第 2 入力信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続され、制御端子に第 2 クロック信号が与えられたトランジスタを含むことを特徴とする、請求項 1 または 2 に記載のシフトレジスタ。

[請求項9] 前記オン電位出力部は、前記単位回路に対する第 1 入力信号を出力し、

前記セット制御部は、第 1 導通端子に前記単位回路に対する第 2 入力信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加されたトランジスタを含むことを特徴とする、請求項 1 または 2 に記載のシフトレジスタ。

[請求項10] 前記オン電位出力部は、前記単位回路に対する入力信号を出力し、
前記セット制御部は、第 1 導通端子と制御端子に第 2 クロック信号が与えられ、第 2 導通端子が前記セットトランジスタの制御端子に接続されたトランジスタを含むことを特徴とする、請求項 1 または 2 に記載のシフトレジスタ。

[請求項11] 互いに平行に配置された複数の走査線と、

前記走査線と直交するように互いに平行に配置された複数のデータ線と、

前記走査線および前記データ線の交点に対応して配置された複数の画素回路と、

前記走査線を駆動する走査線駆動回路として、請求項 1 または 2 に記載のシフトレジスタとを備えた、表示装置。

[請求項12] 複数の単位回路を多段接続した構成を有するシフトレジスタの制御方法であって、

前記単位回路が、第 1 導通端子がクロック信号を入力するためのクロック端子に接続され、第 2 導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、第 2 導通端子が前記出力トランジスタの制御端子に接続されたセットトランジスタとを含む場合に、

前記セットトランジスタの第 1 導通端子に対して、前記出力トランジスタの制御端子に与えられるオン電位を出力するステップと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するステップとを備え、

前記セットトランジスタの制御端子の電位を制御するステップは、前記出力トランジスタの制御端子にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする、シフトレジスタの制御方法。

[請求項13] 複数の単位回路を多段接続した構成を有するシフトレジスタの制御方法であって、

前記単位回路が、第 1 導通端子がクロック信号を入力するためのクロック端子に接続され、第 2 導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、第 1 導通端子が第 1 節点に接続され、第 2 導通端子が前記出力トランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加された耐圧用トラン

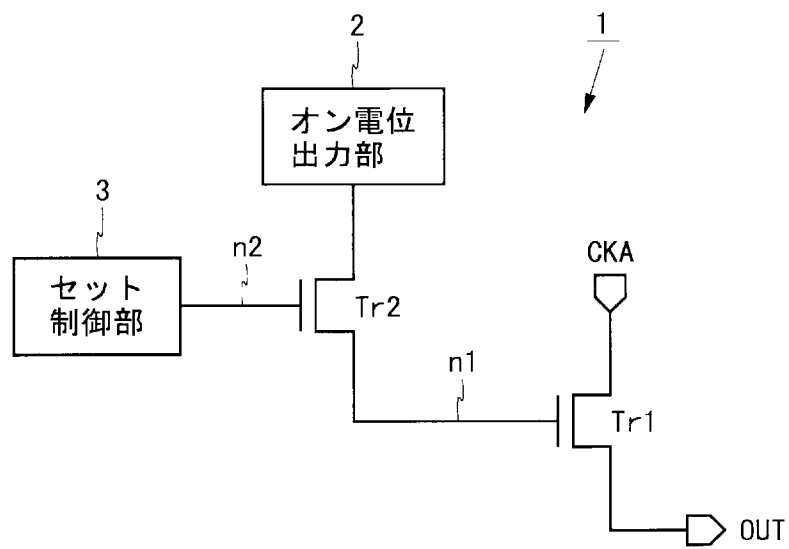
ジスタと、第2導通端子が前記第1節点に接続されたセットトランジスタとを含む場合に、

前記セットトランジスタの第1導通端子に対して、前記第1節点に与えられるオン電位を出力するステップと、

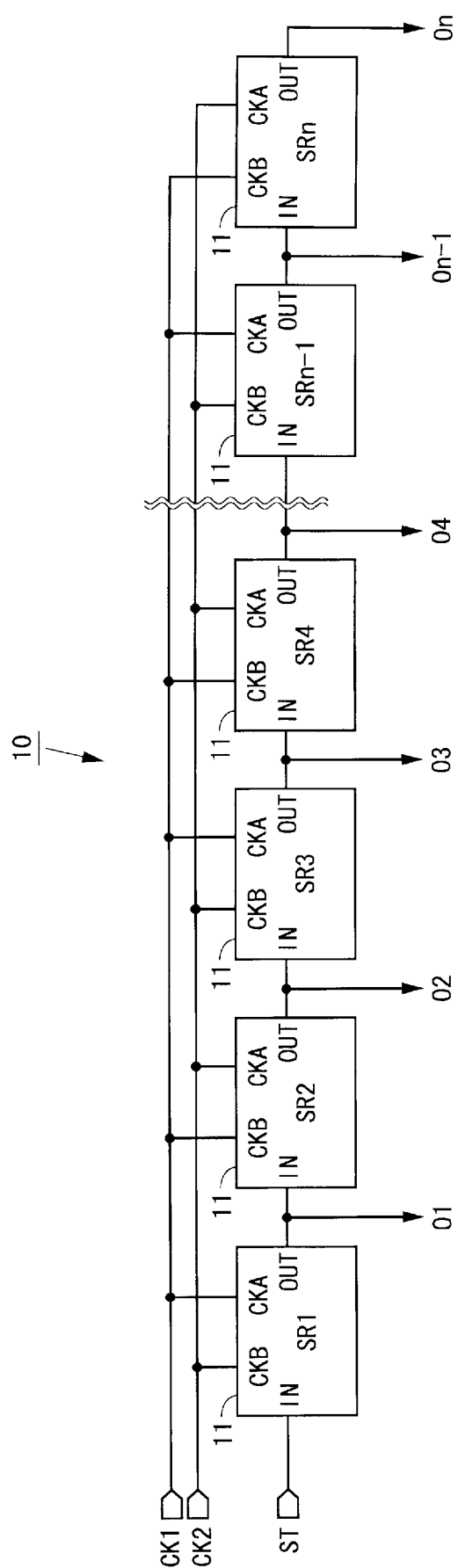
前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するステップとを備え、

前記セットトランジスタの制御端子の電位を制御するステップは、前記第1節点にオン電位が与えられる期間の一部において、前記セットトランジスタの制御端子をフローティング状態に制御することを特徴とする、シフトレジスタの制御方法。

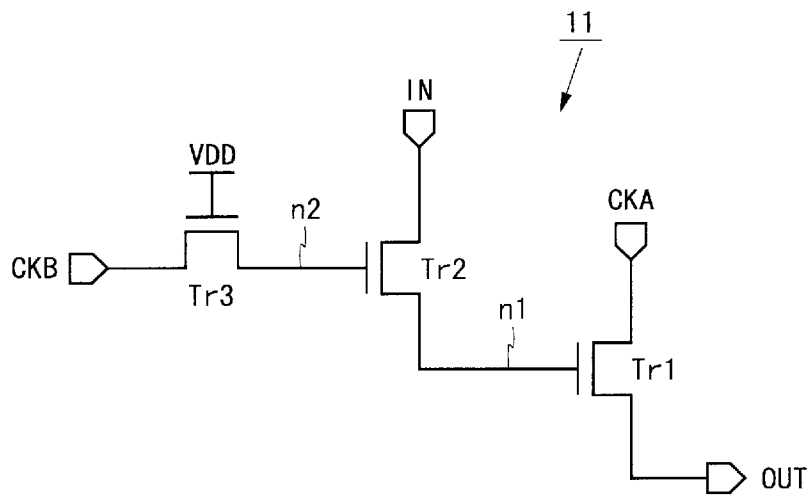
[図1]



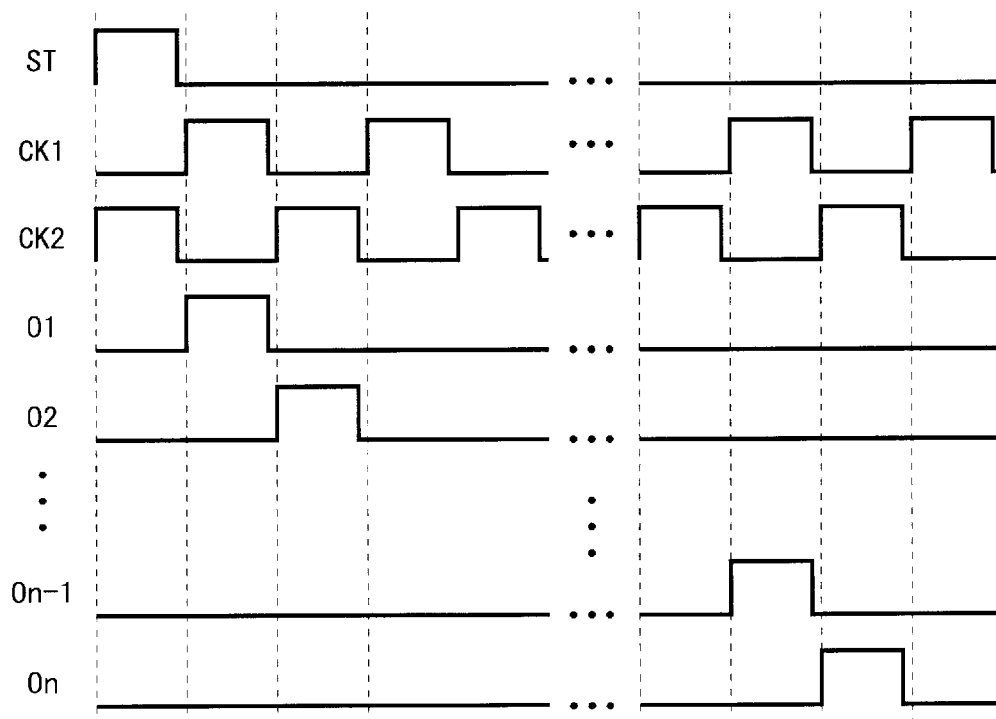
[図2]



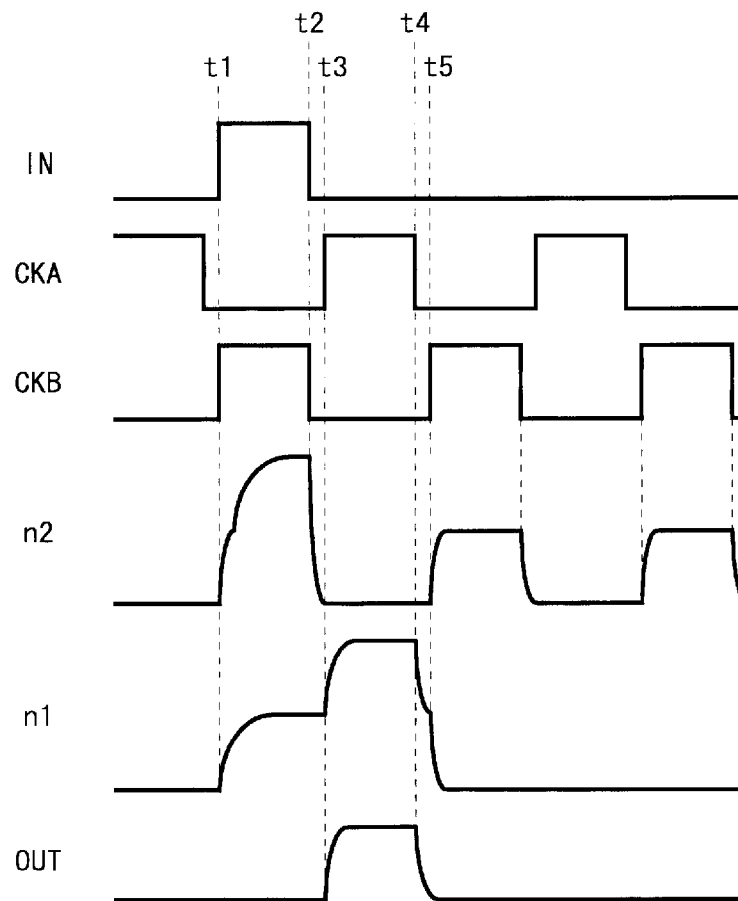
[図3]



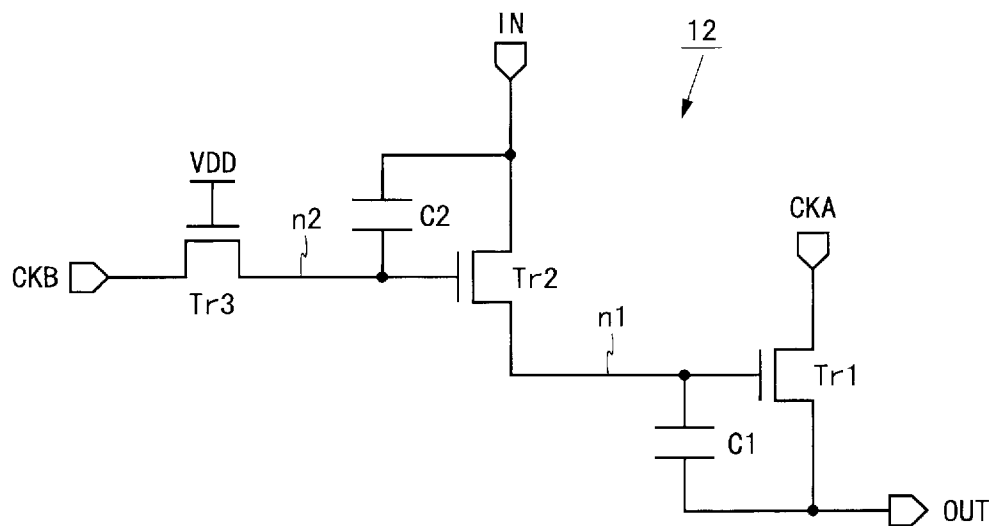
[図4]



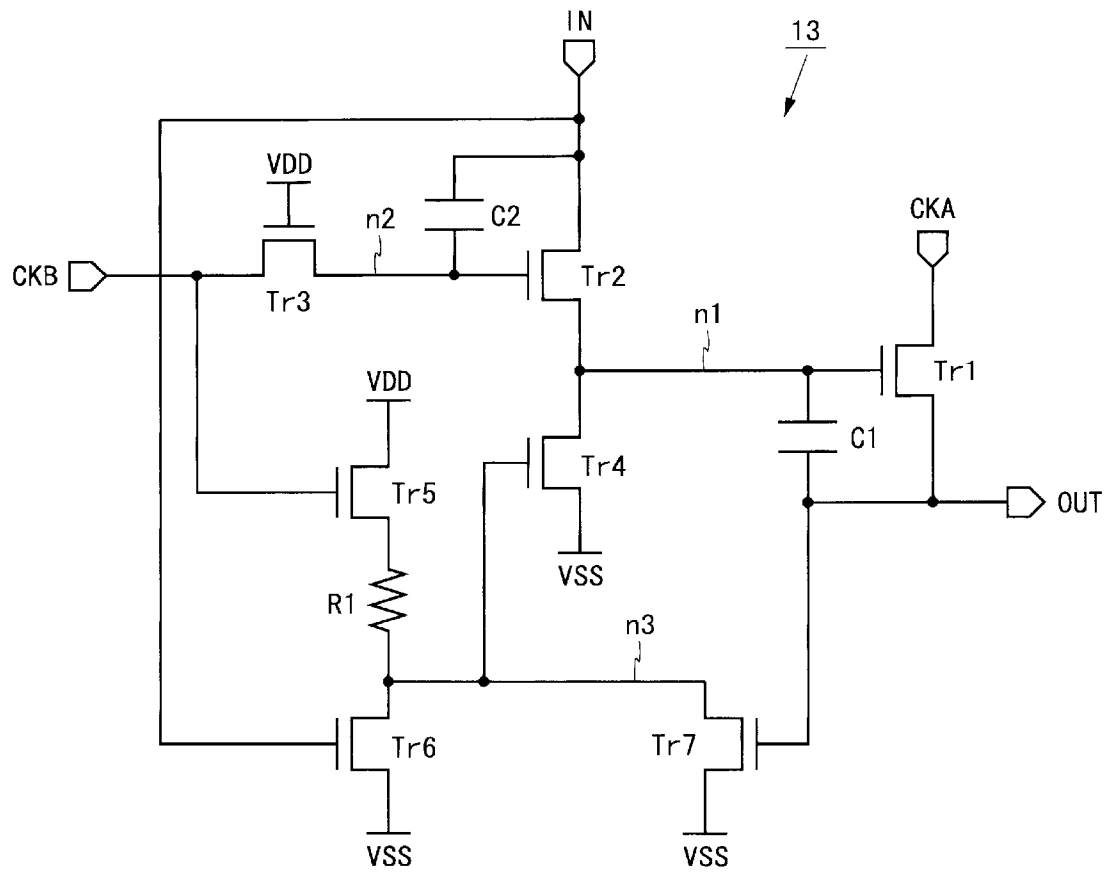
[図5]



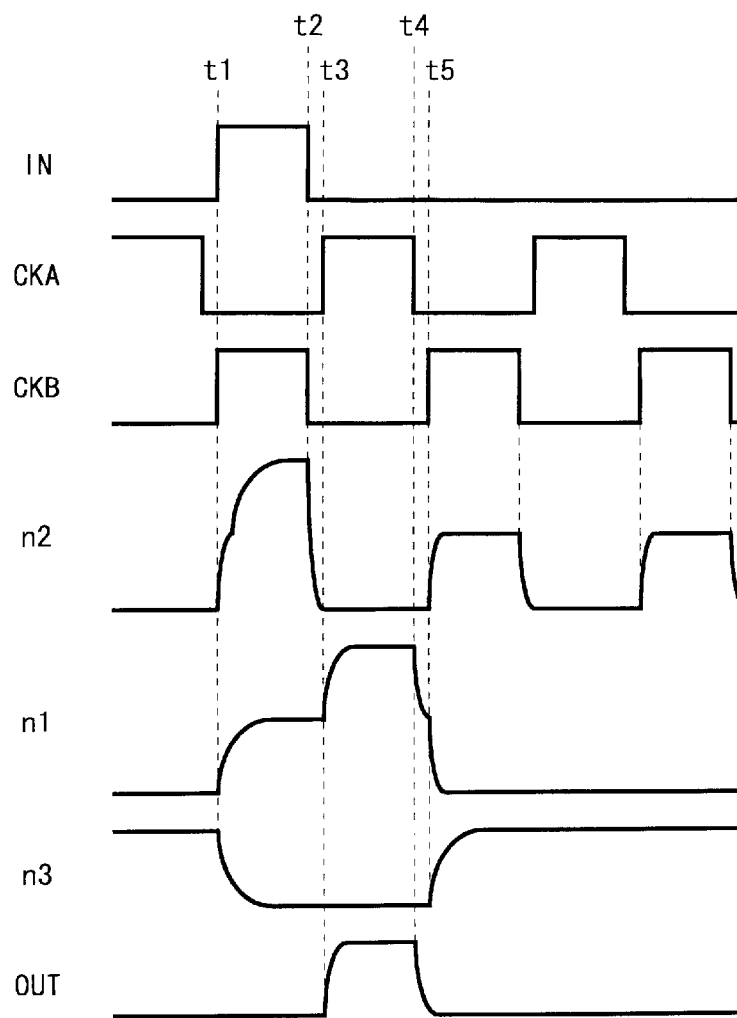
[図6]



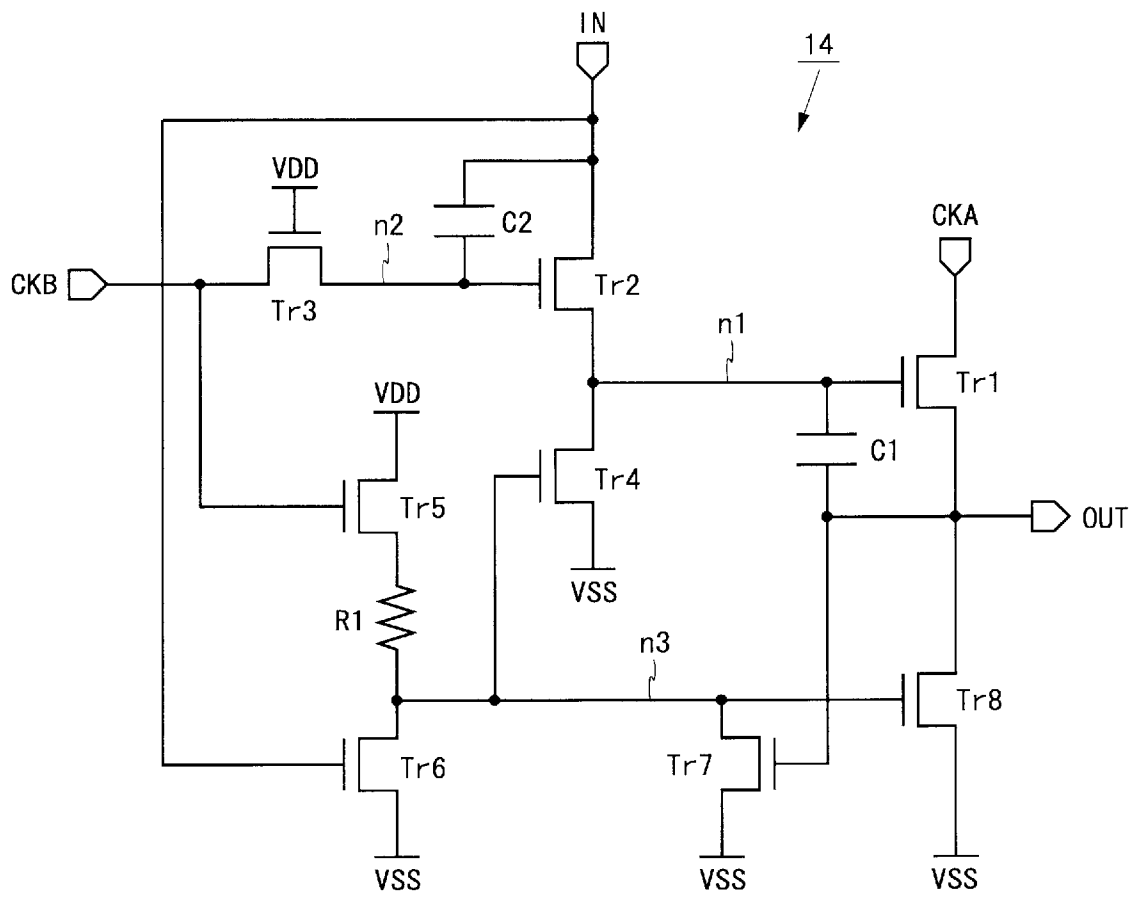
[図7]



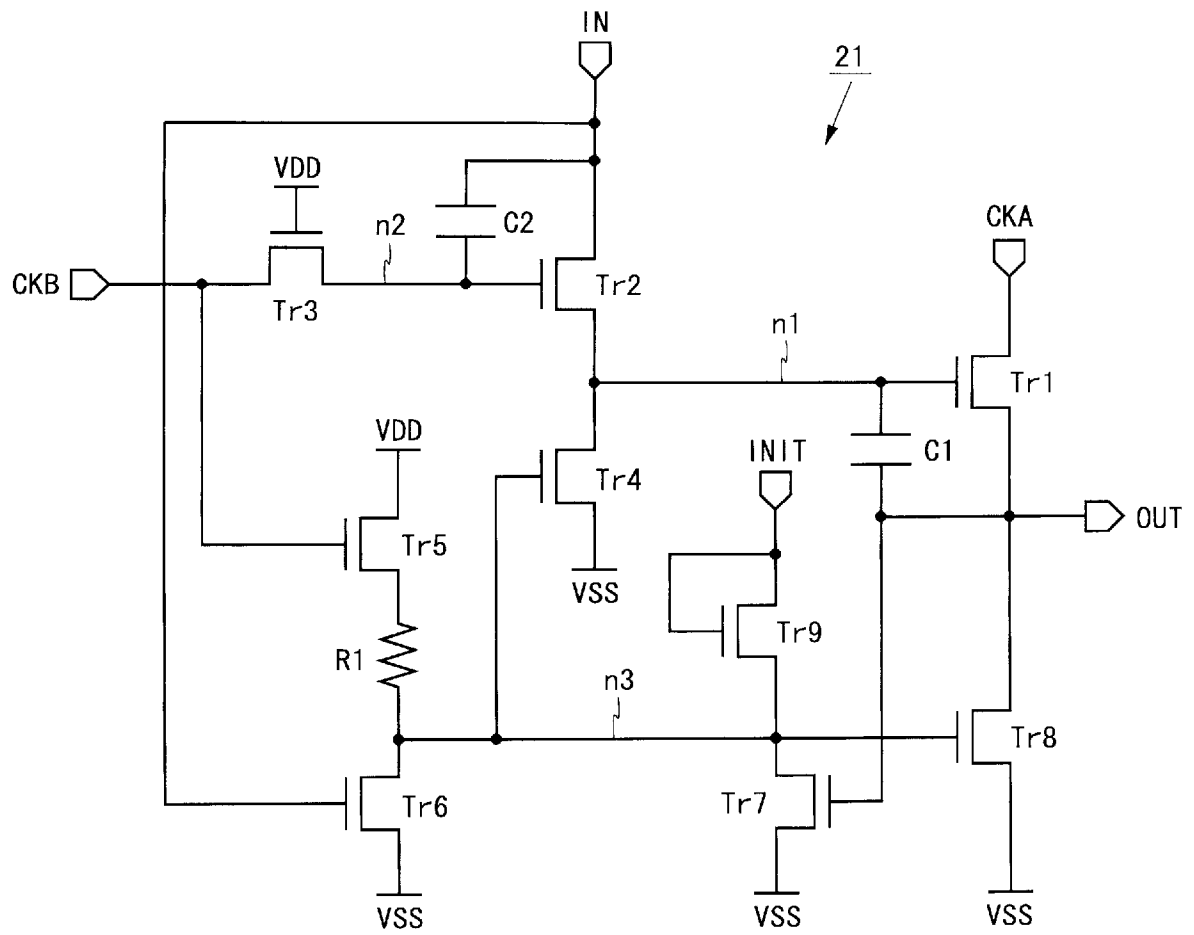
[図8]



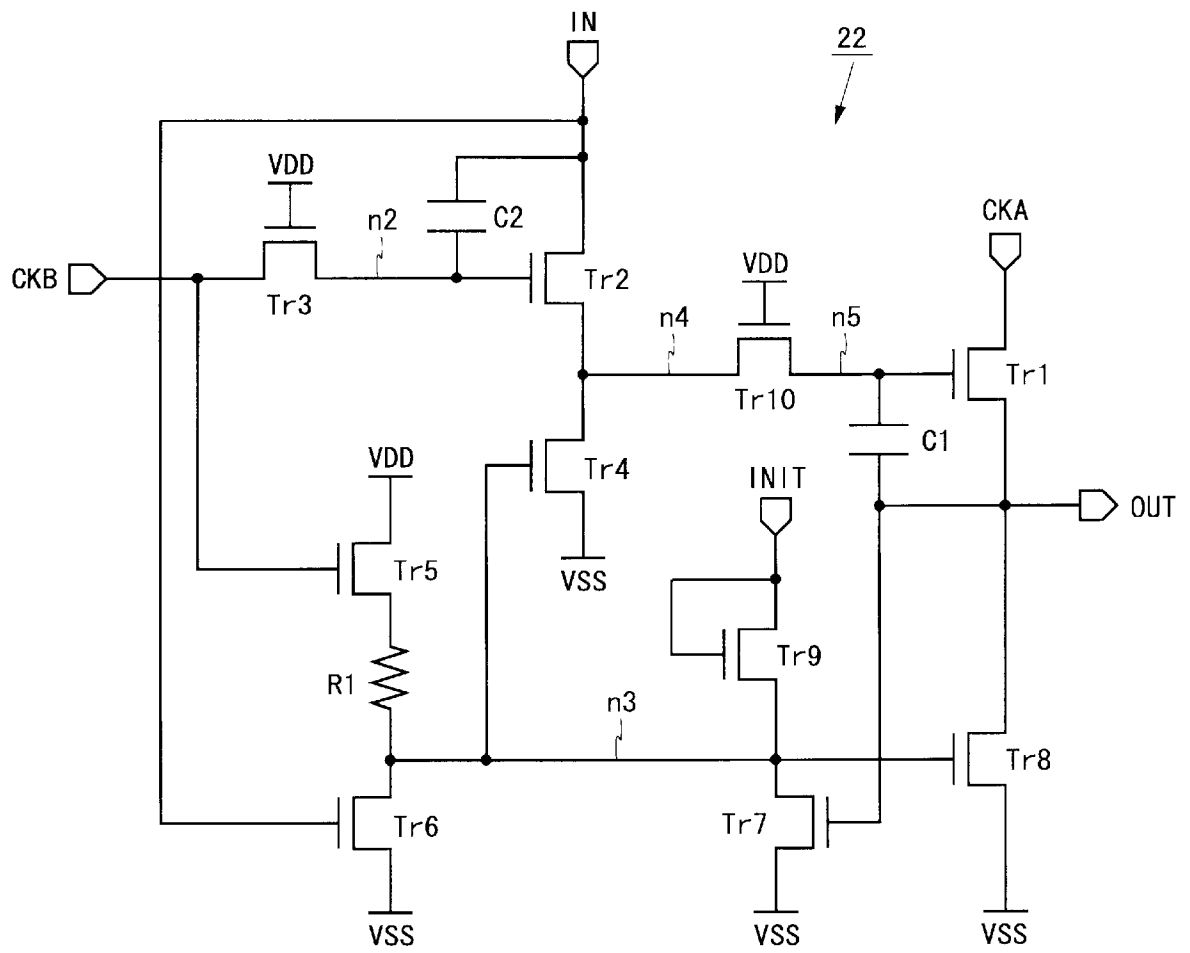
[図9]



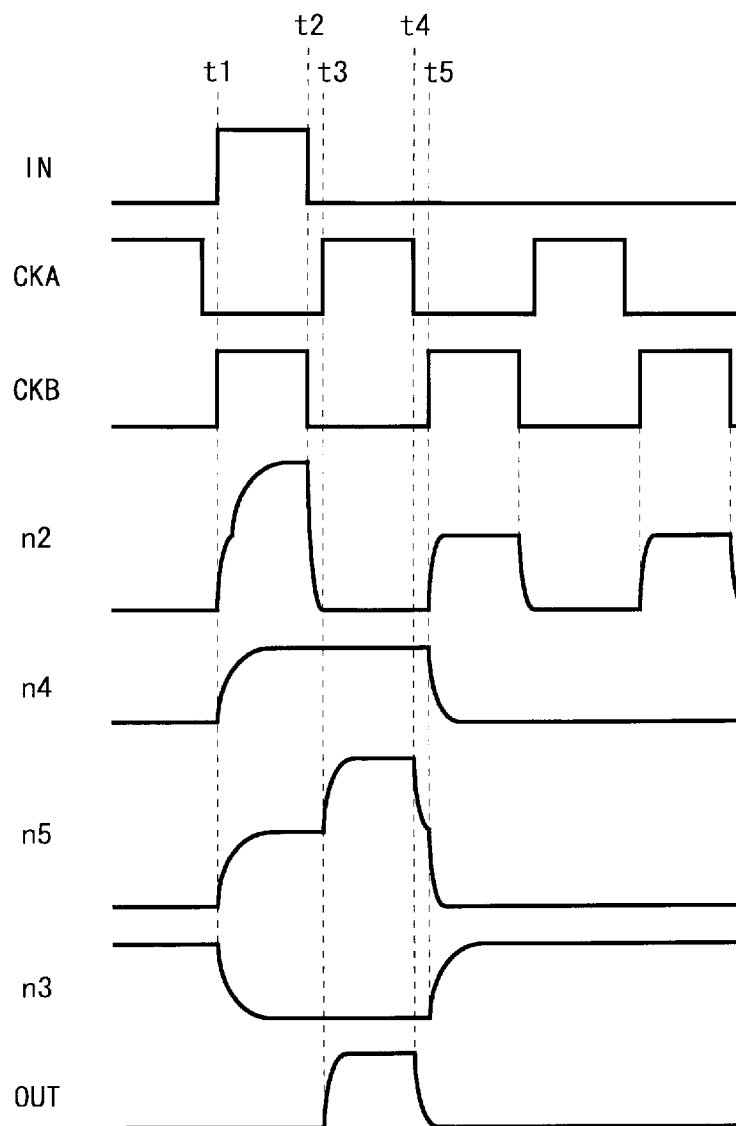
[図11]



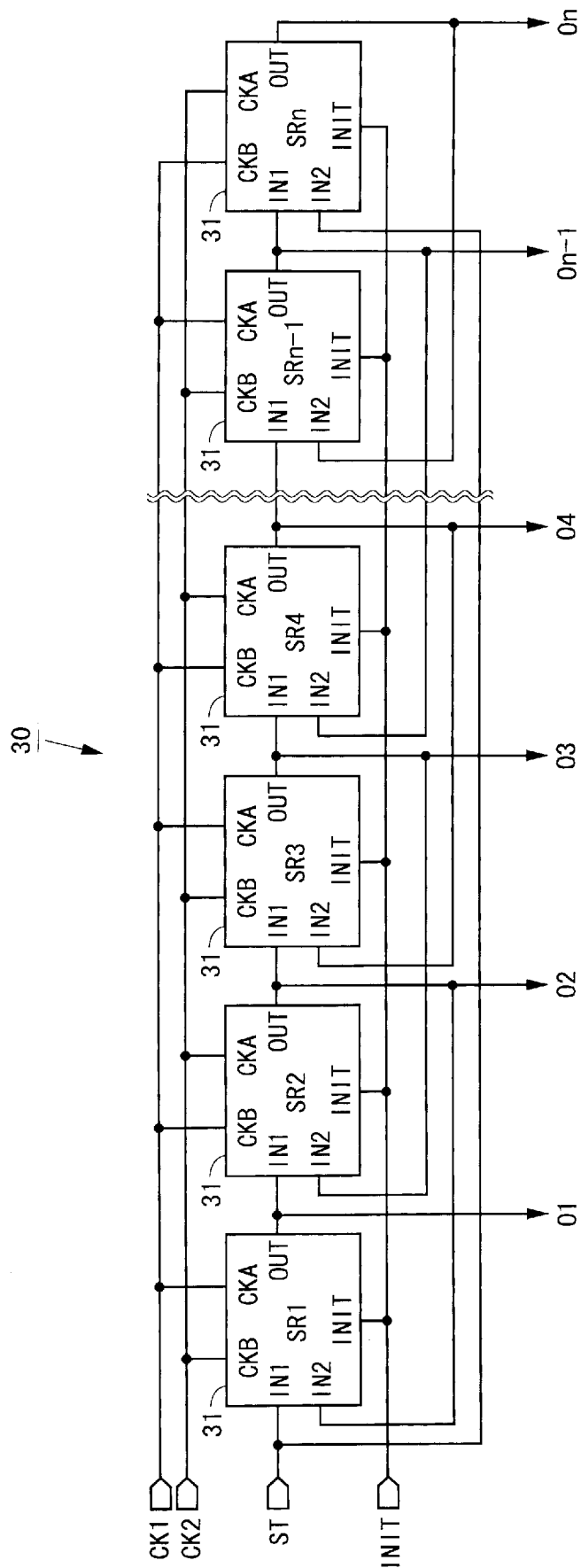
[図12]



[図13]



[図14]



[illegible]

UD

IN1

IN2

UDB

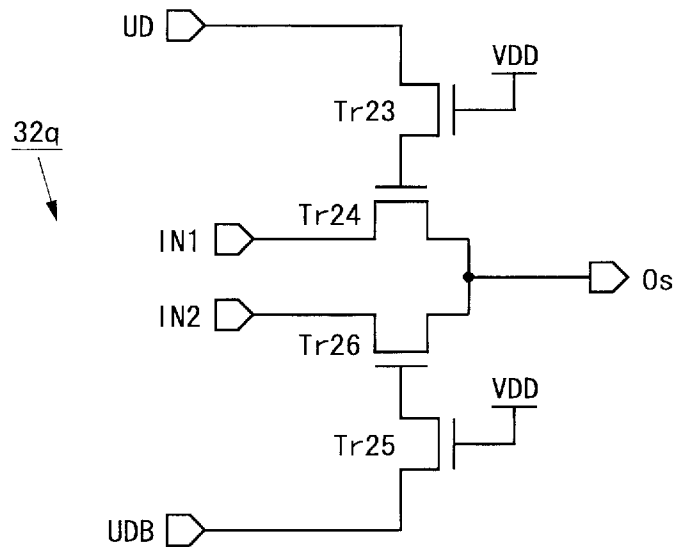
Tr21

Tr22

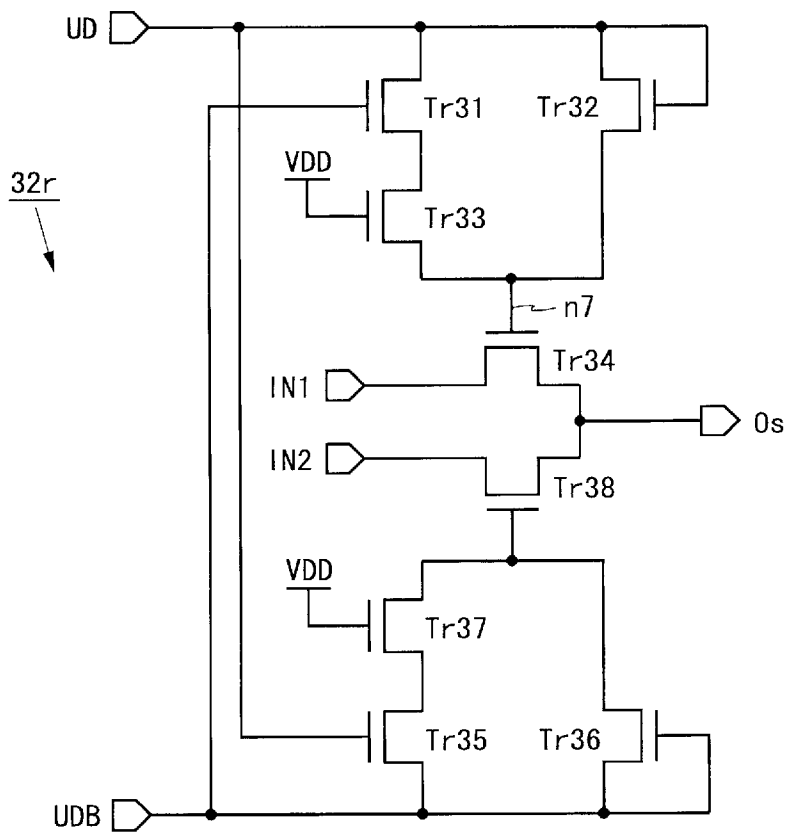
32p

0s

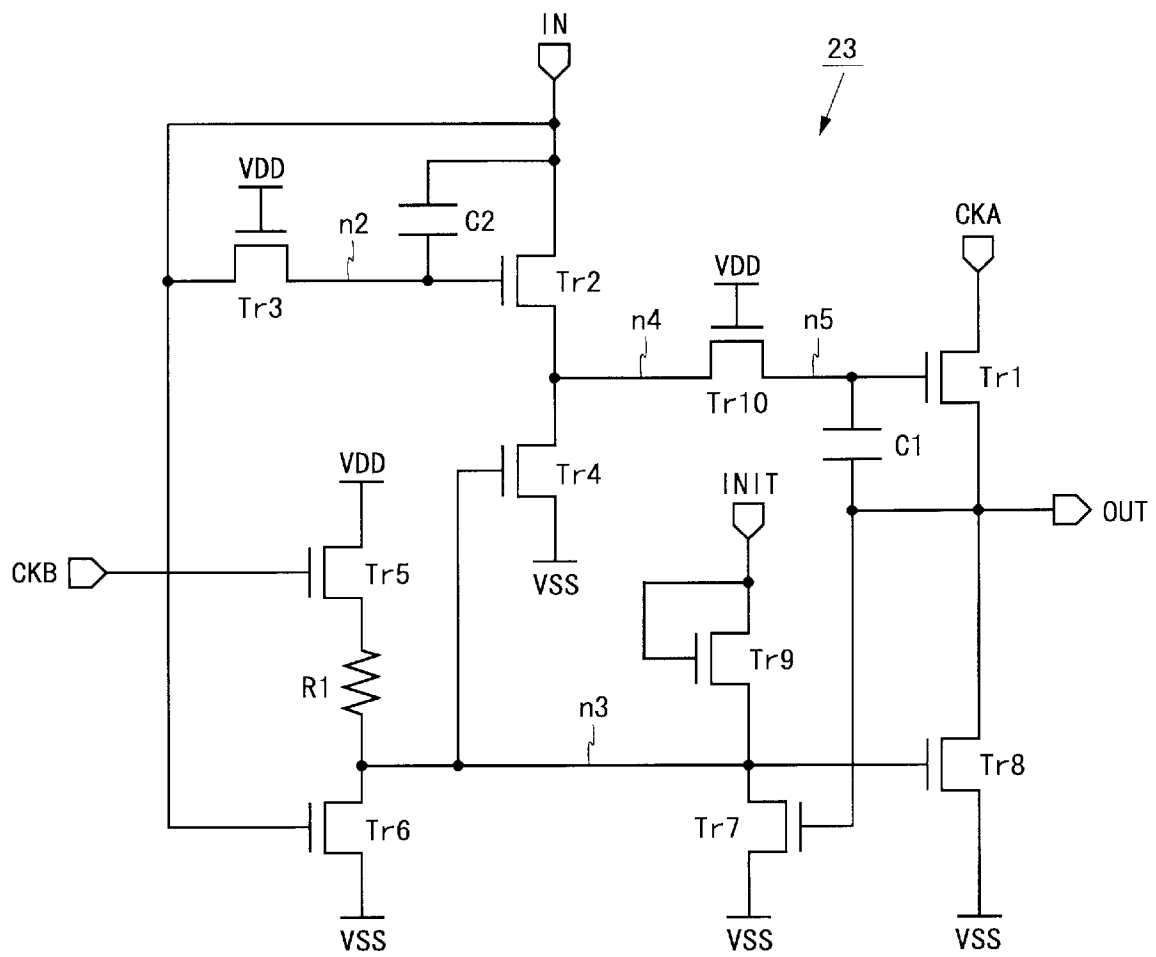
[図18]



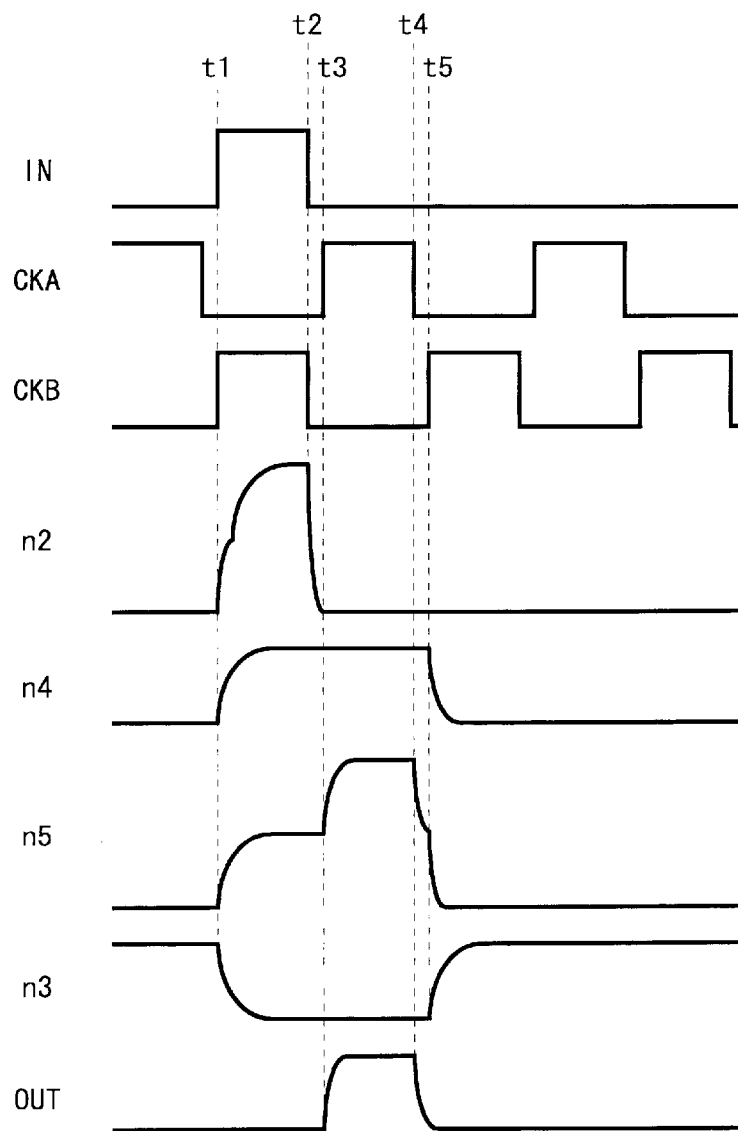
[図19]



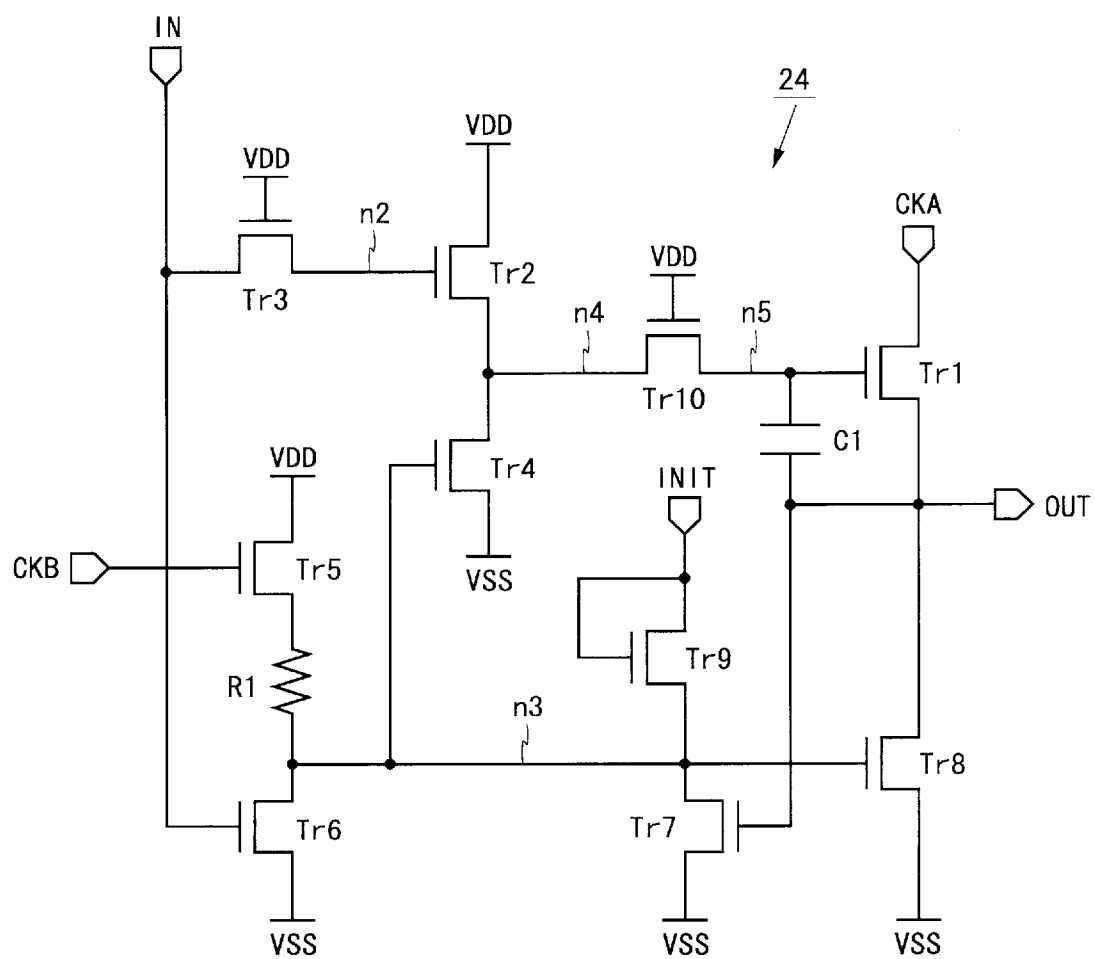
[図20]



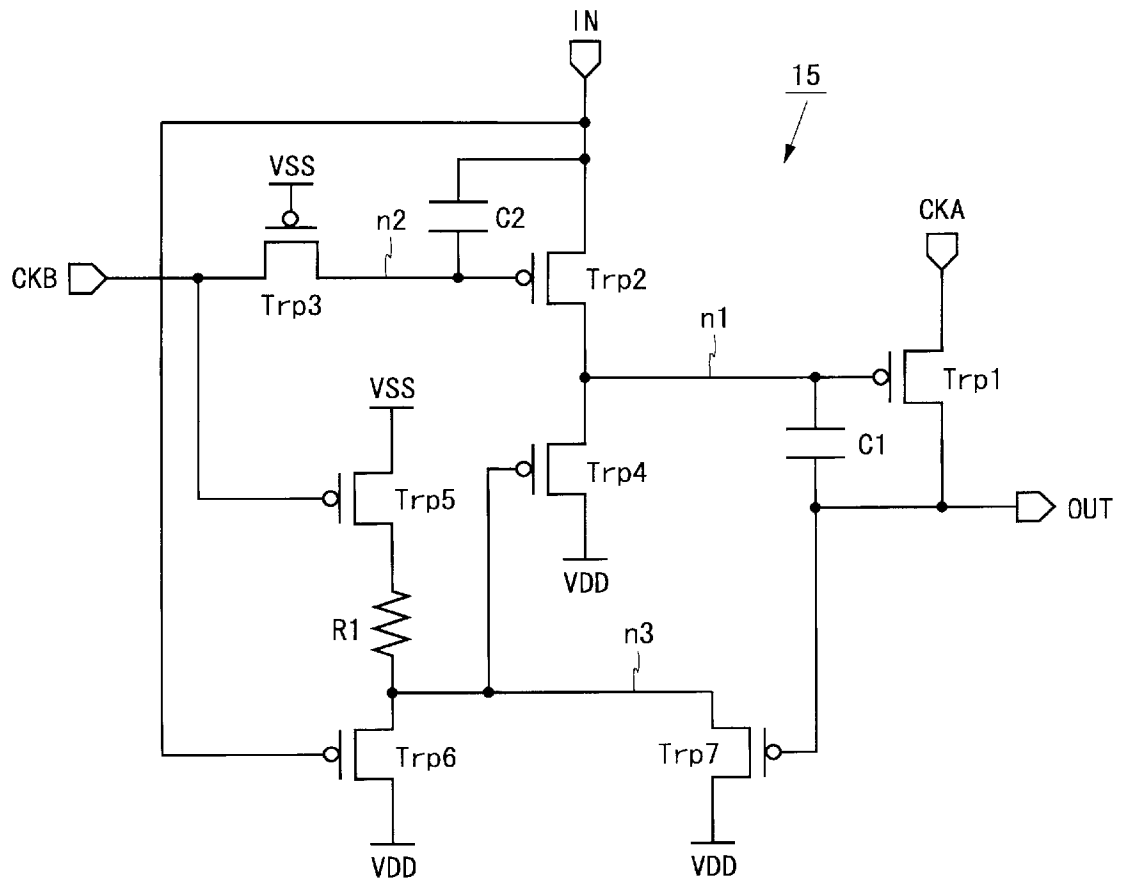
[図21]



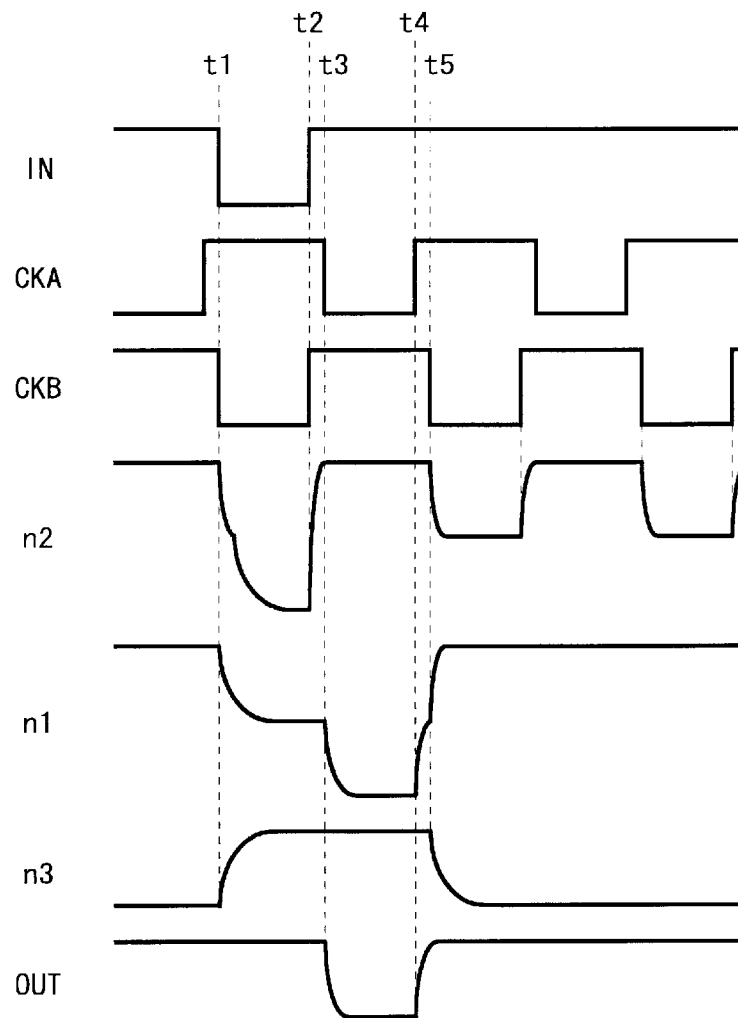
[図22]



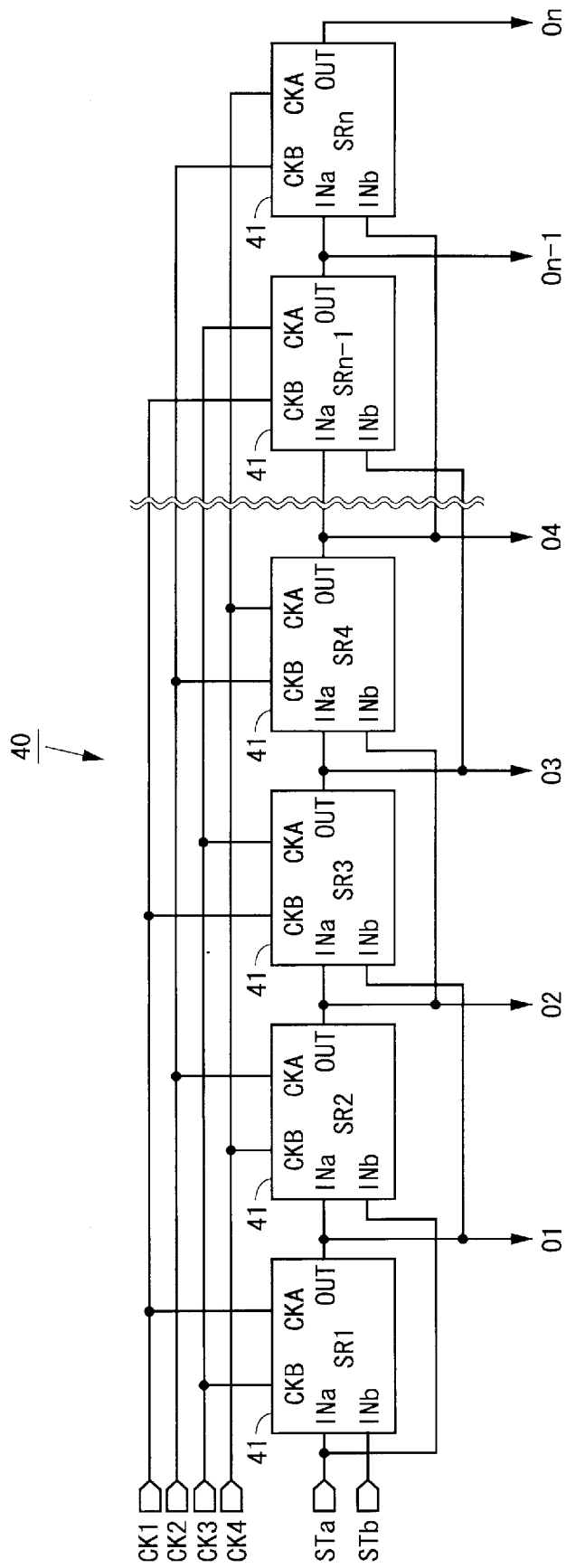
[図23]



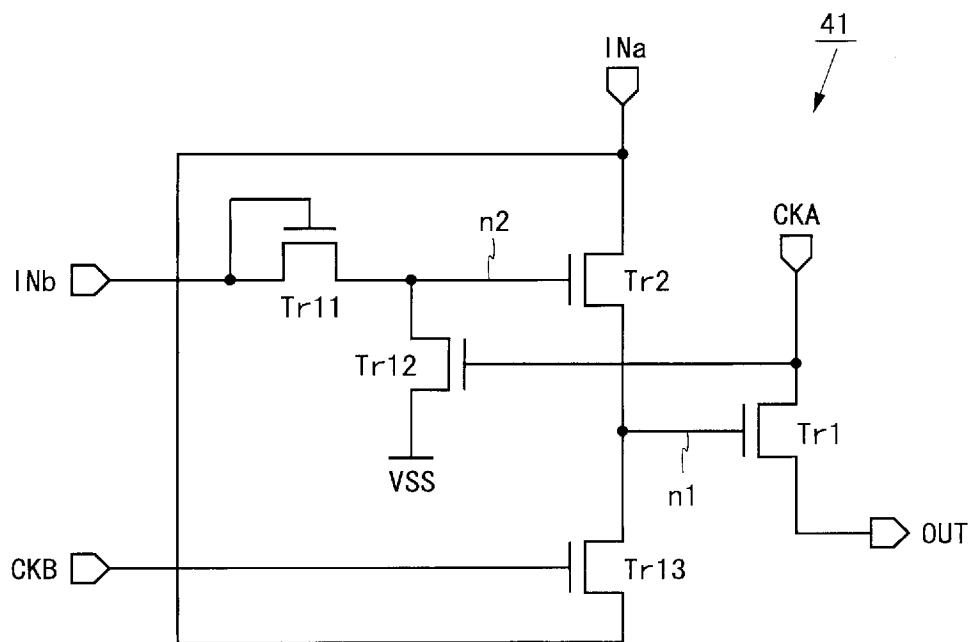
[図24]



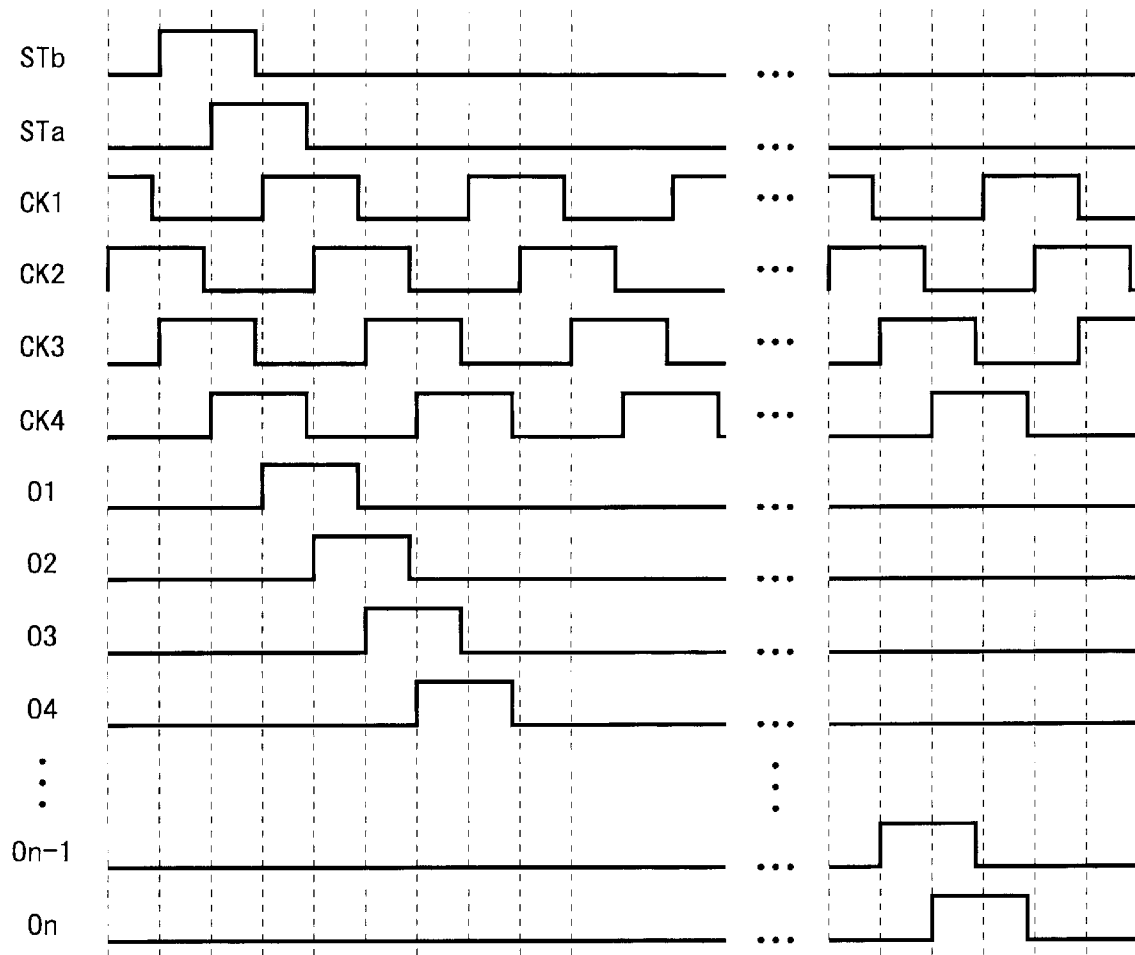
[図25]



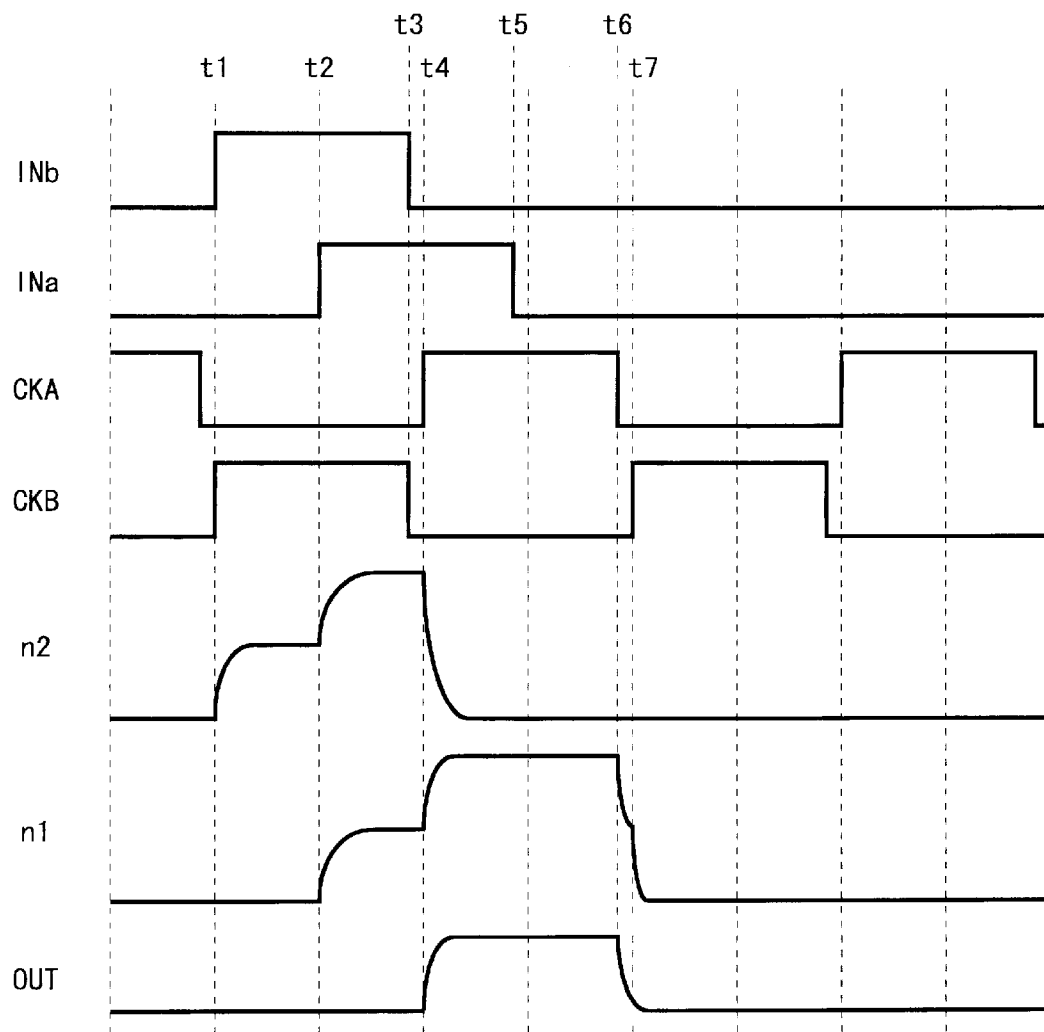
[図26]

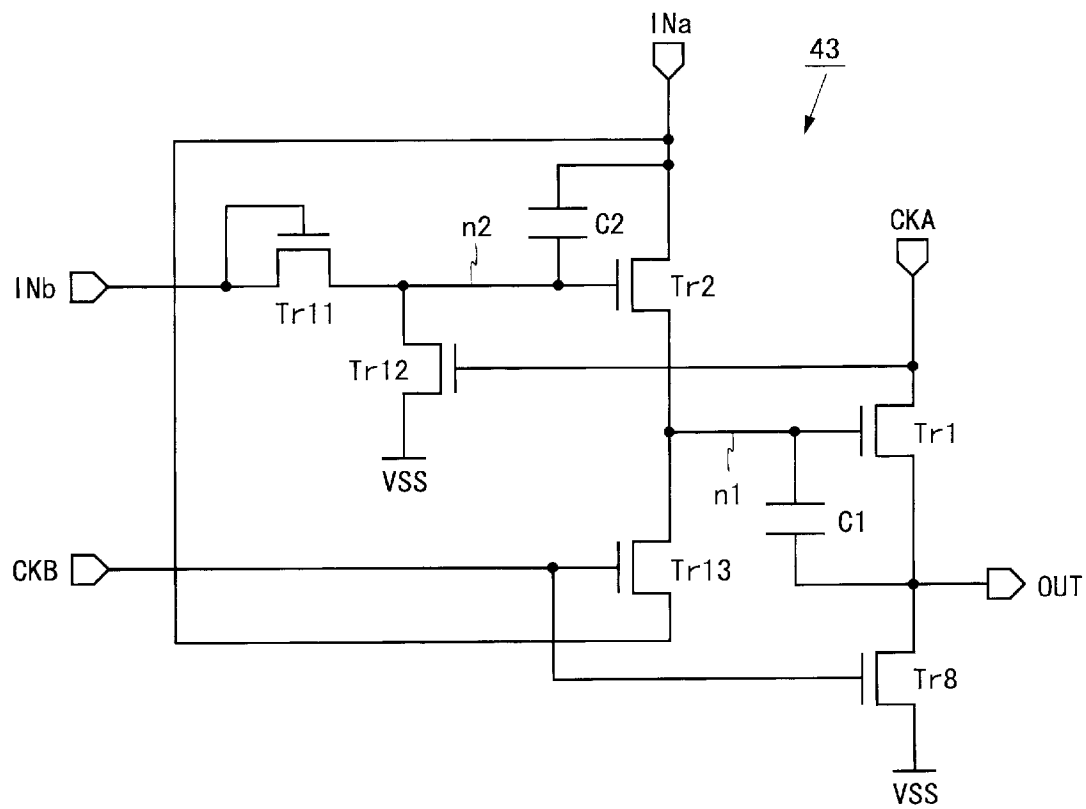
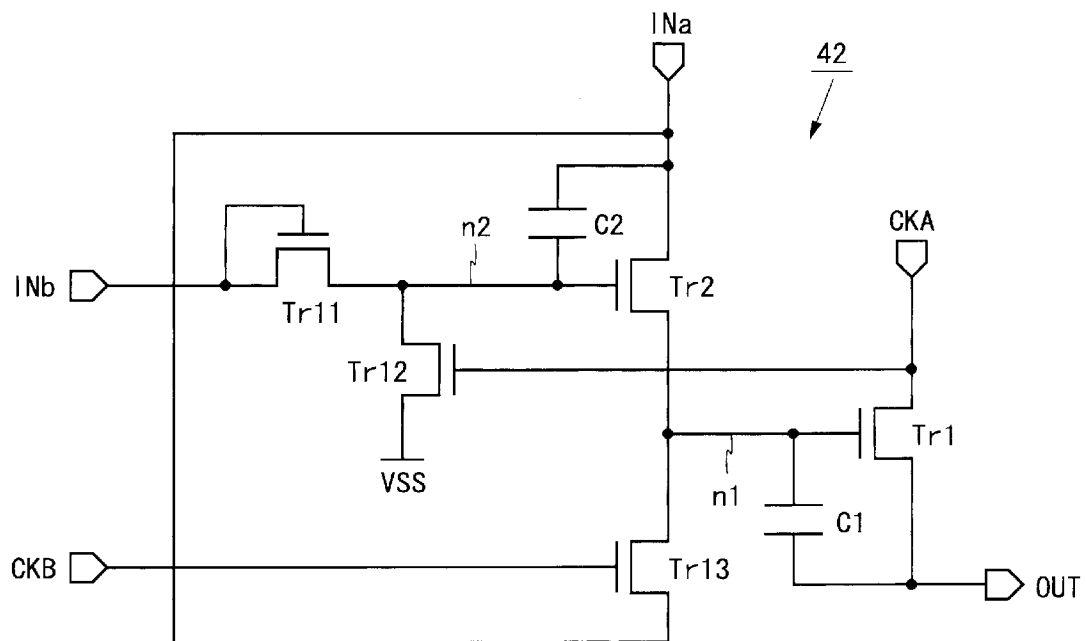


[図27]

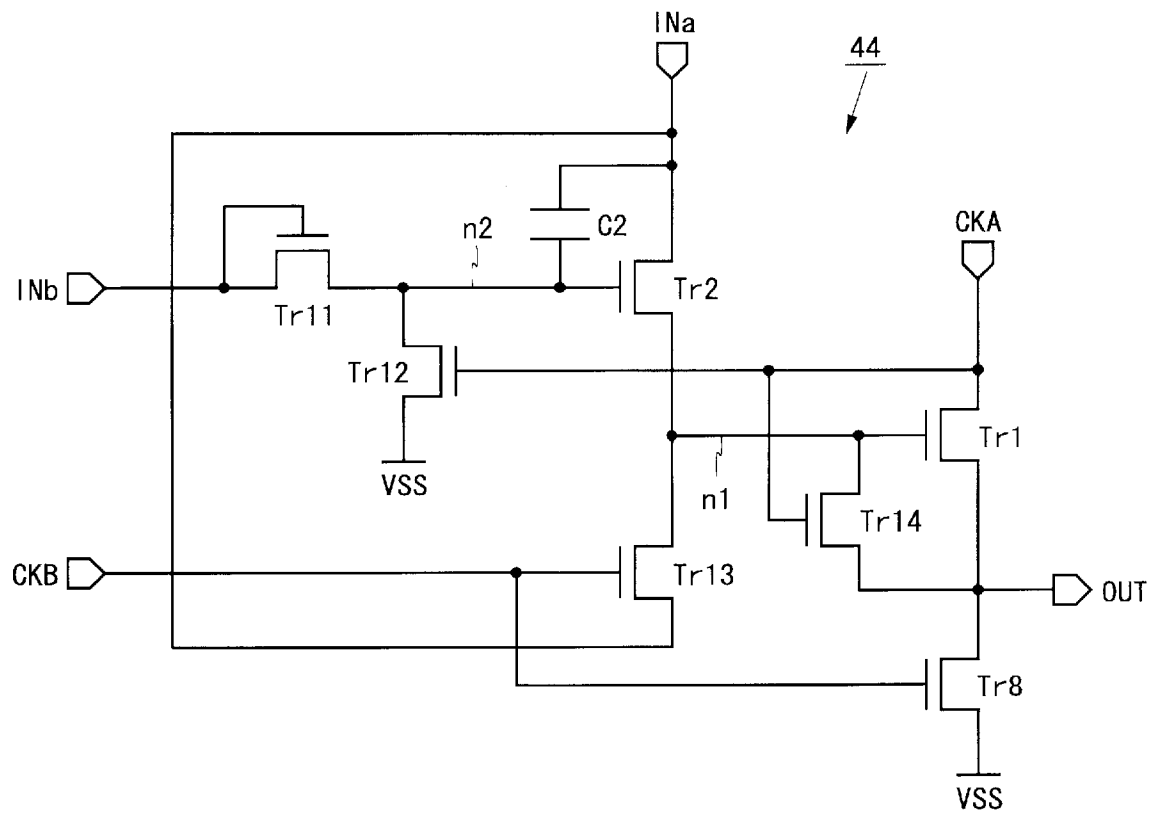


[図28]

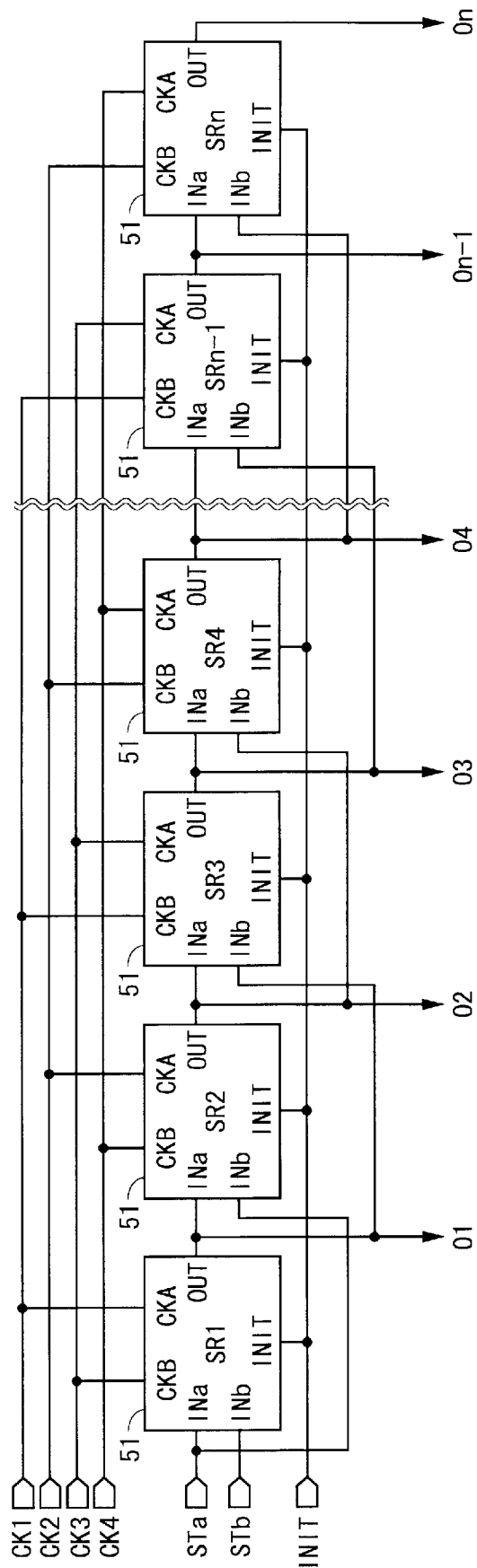




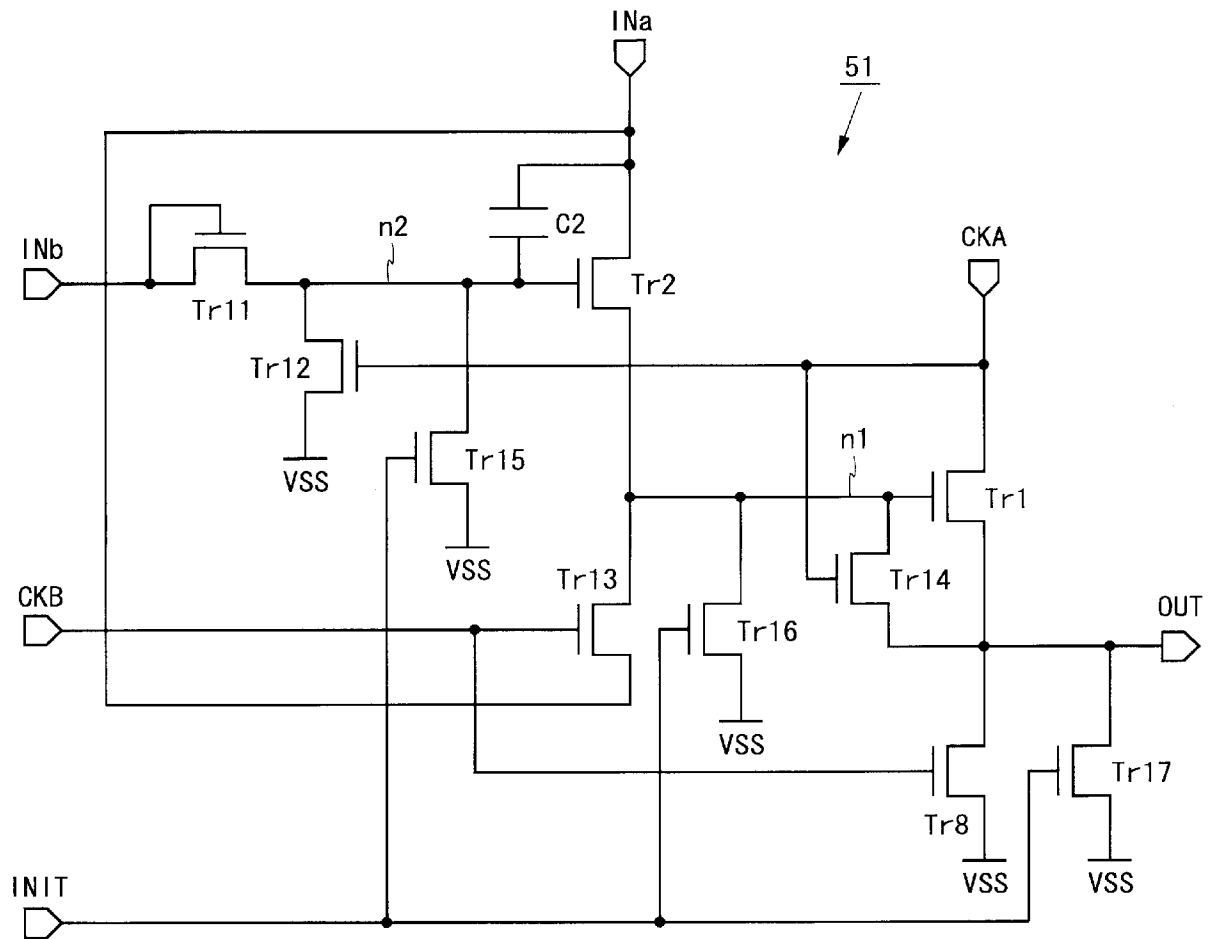
[図31]



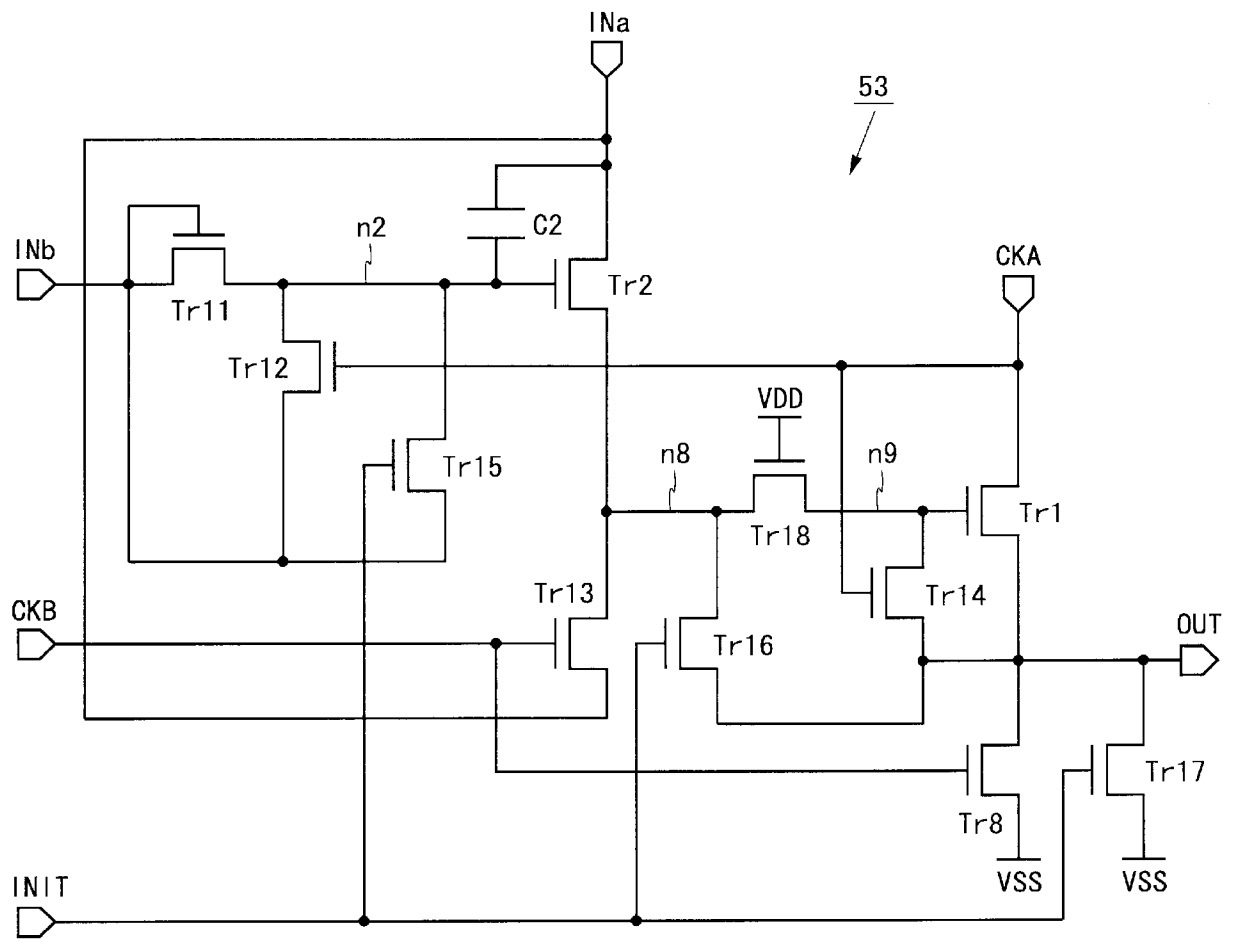
50



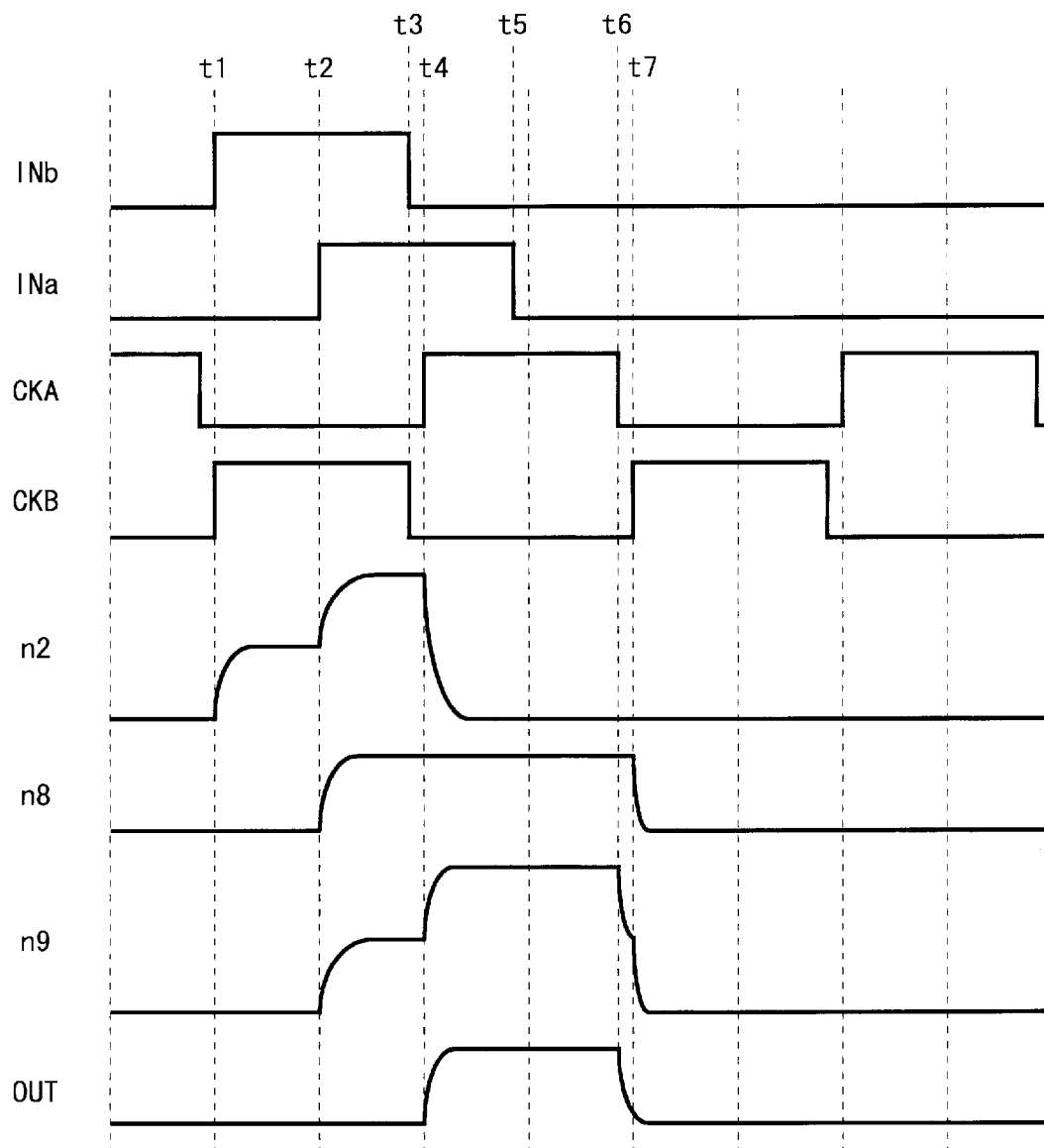
[図33]



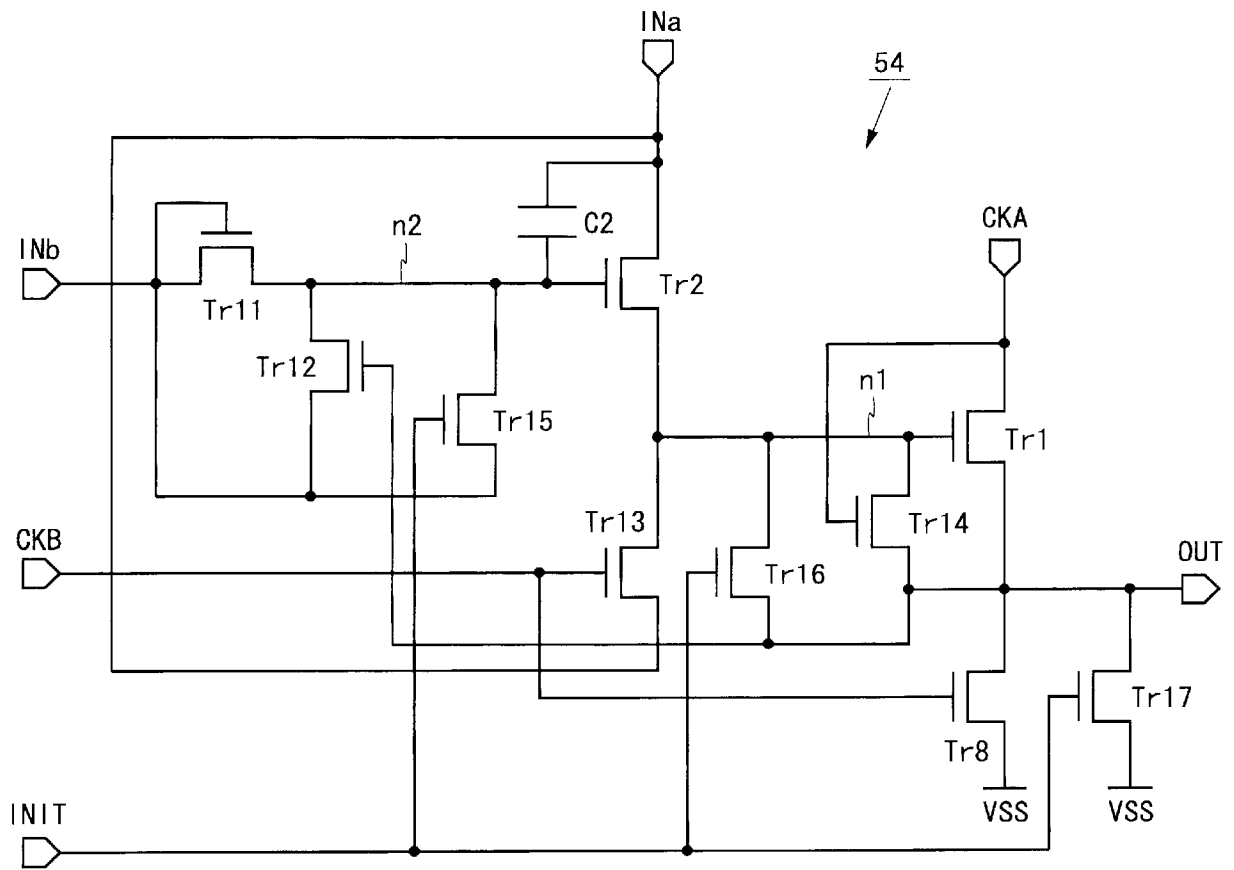
[図35]



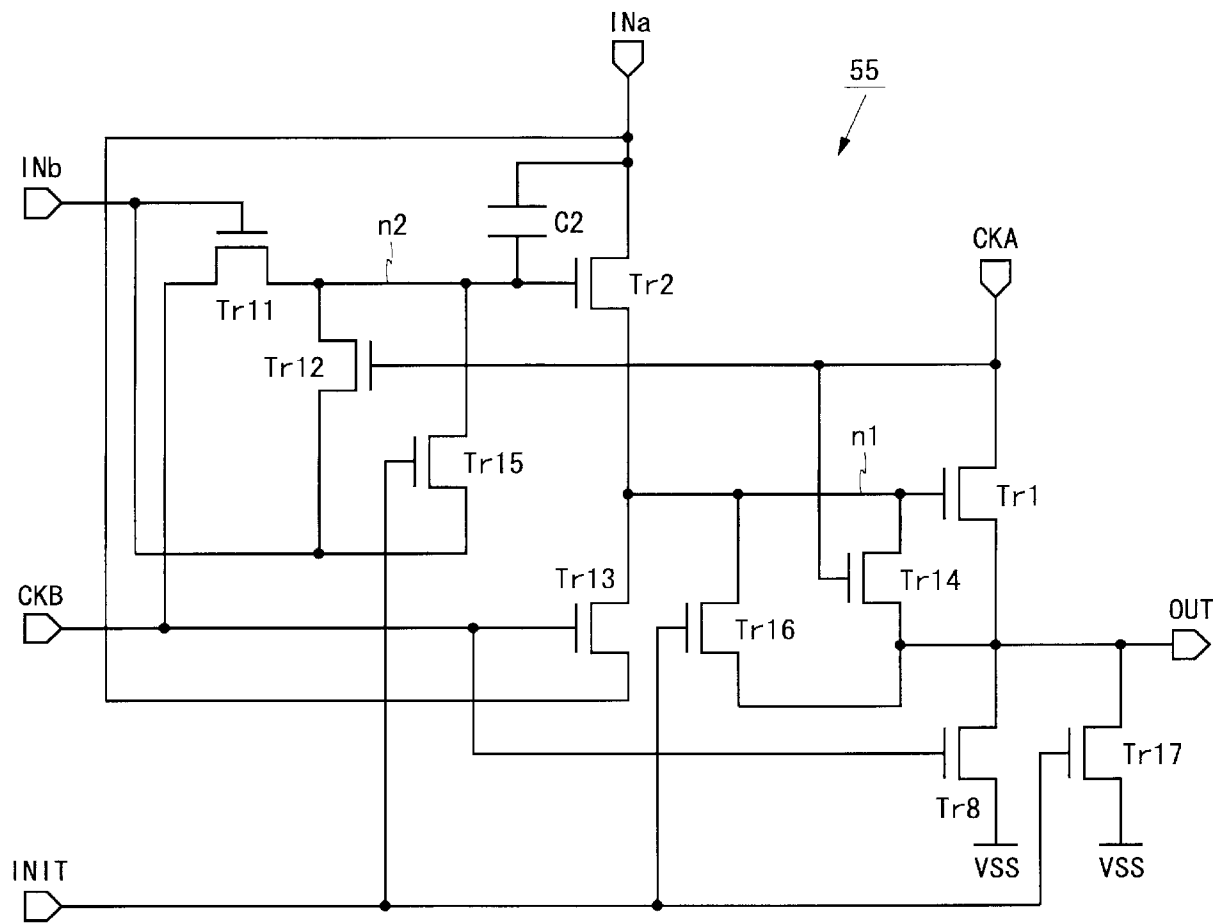
[図36]



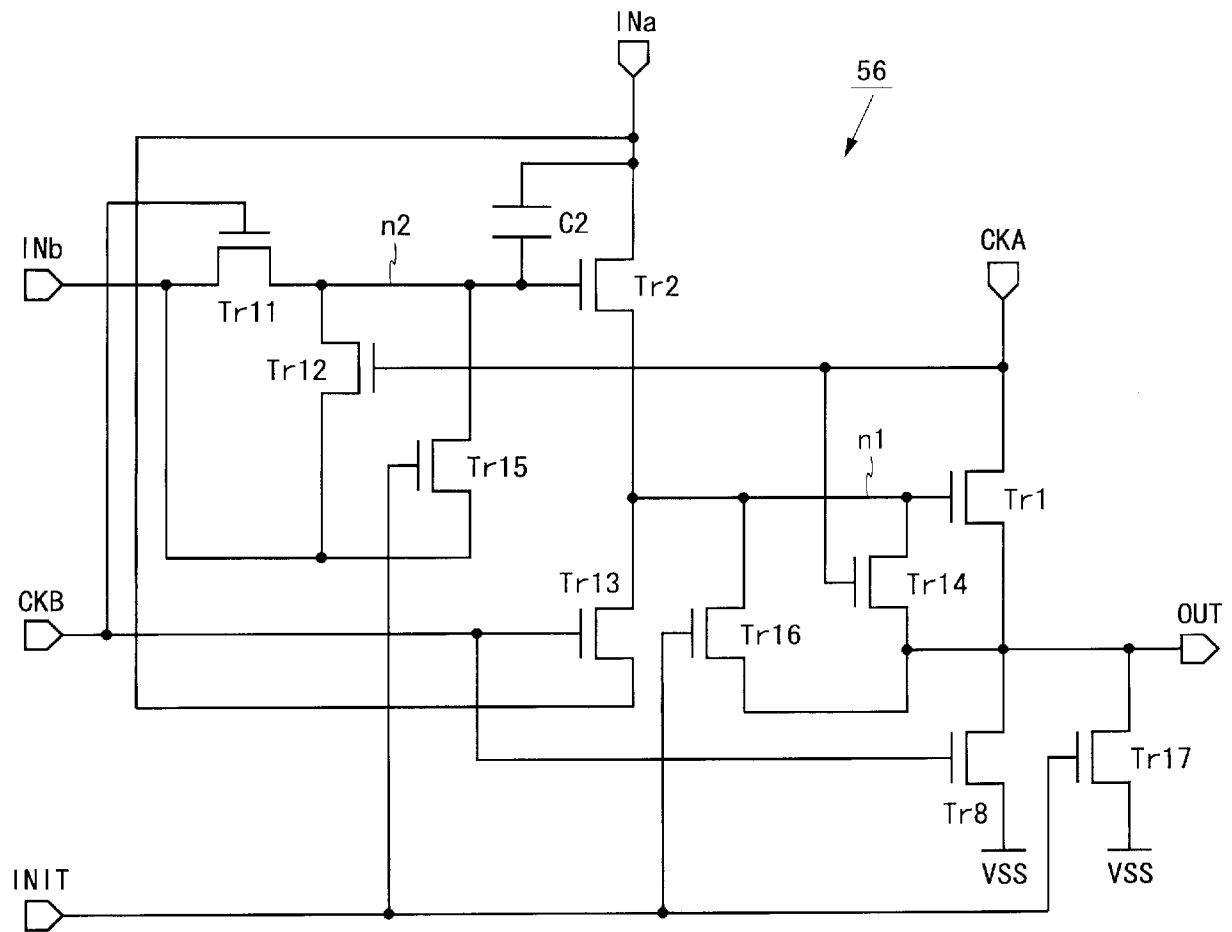
[図37]



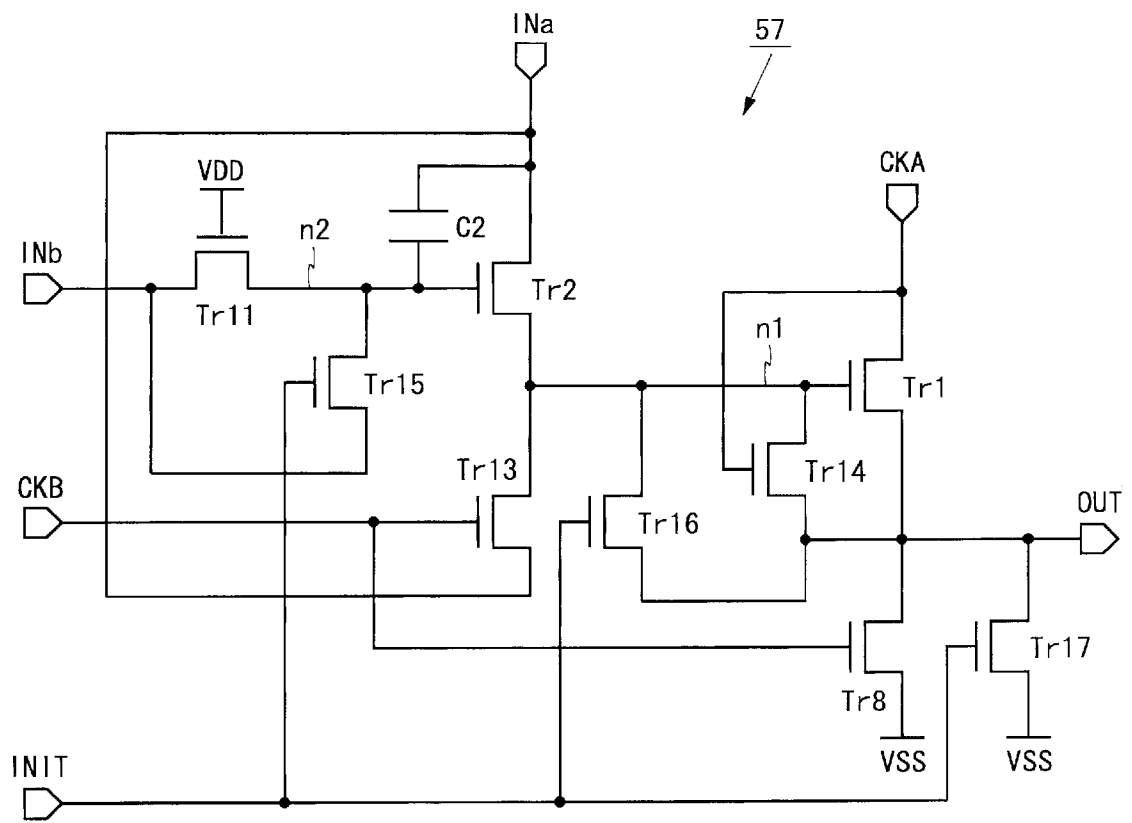
[図38]



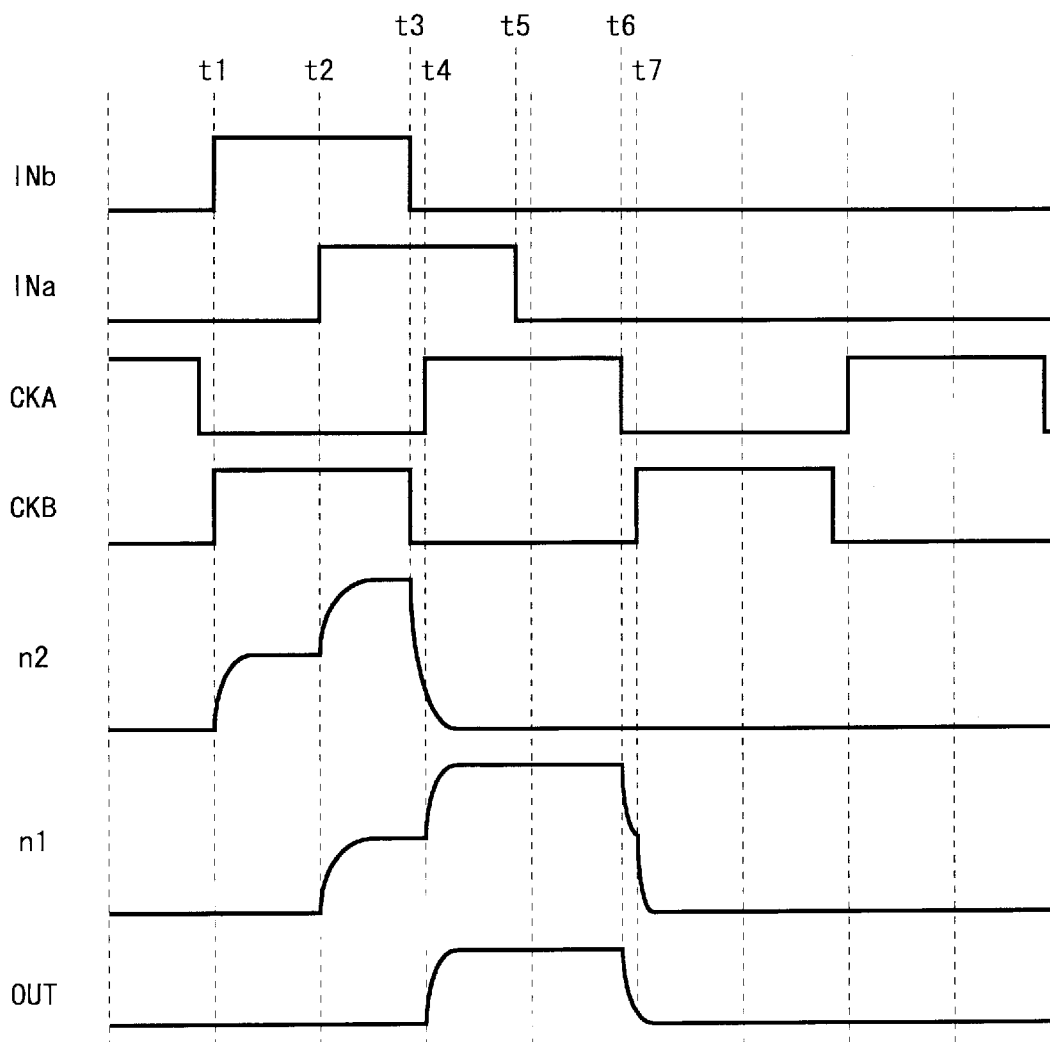
[図39]



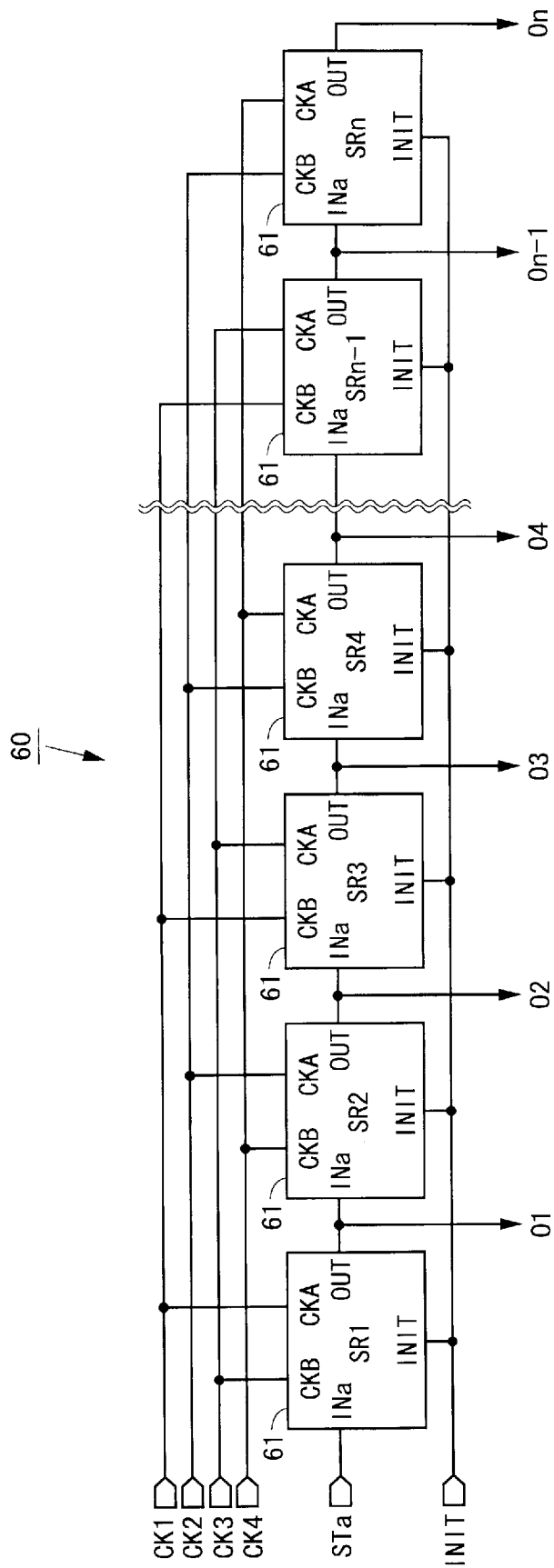
[図40]



[図41]

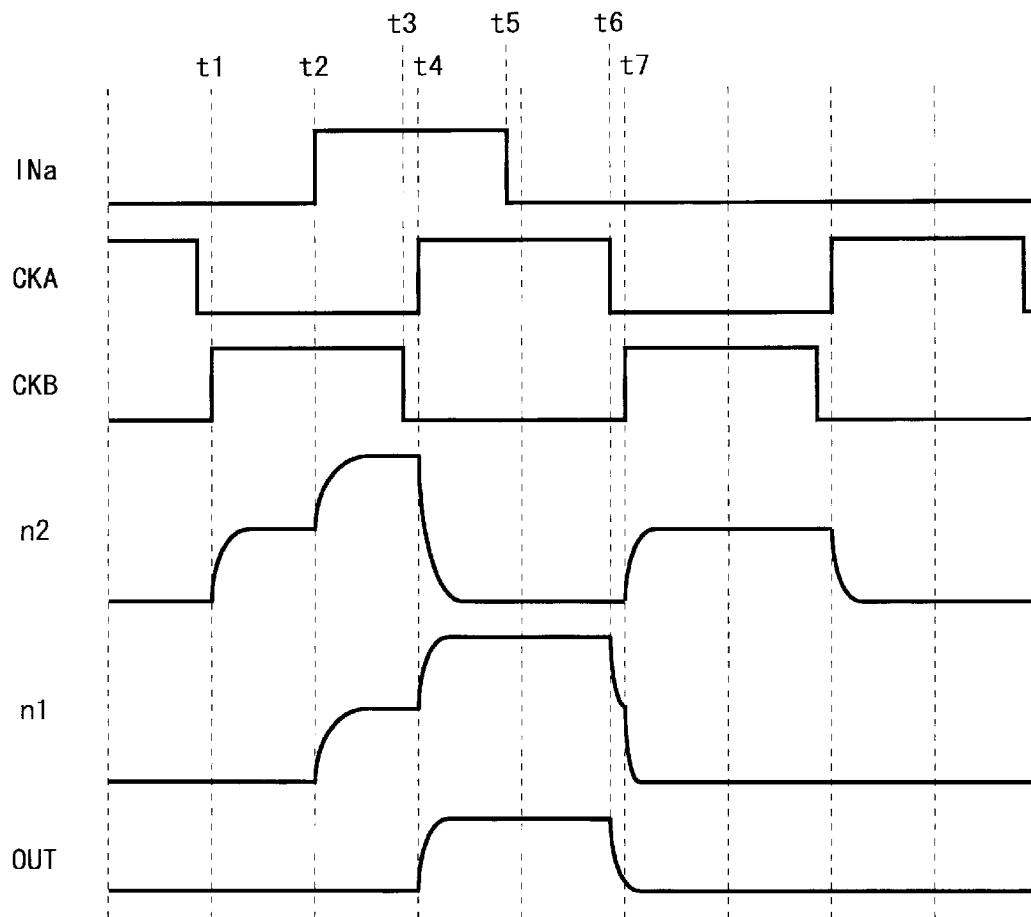


[図42]

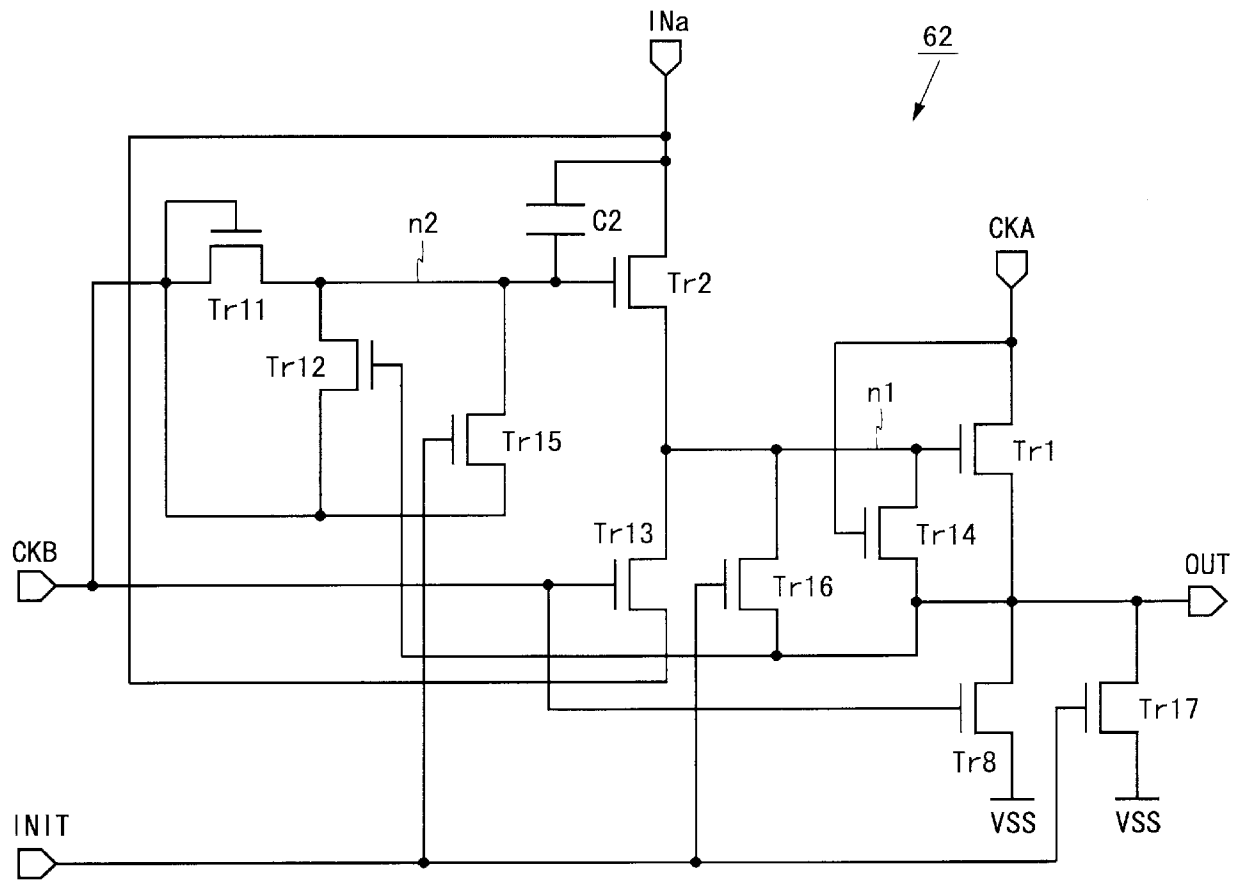


The diagram shows a first-order sigma-delta modulator (61) with feedback. The input INa is connected to a summing junction. The output OUT is fed back to the same summing junction through a delay element. The circuit is controlled by clock signals CKB and CKA , and an initialization signal $INIT$. The feedback path includes a summing junction and a delay element. The circuit is controlled by clock signals CKB and CKA , and an initialization signal $INIT$. The feedback path includes a summing junction and a delay element.

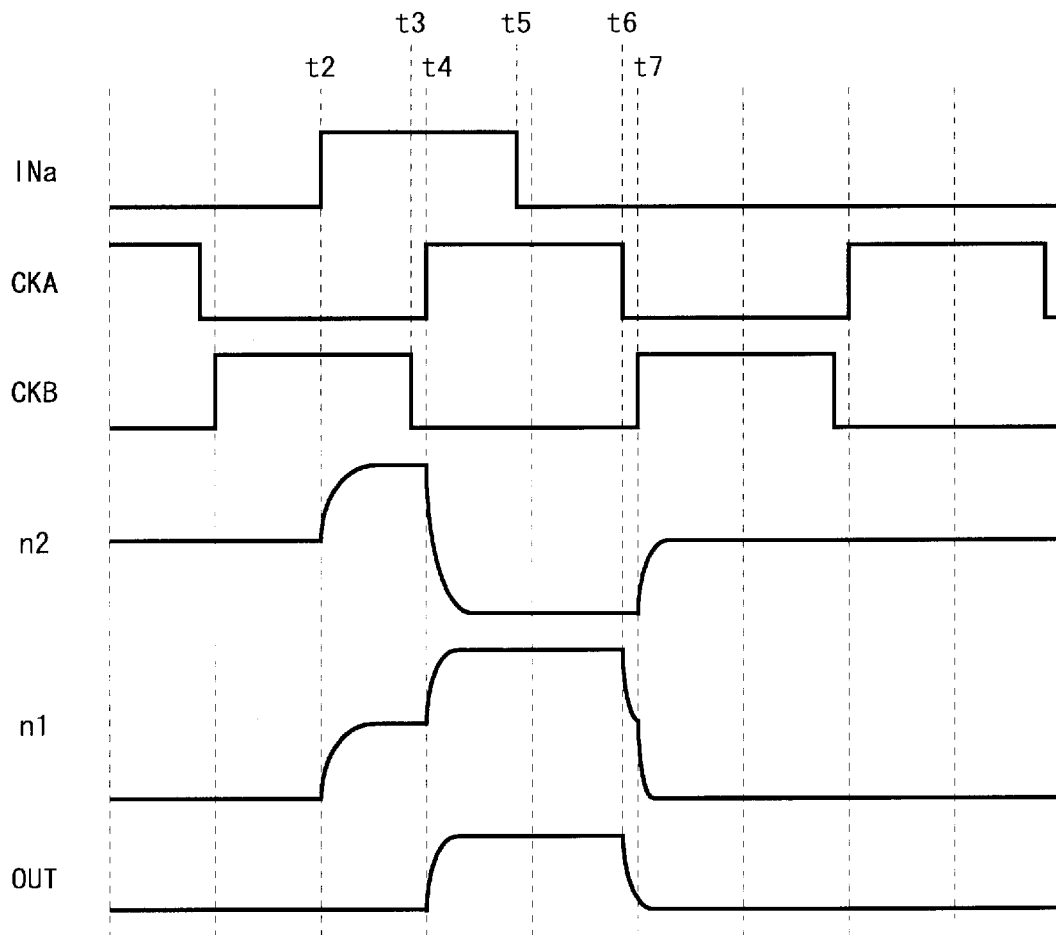
[図44]



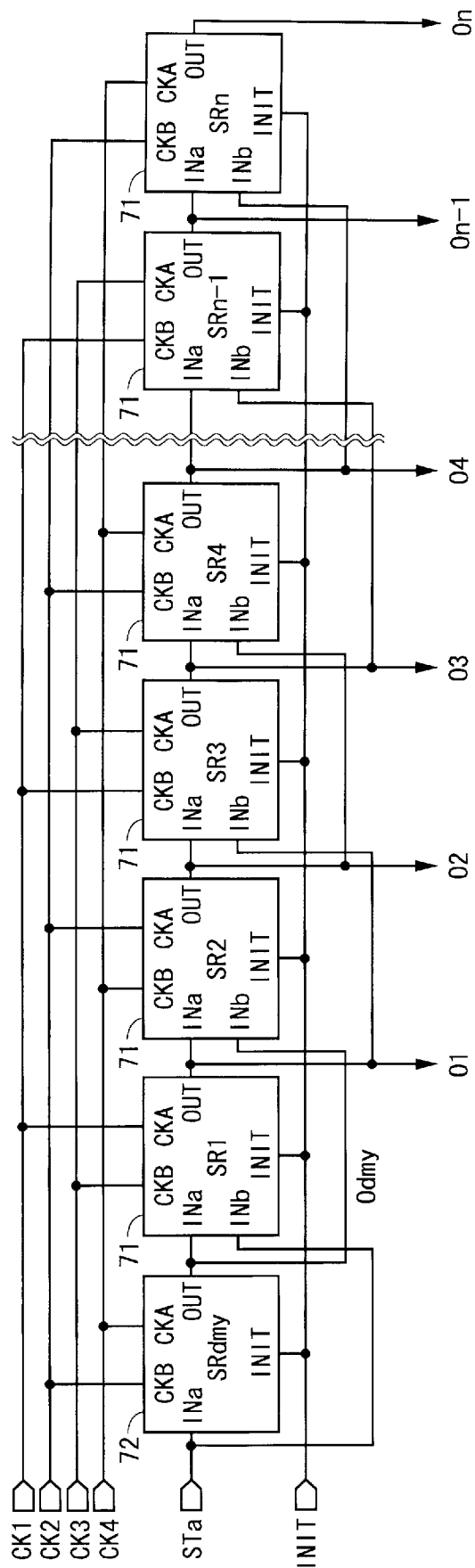
[図45]



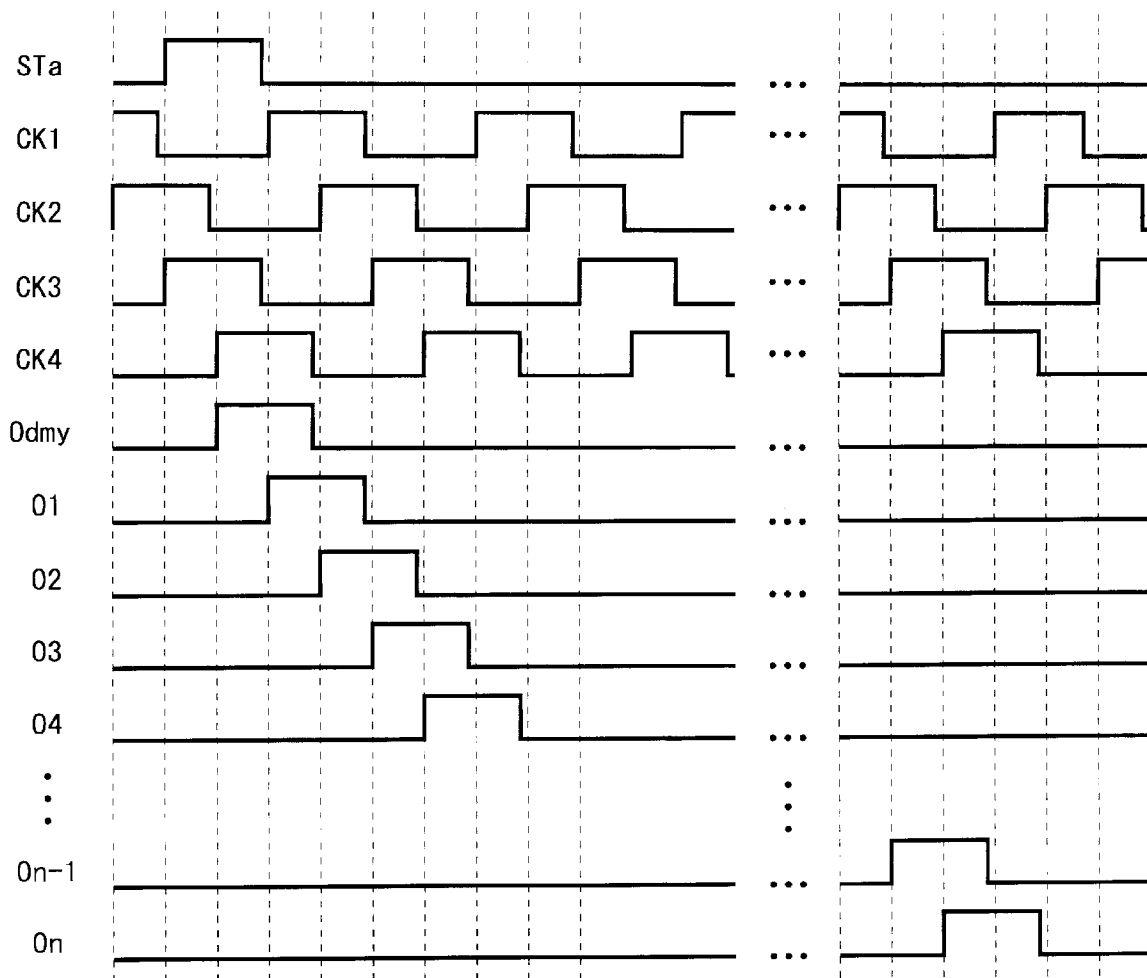
[図46]



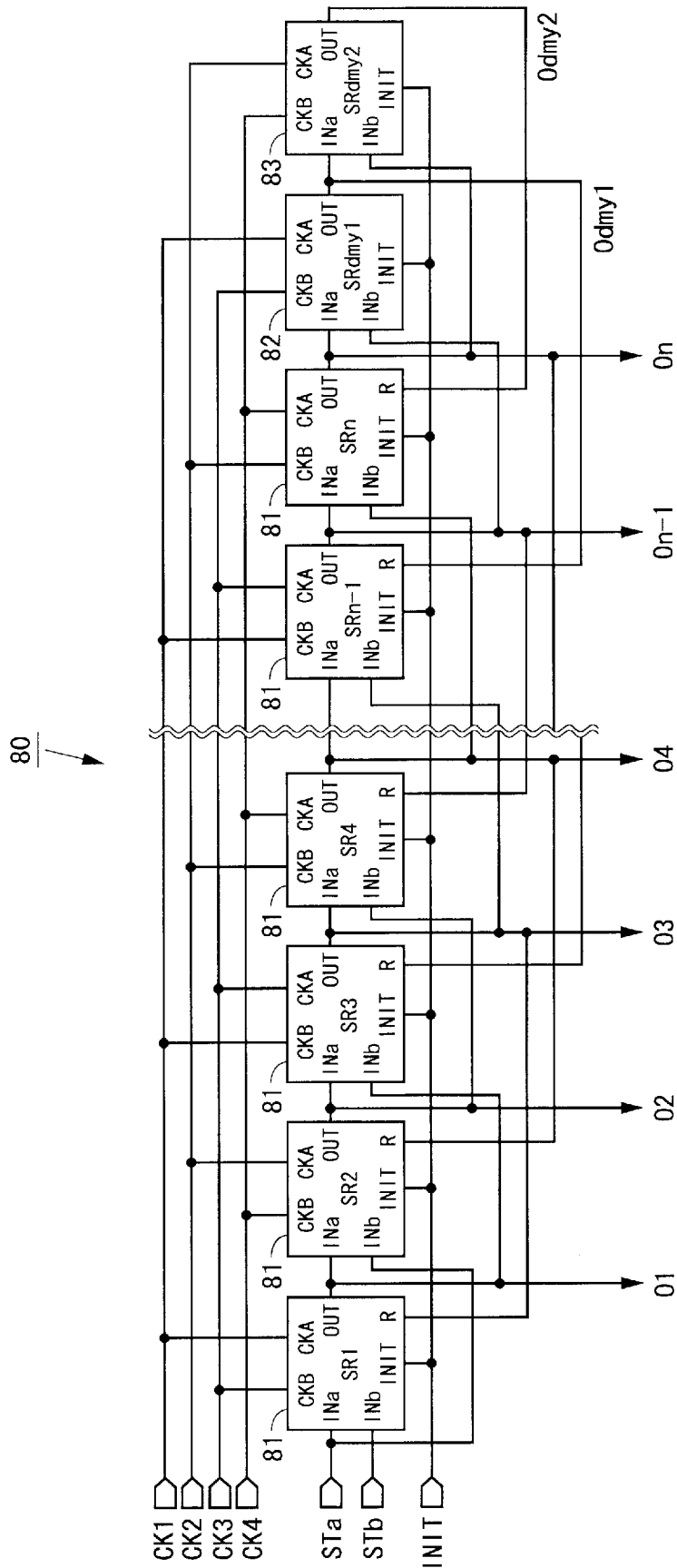
70 |



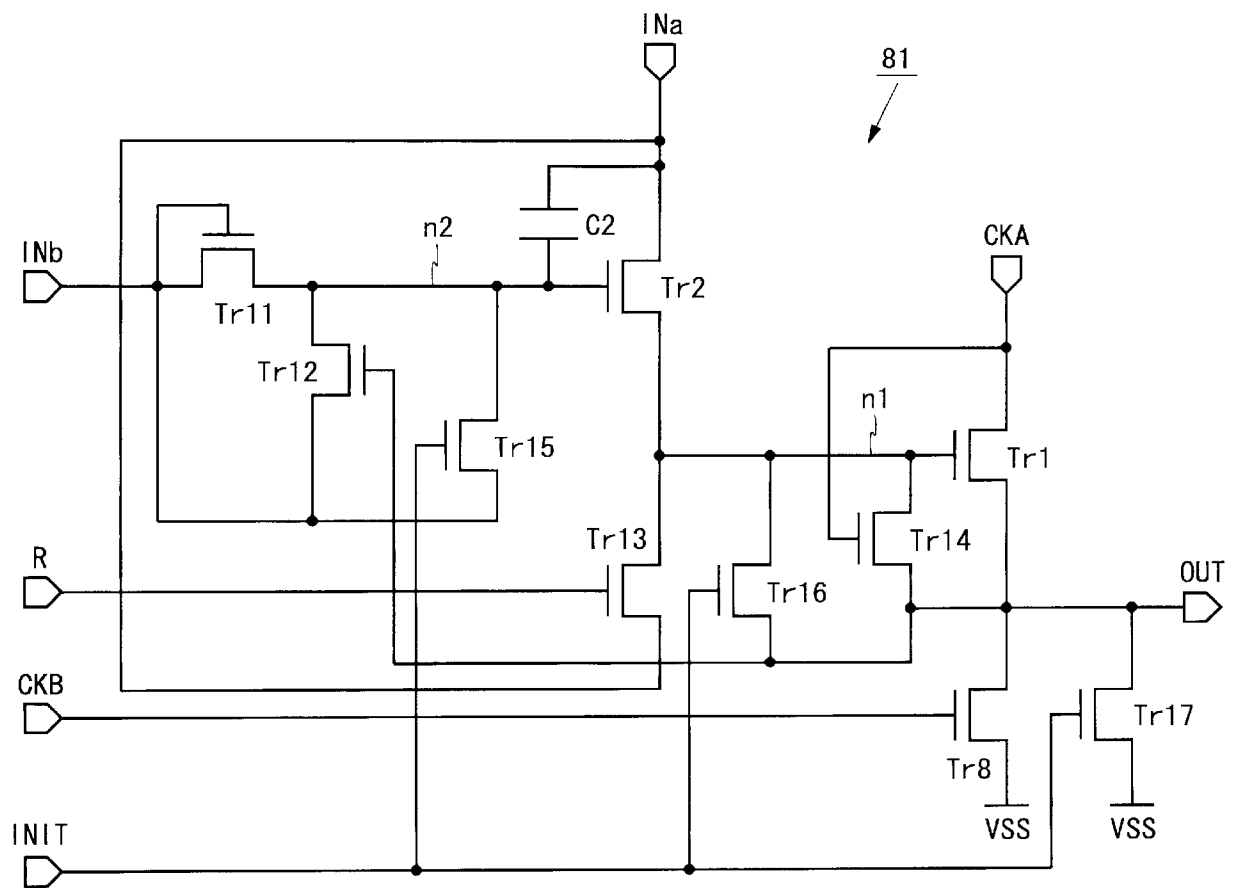
[図48]



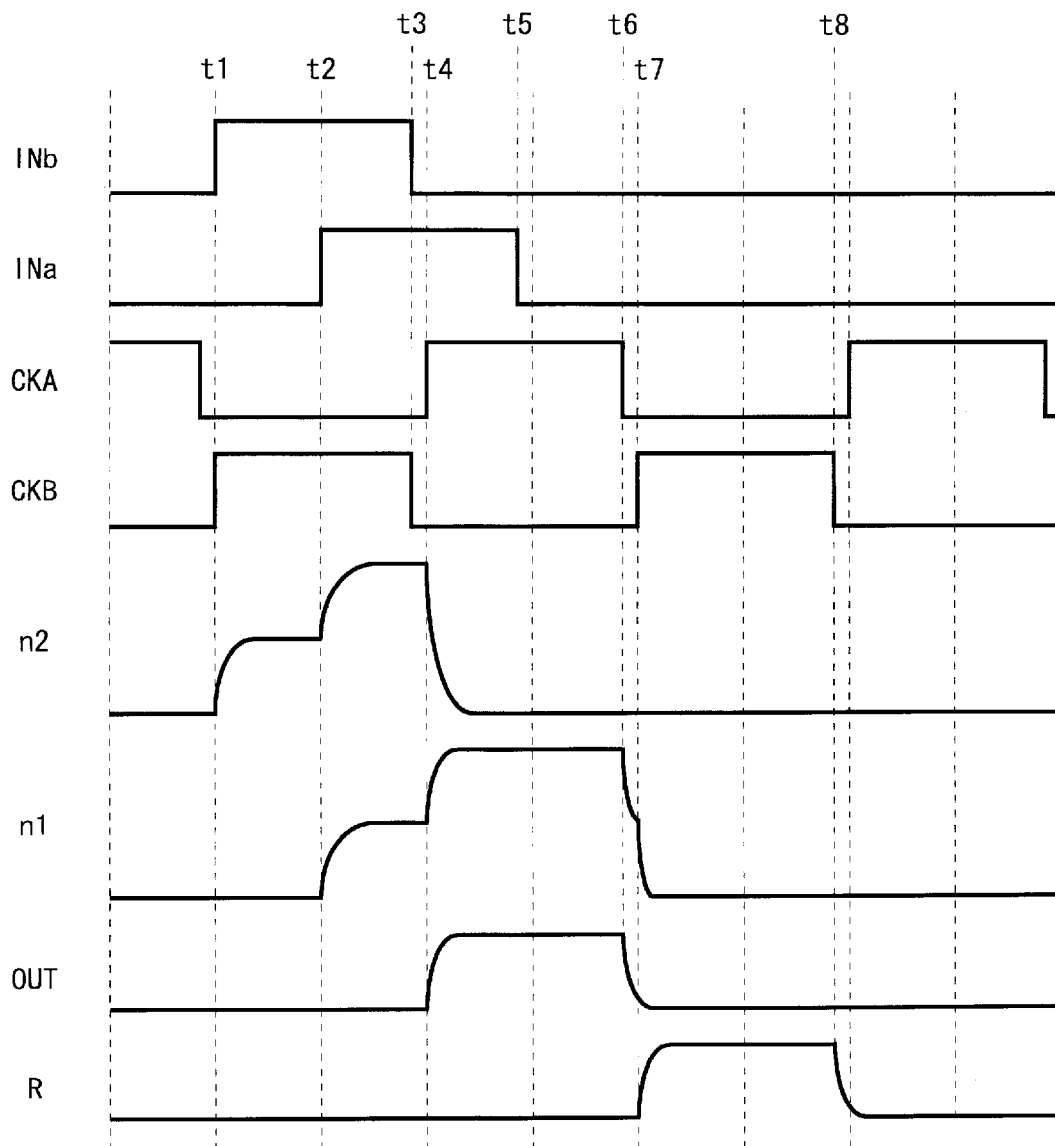
[図49]



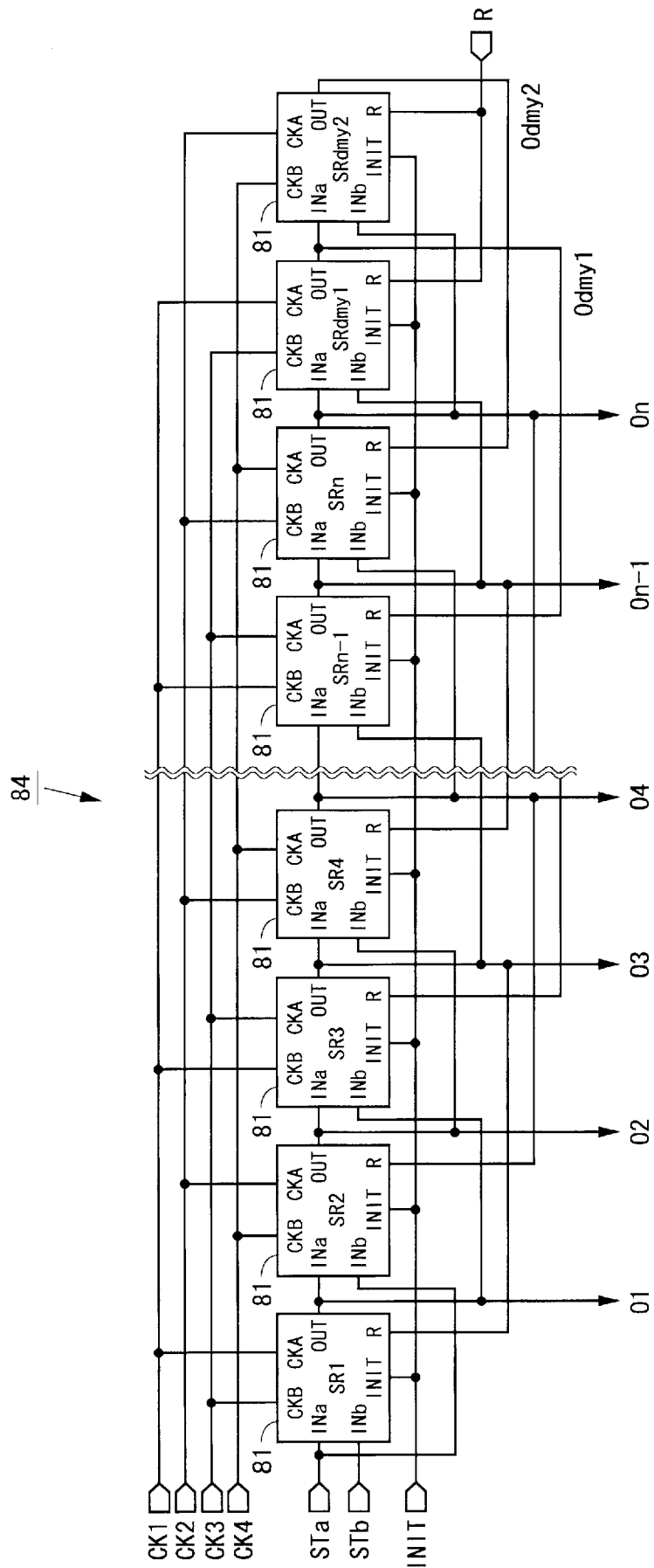
[図50]



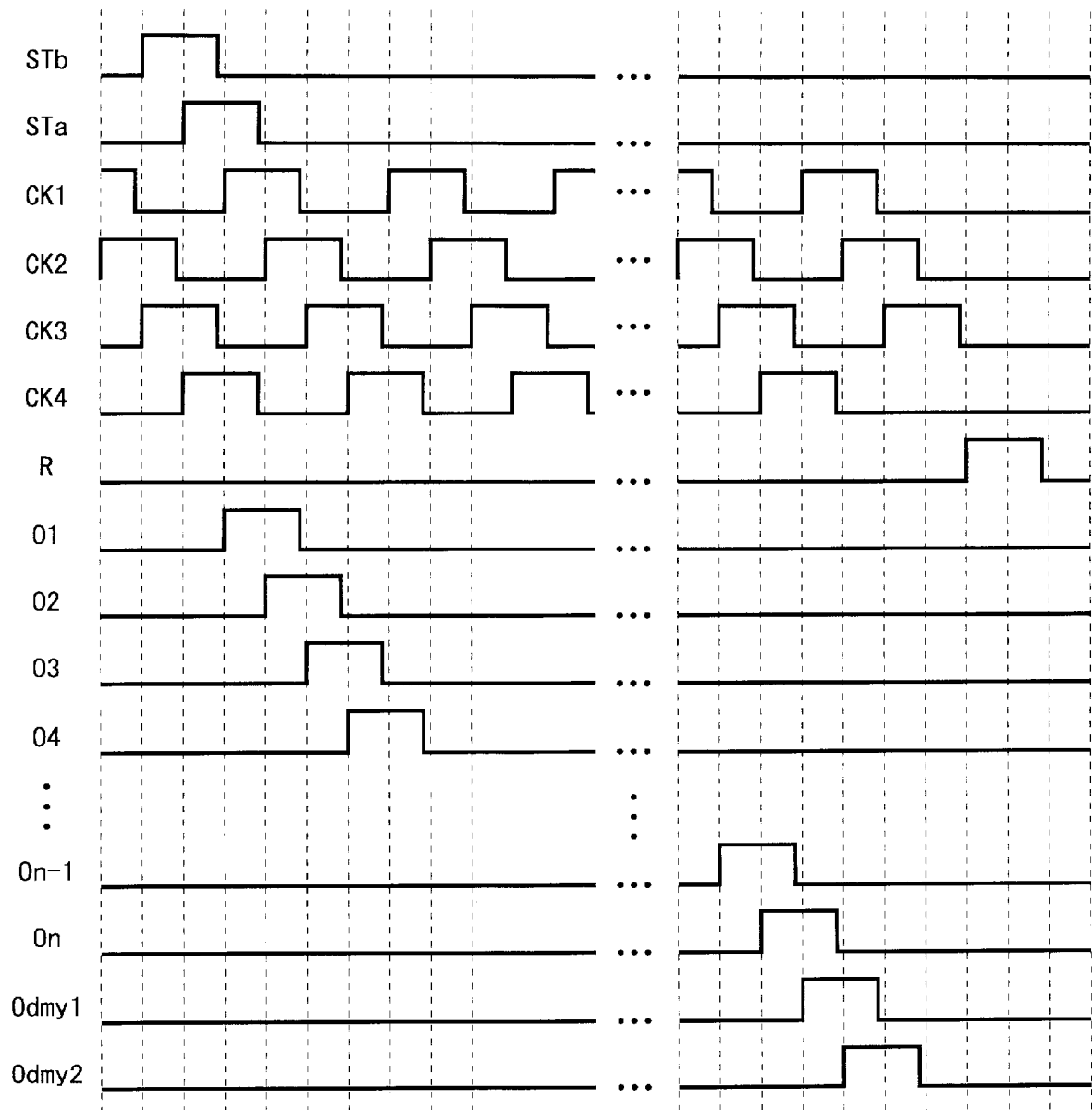
[図51]



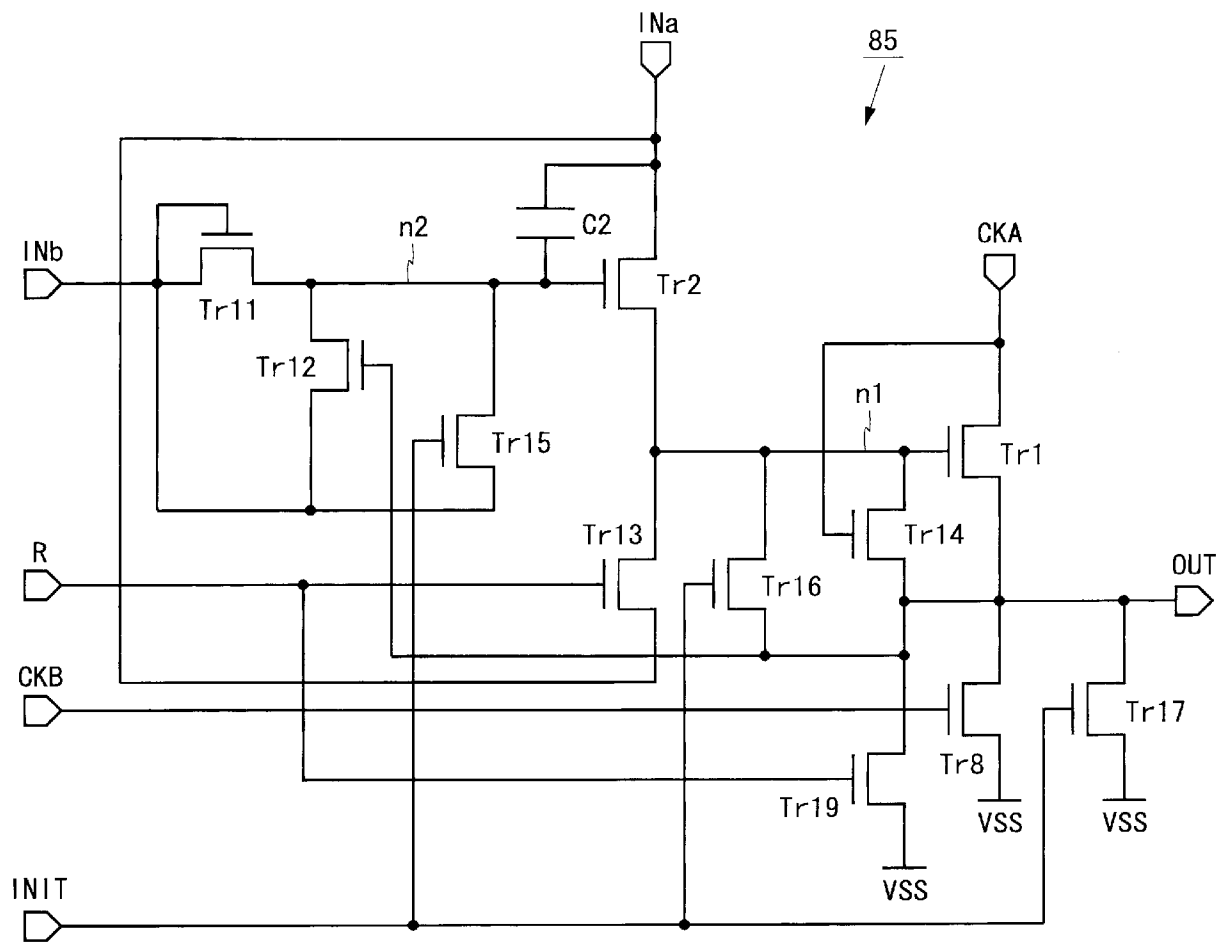
[図52]



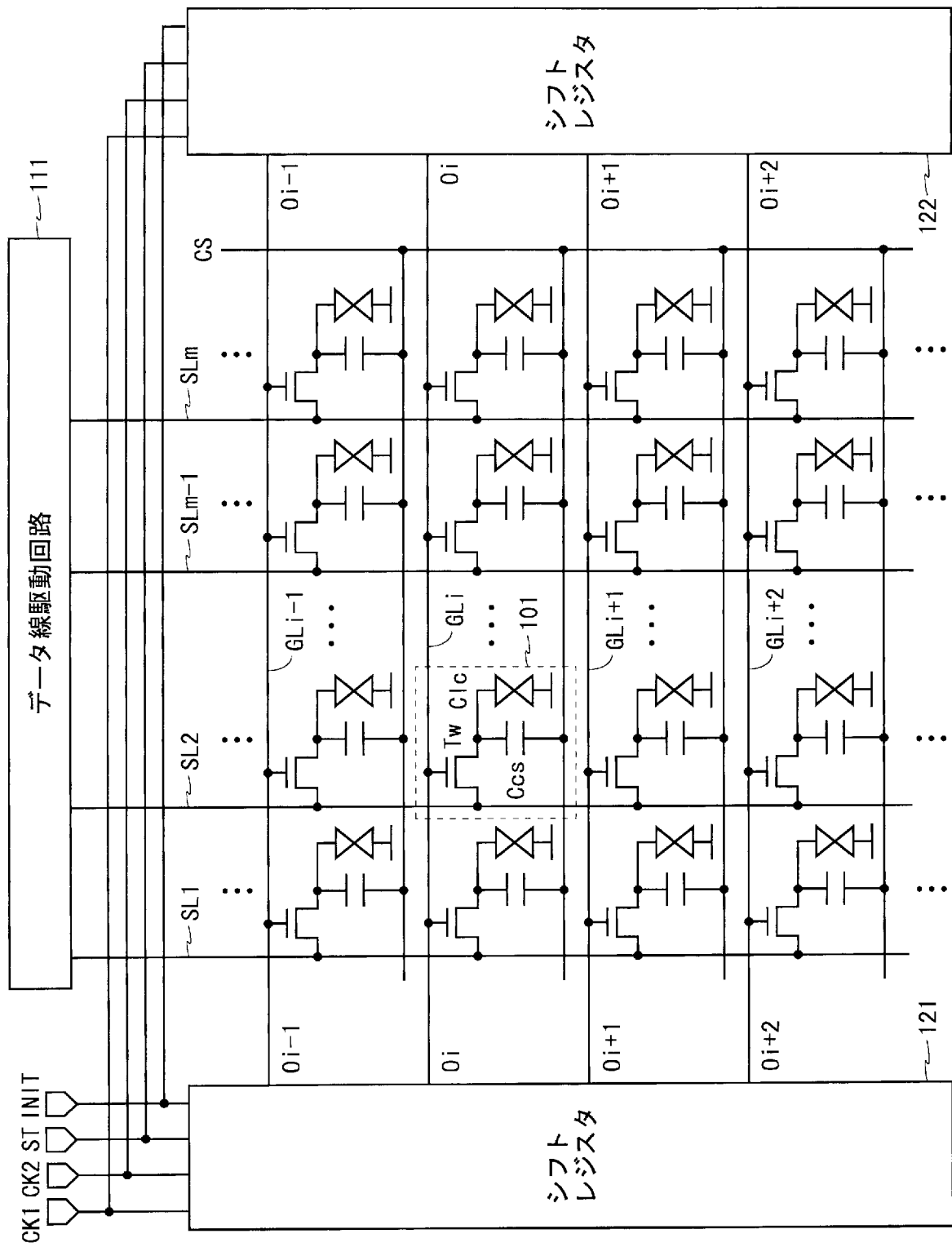
[図53]



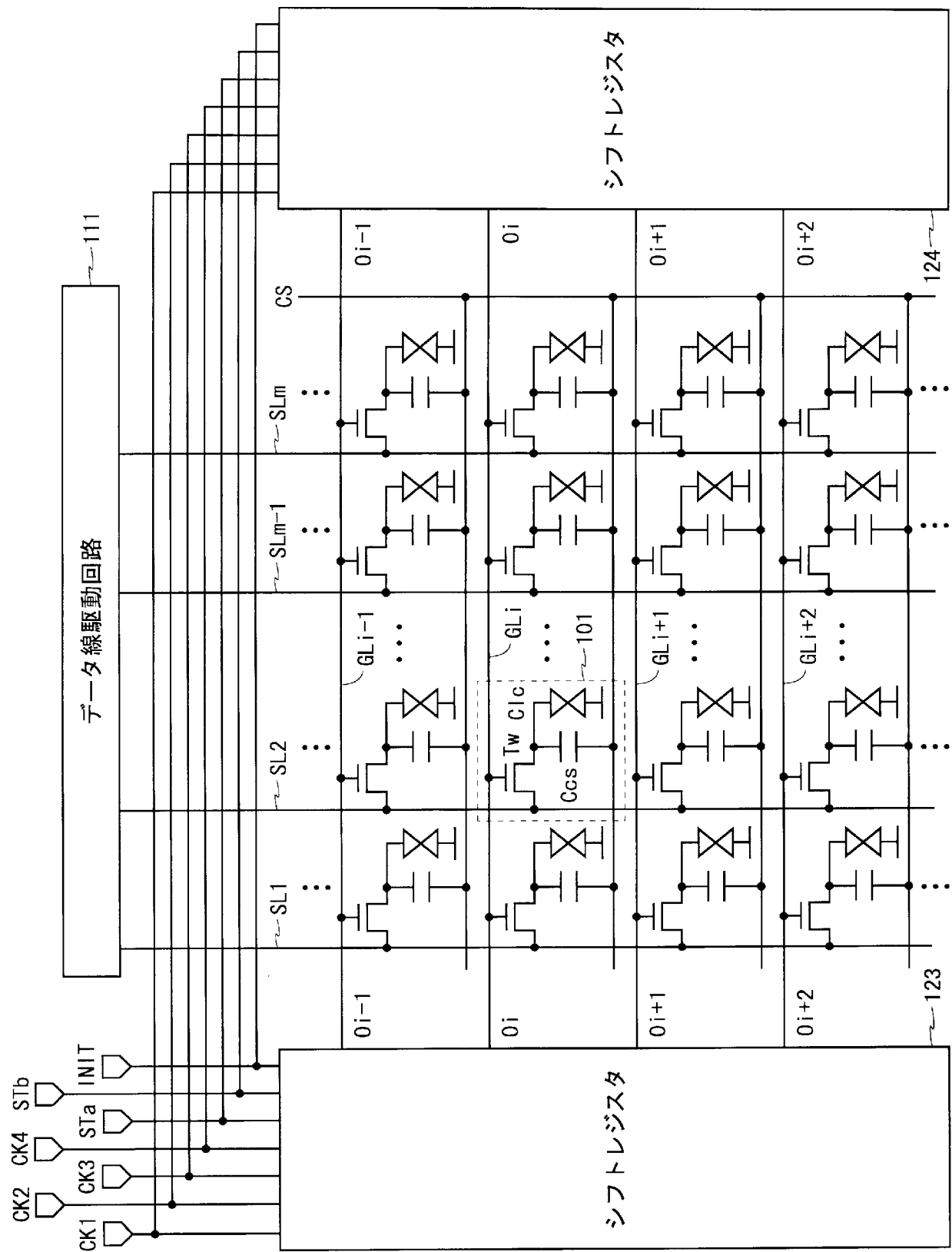
[図54]



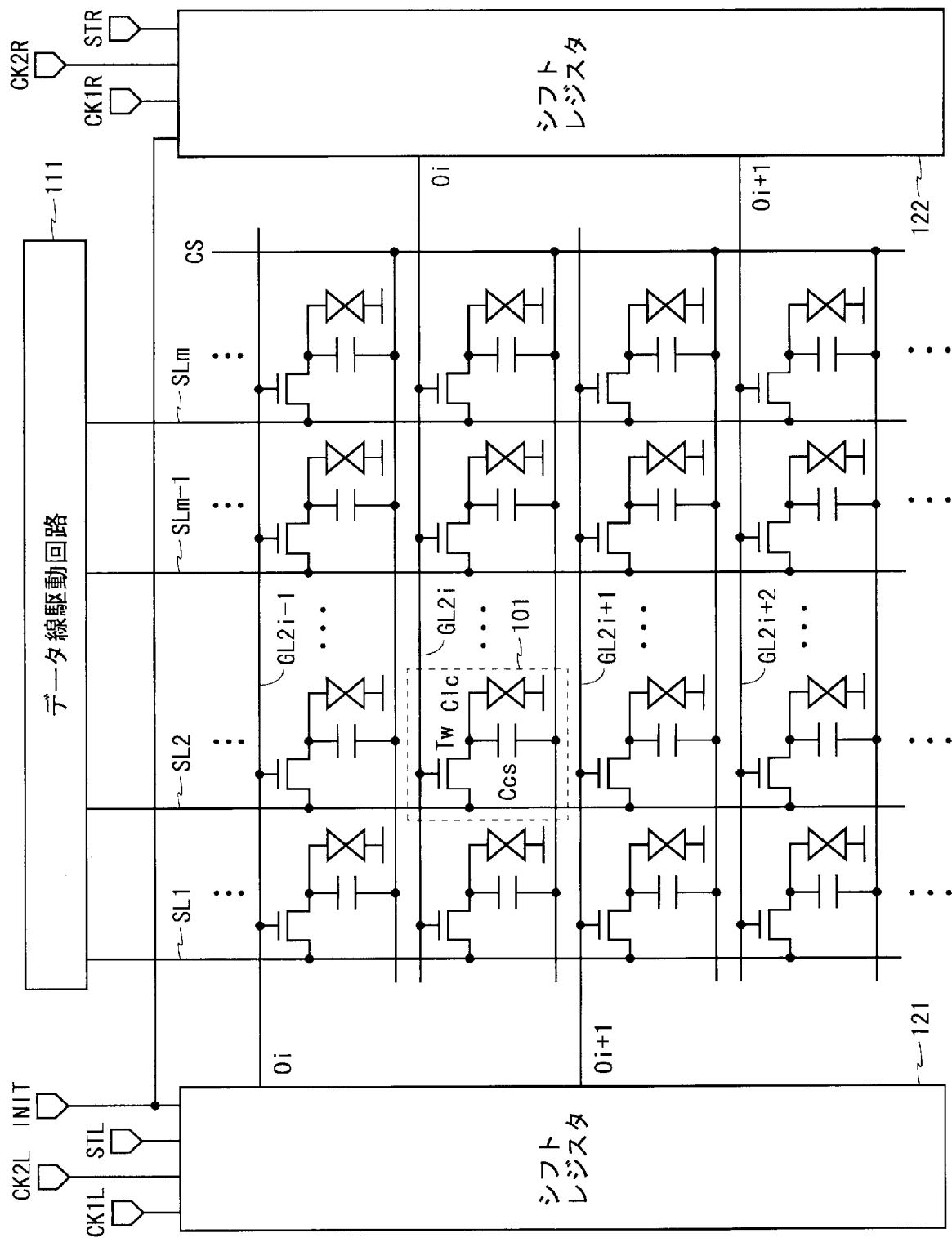
[図55]



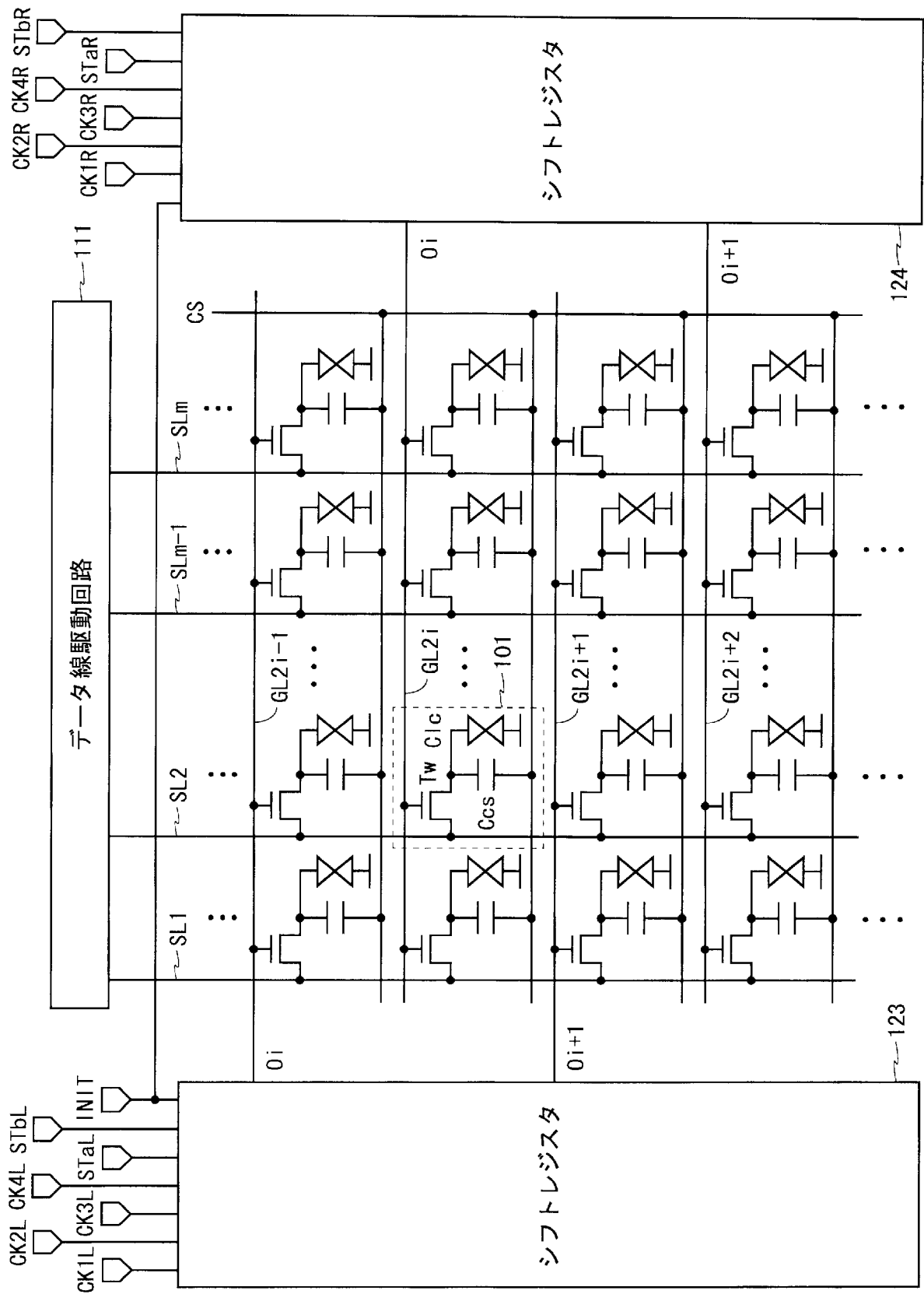
[図56]



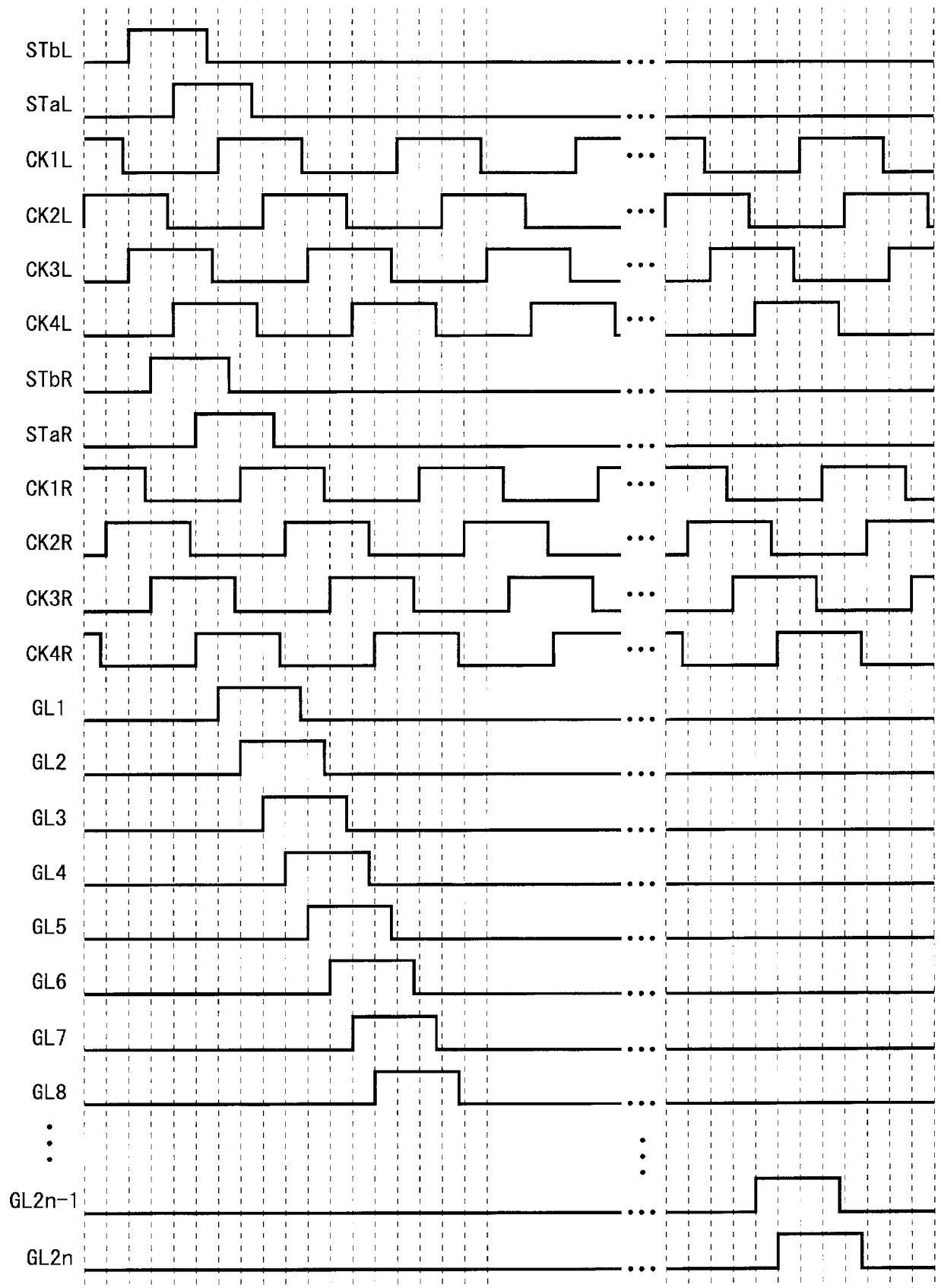
[図57]

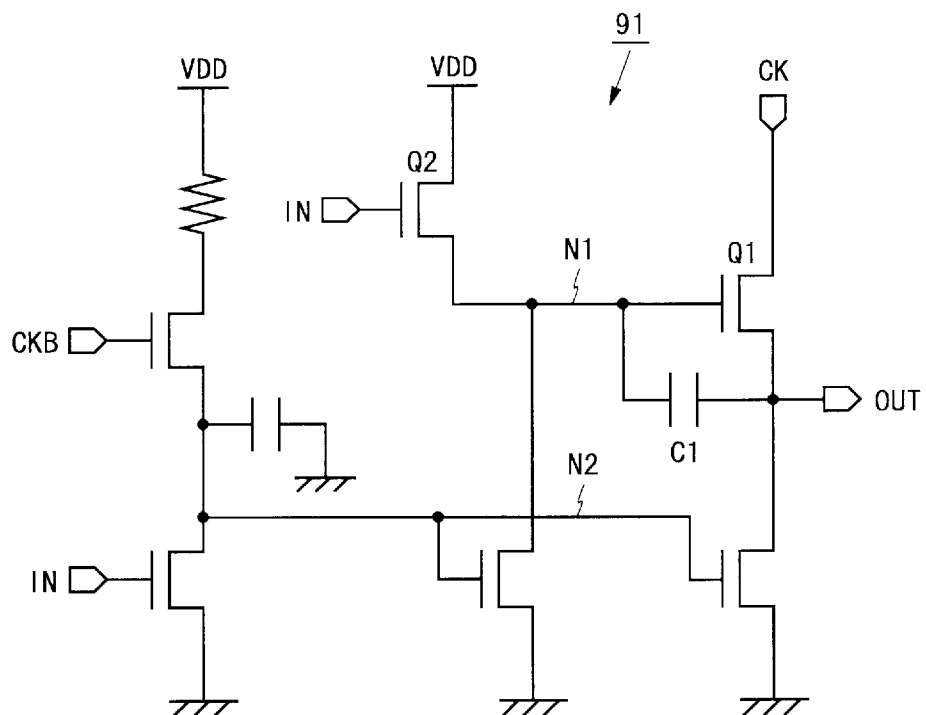
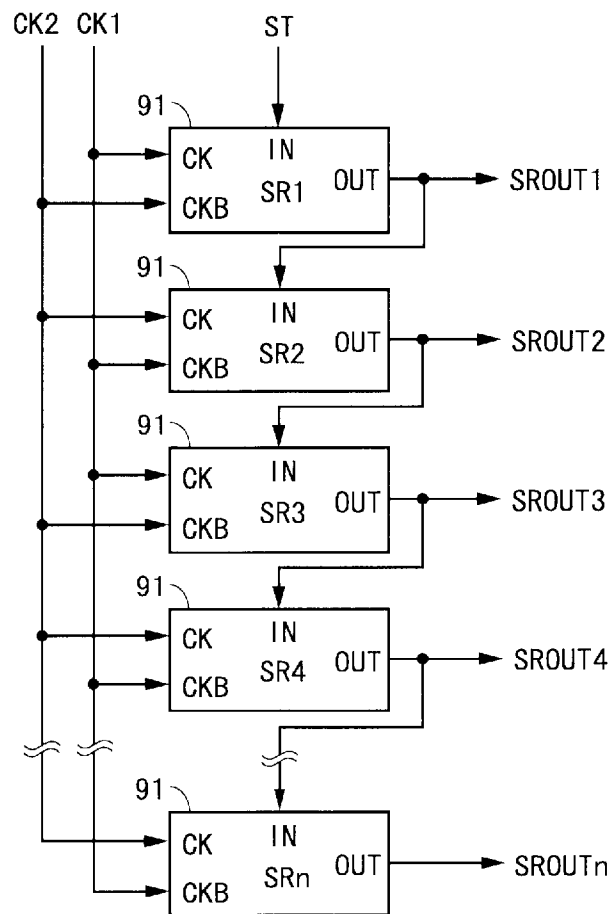


[図59]

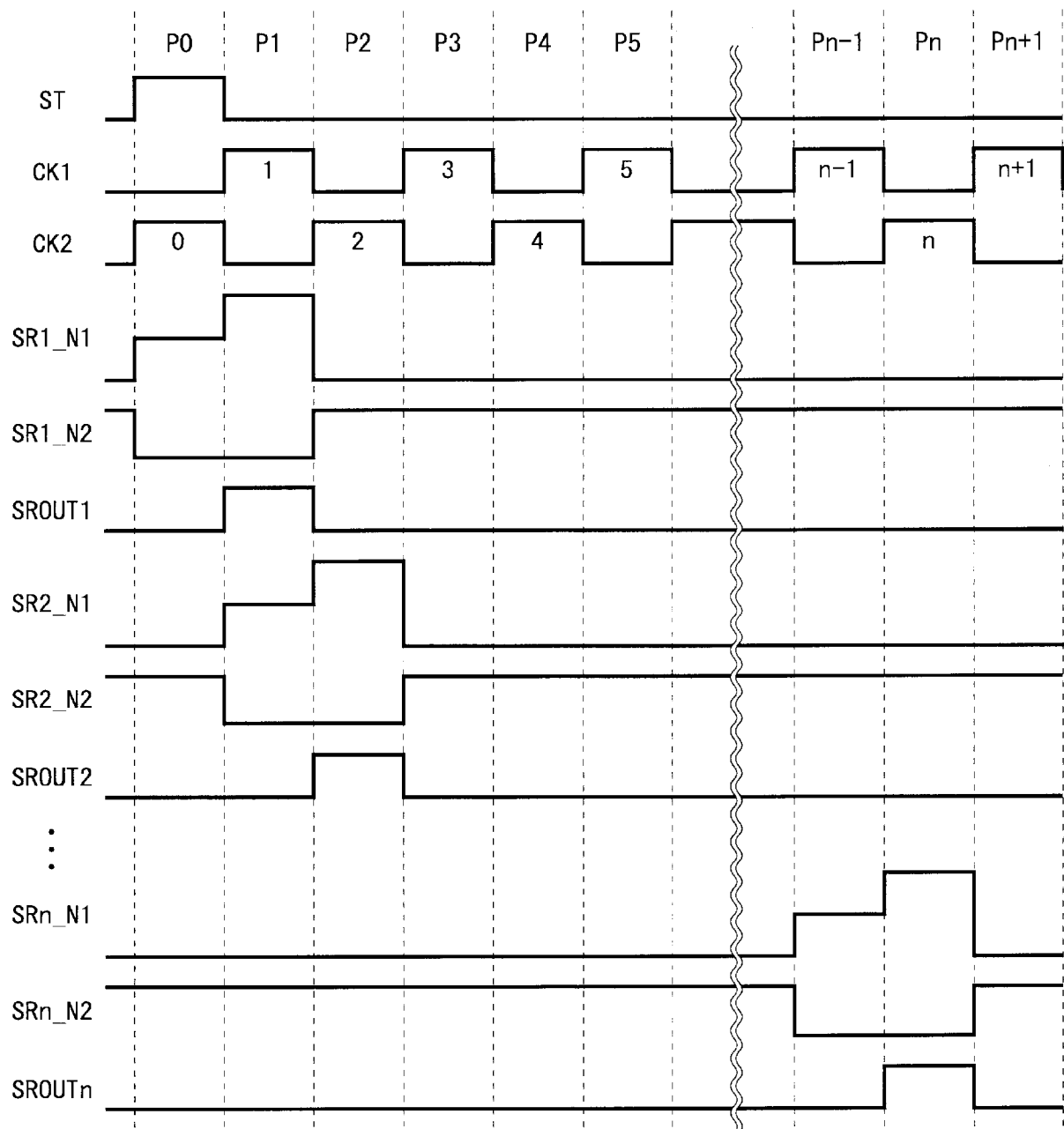


[図60]





[図63]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053620

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-252269 A (Sony Corp.), 29 October 2009 (29.10.2009), paragraphs [0195] to [0208]; fig. 67	1-2, 4-5, 11-13
Y	& US 2009/0251443 A1	3, 6, 9, 10
A		7-8
Y	JP 2011-70761 A (Beijing Boe Optoelectronics Technology Co., Ltd.), 07 April 2011 (07.04.2011), paragraph [0029]; fig. 7 & US 2011/0075790 A1 & CN 102034553 A & KR 10-2011-0033807 A	3, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 April, 2014 (21.04.14)

Date of mailing of the international search report
28 April, 2014 (28.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053620

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-508654 A (Koninklijke Philips Electronics N.V.), 21 March 2008 (21.03.2008), paragraphs [0034] to [0047]; fig. 2 & US 2007/0248205 A1 & EP 1774506 A & WO 2006/013542 A2 & CN 1993726 A & KR 10-2007-0053209 A	6, 9
Y	JP 2008-537275 A (Koninklijke Philips Electronics N.V.), 11 September 2008 (11.09.2008), paragraphs [0040] to [0054]; fig. 2 & US 2008/0226013 A1 & EP 1864297 A & WO 2006/100636 A2 & CN 101147202 A	6, 9
Y	JP 2008-537626 A (Koninklijke Philips Electronics N.V.), 18 September 2008 (18.09.2008), paragraphs [0044] to [0058]; fig. 2 & US 2010/0060561 A1 & EP 1864298 A & WO 2006/100637 A2 & CN 101147203 A	6, 9
A	JP 2005-149624 A (Sony Corp.), 09 June 2005 (09.06.2005), paragraphs [0072] to [0088]; fig. 14 to 21 (Family: none)	1-13
A	JP 2006-277789 A (Sony Corp.), 12 October 2006 (12.10.2006), paragraphs [0132] to [0136]; fig. 24, 41 (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-252269 A（ソニー株式会社）2009.10.29, 段落【0195】 - 【0208】，第 67 図 & US 2009/0251443 A1	1-2, 4-5, 11-13 3, 6, 9, 10 7-8
Y	JP 2011-70761 A（北京京東方光電科技有限公司）2011.04.07, 段落 【0029】，第 7 図 & US 2011/0075790 A1 & CN 102034553 A & KR 10-2011-0033807 A	3, 10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 4 . 2 0 1 4

国際調査報告の発送日

2 8 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

堀田 和義

5 U

8 8 4 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-508654 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2008.03.21, 段落【0034】-【0047】, 第2図 & US 2007/0248205 A1 & EP 1774506 A & WO 2006/013542 A2 & CN 1993726 A & KR 10-2007-0053209 A	6, 9
Y	JP 2008-537275 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2008.09.11, 段落【0040】-【0054】, 第2図 & US 2008/0226013 A1 & EP 1864297 A & WO 2006/100636 A2 & CN 101147202 A	6, 9
Y	JP 2008-537626 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2008.09.18, 段落【0044】-【0058】, 第2図 & US 2010/0060561 A1 & EP 1864298 A & WO 2006/100637 A2 & CN 101147203 A	6, 9
A	JP 2005-149624 A (ソニー株式会社) 2005.06.09, 段落【0072】- 【0088】, 第14-21図 (ファミリーなし)	1-13
A	JP 2006-277789 A (ソニー株式会社) 2006.10.12, 段落【0132】- 【0136】, 第24図, 第41図 (ファミリーなし)	1-13