

(11)特許出願公開番号

特開2010-57005

(P2010-57005A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.

F I

テーマコード (参考)

H03L 7/081 (2006.01)

H03 L 7/08

J

5 J 106

H03L 7/00 (2006.01)

H03 L 7/00

D

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2008-221064 (P2008-221064)

(22) 出願日 平成20年8月29日 (2008. 8. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100075812

弁理士 吉武 賢次

(74) 代理人 100082991

弁理士 佐藤 泰和

(74) 代理人 100096921

弁理士 吉元 弘

(74) 代理人 100103263

100100200
弁理士 川崎 康

(74) 代理人 100146123

弁理士 木本 大介

[最終頁に続く](#)

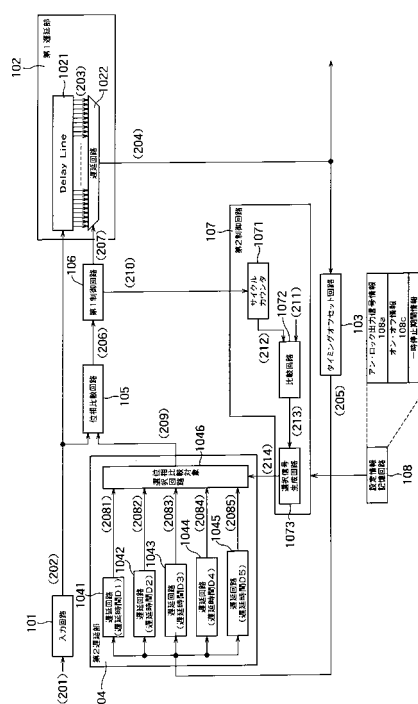
(54) 【発明の名称】 D L L回路

(57) 【要約】

【課題】ＬＳＩを使用するユーザに制約を課すことなく、ＬＳＩを使用するユーザ毎に異なる様々なＥＭＩ防止機能の要求に対応するために、電磁放射が生じる周波数とその周波数における電磁放射強度を制御する。

【解決手段】ＤＬＬ回路は、入力信号に基づいて同期基準信号を生成する入力回路１０１と、同期基準信号を遅延する第１遅延部１０２と、第１遅延部１０２によって遅延された同期基準信号の同期位置を調整し、同期対象信号を生成するタイミングオフセット回路１０３と、同期基準信号と同期対象信号との位相差を比較する位相比較回路１０５と、位相比較回路１０５の比較結果に基づいて第１遅延部１０２の出力信号を選択する第１制御回路１０６と、同期基準信号又は同期対象信号を遅延する第２遅延部１０４と、所定の設定情報を記憶する設定情報記憶回路１０８と、位相比較回路１０５の比較結果が所定の範囲内である場合に、設定情報記憶回路１０８に記憶された設定情報に基づいて第２遅延部１０４の出力信号を選択する第２制御回路１０７と、を備えている。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

入力信号に基づいて同期基準信号を生成する入力回路と、
前記同期基準信号を遅延する第 1 遅延部と、
前記第 1 遅延部によって遅延された同期基準信号の同期位置を調整し、同期対象信号を生成するタイミングオフセット回路と、
前記同期基準信号と前記同期対象信号との位相差を比較する位相比較回路と、
前記位相比較回路の比較結果に基づいて前記第 1 遅延部の出力信号を選択する第 1 制御回路と、
前記同期基準信号又は前記同期対象信号を遅延する第 2 遅延部と、
所定の設定情報を記憶する設定情報記憶回路と、
前記位相比較回路の比較結果が所定の範囲内である場合に、前記設定情報記憶回路に記憶された設定情報に基づいて前記第 2 遅延部の出力信号を選択する第 2 制御回路と、を備えることを特徴とする D L L 回路。

10

【請求項 2】

前記設定情報記憶回路は、アン・ロック状態のときに選択すべき前記第 2 遅延部の出力信号を示す設定情報を記憶する請求項 1 に記載の D L L 回路。

【請求項 3】

前記設定情報記憶回路は、前記第 2 遅延部の出力信号の選択期間を示す設定情報を記憶する請求項 1 又は 2 に記載の D L L 回路。

20

【請求項 4】

前記設定情報記憶回路は、前記第 2 制御回路のオン又はオフを示す設定情報を記憶する請求項 1 乃至 3 の何れか 1 項に記載の D L L 回路。

【請求項 5】

前記設定情報記憶回路は、前記第 2 制御回路の一時停止期間を示す設定情報を記憶する請求項 1 乃至 4 の何れか 1 項に記載の D L L 回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、D L L (D e l a y L o c k e d L o o p) 回路に関し、特に、電磁放射ノイズの強度を低減する機能を有する D L L 回路に関する。

30

【背景技術】**【0002】**

電子機器に搭載される L S I は、消費電力又は動作周波数の大きさに応じて電磁波を放出する。電磁波は、電磁放射ノイズとして電子機器全体に悪影響を及ぼす。電磁放射ノイズの主な原因は、L S I に設けられた D L L 回路及び当該 D L L 回路の出力信号（以下、「D L L 出力信号」という）を使用しているその他の回路から発生する電磁波である。特に、D L L 出力信号を使用しているその他の回路からは、強い電磁波が発生する。

【0003】

一方、近年の電子機器の高機能化及び集積技術の向上に伴い、電子機器に搭載される L S I の消費電力及び動作周波数、並びに集積密度及び数が増加している。その結果、L S I から放出される電磁波の強度（以下、「電磁放射強度」という）が増加し、電磁放射ノイズが電子機器に与える影響を無視できなくなっている。

40

【0004】

一般的な L S I は、D L L 回路を備えている。D L L 回路がロック状態にある場合（すなわち、D L L 回路及び D L L 回路を備えた L S I が動作状態にある場合）には、D L L 回路の D L L 出力信号の周波数は一定の値（D L L L o c k 周波数）を示す。その結果、D L L L o c k 周波数の電磁放射強度が非常に強くなる。

【0005】

特許文献 1 には、広範囲に調整可能な遅延時間の最小遅延時間（最小スルーレート）を

50

抑える D L L 回路が開示されている。しかし、特許文献 1 は、D L L 回路に起因する電磁放射ノイズを低減する手段については開示していない。

【 0 0 0 6 】

従って、従来の D L L 回路では、D L L 回路及び D L L 回路を備えた L S I の電磁放射強度が強くなり、当該 L S I を備えた電子機器が電磁放射ノイズによって悪影響を受けるという問題があった。

【 0 0 0 7 】

また、従来の D L L 回路及び当該 D L L 回路を備えた L S I では、特定の動作周波数において電磁放射強度のピークが現れる。この電磁波放射強度のピーク値は極めて大きいので、この L S I を搭載する電子機器は、この L S I から生じる電磁放射によって悪影響を受ける。したがって、D L L 回路を備えた L S I には、E M I (E l e c t r o - M a g n e t i c I n t e r f e r e n c e) 防止機能が求められる。

10

【 0 0 0 8 】

しかしながら、L S I を搭載する電子機器の仕様によって E M I 防止機能に求められる内容が異なるので、柔軟な E M I 防止機能（たとえば、電磁波放射の周波数分布のシフト機能や形状制御機能）を有するチップを採用しなければ、L S I を使用するユーザに様々な制約を課すことになる。

【特許文献 1】特開 2 0 0 4 - 2 6 0 6 6 3 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 0 9 】

本発明の目的は、L S I を使用するユーザに制約を課すことなく、L S I を使用するユーザ毎に異なる様々な E M I 防止機能の要求に対応するために、電磁放射が生じる周波数とその周波数における電磁放射強度を制御するための D L L 回路を提供することである。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の第 1 態様によれば、
入力信号に基づいて同期基準信号を生成する入力回路と、
前記同期基準信号を遅延する第 1 遅延部と、
前記第 1 遅延部によって遅延された同期基準信号の同期位置を調整し、同期対象信号を生成するタイミングオフセット回路と、
前記同期基準信号と前記同期対象信号との位相差を比較する位相比較回路と、
前記位相比較回路の比較結果に基づいて前記第 1 遅延部の出力信号を選択する第 1 制御回路と、
前記同期基準信号又は前記同期対象信号を遅延する第 2 遅延部と、
所定の設定情報を記憶する設定情報記憶回路と、
前記位相比較回路の比較結果が所定の範囲内である場合に、前記設定情報記憶回路に記憶された設定情報に基づいて前記第 2 遅延部の出力信号を選択する第 2 制御回路と、を備えることを特徴とする D L L 回路が提供される。

30

【発明の効果】

40

【 0 0 1 1 】

本発明によれば、L S I を使用するユーザに制約を課すことなく、L S I を使用するユーザ毎に異なる様々な E M I 防止機能の要求に対応するために、電磁放射が生じる周波数とその周波数における電磁放射強度を制御することができる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、本発明の実施例について図面を参照して説明する。なお、以下の実施例は、本発明の実施の一形態であって、本発明の範囲を限定するものではない。

【実施例 1】

【 0 0 1 3 】

50

はじめに、本発明の実施例 1 について説明する。本発明の実施例 1 は、設定情報に基づいて選択信号を生成する選択信号生成回路を有する D L L 回路の例である。

【 0 0 1 4 】

まず、本発明の実施例 1 に係る D L L 回路の構成について図 1 を参照して説明する。図 1 は、本発明の実施例 1 に係る D L L 回路の構成を示すブロック図である。

【 0 0 1 5 】

図 1 に示すように、本発明の実施例 1 の D L L 回路は、入力回路 1 0 1、第 1 遅延部 1 0 2、タイミングオフセット回路 1 0 3、第 2 遅延部 1 0 4、位相比較回路 1 0 5、第 1 制御回路 1 0 6、第 2 制御回路 1 0 7、及び設定情報記憶回路 1 0 8 を備えている。

【 0 0 1 6 】

図 1 に示すように、入力回路 1 0 1 は、外部回路（図示せず）、第 1 遅延部 1 0 2 の D e l a y L i n e 1 0 2 1（後述する）、及び位相比較回路 1 0 5 に接続されている。また、入力回路 1 0 1 は、外部回路（図示せず）から D L L 入力信号（2 0 1）を入力し、その D L L 入力信号（2 0 1）から同期の基準となる同期基準信号（2 0 2）を生成し、第 1 遅延部 1 0 2 及び位相比較回路 1 0 5 に出力するようになっている。

【 0 0 1 7 】

図 1 に示すように、第 1 遅延部 1 0 2 は、D e l a y L i n e 1 0 2 1 と、選択回路 1 0 2 2 と、を備えている。D e l a y L i n e 1 0 2 1 と選択回路 1 0 2 2 は、複数の信号線を介してシリアル接続されている。

【 0 0 1 8 】

図 1 に示すように、D e l a y L i n e 1 0 2 1 は、入力回路 1 0 1 及び遅延回路 1 0 2 2 に接続されている。また、D e l a y L i n e 1 0 2 1 は、入力回路 1 0 1 から出力された同期基準信号（2 0 2）を入力し、所定の遅延時間分だけ遅延させて遅延同期基準信号（2 0 3）を生成するようになっている。

【 0 0 1 9 】

図 1 に示すように、選択回路 1 0 2 2 は、外部回路（図示せず）、D e l a y L i n e 1 0 2 1、タイミングオフセット回路 1 0 3、及び第 1 制御回路 1 0 6 に接続されている。また、選択回路 1 0 2 2 は、第 1 制御回路 1 0 6 から出力された制御信号（2 0 7）（後述する）に従って、D e l a y L i n e 1 0 2 1 から出力された遅延同期基準信号（2 0 3）の中から D L L 出力信号（2 0 4）を選択し、外部回路（図示せず）に出力するようになっている。

【 0 0 2 0 】

図 1 に示すように、タイミングオフセット回路 1 0 3 は、外部回路（図示せず）、第 1 遅延部 1 0 2 の選択回路 1 0 2 2、及び第 2 遅延部 1 0 4 に接続されている。また、タイミングオフセット回路 1 0 3 は、選択回路 1 0 2 2 から出力された D L L 出力信号（2 0 4）を入力し、同期位置を調整して同期対象信号（2 0 5）を生成し、第 2 遅延部 1 0 4 に出力するようになっている。

【 0 0 2 1 】

図 1 に示すように、第 2 遅延部 1 0 4 は、5 個の遅延回路 1 0 4 1 乃至 1 0 4 5 と、位相比較対象選択回路 1 0 4 6 と、を備えている。各遅延回路 1 0 4 1 乃至 1 0 4 5 は、位相比較対照選択回路 1 0 4 6 にシリアル接続されている。

【 0 0 2 2 】

図 1 に示すように、各遅延回路 1 0 4 1 乃至 1 0 4 5 は、タイミングオフセット回路 1 0 3 及び位相比較対象選択回路 1 0 4 6 に接続されている。また、各遅延回路 1 0 4 1 乃至 1 0 4 5 は、それぞれ、異なる遅延時間（D 1 乃至 D 5）を有する。例えば、L S I に搭載されるプロセッサの動作周波数が 1 G H z である場合には、D 1 = 2 0 p s、D 2 = 4 0 p s、D 3 = 6 0 p s、D 4 = 8 0 p s、D 5 = 1 0 0 p s である。また、各遅延回路 1 0 4 1 乃至 1 0 4 5 は、それぞれ、タイミングオフセット回路 1 0 3 から出力された同期対象信号（2 0 5）を入力し、所定の遅延時間（D 1 乃至 D 5）分だけ遅延させて遅延同期対象信号（2 0 8 1 乃至 2 0 8 5）を生成し、位相比較対象選択回路 1 0 4 6 に出

10

20

30

40

50

力するようになっている。なお、遅延回路 1041 乃至 1045 の数は、2 個以上であれば幾つでも良い。

【0023】

図 1 に示すように、位相比較対象選択回路 1046 は、遅延回路 1041 乃至 1045 及び位相比較回路 105 に接続されている。また、位相比較対象選択回路 1046 は、第 2 制御回路 107 の選択信号生成回路 1073（後述する）から出力された選択信号（214）に従って、各遅延回路 1041 乃至 1045 から出力された遅延同期対象信号（2081 乃至 2085）の中から第 2 遅延部 104 の出力信号としての選択遅延同期対象信号（209）を選択し、位相比較回路 105 に出力するようになっている。

【0024】

図 1 に示すように、位相比較回路 105 は、入力回路 101、第 2 遅延部 104 の位相比較対象選択回路 1046、及び第 1 制御回路 106 に接続されている。また、位相比較回路 105 は、入力回路 101 から出力された同期基準信号（202）及び位相比較対象選択回路 1046 から出力された選択遅延同期対象信号（209）を入力し、両者の位相を比較し、比較結果（206）を第 1 制御回路 106 に出力するようになっている。

【0025】

図 1 に示すように、第 1 制御回路 106 は、第 1 遅延部 102 の選択回路 1022、位相比較回路 105、及び第 2 制御回路 107 のサイクルカウンタ 1071（後述する）に接続されている。また、第 1 制御回路 106 は、位相比較回路 105 から出力された比較結果（206）を入力し、比較結果（206）に従って、選択回路 1022 を制御するための制御信号（207）を生成し、選択回路 1022 に出力するようになっている。また、第 1 制御回路 106 は、比較結果（206）に応じてサイクルカウンタ 1071（後述する）をイネーブル状態にするためのサイクルカウンタイネーブル信号（210）を生成し、サイクルカウンタ 1071（後述する）に出力するようになっている。なお、DLL 回路は、第 1 制御回路 106 によってサイクルカウンタイネーブル信号（210）が生成されたときには、いわゆる「ロック状態」となる。

【0026】

図 1 に示すように、第 2 制御回路 107 は、サイクルカウンタ 1071 と、比較回路 1072 と、選択信号生成回路 1073 と、を備えている。また、第 2 制御回路 107 は、設定情報記憶回路 108 に接続されている。

【0027】

図 1 に示すように、サイクルカウンタ 1071 は、第 1 制御回路 106 及び比較回路 1072 に接続されている。また、サイクルカウンタ 1071 は、第 1 制御回路 106 から出力されたサイクルカウンタイネーブル信号（210）に応じてサイクル数のカウントを開始し、サイクルカウント値（212）を比較回路 1072 に出力するようになっている。また、サイクルカウンタ 1071 は、比較回路 1072 の比較結果（212）が一致するときには、サイクルカウント値をリセットするようになっている。

【0028】

図 1 に示すように、比較回路 1072 は、サイクルカウンタ 1071 及び選択信号生成回路 1073 に接続されている。また、比較回路 1072 は、サイクルカウンタ 1071 から出力されたサイクルカウント値（212）と所定の遅延回路の切替サイクル設定値（211）とを比較し、比較結果（213）を選択信号生成回路 1073 に出力するようになっている。

【0029】

図 1 に示すように、選択信号生成回路 1073 は、比較回路 1072 及び位相比較対象選択回路 1046 に接続されている。また、選択信号生成回路 1073 は、比較回路 1072 から出力された比較結果（213）に従って、位相比較対象選択回路 1046 を制御するための選択信号（214）を生成し、位相比較対象選択回路 1046 に出力するようになっている。ここで、選択信号生成回路 1073 は、ロック状態のときには、直前に選択された遅延回路の次に遅延時間の長い遅延回路（例えば、直前に遅延回路 1043 が選

10

20

30

40

50

択されていた場合には、遅延回路 1044) から出力された遅延同期対象信号 (2083) を選択するための選択信号 (214) を生成する。一方、選択信号生成回路 1073 は、アン・ロック状態のときには、アン・ロック出力信号情報 108a に示された遅延同期対象信号 (2083) を選択するための選択信号 (214) を生成する。なお、選択信号生成回路 1073 は、直前に選択された遅延回路の次に遅延時間の短い遅延回路から出力された遅延同期対象信号を選択するための選択信号 (214) を生成しても良い。また、選択信号生成回路 1073 は、直前に選択された遅延回路が最短の遅延時間 (又は最長の遅延時間) を有する遅延回路であった場合には、最長の遅延時間 (又は最短の遅延時間) を有する遅延回路から出力された遅延同期対象信号を選択するための選択信号 (214) を生成しても良い。

10

【0030】

図 1 に示すように、設定情報記憶回路 108 は、第 2 制御回路 107 に接続されている。また、設定情報記憶回路 108 は、アン・ロック出力信号情報 108a、オン・オフ情報 108c、及び一時停止期間情報 108d を記憶している。アン・ロック出力信号情報 108a は、アン・ロック状態のとき (すなわち、DLL 回路がロック状態にないとき) に選択すべき第 2 遅延部 104 の出力信号を示す設定情報である。オン・オフ情報 108c は、第 2 制御回路 107 のオン又はオフを示す設定情報である。一時停止期間情報 108d は、第 2 制御回路の動作の一時停止期間を示す設定情報である。設定情報記憶回路 108 に記憶された各設定情報 108a 乃至 108d の設定は、本発明の実施例 1 に係る DLL 回路を搭載した LSI 上で動作するソフトウェア又は設定情報記憶回路 108 のピン (図示せず) によって行われる。

20

【0031】

次に、本発明の実施例 1 に係る DLL 回路の処理について図 2 及び図 3 を参照して説明する。図 2 は、本発明の実施例 1 の選択遅延同期対象信号生成処理における DLL 回路の処理手順を示すフローチャートである。図 3 は、本発明の実施例 1 に係る電磁波放射強度の周波数分布を示すグラフである。

【0032】

はじめに、図 2 に示すように、アン・ロック状態である場合には (S201 - No)、選択信号生成回路 1073 は、設定情報記憶回路 108 に記憶されたアン・ロック出力信号情報 108a を参照し、そのアン・ロック出力信号情報 108a に示された選択遅延同期対象信号 (2081) 乃至 (2085) を選択するための選択信号 (214) を生成し、位相比較対象選択回路 1046 に出力する (S202)。このとき、位相比較対象選択回路 1046 は、アン・ロック出力信号情報 108a に示された選択遅延同期対象信号 (2081) 乃至 (2085) を選択し、位相比較回路 105 に出力する。

30

【0033】

一方、ロック状態である場合には (S201 - Yes)、第 1 制御回路 106 は、「サイクルカウンタリネーブ信号 (210)」を生成する (S203)。続いて、サイクルカウンタ 107 は、サイクルカウントを開始する (S204)。続いて、選択信号生成回路 1073 は、比較回路 1072 から出力された「比較結果 (213)」が一致を示す場合に (S205 - Yes)、「選択信号 (214)」を生成する (S206)。続いて、サイクルカウンタ 107 は、サイクルカウント値をリセットする (S207)。続いて、位相比較対象選択回路 1046 は、直前に選択された遅延回路とは異なる遅延回路 (例えば、直前に選択された遅延回路の次に遅延時間の長い遅延回路) から出力された選択遅延同期対象信号を選択する (S208)。

40

【0034】

S201 乃至 S208 は、終了信号が検出されるまで繰り返される (S209 - No)。

【0035】

一方、S202 又は S208 の後に終了信号が検出された場合には (S209 - Yes)、本発明の実施例 1 の選択遅延同期対象信号生成処理は終了する。終了信号は、LSI

50

がスリープ状態に移行する場合、リセットされる場合、及び省電力モードに以降する場合に検出される。なお、省電力モードでは、本発明の実施例 1 の D L L 回路は、タイミングオフセット回路 1 0 3、第 2 遅延部 1 0 4、位相比較回路 1 0 5 及び第 2 制御回路 1 0 7 の動作を止める。このとき、第 1 遅延部 1 0 2 は、一定の周波数で「D L L 出力信号 (2 0 4) 」を出力する。

【 0 0 3 6 】

本発明の実施例 1 では、アン・ロック状態のときの第 2 遅延部 1 0 4 の出力信号は、設定情報記憶回路 1 0 8 に記憶されたアン・ロック出力信号情報 1 0 8 a に基づいて定まる。したがって、ユーザは、アン・ロック出力信号情報 1 0 8 a を任意に設定することによって、電磁波放射強度の周波数分布を任意に変更することができる。例えば、図 3 (A) に示すように、ターゲット動作周波数で電磁波放射強度のピークの上端が現れるようにすることもできるし、図 3 (B) に示すように、ターゲット動作周波数で電磁波放射強度のピークの下端が現れるようにすることもできるし、図 3 (C) に示すように、ターゲット動作周波数と電磁波放射強度のピークの中心がずれるようにすることもできる。

【 0 0 3 7 】

なお、本発明の実施例 1 の変形例では、第 2 制御回路 1 0 7 は、設定情報記憶回路 1 0 8 に記憶されたオン・オフ情報 1 0 8 c がオンを示しているときに限り、動作しても良い。この場合には、設定情報記憶回路 1 0 8 に記憶されたオン・オフ情報 1 0 8 c がオンを示しているときに限り、図 2 の処理が行われる。

【 0 0 3 8 】

また、本発明の実施例 1 のその他の変形例では、図 2 の S 2 0 4 において、サイクルカウンタ 1 0 7 1 は、設定情報記憶回路 1 0 8 に記憶された一時停止期間情報 1 0 8 d に示された期間だけカウントを一時停止しても良い。この場合には、位相比較対象選択回路 1 0 4 6 は、直前に選択していた選択遅延同期対象信号 (2 0 8 1) 乃至 (2 0 8 5) を継続して選択する。

【 0 0 3 9 】

また、本発明の実施例 1 のその他の変形例では、図 4 に示すように、入力回路 1 0 1 と、第 1 遅延部 1 0 2、タイミングオフセット回路 1 0 3、及び位相比較回路 1 0 5 と、の間に同期基準信号を遅延させる第 2 遅延部 1 0 4 が設けられ、その第 2 遅延部 1 0 4 に第 2 制御回路 1 0 7 が接続され、その第 2 制御回路 1 0 7 に設定情報記憶回路 1 0 8 が接続されていても良い。

【 0 0 4 0 】

また、本発明の実施例 1 のその他の変形例では、図 5 に示すように、D L L 回路の出力側に D L L 出力信号を遅延させる第 2 遅延部 1 0 4 が設けられ、その第 2 遅延部 1 0 4 に第 2 制御回路 1 0 7 が接続され、その第 2 制御回路 1 0 7 に設定情報記憶回路 1 0 8 が接続されていても良い。

【 0 0 4 1 】

本発明の実施例 1 によれば、第 2 制御回路 1 0 7 が、設定情報記憶回路 1 0 8 に記憶された設定情報 1 0 8 a 乃至 1 0 8 d に基づいて動作するので、L S I の用途や動作状況毎に D L L 回路に対する電磁放射強度の周波数分布をシフトすることができる。

【実施例 2】

【 0 0 4 2 】

次に、本発明の実施例 2 について説明する。本発明の実施例 2 は、複数の切替サイクル設定値の中から選択される遅延回路に対応する切替サイクル設定値を選択する切替サイクル選択回路を有する D L L 回路の例である。なお、本発明の実施例 1 と同様の内容についての説明は省略する。

【 0 0 4 3 】

まず、本発明の実施例 2 に係る D L L 回路の構成について図 6 を参照して説明する。図 6 は、本発明の実施例 2 に係る D L L 回路の構成を示すブロック図である。

【 0 0 4 4 】

図 6 に示すように、本発明の実施例 2 の D L L 回路は、入力回路 1 0 1、第 1 遅延部 1 0 2、タイミングオフセット回路 1 0 3、第 2 遅延部 1 0 4、位相比較回路 1 0 5、第 1 制御回路 1 0 6、第 2 制御回路 1 0 7、設定情報記憶回路 1 0 8、及び切替サイクル選択回路 1 0 9 を備えている。入力回路 1 0 1、第 1 遅延部 1 0 2、タイミングオフセット回路 1 0 3、第 2 遅延部 1 0 4、位相比較回路 1 0 5、及び第 1 制御回路 1 0 6 は、本発明の実施例 1 と同様である。

【 0 0 4 5 】

図 6 に示すように、第 2 制御回路 1 0 7 は、サイクルカウンタ 1 0 7 1 と、比較回路 1 0 7 2 と、選択信号生成回路 1 0 7 3 と、を備えている。サイクルカウンタ 1 0 7 1 は、本発明の実施例 1 と同様である。

【 0 0 4 6 】

図 6 に示すように、比較回路 1 0 7 2 は、サイクルカウンタ 1 0 7 1、選択信号生成回路 1 0 7 3、及び切替サイクル選択回路 1 0 9 に接続されている。また、比較回路 1 0 7 2 は、サイクルカウンタ 1 0 7 1 から出力されたサイクルカウント値 (2 1 2) と切替サイクル選択回路 1 0 9 によって選択された切替サイクル設定値 1 0 8 e 乃至 1 0 8 i とを比較し、比較結果 (2 1 3) を選択信号生成回路 1 0 7 3 に出力するようになっている。

【 0 0 4 7 】

図 6 に示すように、選択信号生成回路 1 0 7 3 は、比較回路 1 0 7 2、位相比較対象選択回路 1 0 4 6、及び切替サイクル選択回路 1 0 9 に接続されている。また、選択信号生成回路 1 0 7 3 は、比較回路 1 0 7 2 から出力された比較結果 (2 1 3) に従って、位相比較対象選択回路 1 0 4 6 を制御するための選択信号 (2 1 4) を生成し、位相比較対象選択回路 1 0 4 6 及び切替サイクル選択回路 1 0 9 に出力するようになっている。

【 0 0 4 8 】

図 6 に示すように、設定情報記憶回路 1 0 8 は、切替サイクル選択回路 1 0 9 に接続されている。また、設定情報記憶回路 1 0 8 は、複数の切替サイクル設定値 1 0 8 e 乃至 1 0 8 i を記憶している。各切替サイクル設定値 1 0 8 e 乃至 1 0 8 i は、それぞれ、第 2 遅延部 1 0 4 1 の遅延回路 1 0 4 1 乃至 1 0 4 5 に対応する設定情報であって、第 2 制御回路 1 0 7 の比較回路 1 0 7 2 の切替サイクルを示す値である。設定情報記憶回路 1 0 8 に記憶された各設定情報 1 0 8 e 乃至 1 0 8 i の設定は、本発明の実施例 2 に係る D L L 回路を搭載した L S I 上で動作するソフトウェア又は設定情報記憶回路 1 0 8 のピン (図示せず) によって行われる。

【 0 0 4 9 】

図 6 に示すように、切替サイクル選択回路 1 0 9 は、第 2 制御回路 1 0 7 の比較回路 1 0 7 2 及び選択信号生成回路 1 0 7 3、並びに設定情報記憶回路 1 0 8 に接続されている。また、切替サイクル選択回路 1 0 9 は、第 2 遅延部 1 0 7 の選択信号生成回路 1 0 7 3 から出力された選択信号 (2 1 4) に基づいて、選択遅延同期対象信号 (2 0 9) に対応する切替サイクル設定値 1 0 8 e 乃至 1 0 8 i を設定情報記憶回路 1 0 8 から読み出し、比較回路 1 0 7 2 に出力するようになっている。

【 0 0 5 0 】

次に、本発明の実施例 2 に係る D L L 回路の処理について図 7 及び図 8 を参照して説明する。図 7 は、本発明の実施例 2 の選択遅延同期対象信号生成処理における D L L 回路の処理手順を示すフローチャートである。図 8 は、本発明の実施例 2 に係る電磁波放射強度の周波数分布を示すグラフである。

【 0 0 5 1 】

はじめに、図 7 に示すように、ロック状態でない場合には (S 7 0 1 - N o)、位相比較対象選択回路 1 0 4 6 は、標準遅延回路 (例えば、遅延回路 1 0 4 3) から出力された選択遅延同期対象信号 (例えば、「選択遅延同期対象信号 (2 0 8 3) 」) を選択する (S 7 0 2)。

【 0 0 5 2 】

一方、図 7 に示すように、ロック状態である場合には (S 7 0 1 - Y e s)、第 1 制御

10

20

30

40

50

回路 106 は、「サイクルカウタイネーブル信号 (210)」を生成する (S703)。続いて、サイクルカウンタ 107 は、サイクルカウントを開始する (S704)。続いて、選択信号生成回路 1073 は、比較回路 1072 から出力された「比較結果 (213)」が一致を示す場合に (S705 - Yes)、「選択信号 (214)」を生成する (S706)。続いて、サイクルカウンタ 107 は、サイクルカウント値をリセットする (S707)。続いて、位相比較対象選択回路 1046 は、直前に選択された遅延回路とは異なる遅延回路 (例えば、直前に選択された遅延回路の次に遅延時間の長い遅延回路) から出力された選択遅延同期対象信号を選択する (S708)。

【0053】

S701 ~ S708 は、終了信号が検出されるまで繰り返される (S709 - No)。

10

【0054】

一方、S702 又は S708 の後に終了信号が検出された場合には (S709 - Yes)、本発明の実施例 2 の選択遅延同期対象信号生成処理は終了する。終了信号は、LSI がスリープ状態に以降する場合、リセットされる場合、及び省電力モードに以降する場合に検出される。なお、省電力モードでは、本発明の実施例 2 の DLL 回路は、タイミングオフセット回路 103、第 2 遅延部 104、位相比較回路 105 及び第 2 制御回路 107 の動作を止める。このとき、第 1 遅延部 102 は、一定の周波数で「DLL 出力信号 (204)」を出力する。

【0055】

本発明の実施例 2 では、ロック状態のときの第 2 遅延部 104 の出力信号は、設定情報記憶回路 108 に記憶された切替サイクル設定値 108e 乃至 108i に基づいて定まる。したがって、ユーザは、切替サイクル設定値 108e 乃至 108i を任意に設定することによって、電磁波放射強度の周波数分布を任意に変更することができる。例えば、図 8 (A) に示すように、ターゲット動作周波数の前後で電磁波放射強度のピークが現れるようにすることもできるし、図 8 (B) に示すように、ターゲット動作周波数より低い帯域で電磁波放射強度のピークが現れ、周波数が高くなるにつれて電磁波放射強度が低くなるようにすることもできる。

20

【0056】

なお、本発明の実施例 2 の変形例では、図 9 に示すように、設定情報記憶回路 108 は、本発明の実施例 1 と同様に、設定情報 108a 乃至 108d を記憶しても良い。この場合には、設定情報記憶回路 108 は、第 2 制御回路 107 にも接続されている。また、図 7 の S702 において、図 2 の S202 と同様の処理が行われる。

30

【0057】

また、本発明の実施例 2 のその他の変形例では、図 10 に示すように、入力回路 101 と、第 1 遅延部 102、タイミングオフセット回路 103、及び位相比較回路 105 と、の間に同期基準信号を遅延させる第 2 遅延部 104 が設けられ、その第 2 遅延部 104 に第 2 制御回路 107 が接続され、その第 2 制御回路 107 に切替サイクル選択回路 109 が接続され、その切替サイクル選択回路 109 に設定情報記憶回路 108 が接続されても良い。

【0058】

40

また、本発明の実施例 1 のその他の変形例では、図 11 に示すように、DLL 回路の出力側に DLL 出力信号を遅延させる第 2 遅延部 104 が設けられ、その第 2 遅延部 104 に第 2 制御回路 107 が接続され、その第 2 制御回路 107 に切替サイクル選択回路 109 が接続され、その切替サイクル選択回路 109 に設定情報記憶回路 108 が接続されていても良い。

【0059】

本発明の実施例 2 によれば、切替サイクル選択回路 109 が、設定情報記憶回路 108 に記憶された切替サイクル設定値 108e 乃至 108i を選択して、比較回路 1072 に出力するので、LSI の用途や動作状況毎に DLL 回路に対する電磁放射強度の周波数分布の形状を制御することができる。

50

【図面の簡単な説明】

【0060】

【図1】本発明の実施例1に係るDLL回路の構成を示すブロック図である。

【図2】本発明の実施例1の選択遅延同期対象信号生成処理におけるDLL回路の処理手順を示すフローチャートである。

【図3】本発明の実施例1に係る電磁波放射強度の周波数分布を示すグラフである。

【図4】本発明の実施例1の変形例に係るDLL回路の構成を示すブロック図である。

【図5】本発明の実施例1の変形例に係るDLL回路の構成を示すブロック図である。

【図6】本発明の実施例2に係るDLL回路の構成を示すブロック図である。

【図7】本発明の実施例2の選択遅延同期対象信号生成処理におけるDLL回路の処理手順を示すフローチャートである。 10

【図8】本発明の実施例2に係る電磁波放射強度の周波数分布を示すグラフである。

【図9】本発明の実施例2の変形例に係るDLL回路の構成を示すブロック図である。

【図10】本発明の実施例2の変形例に係るDLL回路の構成を示すブロック図である。

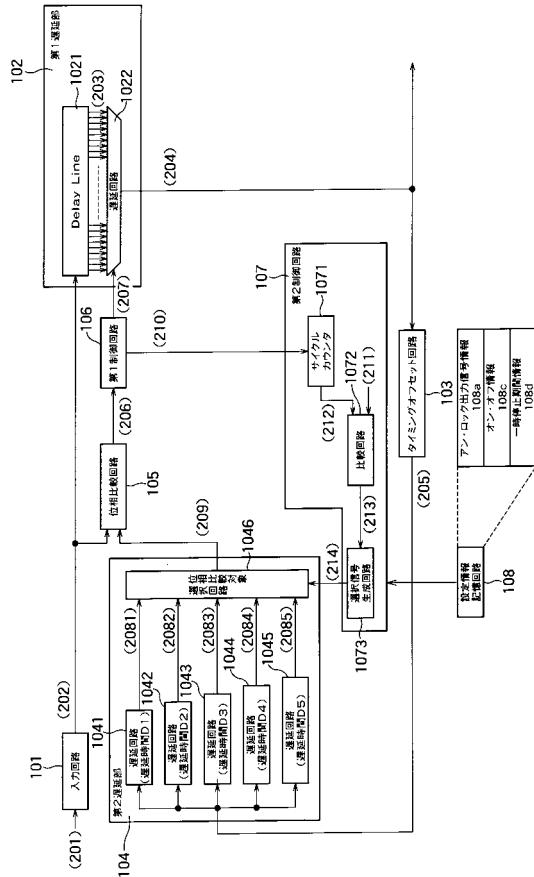
【図11】本発明の実施例2の変形例に係るDLL回路の構成を示すブロック図である。

【符号の説明】

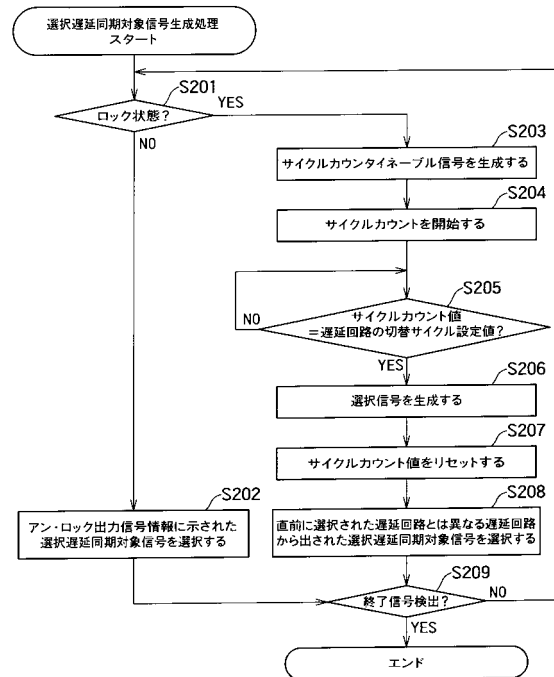
【0061】

101	入力回路	
102	第1遅延部	
1021	Delay Line	20
1022	選択回路	
103	タイミングオフセット回路	
104	第2遅延部	
1041 ~ 1045	遅延回路	
1046	位相比較対象選択回路	
105	位相比較回路	
106	第1制御回路	
107	第2制御回路	
1071	サイクルカウンタ	
1072	比較回路	30
1073	選択信号生成回路	
108	設定情報記憶回路	
109	切替サイクル選択回路	

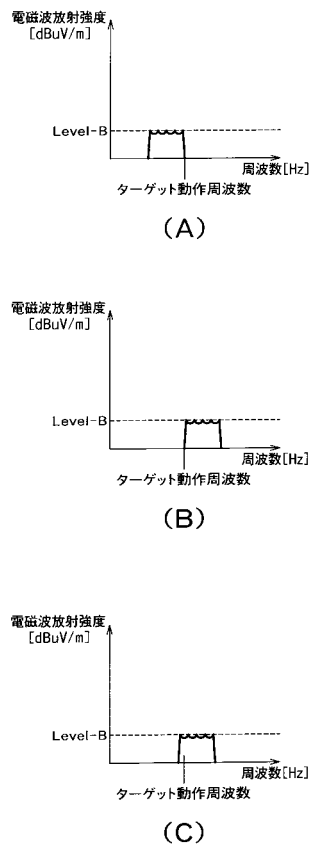
【 図 1 】



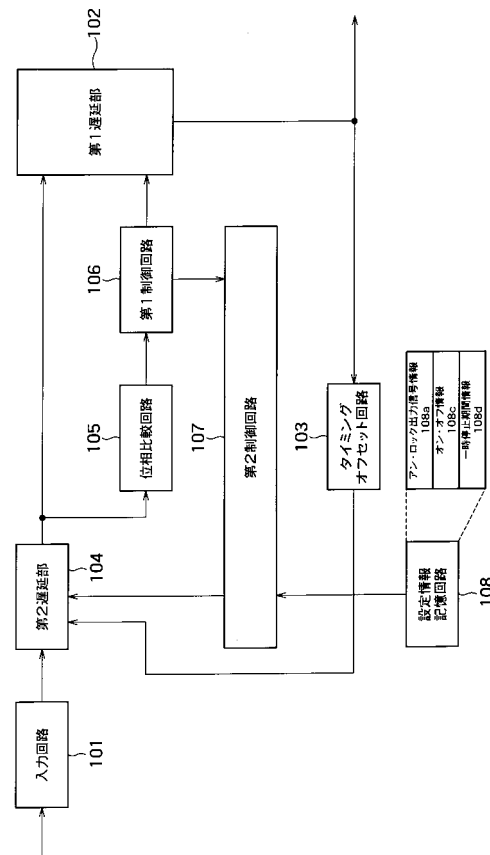
【 図 2 】



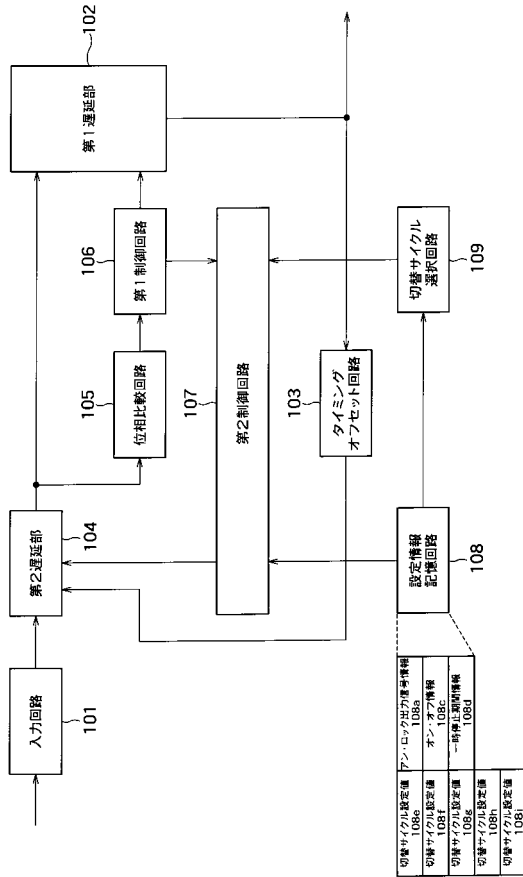
【 図 3 】



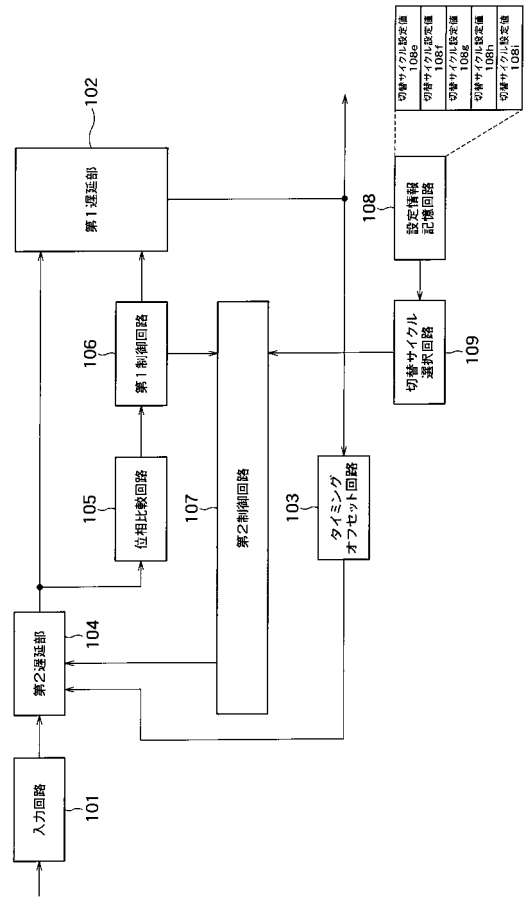
【 図 4 】



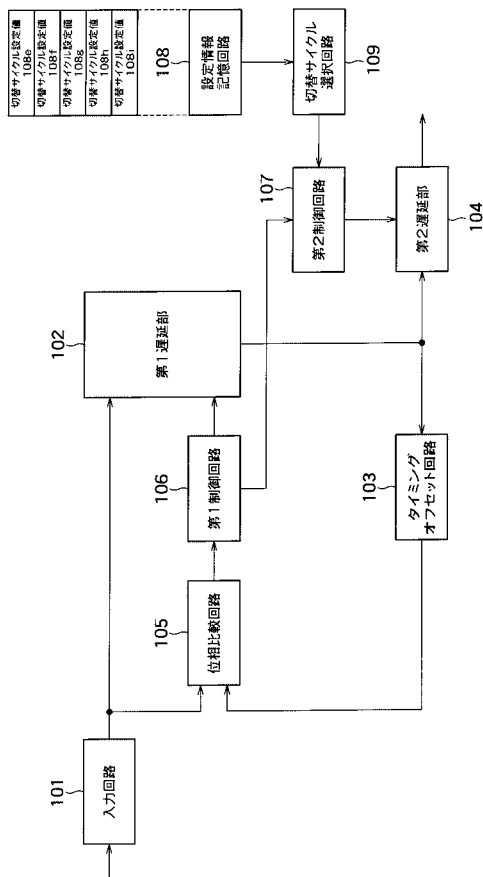
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 山 根 史 之

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

Fターム(参考) 5J106 CC21 CC58 CC59 DD09 DD24 DD26 GG10 HH02 JJ06 KK22

QQ06