

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3771006号
(P3771006)

(45) 発行日 平成18年4月26日(2006.4.26)

(24) 登録日 平成18年2月17日(2006.2.17)

(51) Int. Cl. F I
H03M 1/74 (2006.01) H03M 1/74
H03M 1/10 (2006.01) H03M 1/10 B

請求項の数 4 (全 21 頁)

(21) 出願番号	特願平9-183773	(73) 特許権者	503121103
(22) 出願日	平成9年7月9日(1997.7.9)		株式会社ルネサステクノロジ
(65) 公開番号	特開平11-31969		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成11年2月2日(1999.2.2)	(74) 代理人	100089233
審査請求日	平成15年7月2日(2003.7.2)		弁理士 吉田 茂明
		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	奥田 孝
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	熊本 敏夫
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 D/Aコンバータ

(57) 【特許請求の範囲】

【請求項1】

クロック信号に同期して複数ビットのデジタル信号をアナログ信号に変換するD/Aコンバータであって、

出力部に対して所定の順序に並列に接続された複数の単位電気量生成部を備え、前記複数の単位電気量生成部のうち選択された数の単位電気量生成部に関連した電気量が前記出力部に現れ、

前記クロック信号に同期して前記複数の単位電気量生成部の選択スタート位置を順次変更して決定するスタート位置決定部と、

前記クロック信号に同期して前記デジタル信号を受け、前記複数の単位電気量生成部のうち前記デジタル信号で決定される個数の単位電気量生成部を、前記選択スタート位置から前記所定の順序にそって選択する選択部と、

前記出力部より得られる電気量に基づき前記アナログ信号を出力するアナログ信号出力部とをさらに備え、

前記デジタル信号はN(2)ビットのデジタル信号を含み、

前記複数の単位電気量生成部はL(3)個の単位電気量生成部を含み、

前記スタート位置決定部は、前記クロック信号に同期して前記所定の順序にそって変位個数A(<L)個ずつずらせながら前記選択スタート位置を決定する、

D/Aコンバータ。

【請求項2】

10

20

前記デジタル信号のビット数 N と前記単位電気量生成部の個数 L とは $\{ L > 2^N - 1 \}$ の関係にある、

請求項 1 記載の D / A コンバータ。

【請求項 3】

前記単位電気量生成部の個数 L と前記変位個数 A とは互いに素の関係にある、

請求項 1 あるいは請求項 2 記載の D / A コンバータ。

【請求項 4】

前記デジタル信号のビット数 N と前記単位電気量生成部の個数 L とは $\{ L = 2^N \}$ の関係にある、

請求項 2 記載の D / A コンバータ。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル信号に基づく複数の電流源のオン・オフの切り替えにより、デジタル信号をアナログ信号に変換する D / A コンバータ (DAC) に関する。

【0002】

【従来の技術】

現在、音声帯域のデータ変換方式として、オーバーサンプリング変換方式が広く用いられている。図 30 はオーバーサンプリング変換方式を用いた A / D コンバータの構成を示すブロック図である。同図に示すように、アナログ入力信号 $A I$ をアンチエイリアシングフィルタ 11 に与える。アンチエイリアシングフィルタ 11 はアナログ入力信号 $A I$ の高周波成分を除去してモジュレータ 12 に与える。

20

【0003】

モジュレータ 12 はアナログ入力信号 $A I$ を標準化周波数 $f S$ より大きな周波数 $(n \cdot f S)$ でオーバーサンプリングしながらノイズシェーピングして得られる変調済みデジタル信号をデシメーションフィルタ 13 に与える。デシメーションフィルタ 13 はモジュレータ 12 より得たデジタル信号のうち n 個に 1 個の割合で抜き取って得られる信号をデジタル出力信号 $D O$ として出力する。

【0004】

モジュレータ 12 は減算器 14、積分器 15、量子化器 16 及び内部 DAC 17 から構成され、積分器 15 は減算器 14 の出力である差分アナログ信号を積分し、量子化器 16 は積分器 15 の出力を量子化してデジタル信号 (ノイズ成分を含む) としてデシメーションフィルタ 13 に出力するとともに、内部 DAC 17 に出力する。内部 DAC 17 はデジタル信号を D / A 変換して、減算器 14 に減算用のアナログ信号としてフィードバックする。なお、積分器 15 は $1 / (n \cdot f S)$ 期間の積分処理を行い、1 オーバーサンプリング時間の遅延処理を機能を備える。

30

【0005】

そして、減算器 14 はアンチエイリアシングフィルタ 11 から得たアナログ入力信号 $A I$ から内部 DAC 17 より得た減算用のアナログ信号 (アナログ $A I$ の 1 オーバーサンプリング遅延信号に相当) を差し引いて差分アナログ信号を積分器 15 に出力する。その結果、減算器 14、積分器 15、量子化器 16 及び内部 DAC 17 によって形成されるノイズシェーピングループによってアナログ入力信号 $A I$ に生じるノイズ成分が除去されて精度の高いデジタル信号をデシメーションフィルタ 13 に与えることができる。

40

【0006】

図 31 はオーバーサンプリング変換方式の D / A コンバータの構成を示すブロック図である。同図に示すように、補間フィルタ 21 はデジタル入力信号 $D I$ より得られる原データに基づき演算によって補間データを求め、原データに補間データを挿入することにより、周波数 $n \cdot f S$ でオーバーサンプリングしたデジタル信号をモジュレータ 22 に出力する。

【0007】

50

モジュレータ 2 2 はオーバーサンプリングしたデジタル信号をノイズシェーピングして内部 D A C 2 3 に与える。内部 D A C 2 3 は モジュレータ 2 2 より得た 変調済みデジタル信号を D / A 変換してアナログ信号をローパスフィルタ 2 4 に出力する。ローパスフィルタ 2 4 は内部 D A C 2 3 より得たアナログ信号の高周波成分を除去してアナログ出力信号 A O を出力する。

【 0 0 0 8 】

モジュレータ 2 2 は減算器 2 5、積分器 2 6 及び量子化器 2 7 から構成され、積分器 2 6 は減算器 2 5 の出力である差分デジタル信号を積分し、量子化器 2 7 は積分器 2 6 の出力を量子化して 変調済みデジタル信号 (ノイズ成分を含む) として内部 D A C 2 3 に出力するとともに、減算器 2 4 に減算用デジタル信号としてフィードバックする。なお、積分器 2 6 は $1 / (n \cdot f S)$ 期間の積分処理を行い、1 オーバーサンプリング時間の遅延処理を機能を備える。

10

【 0 0 0 9 】

そして、減算器 2 5 は、補間フィルタ 2 1 から得たデジタル信号から量子化器 2 7 より得た減算用のデジタル信号 (補間フィルタ 2 1 から得たデジタル信号の 1 オーバーサンプリング遅延信号に相当) を差し引いて得られる差分デジタル信号を積分器 2 6 に出力することになる。その結果、減算器 2 5、積分器 2 6 及び量子化器 2 7 によって形成されるノイズシェーピンググループによって、デジタル信号に生じるノイズ成分が除去されて精度の高いデジタル信号を内部 D A C 2 3 に出力することができる。

【 0 0 1 0 】

上述したように、オーバーサンプリング 変換方式では A / D コンバータ及び D / A コンバータ共に内部 D A C を必要とする。この内部 D A C は、A / D コンバータ内ではノイズシェーピンググループのフィードバック信号処理回路として、また D / A コンバータ内ではノイズシェーピングされたデジタル信号をアナログ信号に変換する回路として用いられている。この内部 D A C には、従来 1 ビットの D A C が用いられてきた。1 ビット D A C を用いると、構成が簡単である上に、D A C のデジタル入力に対するアナログ出力の直線性が保証されるためである。しかしその反面、量子化ノイズが大きく、系の安定性に問題があった。そこで近年、内部 D A C に多ビット D A C が導入されてきている。しかし、多ビット D A C では、各構成要素のマッチングを取ることが困難であり、1 ビット D A C では保証されていた上記直線性が得られなくなる。

20

30

【 0 0 1 1 】

図 3 2 は従来の 3 ビット D / A コンバータの内部構成を示す説明図である。同図に示すように、一端が電源 V c c に接続された単位電流源 I S 1 ~ I S 7 のそれぞれの他端がスイッチ S 1 ~ S 7 の一端に接続される。そして、スイッチ S 1 ~ S 7 の他端が共通に出力部であるノード N 1 に接続される。図 3 2 に示すように、3 ビット D / A コンバータには、 $(2^3 - 1)$ の電流源が必要となる。なお、各電流源 I S 1 ~ I S 7 が供給する電流 I 1 ~ I 7 の電流量は同一の I E になるように設定される。

【 0 0 1 2 】

スイッチ制御回路 1 0 は、デジタル信号 D I G に基づき制御信号 S C をスイッチ S 1 ~ S 7 に出力し、スイッチ S 1 ~ S 7 のうちデジタル信号 D I G に応じた個数のスイッチをスイッチ S 1 から昇順にオン状態にし、他のスイッチをオフ状態とする。

40

【 0 0 1 3 】

例えば、デジタル信号 D I G が “ 0 1 1 ” (3) の場合、図 3 3 に示すように、スイッチ制御回路 1 0 はスイッチ S 1 ~ S 3 をオン状態、スイッチ S 4 ~ S 7 をオフ状態とする制御信号 S C を出力する。例えば、デジタル信号 D I G が “ 0 1 0 ” (2) の場合、図 3 4 に示すように、スイッチ制御回路 1 0 はスイッチ S 1 , S 2 をオン状態、スイッチ S 3 ~ S 7 をオフ状態とする制御信号 S C を出力する。

【 0 0 1 4 】

そして、ノード N 1 より得られる電流が出力電流 I out として I - V 変換器 2 に与えられ、I - V 変換器 2 が出力電流 I out を電流 / 電圧変換してアナログ信号である出力電圧 V o

50

utを出力する。したがって、図33の例では出力電流 $I_{out} = 3 \cdot I_E$ となり、図34の例では出力電流 $I_{out} = 2 \cdot I_E$ となる。

【0015】

このように、電流源を用いた多ビットD/Aコンバータは、入力デジタルデータ(DIG)に応じて所定数の電流源を有効にすることにより、デジタルデータDIGをアナログ信号(出力電圧 V_{out})に変換することができる。

【0016】

また、特開平4-152715号公報に入力コードに応じた個数の容量をランダムに選択してD/A変換を行うD/Aコンバータが開示されている。

【0017】

【発明が解決しようとする課題】

しかしながら、各単位電流源 $I_{S1} \sim I_{S7}$ の特性(電流 $I_1 \sim I_7$ それぞれの電流量)を完全に一致させることは、プロセスのばらつきやレイアウト時の周辺の回路素子等の影響により困難である。

【0018】

従来の3ビットD/Aコンバータでは、デジタル入力信号(DIG)に対して、常に同じ電流源から有効にしている(例えば、デジタル信号DIGが“000”以外の場合には常にスイッチ S_1 をオンして電流源 I_{S1} を有効にしている)。

【0019】

このため、特定の電流源(図32の例では電流源 I_{S1})が有効とされる回数が多く、D/Aコンバータの出力に個々の電流源の特性差が顕著にあらわれ、直線性の劣化の原因となっていた。

【0020】

従来の多ビットD/Aコンバータは以上のように構成されており、デジタル入力に対するアナログ出力の直線性が悪いという問題点があった。

【0021】

この発明は上記問題点を解決するためになされたもので、デジタル入力に対するアナログ出力の直線性の改善を図った多ビットD/Aコンバータを得ることを目的とする。

【0022】

【課題を解決するための手段】

この発明に係る請求項1記載のD/Aコンバータは、クロック信号に同期して複数ビットのデジタル信号をアナログ信号に変換し、出力部に対して所定の順序に並列に接続された複数の単位電流量生成部を備え、前記複数の単位電流量生成部のうち選択された数の単位電流量生成部に関連した電流量が前記出力部に現れ、前記クロック信号に同期して前記複数の単位電流量生成部の選択スタート位置を順次変更して決定するスタート位置決定部と、前記クロック信号に同期して前記デジタル信号を受け、前記複数の単位電流量生成部のうち前記デジタル信号で決定される個数の単位電流量生成部を、前記選択スタート位置から前記所定の順序にそって選択する選択部と、前記出力部より得られる電流量に基づき前記アナログ信号を出力するアナログ信号出力部とをさらに備えて構成される。

【0023】

加えて、請求項1記載のD/Aコンバータにおいて、前記デジタル信号は $N(2)$ ビットのデジタル信号を含み、前記複数の単位電流量生成部は $L(3)$ 個の単位電流量生成部を含み、前記スタート位置決定部は、前記クロック信号に同期して前記所定の順序にそって変位個数 $A(<L)$ 個ずつずらせながら前記選択スタート位置を決定する。

【0026】

また、請求項2記載のD/Aコンバータにおいて、前記デジタル信号のビット数 N と前記単位電流量生成部の個数 L とは $\{L > 2^N - 1\}$ の関係にある。

【0027】

また、請求項3記載のD/Aコンバータにおいて、前記単位電流量生成部の個数 L と前記変位個数 A とは互いに素の関係にある。

10

20

30

40

50

【0028】

また、請求項4記載のD/Aコンバータにおいて、前記デジタル信号のビット数Nと前記単位電流量生成部の個数Lとは $\{L = 2^N\}$ の関係にある。

【0033】

【発明の実施の形態】

<実施の形態1>

図1はこの発明の実施の形態1であるN(N ≥ 2)ビットD/Aコンバータの構成を示す説明図である。同図に示すように、一端が電源V_{cc}に接続された単位電流源IS₁~IS_Mのそれぞれの他端がスイッチS₁~S_Mの一端に接続される。なお、Mは必要電流源数であり、 $M = 2^N - 1$ となる。

10

【0034】

そして、スイッチS₁~S_Mの他端が共通にノードN₁に接続される。なお、NビットD/Aコンバータには、また、各電流源IS₁~IS_Mが供給する電流I₁~I_Mの電流量はほぼ同一のIEになるように設定される。

【0035】

スイッチ制御回路1は、デジタル信号DIGに基づき制御信号SCをスイッチS₁~S_Mに出力し、スイッチS₁~S_Mのうちデジタル信号DIGに応じた個数のスイッチをスタート位置決定回路3で決定されるスイッチから昇順("1"からMにかけて、Mの次は"1")にオン状態にし、他のスイッチをオフ状態とする。

【0036】

スタート位置決定回路3は、デジタル信号DIGの入力タイミングを指示するクロック信号CLKに基づき、クロック信号CLKの1サイクル中に取り込まれるデジタル信号DIGの入力毎に選択スタート位置となるスイッチをS₁, S₃, S₅...という具合に順次変更して選択スタート位置を決定する。

20

【0037】

例えば、N=3(M=7)でデジタル信号DIGを"011"(3)、“010”(2)の順で与え、スタート位置決定回路3がS₁, S₃の順にスタート位置を決定した場合、まず、図4に示すように、スイッチ制御回路1はスイッチS₁~S₃をオン状態、スイッチS₄~S₇をオフ状態とする制御信号SCを出力し、次に、図5に示すように、スイッチS₃, S₄をオン状態、スイッチS₁, S₂, S₅~S₇をオフ状態とする制御信号SCを出力する。

30

【0038】

図2はスタート位置決定回路3の内部構成を示すブロック図である。同図に示すように、スタート位置決定回路3は第1加算部6、第2加算部7及びラッチ部8から構成される。

【0039】

第1加算部6は変位データID(J(N)ビット)とラッチ部8でラッチされた前回のスタート位置を示すNビットのラッチデータLDのうち下位Jビットからなる部分ラッチデータLD₁との加算処理を行い、そのJビット加算結果OUT₁とキャリー出力COUTを出力する。

【0040】

第2加算部7は第1加算部6からのキャリー出力COUTとラッチデータLDのうち上位(N-J)ビットの部分ラッチデータとの加算処理を行い、(N-J)ビットの加算結果OUT₂を出力する。

40

【0041】

ゼロ調整回路18は加算結果OUT₂を上位、加算結果OUT₁を下位として加算結果{OUT₁+OUT₂}がオールゼロ以外のときは、そのまま加算出力OUT₁₈として出力し、オールゼロのときは下位Jビットを変位データID、上位ビットを"0"とした値を加算出力OUT₁₈して出力する。

【0042】

ラッチ部8は、フリップフロップ等から構成され、クロック信号CLKによるタイミング

50

制御で、ゼロ調整回路 18 の加算結果 OUT 18 を新たな N ビットのラッチデータ LD として格納する。また、ラッチ部 8 はリセット時に初期値として “ 1 ” が設定される。したがって、ラッチデータ LD はオールゼロを除く M 種類存在することになり、M 種類のラッチデータ LD と M 個の電流源 IS とを 1 対 1 に対応させることにより、電流源 IS の選択スタート位置をラッチデータ LD によって規定することができる。

【 0 0 4 3 】

図 3 は、 $N = 3$ 、 $J = 2$ である場合の図 2 における第 1 加算部 6 及び第 2 加算部 7 の具体的構成を示す回路図である。同図に示すように、第 1 加算部 6 は半加算器 31 と全加算器 32 とから構成され、半加算器 31 は A 入力に最下位ビットの変位データ ID (B 0) を受け、B 入力に最下位ビットの部分ラッチデータ LD 1 (B 0) を受け、加算出力 S より最下位ビットの加算結果 OUT 1 (B 0) を出力し、キャリー出力を全加算器 32 のキャリー入力 CI に与える。

10

【 0 0 4 4 】

全加算器 32 は A 入力に第 1 ビットの変位データ ID (B 1) を受け、B 入力に第 1 ビットの部分ラッチデータ LD 1 (B 1) を受け、加算出力 S より第 1 ビットの加算結果 OUT 1 (B 1) を出力し、キャリー出力 C O U T を第 2 加算部 7 に出力する。

【 0 0 4 5 】

第 2 加算部 7 は半加算器 33 によって構成され、半加算器 33 は A 入力に全加算器 32 のキャリー出力 C O U T を受け、B 入力に最上位ビットの部分ラッチデータ LD 2 (B 2) を受け、加算出力 S より最上位ビットの加算結果 OUT 2 (B 2) を出力する。

20

【 0 0 4 6 】

上記した構成の図 2 及び図 3 で示す構成のスタート位置決定回路 3 において、3 ビットのラッチデータ LD の “ 0 0 1 ” ~ “ 1 1 1 ” それぞれに電流源 IS 1 ~ IS 7 を対応させることにより、1 回目の選択スタート位置は電流源 IS 1 (スイッチ S 1 をオンさせる) で、2 回目のスタート位置が電流源 IS 4 となり、以降、IS 7, IS 2, IS 5, IS 3, IS 6, IS 1 ... の順に電流源 IS の選択スタート位置を決定することができる。

【 0 0 4 7 】

なお、第 1 加算部 6 は初段を除き全加算器で構成する必要があるが、第 2 加算部 7 は変位データ ID を入力することなく前段のキャリー出力を次段の加算入力に接続することにより半加算器のみで構成することができ、第 1 加算部 6 に比べて簡単な回路構成で実現できる。

30

【 0 0 4 8 】

このように、スタート位置決定回路 3 は、基本的に変位データ ID を加算しながら M 通りの出力値を採るように構成するように、N ビット用の加算器とラッチ部と簡単な論理回路 (ゼロ調整回路 18) とからなる比較的簡単な回路構成で実現することができる。

【 0 0 4 9 】

図 1 に戻って、ノード N 1 より得られる電流が出力電流 I out として I - V 変換器 2 に与えられる。このとき、図 4 の例では出力電流 I out = 3 · I E となり、図 5 の例では出力電流 I out = 2 · I E となる。そして、I - V 変換器 2 は出力電流 I out を電流 / 電圧変換してアナログ信号である出力電圧 V out を出力する。

40

【 0 0 5 0 】

このように、実施の形態 1 の N ビット D / A コンバータは、入力デジタルデータ (D I G) に応じて、デジタル信号 D I G のサンプリング毎にスタート位置決定回路 3 で決定される選択スタート位置の電流源からデジタル信号 D I G によって決定される個数数の電流源を選択することにより、デジタルデータ D I G をアナログ信号 (出力電圧 V out) に変換している。

【 0 0 5 1 】

したがって、デジタル信号 D I G の値が同一の場合でも選択される電流源の組合せが増え、デジタル信号 D I G の値に関係なく電流源 IS 1 ~ IS M を片寄りなく選択することができ、D / A コンバータのアナログ出力に電流源個々の特性差があらわれにくくなり

50

、デジタル入力に対するアナログ出力の直線性の劣化を有効に抑えることができる。

【0052】

<実施の形態2>

実施の形態1ではスタート位置決定回路3により決定される選択スタート位置はサンプリング毎に変更されることのみ示したが、電流源IS1～IS7をできるだけ片寄りなく選択するようにスタート位置を変更するようにしたのが実施の形態2である。したがって、実施の形態2のD/Aコンバータは、スタート位置決定回路3による選択スタート位置の決定方法を下記のように行う以外は図1で示した実施の形態1と同様の全体構成を採る。

【0053】

スタート位置決定回路3は、NビットのD/Aコンバータにおいて電流源の個数 $M (= 2^N - 1)$ とAとが互いに素で、かつ $M > A$ なる正数Aを見だし、変位個数Aずつ選択スタート位置をずらせて決定する。 10

【0054】

例えば、 $N = 3$ 、すなわち $M = 7$ のとき、 $A = 5$ （7と5とは互いに素）を選択すると、1回目のスタート位置は電流源IS1（スイッチS1をオンにする）で、2回目のスタート位置が電流源IS6となり、以降、IS4, IS2, IS7, IS5, IS3, IS1, IS6, ...と比較的大きくずらせながら片寄りが全くないように全ての電流源ISを選択スタート位置として選択することができる。

【0055】

このとき、1回目のサンプリングでデジタル信号DIG“011”（3）を取り込むと、図6に示すように、電流源IS1～IS3が選択され、2回目のサンプリングでデジタル信号DIG“010”（2）を取り込むと、図7に示すように、電流源IS6, IS7が選択される。 20

【0056】

このように、実施の形態2のD/Aコンバータにおけるスタート位置決定回路3は、電流源の個数と素の関係にある変位個数ずつずらして選択スタート位置を決定することにより、M個のスタート位置の自由度ができ、デジタル信号DIGの値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、D/Aコンバータのアナログ出力に個々の電流源の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。 30

【0057】

<実施の形態3>

図8はこの発明の実施の形態3である $N (N \geq 2)$ ビットD/Aコンバータの構成を示す説明図である。同図に示すように、一端が電源Vccに接続された単位電流源IS1～IS(M+K)のそれぞれの他端がスイッチS1～S(M+K)の一端に接続される。なお、Mは必要電流源数であり、 $M = 2^N - 1$ となり、Kは余剰電流源数である。

【0058】

そして、スイッチS1～S(M+K)の他端が共通にノードN1に接続される。なお、NビットD/Aコンバータには、また、各電流源IS1～IS(M+K)が供給する電流I1～I(M+K)の電流量はほぼ同一のIEになるように設定される。 40

【0059】

スイッチ制御回路1Aは、デジタル信号DIGに基づき制御信号SCをスイッチS1～S(M+K)に出力し、スイッチS1～S(M+K)のうちデジタル信号DIGに応じた個数のスイッチをスタート位置決定回路3Aで決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。

【0060】

スタート位置決定回路3Aは、デジタル信号DIGの入力タイミングを指示するクロック信号CLKに基づき、デジタル信号DIGの入力毎にスタートスイッチをS1, S3, S5...という具合に順次変更して選択スタート位置を決定する。

【0061】

例えば、デジタル信号DIGを“011”(3)、“010”(2)の順で与え、スタート位置決定回路3AがS1, S(M+1)の順に選択スタート位置を決定した場合、まず、図9に示すように、スイッチ制御回路1AはスイッチS1~S3をオン状態、スイッチS4~S(M+K)をオフ状態とする制御信号SCを出力し、次に、図10に示すように、スイッチS(M+1), S(M+2)をオン状態、スイッチS1~SM, S(M+3)~S(M+K)をオフ状態とする制御信号SCを出力する。

【0062】

ノードN1より得られる電流が出力電流I_{out}としてI-V変換器2に与えられる。このとき、図9の例では出力電流I_{out}=3・IEとなり、図10の例では出力電流I_{out}=2・IEとなる。そして、I-V変換器2が出力電流I_{out}を電流/電圧変換してアナログ信号である出力電圧V_{out}を出力する。

10

【0063】

このように、実施の形態3のNビットD/Aコンバータは、入力デジタルデータ(DIG)に応じて、デジタル信号DIGのサンプリング毎にスタート位置決定回路3Aで決定される選択スタート位置の電流源から、デジタル信号DIGで決定される個数の電流源を有効にすることにより、デジタルデータDIGをアナログ信号(出力電圧V_{out})に変換している。

【0064】

したがって、デジタル信号DIGの値が同一の場合でも選択される電流源の組合せがより一層増え、デジタル信号DIGの値に関係なく電流源IS1~IS(M+K)を片寄りなく選択することができ、D/Aコンバータのアナログ出力に電流源個々の特性差があらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を有効に抑えることができる。

20

【0065】

さらに、実施の形態3のD/Aコンバータは、K個の余剰電流源を用意し、実施の形態1に比べ選択スタート位置の自由度を増やすことにより、D/Aコンバータのアナログ出力に電流源個々の特性差がより一層あらわれにくくなり、実施の形態1以上に直線性の劣化を効果的に改善することができる。

【0066】

<実施の形態4>

実施の形態3ではスタート位置決定回路3Aにより決定される選択スタート位置はサンプリング毎に変更されることのみ示したが、電流源IS1~IS(M+K)をできるだけ片寄りなく選択するように選択スタート位置を変更するようにしたのが実施の形態4である。したがって、実施の形態4のD/Aコンバータは、スタート位置決定回路3Aによるスタート位置の決定方法を下記のように行う以外は図8で示した実施の形態3と同様の全体構成を採る。

30

【0067】

スタート位置決定回路3Aは、NビットのD/Aコンバータにおいて電流源の個数(M+K)とAとが互いに素で、かつM>Aなる正数Aを見だし、変位個数Aずつずらせて選択スタート位置を決定する。

40

【0068】

例えば、N=3(すなわちM=7)でK=6のとき、A=8(13(M+K))と8とは互いに素)を選択すると、1回目のスタート位置は電流源IS1(スイッチS1をオン)で、2回目のスタート位置が電流源IS9となり、以降、IS4, IS12, IS7, IS2, IS10, IS5, IS13, IS8, IS3, IS11, IS5...と比較的大きくずらせながら片寄りが全くないように全ての電流源ISを選択することができる。

【0069】

このとき、1回目のサンプリングでデジタル信号DIG“011”(3)を取り込むと、図11に示すように、電流源IS1~IS3が選択され、2回目のサンプリングでデジタル信号DIG“010”(2)を取り込むと、図12に示すように、電流源IS9,

50

IS10が選択される。

【0070】

このように、実施の形態4のD/Aコンバータにおけるスタート位置決定回路3Aは、電流源の個数(M+K)と素の関係にある変位個数ずつずらして選択スタート位置を決定することにより、余剰電流源の個数を加味した(M+K)個のスタート位置の自由度ができ、デジタル信号DIGの値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、D/Aコンバータの出力に個々の電流源の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

【0071】

<実施の形態5>

図13はこの発明の実施の形態5であるN(N=2)ビットD/Aコンバータの構成を示す説明図である。同図に示すように、一端が電源Vccに接続された単位電流源IS1~ISMのそれぞれ他端がスイッチS1~SMの一端に接続される。なお、Mは必要電流源数である。

【0072】

そして、スイッチS1~SM他端が共通にノードN1に接続される。なお、NビットD/Aコンバータには、また、各電流源IS1~ISMが供給する電流I1~IMの電流量はほぼ同一のIEになるように設定される。

【0073】

スイッチ制御回路4は、デジタル信号DIGに基づき制御信号SCをスイッチS1~SMに出力し、スイッチS1~SMのうちデジタル信号DIGに応じた個数のスイッチをスタート位置決定回路3Bで決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。

【0074】

スタート位置決定回路3Bは、内部クロック発生回路9の内部クロック信号ICLKの立ち上がりエッジをトリガとしてS1, S3, S5...という具合に順次変更して選択スタート位置を決定する。内部クロック発生回路9はデジタル信号DIGの入力タイミングを指示するクロック信号CLKの立ち上がりエッジに同期して、図14に示すように、3倍速の内部クロック信号ICLKを発生する。したがって、クロック信号CLKの1サイクルの周期が内部クロック信号ICLKの3サイクルの周期T1~T3に分割される。

【0075】

例えば、N=3(M=7)でデジタル信号DIGを“011”(3)で与え、内部クロック信号ICLKに基づきスタート位置決定回路3BがS1, S5, S3の順にスタート位置を決定した場合、まず、図15~図17に示すように、期間T1(図15)においてスイッチ制御回路4はスイッチS1~S3のみをオン状態とし、期間T2(図16)においてスイッチS5~S7のみをオン状態とし、期間T3(図17)においてスイッチS3~S5をオン状態とする制御信号SCを出力する。

【0076】

そして、期間T1~T3それぞれでノードN1より得られる電流が出力電流Iout(Iout1~Iout3)としてI-V変換器2に与えられ、I-V変換器2が出力電流Ioutを電流/電圧変換して出力電圧Vout(Vout1~Vout3)を出力する。

【0077】

電圧平均化回路5は期間T1~T3それぞれで得られた出力電圧Vout1~Vout3の平均を求めてアナログ信号である平均出力電圧MVoutを出力する。

【0078】

このように、実施の形態5のNビットD/Aコンバータは、入力デジタルデータ(DIG)に応じて、デジタル信号DIGのサンプリング毎にスタート位置決定回路3Bで決定される選択スタート位置の電流源から、デジタル信号DIGに応じた数の電流源を、1サンプリング期間中に複数種類の組合せで有効にすることにより、デジタルデータD

10

20

30

40

50

I Gをアナログ信号(平均出力電圧M V out)に変換している。

【0079】

これによって、デジタル信号D I Gの値に対応して選択される電流源の組合せが大幅に増え、電流源I S 1 ~ I S Mが片寄りなく選択されることになり、D / Aコンバータの出力に個々の電流源の特性差があらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を有効に抑えることができる。

【0080】

さらに、実施の形態5のD / Aコンバータは、1回のデジタル信号D I Gのサンプリング期間中にデジタル信号D I Gに応じた数の電流源を複数種類の組み合わせで有効にするため、1つのデジタル信号D I Gに対するD / A変換においても電流源を均等に有効して電流源の特性差をあらわれにくくすることにより正確なアナログ信号を出力することができる。

10

【0081】

<実施の形態6>

実施の形態5ではスタート位置決定回路3 Bにより決定されるスタート位置はサンプリング毎に変更されることのみ示したが、電流源I S 1 ~ I S 7をできるだけ片寄りなく選択するようにスタート位置を変更するようにしたのが実施の形態6である。したがって、実施の形態6のD / Aコンバータは、スタート位置決定回路3 Bによる選択スタート位置の決定方法を下記のように行う以外は図1 3で示した実施の形態5と同様の全体構成を採る。

20

【0082】

スタート位置決定回路3 Bは、NビットのD / Aコンバータにおいて電流源の個数M (= $2^N - 1$)とAとが互いに素で、かつM > Aなる正数Aを見だし、変位個数Aずつずらせて選択スタート位置を決定する。

【0083】

例えば、N = 3、すなわちM = 7のとき、A = 5 (7と5とは互いに素)を選択すると、1回目のスタート位置は電流源I S 1 (スイッチS 1をオン)で、2回目のスタート位置が電流源I S 6となり、以降、I S 4, I S 2, I S 7, I S 5, I S 3, I S 1, I S 6, ...と比較的大きくずらせながら片寄りが全くないように選択スタート位置の電流源I Sを選択することができる。

30

【0084】

このとき、1回目のサンプリングでデジタル信号D I G " 0 1 1 " (3)を取り込むと、図1 8 ~ 図2 0に示すように、期間T 1 (図1 8)で電流源I S 1 ~ I S 3が選択され、期間T 2 (図1 9)で電流源I S 1, I S 6, I S 7が選択され、期間T 3 (図2 0)で電流源I S 4 ~ I S 6が選択される。

【0085】

このように、実施の形態6のD / Aコンバータにおけるスタート位置決定回路3 Bは、電流源の個数と素の関係にある個数ずつ選択スタート位置をずらすことにより、M個のスタート位置の自由度ができ、デジタル信号D I Gの値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、D / Aコンバータの出力に個々の電流源の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を最低限に抑えることができる。

40

【0086】

<実施の形態7>

図2 1はこの発明の実施の形態7であるN (N > 2)ビットD / Aコンバータの構成を示す説明図である。同図に示すように、一端が電源V ccに接続された単位電流源I S 1 ~ I S (M + K)のそれぞれ他端がスイッチS 1 ~ S (M + K)の一端に接続される。なお、Mは必要電流源数であり、Kは余剰電流源数である。

【0087】

そして、スイッチS 1 ~ S (M + K)の他端が共通にノードN 1に接続される。なお、N

50

ビット D / A コンバータには、また、各電流源 $I S 1 \sim I S (M + K)$ が供給する電流 $I 1 \sim I M$ の電流量はほぼ同一の $I E$ になるように設定される。

【 0 0 8 8 】

スイッチ制御回路 4 A は、デジタル信号 $D I G$ に基づき制御信号 $S C$ をスイッチ $S 1 \sim S (M + K)$ に出力し、スイッチ $S 1 \sim S (M + K)$ のうちデジタル信号 $D I G$ に応じた個数のスイッチをスタート位置決定回路 3 B で決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。

【 0 0 8 9 】

スタート位置決定回路 3 B は、内部クロック発生回路 9 の内部クロック信号 $I C L K$ の立ち上がりエッジをトリガとして $S 1, S 3, S 5 \dots$ という具合に順次変更して選択スタート位置を決定する。内部クロック発生回路 9 はデジタル信号 $D I G$ の入力タイミングを指示するクロック信号 $C L K$ の立ち上がりエッジに同期して、図 1 4 に示すように、3 倍速の内部クロック信号 $I C L K$ を発生する。したがって、クロック信号 $C L K$ の周期が内部クロック信号 $I C L K$ の周期 $T 1 \sim T 3$ に分割される。

【 0 0 9 0 】

例えば、 $N = 3$ でデジタル信号 $D I G$ を “ 0 1 1 ” (3) で与え、内部クロック信号 $I C L K$ に基づきスタート位置決定回路 3 B が $S 1, S (M + K - 1), S 4$ の順にスタート位置を決定した場合、まず、図 2 2 ~ 図 2 4 に示すように、期間 $T 1$ (図 2 2) においてスイッチ制御回路 4 A はスイッチ $S 1 \sim S 3$ のみをオン状態とし、期間 $T 2$ (図 2 3) においてスイッチ $S 1, S (M + K - 1), S (M + K)$ のみをオン状態とし、期間 $T 3$ (図 2 4) においてスイッチ $S 4 \sim S 6$ をオン状態とする制御信号 $S C$ を出力する。

【 0 0 9 1 】

そして、期間 $T 1 \sim T 3$ それぞれでノード $N 1$ より得られる電流が出力電流 $I out (I out 1 \sim I out 3)$ として $I - V$ 変換器 2 に与えられ、 $I - V$ 変換器 2 が出力電流 $I out$ を電流 / 電圧変換して出力電圧 $V out (V out 1 \sim V out 3)$ を出力する。

【 0 0 9 2 】

電圧平均化回路 5 は期間 $T 1 \sim T 3$ それぞれで得られた出力電圧 $V out 1 \sim V out 3$ の平均を求めてアナログ信号である平均出力電圧 $M V out$ を出力する。

【 0 0 9 3 】

このように、実施の形態 5 の N ビット D / A コンバータは、入力デジタルデータ ($D I G$) に応じて、デジタル信号 $D I G$ のサンプリング毎にスタート位置決定回路 3 B で決定される選択スタート位置の電流源から、デジタル信号 $D I G$ に応じた個数の電流源を複数種類の組合せで有効にすることにより、デジタルデータ $D I G$ をアナログ信号 (平均出力電圧 $M V out$) に変換している。

【 0 0 9 4 】

これによって、デジタル信号 $D I G$ の値に対応して選択される電流源の組合せが大幅に増え、電流源 $I S 1 \sim I S (M + K)$ が片寄りなく選択されることになり、 D / A コンバータの出力に個々の電流源の特性差があらわれにくくなり、直線性の劣化を有効に抑えることができる。

【 0 0 9 5 】

さらに、実施の形態 7 の D / A コンバータは、1 回のデジタル信号 $D I G$ のサンプリング期間中に複数種類の組み合わせで電流源を有効にするため、1 つのデジタル信号 $D I G$ に対する D / A 変換においても電流源を均等に有効して電流源の特性差があらわれにくくすることにより正確なアナログ信号を出力することができる。

【 0 0 9 6 】

加えて、実施の形態 7 の D / A コンバータは、 K 個の余剰電流源を用意し、実施の形態 5 に比べ選択スタート位置の自由度を増やすことにより、実施の形態 5 以上にデジタル入力に対するアナログ出力の直線性の劣化を効果的に改善することができる。

【 0 0 9 7 】

< 実施の形態 8 >

10

20

30

40

50

実施の形態 7 ではスタート位置決定回路 3 B により決定されるスタート位置は 1 サンプル期間中に複数の組合せに変更されることのみ示したが、電流源 $IS_1 \sim IS_{(M+K)}$ をできるだけ片寄りなく選択するようにスタート位置を変更するようにしたのが実施の形態 8 である。したがって、実施の形態 8 の D/A コンバータは、スタート位置決定回路 3 B による選択スタート位置の決定方法を下記のように行う以外は図 2 1 で示した実施の形態 7 と同様の全体構成を採る。

【0098】

スタート位置決定回路 3 B は、N ビットの D/A コンバータにおいて電流源の個数 ($M+K$) と A とが互いに素で、かつ $M > A$ なる正数 A を見だし、変位個数 A ずつスタート位置をずらせて決定する。

10

【0099】

例えば、 $N = 3$ (すなわち $M = 7$) で $K = 6$ のとき、 $A = 8$ (13 ($M+K$)) と 8 とは互いに素) を選択すると、1 回目のスタート位置は電流源 IS_1 (スイッチ S_1 がオン) で、2 回目のスタート位置が電流源 IS_9 となり、以降、 IS_4 , IS_{12} , IS_7 , IS_2 , IS_{10} , IS_5 , IS_{13} , IS_8 , IS_3 , IS_{11} , $IS_5 \dots$ と比較的大きくずらせながら片寄りが全くないように全ての電流源 IS を選択することができる。

【0100】

このとき、1 回目のサンプリングでデジタル信号 DIG "011" (3) を取り込むと、図 2 5 ~ 図 2 7 に示すように、期間 T 1 (図 2 5) で電流源 $IS_1 \sim IS_3$ が選択され、期間 T 2 (図 2 6) で電流源 $IS_9 \sim IS_{11}$ が選択され、期間 T 3 (図 2 7) で電流源 $IS_4 \sim IS_6$ が選択される。

20

【0101】

このように、実施の形態 8 の D/A コンバータにおけるスタート位置決定回路 3 B は、電流源の個数 ($M+K$) と素の関係にある個数ずつスタート位置をずらすことにより、余剰電流源数を加えて ($M+K$) 個のスタート位置の自由度ができ、デジタル信号 DIG の値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、D/A コンバータの出力に個々の電流源の特性差がより一層あらわれにくくなり、直線性の劣化を最低限に抑えることができる。

【0102】

さらに、実施の形態 8 の D/A コンバータは、1 回のデジタル信号 DIG のサンプリング期間中に複数種類の組み合わせで電流源を有効にするため、1 つのデジタル信号 DIG に対する D/A 変換においても電流源を均等に有効して電流源の特性差があらわれにくくすることにより正確なアナログ信号を出力することができる。

30

【0103】

<スタート位置決定回路の簡略化>

実施の形態 8 において、図 2 8 に示すように、 $M = 7$ ($N = 3$), $K = 1$ で構成、 $A = 3$ (8 ($M+K$) と 3 とは互いに素) を選択すると、図 2 及び図 3 で示したスタート位置決定回路 3 の構成から、ゼロ調整回路 1 8 を省略した比較的簡単な回路構成でスタート位置決定回路を構成することができる。同様なことが実施の形態 3 及び 4 のスタート位置決定回路 3 A あるいは実施の形態 7 のスタート位置決定回路 3 B にも当てはまる。

40

【0104】

すなわち、ラッチ部 8 のラッチデータ "000" ~ "111" に電流源 $IS_1 \sim IS_8$ をそれぞれ対応させることにより、1 回目のスタート位置は電流源 IS_1 で、2 回目のスタート位置が電流源 IS_4 (スイッチ S_4) となり、以降、 IS_7 , IS_2 , IS_5 , IS_8 , IS_3 , IS_6 , $IS_1 \dots$ とずらせながら片寄りが全くないように電流源 IS の選択スタート位置を選択することができる。

【0105】

このように、 $(M+K) = 2^N$ を満足する構成を選択することにより、スタート位置決定回路 3 の構成をさらに簡略化することができる。

【0106】

50

< 容量アレイへの応用 >

実施の形態 1 ~ 実施の形態 8 では単位電気量生成部として電流源を用いた電流源アレイ方式の D / A コンバータを例に挙げたが、図 29 に示すように、単位電気量生成部としてキャパシタを用いた容量アレイ方式の D / A コンバータで構成してもよい。

【 0 1 0 7 】

図 29 に示すように、一端が出力部であるノード N 2 に共通に接続された単位容量 C 1 ~ C M それぞれの他端がスイッチ S W 1 ~ S W M の一端に接続される。なお、M は必要容量数であり、 $M = 2^N - 1$ となる。また、ノード N 2 に接続された信号線より得られる電圧が出力電圧 V_o となる。

【 0 1 0 8 】

そして、スイッチ S W 1 ~ S W M の他端が共通にオフ状態で定電圧 V_b 、オン状態で定電圧 V_r が印加される。なお、N ビット D / A コンバータには、また、各容量 C 1 ~ C M の容量はほぼ同一の C E になるように設定される。

【 0 1 0 9 】

なお、スタート位置決定回路 3 を含むスイッチ制御回路 1 の構成は図 1 ~ 図 3 で示した実施の形態 1 と同様である。

【 0 1 1 0 】

このような構成において、まず、スイッチ S W 1 ~ S W M をすべてオフ状態にして電圧 V_b を印加した後、スイッチ S W 1 ~ S W M のうちデジタル信号 D I G に基づき x 個のスイッチをオン状態にして、x 個のスイッチに接続される容量 C に他端に電圧 V_r を印加する。

【 0 1 1 1 】

すると、電荷保存則により、下式が成立する。

$$(M - x) C (V_o - V_b) + x C (V_o - V_r) = 0$$

これを解くと、以下のようになる。

【 0 1 1 2 】

$$V_o = (x / M) (V_r - V_b) + V_b$$

その結果、オンしたスイッチ数 x、すなわち選択した容量の数に応じた出力電圧 V_o (アナログ信号) を得ることができる。

【 0 1 1 3 】

このように、実施の形態 1 ~ 実施の形態 8 の電流源アレイを図 29 に示すように容量アレイに置き換えても、実施の形態 1 ~ 8 と等価な D / A コンバータを構成することができる。

【 0 1 1 4 】

< オーバーサンプリング 方式への応用 >

実施の形態 1 ~ 実施の形態 8 で示した構成の D / A コンバータを図 30 で示した構成のオーバーサンプリング ADC の多ビットの内部 DAC 17 あるいは図 31 で示したオーバーサンプリング DAC の内部 DAC 23 として利用することにより、量子化ノイズも小さく、系の安定性が良好なものが得られ、さらにデジタル入力に対するアナログ出力の直線性が保証されるため、動作性能の高いオーバーサンプリング ADC あるいはオーバーサンプリング DAC を得ることができる。

【 0 1 1 5 】

【 発明の効果 】

以上説明したように、この発明における請求項 1 記載の D / A コンバータは、スタート位置決定部によってクロック信号に同期して複数の単位電気量生成部の選択スタート位置を順次変更し、選択部によって複数の単位電気量生成部のうちデジタル信号で決定される個数の単位電気量生成部を、選択スタート位置から所定の順序にそって選択している。

【 0 1 1 6 】

したがって、クロック信号のサイクル毎に選択スタート位置が変更されるため、ディジタ

10

20

30

40

50

ル信号によって同一個数が決定された場合でも、複数の単位電気量生成部から選択される組合せは異なるものとなる。

【0117】

その結果、デジタル信号値に関係なく、複数の単位電気量生成部を片寄りなく選択することができ、出力されるアナログ信号に単位電気量生成部個々の電気特性の差があらわれにくくなり、複数ビットのデジタル入力に対するアナログ出力の直線性を向上させることができる。

【0118】

また、選択部はデジタル信号で決定される個数の単位電気量生成部を、選択スタート位置から所定の順序にそって選択するため、デジタル信号以外に必要な情報は一の選択スタート位置だけで済む。一方、特開平4 - 152715号公報に開示されたD/Aコンバータは、入力コードに応じた個数の容量をすべてランダムに選択しているため、デジタル信号以外に選択する個数分の選択容量情報を必要とする。必要とする情報量の差は入力するデジタル信号のビット数に比例して大きくなるため、その回路構成の差は顕著な差となって現れる。

10

【0119】

加えて、請求項1記載のD/Aコンバータのスタート位置決定部は、クロック信号に同期して所定の順序にそって変位個数 $A (< L$ (単位電気量生成部の個数))個ずつずらせながら選択スタート位置を決定する。

【0120】

したがって、変位個数 A を加算しながら最大 L 通りの出力値を採るように構成する加算処理部からなる比較的簡単な回路構成でスタート位置決定部を構成することができる。

20

【0121】

このように、選択部がデジタル信号以外に必要な情報である選択スタート位置を決定するスタート位置決定部を簡単な回路構成で実現できることから、本願発明が特開平4 - 152715号公報に開示されたD/Aコンバータに対して回路構成の簡略化において優位性を有していることがわかる。

【0126】

請求項2記載のD/Aコンバータの単位電気量生成部の個数 L は N ビットのD/A変換の必要個数($2^N - 1$)より大きいため、その余剰個数に伴い選択スタート位置の自由度が増すため、アナログ信号に単位電気量生成部個々の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

30

【0127】

請求項3記載のD/Aコンバータの単位電気量生成部の個数 L と選択位置を変更する変位個数 A とは互いに素の関係にあるため、スタート位置決定部は L 通りの選択スタート位置を決定することができ、選択スタート位置の自由度を最大限に活用することにより、アナログ信号に単位電気量生成部個々の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

【0128】

請求項4記載のD/Aコンバータの単位電気量生成部の個数 L は 2^N であるため、変位個数 A を加算しながら N ビットの加算結果($L = 2^N$ 通り)を出力する単純な加算処理部からなる簡単な回路構成でスタート位置決定部を構成することができる。

40

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるD/Aコンバータの構成を示す説明図である。

【図2】 図1のスイッチ制御回路の内部構成を示すブロック図である。

【図3】 図2の第1及び第2の加算部の内部構成を示す回路図である。

【図4】 実施の形態1のD/A変換動作を示す説明図である。

【図5】 実施の形態1のD/A変換動作を示す説明図である。

【図6】 実施の形態2のD/A変換動作を示す説明図である。

【図7】 実施の形態2のD/A変換動作を示す説明図である。

50

- 【図 8】 この発明の実施の形態 3 である D / A コンバータの構成を示す説明図である。
 【図 9】 実施の形態 3 の D / A 変換動作を示す説明図である。
 【図 10】 実施の形態 3 の D / A 変換動作を示す説明図である。
 【図 11】 実施の形態 4 の D / A 変換動作を示す説明図である。
 【図 12】 実施の形態 4 の D / A 変換動作を示す説明図である。
 【図 13】 この発明の実施の形態 5 である D / A コンバータの構成を示す説明図である

- 。
 【図 14】 図 13 の内部クロック発生回路の動作を示すタイミング図である。
 【図 15】 実施の形態 5 の D / A 変換動作を示す説明図である。
 【図 16】 実施の形態 5 の D / A 変換動作を示す説明図である。 10
 【図 17】 実施の形態 5 の D / A 変換動作を示す説明図である。
 【図 18】 実施の形態 6 の D / A 変換動作を示す説明図である。
 【図 19】 実施の形態 6 の D / A 変換動作を示す説明図である。
 【図 20】 実施の形態 6 の D / A 変換動作を示す説明図である。
 【図 21】 この発明の実施の形態 7 である D / A コンバータの構成を示す説明図である

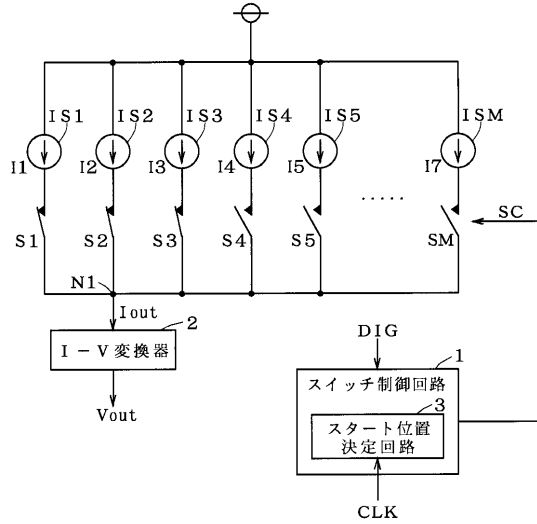
- 。
 【図 22】 実施の形態 7 の D / A 変換動作を示す説明図である。
 【図 23】 実施の形態 7 の D / A 変換動作を示す説明図である。
 【図 24】 実施の形態 7 の D / A 変換動作を示す説明図である。
 【図 25】 実施の形態 8 の D / A 変換動作を示す説明図である。 20
 【図 26】 実施の形態 8 の D / A 変換動作を示す説明図である。
 【図 27】 実施の形態 8 の D / A 変換動作を示す説明図である。
 【図 28】 スタート位置決定回路の簡略化が可能な電流源の構成例を示す説明図である

- 。
 【図 29】 実施の形態 1 ~ 8 の変形例の構成を示す説明図である。
 【図 30】 オーバーサンプリング 変換方式を用いた A / D コンバータの構成を示すブロック図である。
 【図 31】 オーバーサンプリング 変換方式の D / A コンバータの構成を示すブロック図である。
 【図 32】 従来の D / A コンバータの内部構成を示す説明図である。 30
 【図 33】 従来の D / A 変換動作を示す説明図である。
 【図 34】 従来の D / A 変換動作を示す説明図である。

【符号の説明】

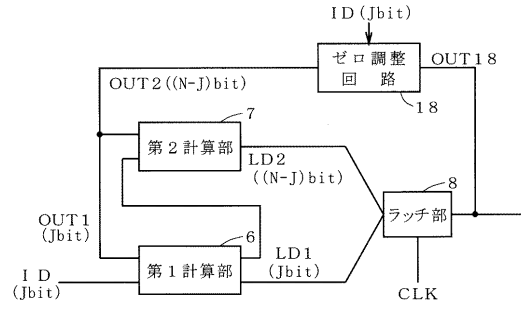
1, 1A, 4, 4A スイッチ制御回路, 2 I - V 変換器, 3, 3A ~ 3C スタート位置決定回路、5 電圧平均化回路、6 第 1 加算部、7 第 2 加算部、8 ラッチ部、18 ゼロ調整回路、IS1 ~ IS(M + K) 電流源、S1 ~ SM スイッチ。

【図1】

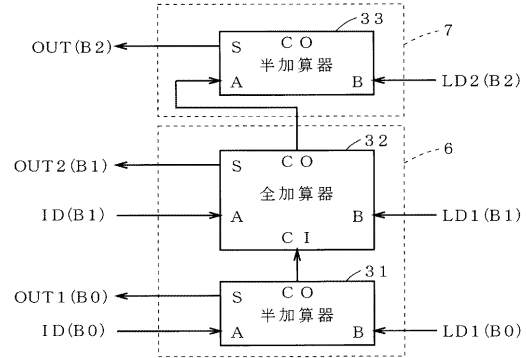


IS1 ~ ISM : 電流源
S1 ~ SM : スイッチ

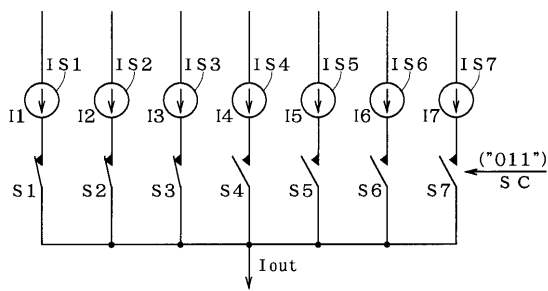
【図2】



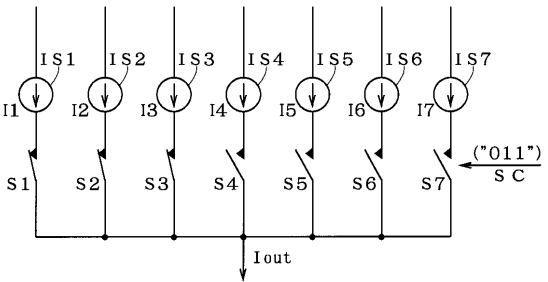
【図3】



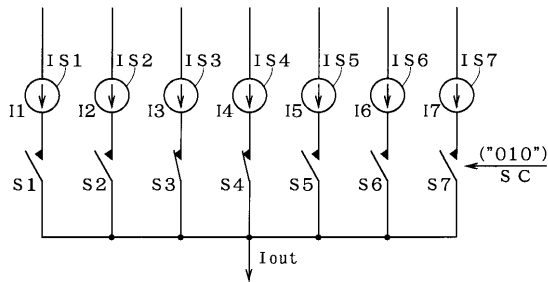
【図4】



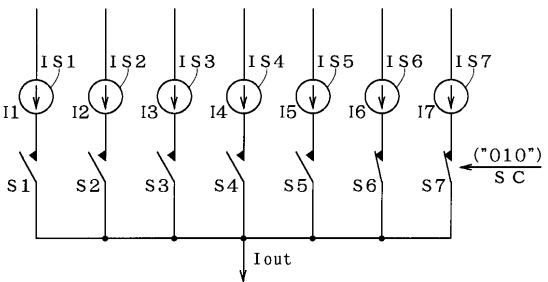
【図6】



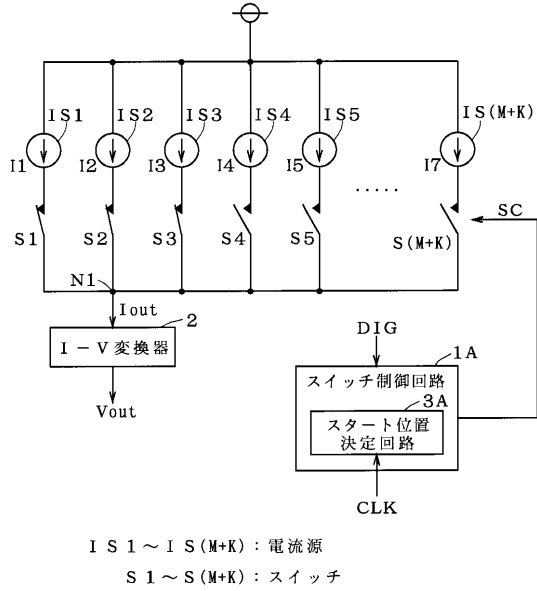
【図5】



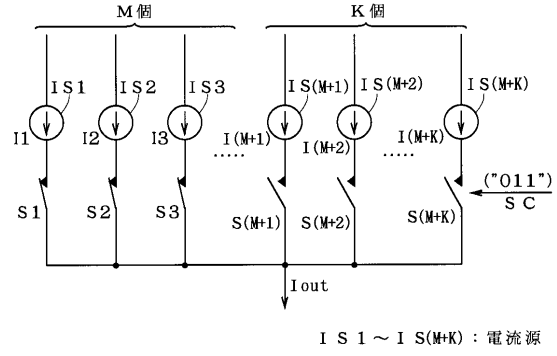
【図7】



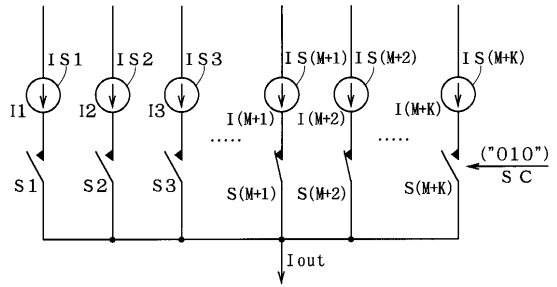
【 図 8 】



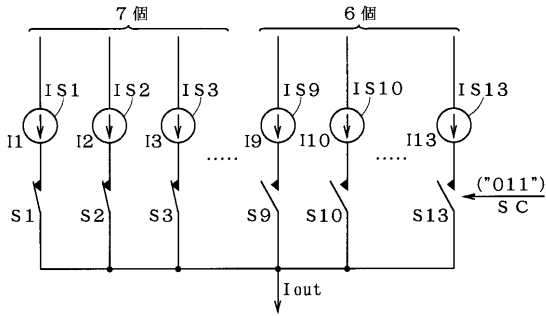
【 図 9 】



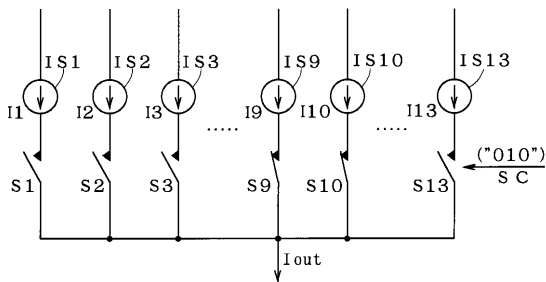
【 図 10 】



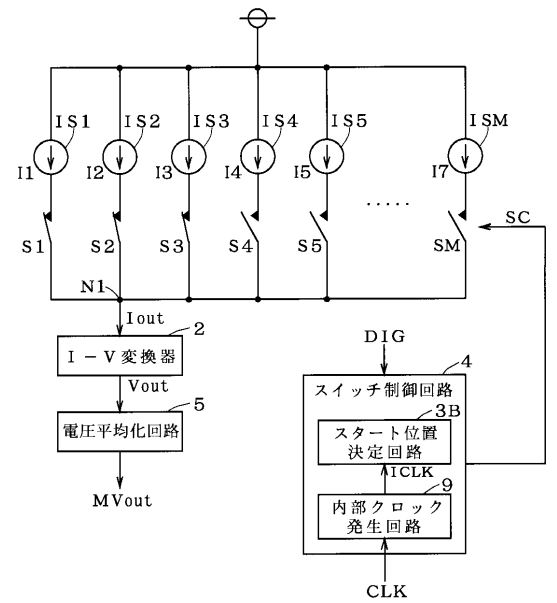
【 図 11 】



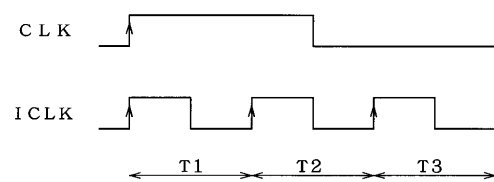
【 図 12 】



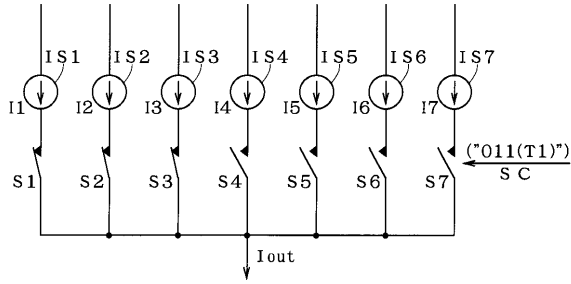
【 図 13 】



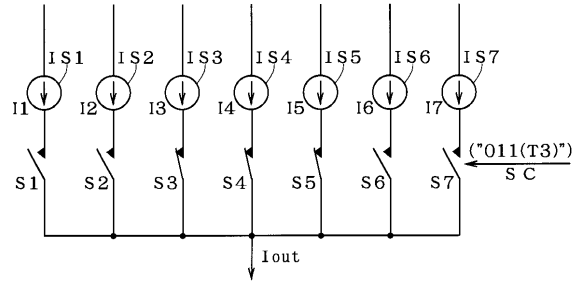
【 図 14 】



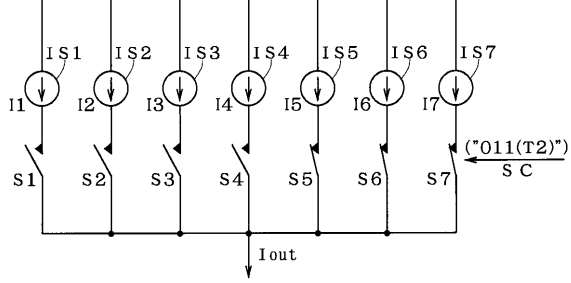
【 図 15 】



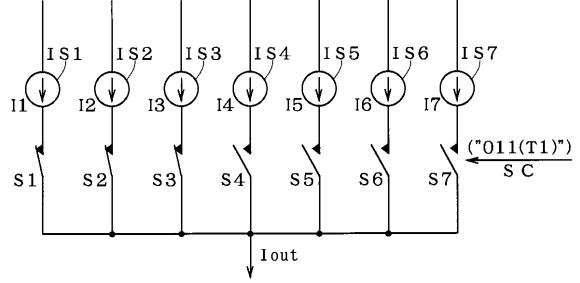
【 図 17 】



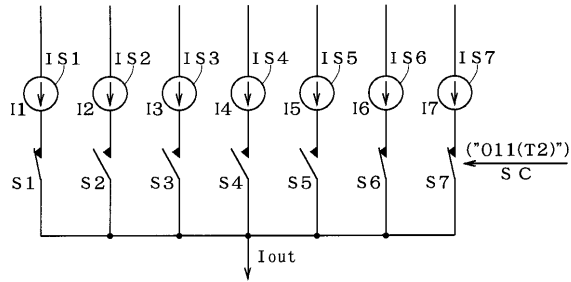
【 図 16 】



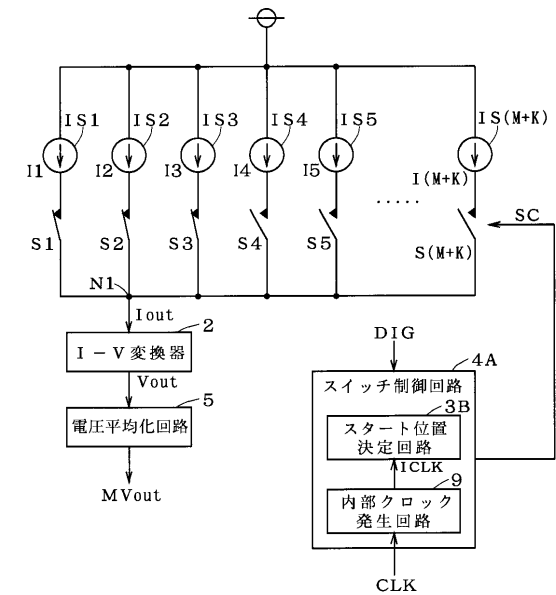
【 図 18 】



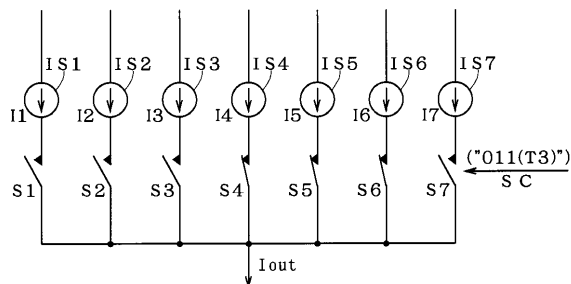
【 図 19 】



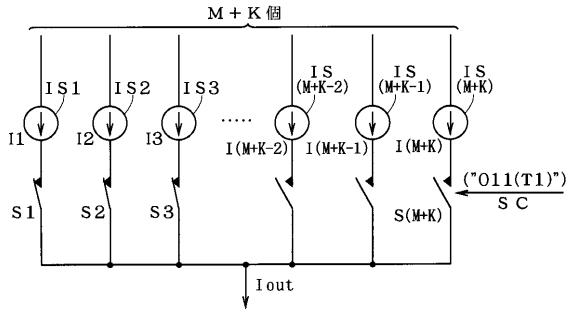
【 図 21 】



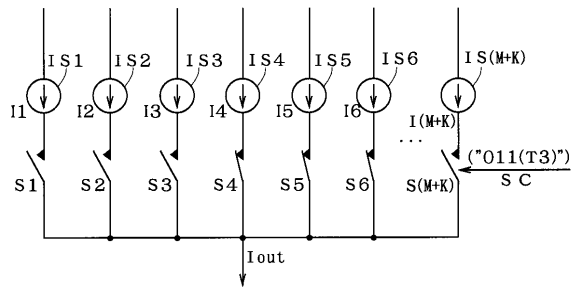
【 図 20 】



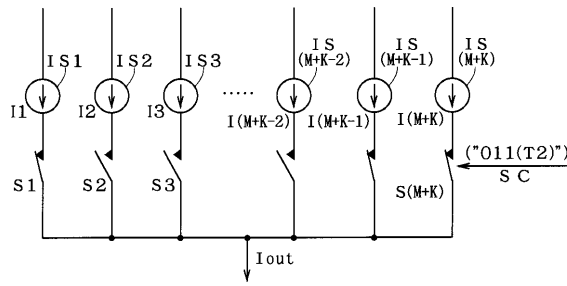
【 図 2 2 】



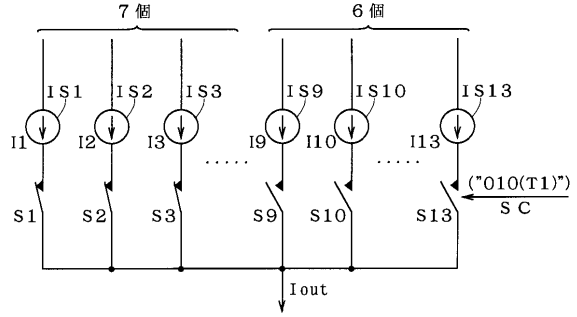
【 図 2 4 】



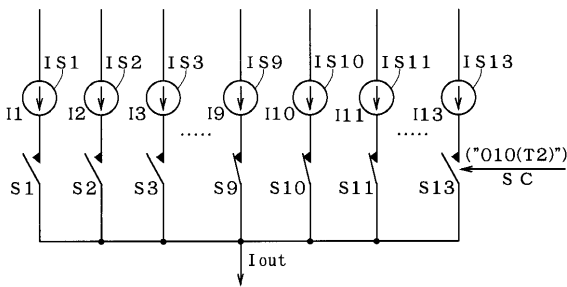
【 図 2 3 】



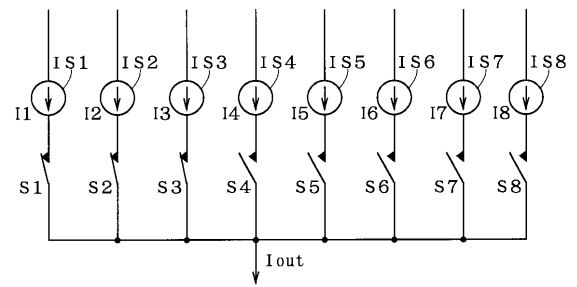
【 図 2 5 】



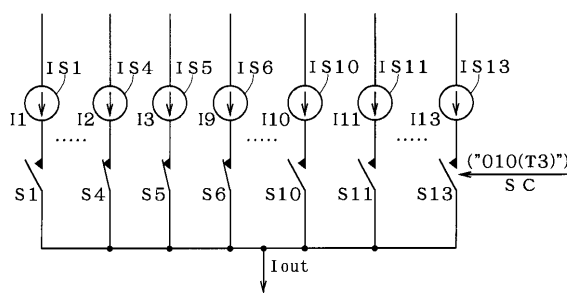
【 図 2 6 】



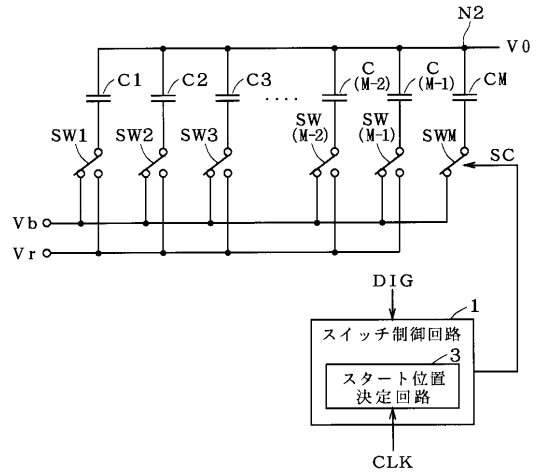
【 図 2 8 】



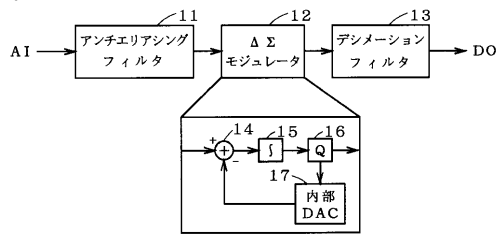
【 図 2 7 】



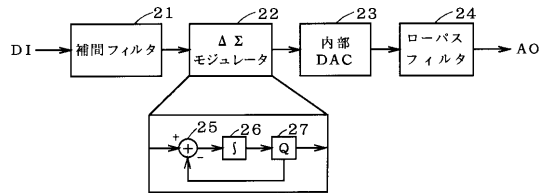
【 図 2 9 】



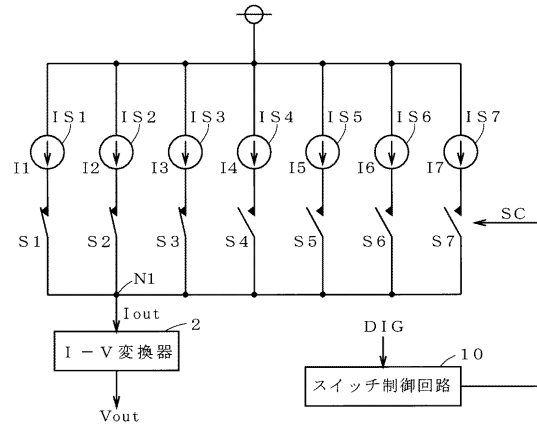
【図30】



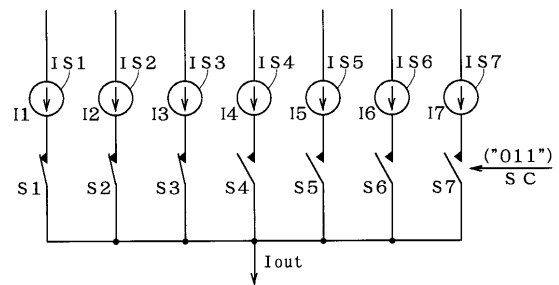
【図31】



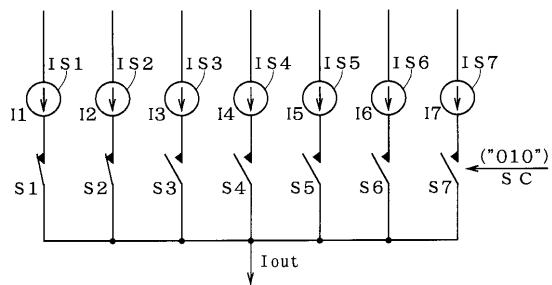
【図32】



【図33】



【図34】



フロントページの続き

- (72)発明者 伊藤 正雄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 三木 隆博
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 柳下 勝幸

- (56)参考文献 特開平05-252043(JP,A)
特開平05-335963(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88