(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0072971
(43) 공개일자 2022년06월03일

(51) 국제특허분류(Int. Cl.)
H01L 51/05 (2006.01) *H01L 29/16* (2006.01)
H01L 29/66 (2006.01) *H01L 29/786* (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/0558 (2013.01)
H01L 29/1606 (2013.01)
(21) 출원번호 10-2020-0160581
(22) 출원일자 2020년11월26일
심사청구일자 2020년11월26일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
윤순길
대전시 유성구 덕명로 19 운암네오미아 아파트 105-2101
한이레
대전시 서구 월평북로 11, 210-105
(74) 대리인
특허법인오암

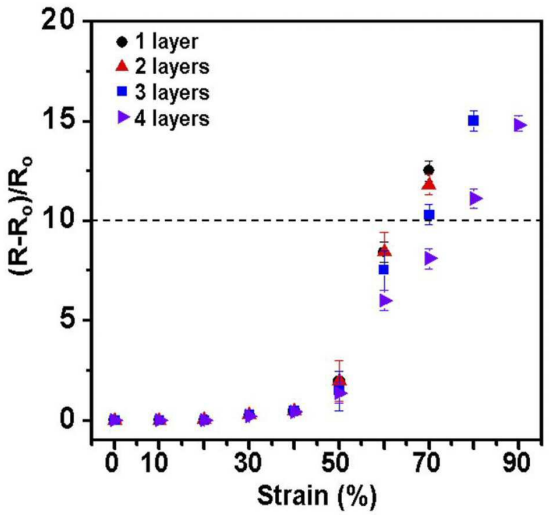
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **스트레처블 다층 그래핀 소자, 이의 제조방법 및 이를 이용한 스트레처블 그래핀**

(57) 요 약

본 발명은 연신기판 일 면에 그래핀 적층체가 형성된 다층 그래핀 소자에 있어서, 상기 그래핀 적층체는 티타늄(Ti) 버퍼층, 상기 티타늄(Ti) 버퍼층 일 면에 형성된 제1 Ti-O-C 브릿지층, 상기 제1 Ti-O-C 브릿지층 일 면에 성장된 그래핀 박막, 및 상기 그래핀 박막 위에 형성된 제2 Ti-O-C 브릿지층을 포함하는 구조가 순차적으로 반복 적층되는 것을 특징으로 하는, 스트레처블 다층 그래핀 소자에 관한 것이다.

대 표 도 - 도7



(52) CPC특허분류
H01L 29/66045 (2013.01)
H01L 29/78687 (2013.01)
H01L 51/0045 (2013.01)
H01L 51/0097 (2013.01)
H01L 51/052 (2013.01)
H01L 51/0545 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711110624
과제번호 2018R1A2A1A05018536
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인 연구지원사업 (중견, 도약)
연구과제명 투명하고 유연한 정보 전자소자를 위한 신 개념의 in-situ 그래핀 성장 원천기술 개발
기 여 율 1/1
과제수행기관명 충남대학교
연구기간 2018.03.01 ~ 2021.02.28

명 세 서

청구범위

청구항 1

연신기판 일 면에 그래핀 적층체가 형성된 다층 그래핀 소자에 있어서,

상기 그래핀 적층체는

티타늄(Ti) 버퍼층;

상기 티타늄(Ti) 버퍼층 일 면에 형성된 제1 Ti-O-C 브릿지층;

상기 제1 Ti-O-C 브릿지층 일 면에 성장된 그래핀 박막; 및

상기 그래핀 박막 위에 형성된 제2 Ti-O-C 브릿지층;을 포함하는 구조가 순차적으로 반복 적층되는 것을 특징으로 하는, 스트레처블 다층 그래핀 소자.

청구항 2

제 1항에 있어서,

상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자는 하기 관계식 1로 정의되는 면저항($\triangle R_{nx}$)의 값이 10을 초과하지 않는 것을 특징으로 하는, 스트레처블 다층 그래핀 소자.

[관계식 1]

$$\triangle R_{nx} = (R_{nx} - R_{n0}) / R_{n0}$$

(상기 관계식 1에서 R_{nx}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x% 연신하였을 때 측정한 저항이며, R_{n0}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 연신하지 않았을 때 측정한 저항을 의미한다. 이 때 상기 x는 소정의 자연수를 의미한다.)

청구항 3

제 2항에 있어서,

상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x%로 연신하는 것을 10,000번 반복 수행하였을 때, 상기 면저항 값이 10을 초과하지 않는 것을 특징으로 하는, 스트레처블 다층 그래핀 소자.

청구항 4

제 1항에 있어서,

상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자의 면저항이 50Ω/□ 이하인 것을 특징으로 하는, 스트레처블 다층 그래핀 소자.

청구항 5

제 1항에 있어서,

상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자에 500 내지 600㎚의 빛을 투과하였을 때 투과율(Transmittance)이 90% 이상인 것을 특징으로 하는, 스트레처블 다층 그래핀 소자.

청구항 6

a) 연신기판 위에 티타늄(Ti) 버퍼층을 형성하는 단계;

b) 동일한 장치 내에서 in-situ로 상기 티타늄(Ti) 버퍼층 위에 그래핀 박막을 성장시키는 단계;

c) 상기 그래핀 박막 위에 하나 이상의 티타늄(Ti) 버퍼층과 하나 이상의 그래핀 박막을 반복 성장시키는 단계; 및

d) 상기 티타늄(Ti) 버퍼층이 공기중 산소(O_2)에 노출되어 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성하는 단계;를 포함하는 것을 특징으로 하는, 스트레처블 그래핀 박막 제조방법.

청구항 7

제 6항에 있어서,

상기 c) 단계에서 상기 티타늄 버퍼층이 TiO_{2-x}로 완전히 산화되는 것을 특징으로 하는, 스트레처블 그래핀 박막 제조방법.

청구항 8

제 6항에 있어서,

상기 티타늄(Ti) 버퍼층의 두께는 10 ㎚ 이하인 것을 특징으로 하는, 스트레처블 그래핀 박막 제조방법.

청구항 9

제 6항에 있어서,

상기 a) 내지 c) 단계들은 400℃ 이하에서 수행되는 것을 특징으로 하는, 스트레처블 그래핀 박막 제조방법.

청구항 10

게이트 전극;

상기 게이트 전극 위에 접촉하는 게이트 절연층;

상기 게이트 절연층의 일부 영역에 위치하여 채널로 사용되는 그래핀 활성층;

상기 활성층의 일측에 접촉하는 제1 전극; 및

상기 활성층의 타측에 접촉하는 제2 전극;을 포함하며,

상기 그래핀 활성층은,

티타늄(Ti) 버퍼층;

상기 티타늄(Ti) 버퍼층 일 면에 형성된 Ti-O-C 브릿지층;및

상기 Ti-O-C 브릿지층 일 면에 성장된 그래핀 박막;을 포함하여 그래핀/Ti-O-C/TiO_{2-x}로 제공되는 것을 특징으로 하는, 스트레처블 그래핀 FET.

청구항 11

제 10항에 있어서,

상기 게이트전극은 그래핀층으로 제공되며,

상기 게이트 절연층은 신축성이 있는 고분자소재로 제공되는 것을 특징으로 하는, 스트레처블 그래핀 FET.

청구항 12

제 10항에 있어서,

상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 상기 스트레처블 그래핀 FET를 120% 인장 시 홀 이동도(Hole mobility)가 $1.6x10^4$㎠/V·S을 초과하는 것을 특징으로 하는, 스트레처블 그래핀 FET.

청구항 13

제 10항에 있어서,

상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 상기 스트레처블 그래핀 FET를 120% 인장 시 전자 이동도(Electron mobility)가 $0.9x10^4$㎠/V·S을 초과하는 것을 특징으로 하는, 스트레처블 그래핀 FET.

청구항 14

제 10항에 있어서,

상기 채널과 수평한 방향인 수평방향으로 상기 스트레처블 그래핀 FET를 140% 인장 하는 것을 5,000 번 반복 수행하는 동안 홀 이동도(Hole mobility)가 $1.5x10^4$㎠/V·S을 초과하는 것을 특징으로 하는, 스트레처블 그래핀 FET.

청구항 15

제 10항에 있어서,

상기 채널과 수평한 방향인 수평방향으로 상기 스트레처블 그래핀 FET를 140% 인장 하는 것을 5,000번 반복 수행하는 동안 전자 이동도(Electron mobility)가 $0.8x10^4$㎠/V·S을 초과하는 것을 특징으로 하는, 스트레처블 그래핀 FET.

발명의 설명

기 술 분 야

[0001] 본 발명은 스트레처블 다층 그래핀 소자 및 이를 이용한 스트레처블 그래핀 FET(Field-Effect-Transistor)에 관한 것으로, 티타늄(Ti) 버퍼층과 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성하여 120%이상의 연신에서도 전기적 특성이 우수한 스트레처블 다층 그래핀 소자 및 이를 이용한 스트레처블 그래핀 FET에 관한 것이다.

배 경 기 술

[0002] 그래핀은 탄소원자들이 2차원 상에서 SP^2 결합을 통하여 육각형 구조로 결합하는 2차원 평면재료를 의미한다. 상기 우수한 구조 안정성과 열/전기 전도성으로 전극 및 소자 분야, 특히 투명 전극 소자의 물질로 주목받고 있다. 하지만 그래핀은 2차원적인 구조의 한계로 인하여 유연성(Flexible)은 우수하나, 인장시 외부의 응력으로 인하여 균열(crack) 또는 파손(fracture)등 기계적 손상이 발생될 수 있다.

[0003] 아울러, 기존의 통상적인 그래핀 제조 방법은 대면적 그래핀 박막을 양산하기 위해서 소정의 버퍼층 위에 그래핀 박막을 성장시키고, 상기 성장된 그래핀 박막을 박리하는 전사(Transferring)의 과정을 거치게 되는데, 상기 전사 과정에서도 그래핀 일 면에 주름(Wrinkles), 크랙(Crack) 및 리플(Ripples) 등 기계적 손상이 발생된다.

[0004] 상기 기계적 손상은 그래핀 박막의 면 저항을 감소시켜 전기 소자로서의 성능을 악화될 수 있다는 치명적인 단점이 있다. 이러한 이유로 본 발명의 발명자는 대한민국 공개특허공보 제10-2020-0101714호를 통해 전사 과정이 없는 그래핀 기반의 TFT의 제조방법을 개시하였으나, 상기의 방법으로도 외부의 응력으로 인한 기계적 손상을 방지하는 방법은 아직까지는 요원하다. 이러한 이유로 외부에서 반복응력이 가해지기 쉬운 스트레처블 전자소재(Stretchable Electronics)에 적용하는데 많은 어려움이 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 등록특허공보 제10-2020-0101714호 (2020.08.28. 등록)

발명의 내용

해결하려는 과제

[0006] 상기와 같은 문제점을 해결하기 위하여 본 발명은 티타늄(Ti) 버퍼층 및 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성하여, 50%이상 연신하여도 전기적 특성이 유지되는 스트레처블 다층 그래핀 소자 및 이를 이용한 스트레처블 그래핀 FET를 제공하는 것을 목적으로 한다.

[0007] 또한, 그래핀/Ti-O-C/TiO_{2-x}로 제공되는 활성층을 형성하여, 120% 인장 시 홀 이동도(Hole mobility)가 $1.6x10^4$ ㎠/V·S을 초과하고, 전자 이동도(Electron mobility)가 $0.9x10^4$㎠/V·S을 초과하는 스트레처블 그래핀 FET를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위한 본 발명의 일 양태는 연신기판 일 면에 그래핀 적층체가 형성된 다층 그래핀 소자에 있어서, 상기 그래핀 적층체는 티타늄(Ti) 버퍼층; 상기 티타늄(Ti) 버퍼층 일 면에 형성된 제1 Ti-O-C 브릿지층; 상기 제1 Ti-O-C 브릿지층 일 면에 성장된 그래핀 박막; 및 상기 그래핀 박막 위에 형성된 제2 Ti-O-C 브릿지층;을 포함하는 구조가 순차적으로 반복 적층되는 것을 특징으로 하는, 스트레처블 다층 그래핀 소자에 관한 것이다.

[0009] 상기 일 양태에 있어서, 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자는 하기 관계식 1로 정의되는 면저항($\triangle R_{nx}$)의 값이 10을 초과하지 않을 수 있다.

[0010] [관계식 1]

[0011] $\triangle R_{nx} = (R_{nx} - R_{n0}) / R_{n0}$

[0012] (상기 관계식 1에서 R_{nx}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x% 연신하였을 때 측정한 저항이며, R_{n0}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 연신하지 않았을 때 측정한 저항을 의미한다. 이 때 상기 x는 소정의 자연수를 의미한다.)

[0013] 상기 일 양태에 있어서, 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x%로 연신하는 것을 10,000번 반복 수행하였을 때, 상기 면저항 값이 10을 초과하지 않을 수 있다.

[0014] 상기 일 양태에 있어서, 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자의 면저항이 50Ω/□ 이하일 수 있다.

[0015] 상기 일 양태에 있어서, 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자에 500 내지 600㎚의 빛을 투과하였을 때 투과율(Transmittance)이 90% 이상일 수 있다.

[0016] 상기 목적을 달성하기 위한 본 발명의 다른 일 양태는 a) 연신기판 위에 티타늄(Ti) 버퍼층을 형성하는 단계; b) 동일한 장치 내에서 in-situ로 상기 티타늄(Ti) 버퍼층 위에 그래핀 박막을 성장시키는 단계; c) 상기 그래핀 박막 위에 하나 이상의 티타늄(Ti) 버퍼층과 하나 이상의 그래핀 박막을 반복 성장시키는 단계; 및 d) 상기 티타늄(Ti) 버퍼층이 공기중 산소(O_2)에 노출되어 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성하는 단계;를 포함하는 것을 특징으로 하는, 스트레처블 그래핀 박막 제조방법에 관한 것이다.

[0017] 상기 일 양태에 있어, 상기 c) 단계에서 상기 티타늄 버퍼층이 TiO_{2-x}로 완전히 산화될 수 있다.

[0018] 상기 일 양태에 있어, 상기 티타늄(Ti) 버퍼층의 두께는 10㎚ 이하일 수 있다.

[0019] 상기 일 양태에 있어, 상기 a) 내지 c) 단계들은 400℃ 이하에서 수행될 수 있다.

[0020] 상기 목적을 달성하기 위한 본 발명의 또 다른 일 양태는 게이트 전극; 상기 게이트 전극 위에 접촉하는 게이트 절연층; 상기 게이트 절연층의 일부 영역에 위치하여 채널로 사용되는 그래핀 활성층; 상기 활성층의 일측에 접촉하는 제1 전극; 및 상기 활성층의 타측에 접촉하는 제2 전극;을 포함하며, 상기 그래핀 활성층은, 티타늄(Ti) 버퍼층; 상기 티타늄(Ti) 버퍼층 일 면에 형성된 Ti-O-C 브릿지층;및 상기 Ti-O-C 브릿지층 일 면에 성장된 그래핀 박막;을 포함하여 그래핀/Ti-O-C/TiO_{2-x}로 제공되는 것을 특징으로 하는, 스트레처블 그래핀 FET에 관한 것이다.

[0021] 상기 일 양태에 있어서, 상기 게이트전극은 그래핀층으로 제공되며, 상기 게이트 절연층은 신축성이 있는 고분자소재로 제공될 수 있다.

[0022] 상기 일 양태에 있어서, 상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 상기 스트레처블 그래핀 FET를 120% 인장 시 홀 이동도(Hole mobility)가 $1.6x10^4$㎠/V·S을 초과할 수 있다.

[0023] 상기 일 양태에 있어서, 상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 상기 스트레처블 그래핀 FET를 120% 인장 시 전자 이동도(Electron mobility)가 $0.9x10^4$㎠/V·S을 초과할 수 있다.

[0024] 상기 일 양태에 있어서, 상기 채널과 수평한 방향인 수평방향으로 상기 스트레처블 그래핀 FET를 140% 인장 하는 것을 5,000번 반복 수행하는 동안 홀 이동도(Hole mobility)가 $1.5x10^4$㎠/V·S을 초과할 수 있다.

[0025] 상기 일 양태에 있어서, 상기 채널과 수평한 방향인 수평방향으로 상기 스트레처블 그래핀 FET를 140% 인장 하는 것을 5,000번 반복 수행하는 동안 전자 이동도(Electron mobility)가 $0.8x10^4$㎠/V·S을 초과할 수 있다.

발명의 효과

[0026] 본 발명에 따른 스트레처블 다층 그래핀 소자는 전사 과정 없이 티타늄(Ti) 버퍼층과 그래핀 박막 사이에 Ti-O-C 브릿지층을 성장시킴으로써, 50%이상 연신하여도 전기적 특성이 유지되는 스트레처블 다층 그래핀 소자 및 이를 이용한 스트레처블 그래핀 FET를 제공할 수 있다.

[0027] 이를 통해 외부 응력에 대한 저항성을 향상할 수 있으며, 공정 과정에서 그래핀 박막에 기계적 손상이 발생되는 것을 억제할 수 있다. 이에 따라, 외부에서 반복응력이 가해지기 쉬운 스트레처블 전자소재(Stretchable Electronics)에 적용할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 실시 예에 따른 Ti-O-C 브릿지층의 2차원 EELS(time-resolved Electron Energy Loss Spectroscopy) 맵핑 분석 결과를 나타낸 사진이다.

도 2는 본 발명의 실시 예에 따른 Ti-O-C 브릿지층을 밀도 함수 이론(density functional theory; DFT)으로 시뮬레이션 한 도면이다.

도 3은 본 발명의 실시 예에 따른 스트레처블 그래핀 박막을 제조하는 방법을 설명하기 위한 흐름도이다.

도 4는 상기 스트레처블 그래핀 박막을 in-situ로 제조하기 위한 장비이다.

도 5는 본 발명의 실시 예에 따른 스트레처블 그래핀 FET를 설명하기 위한 도면이다.

도 6은 본 발명의 실시예 및 비교예로 제조한 스트레처블 그래핀 소자의 면 저항을 비교하기 위한 그래프이다.

도 7은 본 발명의 실시예 및 비교예로 제조한 스트레처블 그래핀 소자를 수평방향으로 90% 연신 하였을 때의 면저항($\triangle R_{nx}$)을 측정한 그래프이다.

도 8은 본 발명의 실시 예에 따른 Ti-O-C 브릿지층을 설명하기 위한 도면이다.

도 9는 본 발명의 실시예 및 비교예로 제조한 스트레처블 그래핀 소자를 수직방향으로 90% 연신 하였을 때의 면저항($\triangle R_{nx}$)을 측정한 그래프이다.

도 10은 본 발명의 실시예 및 비교예로 제조한 스트레처블 그래핀 소자를 소정의 연신율로 연신하는 것을 10^4cycle 반복하였을 때의 면저항($\triangle R_{nx}$)을 측정한 그래프이다.

도 11은 본 발명의 실시예 및 비교예로 제조한 스트레처블 그래핀 소자의 투과도를 측정한 그래프이다.

도 12는 본 발명의 실시 예에 따른 스트레처블 그래핀 FET를 수평 또는 수직방향으로 140% 연신 시 전기적 특성을 설명하기위한 그래프이다.

도 13은 본 발명의 실시 예에 따른 스트레처블 그래핀 FET를 수평 또는 수직방향으로 140% 연신하는 것을 $5x10^3$cycle 반복하였을 때 전기적 특성을 설명하기위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하 본 발명에 따른 스트레처블 다층 그래핀 소자 및 이를 이용한 스트레처블 그래핀 FET에 대하여 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 이 때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

[0030] 그래핀은 탄소원자들이 2차원 상에서 SP^2 결합을 통하여 육각형 구조로 결합하는 2차원 평면재료를 의미한다. 상기 우수한 구조 안정성과 열/전기 전도성으로 전극 및 소자 분야, 특히 투명 전극 소자의 물질로 주목받고 있다. 하지만 그래핀은 2차원적인 구조의 한계로 인하여 유연성(Flexible)은 우수하나, 인장시 외부의 응력으로 인하여 균열(crack) 또는 파손(fracture)등 기계적 손상이 발생될 수 있다.

[0031] 아울러, 기존의 통상적인 그래핀 제조 방법은 대면적 그래핀 박막을 양산하기 위해서 전사(Transferring)의 과정을 거치게 된다. 전사(Transferring)는 소정의 버퍼층 위에 그래핀 박막을 성장시키고, 상기 성장된 그래핀 박막을 박리하는 기술로, 상기 전사 과정에서 그래핀 일 면에 주름(Wrinkles), 크랙(Crack) 및 리플(Ripples) 등 기계적 손상이 발생된다.

[0032] 상기 기계적 손상은 그래핀 박막의 면 저항을 감소시켜 전기 소자로서의 성능을 악화될 수 있다는 치명적인 단점이 있다. 이러한 이유로 제조 및 인장 과정에서 기계적 손상을 최소화하여 그래핀 소자의 저항을 최소화하는 기술이 요구된다.

[0034] 이에, 본 발명의 일 양태는 그래핀 박막과 티타늄(Ti) 버퍼층 사이에 둘 이상의 Ti-O-C 브릿지층을 제공하여 그래핀 소자의 연신 특성을 향상하고, 상기 그래핀 소자를 연신하였을 때 면저항($\triangle R_{nx}$) 값이 10을 초과하지 않는 스트레처블 다층 그래핀 소자에 관한 것이다.

[0035] 본 발명에서 티타늄(Ti) 버퍼층이란, 상기 그래핀 박막을 성장시키기 위한 금속층을 의미하며, 스퍼터링(sputtering), 원자층증착(atomic layer deposition; ALD), 플라즈마보조 원자층증착(plasma enhanced atomic layer deposition; PE-ALD), 전자빔 증착(e-beam evaporation), 분자빔 증착(molecular beam epitaxy; MBE), 화학기상증착(chemical vapour deposition; CVD), 펄스레이저증착(pulsed laser deposition; PLD), 열산화법(thermal oxidation) 및 졸겔(Sol-Gel) 방법으로 이루어진 군 안에서 선택되는 어느 하나의 방법에 의하여 증착될 수 있다. 본 발명에서는 스퍼터링을 이용하여 상기 티타늄(Ti) 버퍼층을 증착하였으며, 더 바람직하게는 대향 타겟식 스퍼터링이 가능한 대향 타겟식 스퍼터링 시스템(Facing target sputtering system, FTS)을 사용할 수 있다.

[0036] 상기 대향 타겟식 스퍼터링 시스템(FTS)이란 서로 대향하는 한 쌍의 타겟(Facing target)을 가지며, 상기 한 쌍의 타겟과 상기 기판을 다른 방향으로 배치시켜 높은 운동에너지를 가지는 이온 또는 플라즈마로 인한 기판의 손상을 방지할 수 있다.

[0037] 구체적으로 통상의 스퍼터링 시스템은 타겟과 기판이 일 방향으로 배치되며, 타겟 앞에 자계를 형성시킬 수 있다. 이 때, 상기 스퍼터는 상기 타겟과 기판 사이로 이온 혹은 소정의 불활성 기체로 이루어진 플라즈마를 주입할 수 있으며, 상기 자계를 통해 상기 이온 혹은 플라즈마에 운동에너지를 전달할 수 있다. 이를 통해, 상기 스퍼터는 타겟에 있는 증착물질을 물리적으로 떼어네서 기판에 증착하는 방법으로 작동한다. 하지만, 상기 방법은 상기 자계가 너무 높게 생성될 경우 상기 전자 또는 플라즈마에 과도한 운동에너지가 전달될 수 있다.

[0038] 반대로 상기 대향 타겟식 스퍼터링 시스템(FTS)은 대향 타겟(Facing target)을 이용하여 스퍼터링이 가능하며, 보다 상세하게는 서로 마주보는 한 쌍의 타겟과 상기 한 쌍의 타겟과 소정거리 이격한 지점에 위치하는 상기 기판에 스퍼터링 할 수 있다. 다시 말해, 상기 대향 타겟식 스퍼터링 시스템(FTS)은 대향하는 한 쌍의 타겟사이의 거리(T-T)이 서로 마주보는 제1 방향와 타겟과 기판(T-S)이 이격된 제2 방향을 가질 수 있다. 일 실시 예에 따

르면, 상기 제1 방향과 상기 제2 방향 사이는 소정의 각도를 가질 수 있으며, 더 바람직하게 상기 제1 방향과 상기 제2 방향은 90° 로 형성될 수 있다. 이를 통해, 전자 또는 플라즈마로 인한 기판의 손상을 방지할 수 있으며, 높은 플라즈마 밀도를 유지하여 고품질의 치밀한 박막을 형성할 수 있다. 아울러, 상기 대향하는 한 쌍의 타겟사이의 거리(T-T) 사이 거리와, 상기 타겟과 기판(T-S) 사이의 거리를 조절하여 박막의 적층상태를 제어할 수 있으며, 이를 통해 전기적 광학적 특성을 제어할 수 있다.

[0039] 본 발명에서 Ti-O-C 브릿지층이란, 상기 티타늄(Ti) 버퍼층의 일부가 부분적으로 산화되어 Ti-O-C의 연결구조를 갖는 티타늄(Ti) 산화층을 의미한다.

[0040] 본 발명의 실시 예에 따른 Ti-O-C 브릿지층의 2차원 EELS(time-resolved Electron Energy Loss Spectroscopy) 맵핑 분석 결과를 나타낸 사진인 도 1과 본 발명의 실시 예에 따른 Ti-O-C 브릿지층을 밀도 함수 이론(density functional theory; DFT)으로 시뮬레이션 한 도 2를 참조하면, 상기 Ti-O-C 브릿지층은 상기 그래핀 박막과 상기 티타늄(Ti) 버퍼층 사이의 브릿지 역할을 수행하여 상기 다층 그래핀 소자의 연신을 증가시킬 수 있으며, 연신 시 상기 그래핀 박막의 기계적 손상을 방지하여 상기 다층 그래핀 소자의 저항 증가를 억제하는 역할을 수행할 수 있다.

[0041] 본 발명에서의 면저항($\triangle R_{nx}$)이란, 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자의 연신으로 증가한 저항값을 연신 이전의 저항으로 나눈 값이며, 바람직하게는 하기 관계식 1로 정의될 수 있다.

[0042] [관계식 1]

[0043] $\triangle R_{nx} = (R_{nx} - R_{n0}) / R_{n0}$

[0044] (상기 관계식 1에서 R_{nx}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x% 연신하였을 때 측정한 저항이며, R_{n0}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 연신하지 않았을 때 측정한 저항을 의미한다. 이 때 상기 x는 소정의 자연수를 의미한다.)

[0045] 실시 예에 따르면, 상기 스트레처블 다층 그래핀 소자는 상기 면저항($\triangle R_{nx}$)이 10을 초과하지 않을 수 있다. 상기 면저항($\triangle R_{nx}$)이 10을 초과하면, 연신으로 인한 저항값이 과도하게 증가할 수 있다. 이는. 상기 스트레처블 다층 그래핀 소자를 포함하는 전자장치에서 외부에 힘이 작용하여 상기 전자장치가 연신되는 경우, 필요 전압이 증가한다는 것을 의미한다. 다시 말해, 상기 전자장치를 연신한 상태에서 연신하지 않은 상태와 동일하게 작동하기 위해서 요구되는 전압이 증가되며, 더 많은 전기 에너지가 요구된다. 아울러, 상기 연신상태에서 전자장치를 작동하면, 높은 저항으로 인하여 상기 전자장치의 발열이 심해져 고장 및 전기 에너지 손실에 원인이 된다.

[0046] 즉, 상기 면저항($\triangle R_{nx}$)의 증가는 상기 스트레처블 다층 그래핀 소자의 전기적 특성이 감소하는 것을 의미하므로, 연신 상태에서 상기 면저항($\triangle R_{nx}$)이 10을 초과하지 않는 것이 바람직하다.

[0047] 실시 예에 따르면, 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 소정의 %, 예를 들어 x%(x는 임의의 자연수)로 연신하는 것을 10^4번 반복 수행하였을 때, 면저항 값이 10을 초과하지 않을 수 있다. 10^4번 반복 수행하였을 때 상기 면저항 값이 10을 초과하면 상기 스트레처블 다층 그래핀 소자를 반복 연신하는 경우 전기적 특성이 감소하는 것을 의미한다. 이는 플랙서블 소자에 적용하는 경우, 전기적 특성 감소로 인하여 발열 및 에너지 손실이 발생될 가능성이 높다는 것을 의미한다. 이러한 이유로, 상기 스트레처블 다층 그래핀 소자는 10^4번의 반복 연신을 수행한 상태에서도 상기 면저항($\triangle R_{nx}$)이 10을 초과하지 않는 것이 바람직하다.

[0049] 본 발명의 다른 일 양태는 전사 과정 없이 티타늄(Ti) 버퍼층, 제1 Ti-O-C 브릿지층, 그래핀 박막 및 제2 Ti-O-C 브릿지층을 가지는 스트레처블 그래핀 소자에 관한 것이며, 보다 바람직하게는 상기 티타늄(Ti) 버퍼층, 제1 Ti-O-C 브릿지층, 그래핀 박막 및 제2 Ti-O-C 브릿지층을 순차적으로 반복 적층한 스트레처블 다층 그래핀 소자에 관한 것이다.

[0050] 앞서 설명한대로 상기 전사 과정에서 주름(Wrinkles), 크랙(Crack) 및 리플(Ripples) 등 기계적 손상이 발생될 수 있으며, 상기 기계적 손상은 그래핀 박막의 면 저항을 감소시켜 전기 소자로서의 성능을 악화시킬 수 있다. 이러한 이유로, 상기 그래핀의 전기적 특성을 유지 혹은 향상하기 위해 전사 과정 없이 티타늄(Ti) 버퍼층 일면에 그래핀 박막을 성장하는 것이 바람직하며, 더 바람직하게는 상기 티타늄(Ti) 버퍼층을 성장시킨 장비와 동

일한 장비 내에서 in-situ로 성장할 수 있다.

[0051] 본 발명의 일 예에 있어, 상기 적층구조가 반복될수록, 스트레처블 다층 그래핀 소자의 면 저항(Ω/□)이 감소될 수 있다. 구체적으로 상기 적층구조가 반복될수록, 상기 그래핀 박막 사이에 형성된 상기 티타늄(Ti) 버퍼층 산소를 흡수하고, 상기 흡수된 산소 중 일부가 티타늄(Ti) 버퍼층을 부분적으로 산화시켜 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성될 수 있다. 이 과정에서 상기 그래핀 박막이 자발적으로 P-type 도핑되어 면 저항이 감소될 수 있다. 바람직하게 상기 적층에 따른 상기 스트레처블 다층 그래핀 소자의 면 저항 감소는 하기 관계식 2를 만족할 수 있다.

[0052] [관계식 2]

[0053] $R_n/R_{n-1} \times 100 < 0.55$, $n \geq 2$

[0054] (상기 관계식 2에서, n은 상기 적층구조가 반복된 횟수이며, R_n은 상기 적층구조가 n번 반복되어 형성된 스트레처블 다층 그래핀 소자의 면 저항(Ω/□)이며, R_{n-1}은 상기 적층구조가 n-1번 반복되어 형성된 스트레처블 다층 그래핀 소자의 면 저항(Ω/□)이다.)

[0055] 더 바람직하게, 상기 관계식 2는 $R_n/R_1 \leq 0.48$, $n \geq 2$ 또는 $R_n/R_1 \leq 0.18$, $n \geq 3$ 또는 $R_n/R_1 \leq 0.07$, $n \geq 4$ 중 어느 하나 이상을 만족할 수 있다.

[0056] 일반적으로 상기 스트레처블 다층 그래핀 소자가 통상적인 투명 스트레처블 소자인 산화인듐주석(Indium -Tin-Oxide; ITO)을 대체하기 위해서는, 상기 다층 그래핀 소자의 면 저항이 45Ω/□ 이하가 되는 것이 바람직하며, 더 바람직하게는 20Ω/□ 이하가 되는 것이 적절하다. 이를 위해, 상기 스트레처블 다층 그래핀 소자는 하기 관계식 3을 만족하는 범위 내에서 상기 적층 구조를 반복하여 면 저항을 감소시킬 수 있다.

[0057] [관계식 3]

[0058] $R_n/R_1 \leq 0.18$, $n \geq 3$

[0059] (상기 관계식 3에서, R_n은 상기 적층구조가 n번 반복되어 형성된 스트레처블 다층 그래핀 소자의 면 저항(Ω/□)이다.)

[0060] 이를 통해 스트레처블 특성을 유지하면서, 낮은 면 저항을 가지는 다층 그래핀 소자를 제공할 수 있다.

[0061] 한편, 상기 스트레처블 다층 그래핀 소자의 적층구조가 반복될수록, 상기 다층 그래핀 소자의 투과율이 감소할 수 있다. 구체적으로, 상기 적층구조가 반복될수록, 상기 중첩된 그래핀 박막을 투과하는 광 에너지가 감소하여 투과도가 감소될 수 있다. 이러한 이유로 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자에 500 내지 600㎚의 빛을 투과하였을 때 투과율(Transmittance)이 90% 이상일 수 있으며, 더 바람직하게는 하기 관계식 4를 만족할 수 있다.

[0062] [관계식 4]

[0063] $0.9 < T_n \times 100 < 0.98$

[0064] (상기 관계식 4에서, T_n은 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자에 500 내지 600㎚의 빛을 투과하였을 때 스트레처블 다층 그래핀 소자의 투과도(%)이다.)

[0065] 이상 본 발명의 실시 예에 따른 스트레처블 다층 그래핀 소자의 구성에 대해 설명하였다. 이하, 상기 스트레처블 다층 그래핀 소자를 구성하는 스트레처블 그래핀 박막의 제조방법에 대해 설명한다.

[0067] 도 3은 본 발명의 실시 예에 따른 스트레처블 그래핀 박막을 제조하는 방법을 설명하기 위한 흐름도이고, 도 4는 상기 스트레처블 그래핀 박막을 in-situ로 제조하기 위한 장비이다.

[0068] 도 3을 참조하면, 본 발명의 실시 예에 따른 스트레처블 그래핀 박막의 제조방법은 a) 연신기판 위에 티타늄(Ti) 버퍼층을 형성하는 단계, b) 동일한 장치 내에서 in-situ로 상기 티타늄(Ti) 버퍼층 위에 그래핀 박막을 성장시키는 단계, c) 상기 그래핀 박막 위에 하나 이상의 티타늄(Ti) 버퍼층과 하나 이상의 그래핀 박막을 반복 성장시키는 단계 및 d) 상기 티타늄(Ti) 버퍼층이 공기중 산소(O_2)에 노출되어 상기 티타늄(Ti) 버퍼층과 상기

그래핀 박막 사이에 Ti-O-C 브릿지층을 형성하는 단계를 포함할 수 있다. 이 때, 각 구성 성분을 구성하는 물질에 대한 상세한 설명은 스트레처블 다층 그래핀 소자에 기재된 것과 동일함에 따라 중복 설명은 생략한다.

[0069] 먼저 a) 단계에서는 소정의 연신기판 위에 티타늄(Ti) 버퍼층을 형성할 수 있다.

[0070] 본 발명에서 연신기판이란, 소정의 유연소재로 제조된 스트레처블(stretchable) 기판을 의미한다. 이 때, 상기 유연소재는 연신이 가능한 플라스틱 또는 고무 기판으로 제공될 수 있으며, 더 바람직하게는 폴리디메틸실록산(Polydimethylsiloxane; PDMS), 폴리에스테르(Polyester), 폴리우레탄(polyurethane; PU), 헥사메틸디실록산(hexamethyldisiloxane), 에코플렉스(ecoflex), 폴리우레탄 아크릴레이트(polyurethane acrylate; PUA), 폴리비닐알코올(polyvinyl alcohol; PVA), 폴리페닐메틸실록산(polyphenylmethylsiloxane) 및 에폭시 수지(epoxy resine) 중에서 선택되는 어느 하나 이상으로 제공될 수 있다. 본 발명에서 상기 연신기판은 폴리디메틸실록산(PDMS)로 제공되는 것으로 예를 들어 설명하나 이에 한정되지 않는다.

[0071] 도 4를 참조하면, 상기 티타늄(Ti) 버퍼층은 순도 99.99%의 티타늄(Ti) 타겟을 대향 타겟식 스퍼터링 시스템(FTS)을 사용하여 물리적으로 가격하여 증착될 수 있다. 구체적으로 상기 도 4에서 기판을 상부(S)에 고정한 상태로 서로 마주보며 이격된 한 쌍의 대향 타겟(상기 도 4의 한 쌍의 Sputter)을 이용하여 스퍼터링을 수행할 수 있다. 이 때, 상기 증착과정은 100 내지 150℃에서 수행될 수 있으며, 더 바람직하게는 110 내지 130℃에서 수행될 수 있다. 또한, 상기 티타늄(Ti) 버퍼층은 10㎚이하의 두께, 더 바람직하게는 5 내지 8㎚ 두께로 증착될 수 있으나, 이에 한정되는 것은 아니다.

[0072] 다시 도 3을 참조하면, b)상기 티타늄(Ti) 버퍼층 일 면에 그래핀 박막을 성장시키는 단계를 수행할 수 있으며, 보다 바람직하게는 상기 a) 단계와 동일한 장치 내에서 PATCVD 법으로 성장시킬 수 있으며, 더 바람직하게는 서로 마주보며 이격된 한 쌍의 대향 타겟(상기 도 4의 한 쌍의 PAT CVD)을 이용하여 단결정의 그래핀 박막을 성장시킬 수 있다.

[0073] 본 발명의 일 예에 있어, 상기 그래핀 박막은 소정의 반응가스 분위기에서 성장할 수 있다. 상기 반응가스는 메탄올(CH_3OH), 에탄올(C_2H_5OH), 아세틸렌(C_2H_2), 에테인(C_2H_6), 프로판(C_3H_8), 메탄(CH_4) 및 프로판올(C_3H_8O)등 탄화수소로 이루어진 군에서 선택된 하나 이상의 가스로 제공될 수 있다. 또한, 상기 반응가스는 아르곤(Ar)이나 헬륨(He) 등 비활성가스와 함께 공급하며 상기 그래핀 박막을 성장시킬 수 있다. 아울러, 성장과정에서 상기 그래핀 박막이 산화되는 것을 방지하기 위하여 수소가스와 함께 공급할 수 있다.

[0074] 본 발명의 일 예에 있어, 상기 그래핀 박막을 무산소 분위기에서 성장시킬 수 있으며, 더 바람직하게는 상기 그래핀 박막을 무산소 분위기에서 성장시킴으로써 결함이 없는 단결정의 그래핀 박막을 얻을 수 있다.

[0075] 이를 통해, 상기 그래핀 박막을 1㎛이하의 두께로 성장시킬 수 있으며, 바람직하게는 0.5㎛이하의 두께로 성장시킬 수 있다.

[0076] 본 발명의 일 예에 있어, 상기 그래핀 박막은 기판의 온도가 400℃이하, 더 바람직하게는 100 내지 300℃에서 성장할 수 있다. 구체적으로 상기 기판의 온도가 100℃에 다다르지 못하면, 그래핀이 성장에 필요한 열 에너지를 온전히 흡수하기 어려워 성장에 지장이 생길 수 있다. 반면, 상기 기판을 폴리이미드(Polyimide) 내열필름으로 제공될 경우, 400℃까지 기판을 가열해도 무방하나, 이는 Kapton® Polyimide 등 일부 소재를 사용한 경우에 한정되며, 통상적으로는 300℃이하인 것이 적합하다. 통상적으로 기판의 온도가 300℃ 또는 폴리이미드(Polyimide) 내열필름으로 제공되는 기판의 경우, 400℃를 초과하면 면 저항 및 표면 거칠기가 증가할 수 있다. 상술한 이유로 상기 그래핀의 박막은 성장은 기판의 온도가 400℃이하, 더 바람직하게는 100 내지 300℃에서 성장하는 것이 바람직하다.

[0077] 상기 c) 단계는 상기 b) 단계에서 성장한 그래핀 위에 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막을 반복 성장시킬 수 있으며, 더 바람직하게는 상기 티타늄(Ti) 버퍼층 및 상기 그래핀 박막을 n회 적층하여 다층으로 성장시킬 수 있다.

[0078] 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막층을 반복 성장시키는 조건은 상기 a) 단계 및 상기 b) 단계와 동일하므로 생략하도록 한다.

[0079] 마지막으로 상기 d) 단계를 통해, 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성할 수 있다. 상기 Ti-O-C 브릿지층은 상술한대로 상기 티타늄(Ti) 버퍼층의 티타늄(Ti)이 공기중 산소(O_2)와 접촉하여 상기 티타늄(Ti)이 산화되어 형성된 브릿지층을 의미한다. 이를 통해, 상기 그래핀 박막 및 상기 그래핀 박막을 포함하는 상기 스트레처블 다층 그래핀 소자가 연신 과정에서 발생되는 기계적 손상을 방지하여 전기적

특성 감소를 최소화 할 수 있다. 예를 들어, 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자의 면저항($\triangle R_{nx}$)의 값이 10이하일 수 있으며, 더 바람직하게는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x%로 연신하는 것을 10,000번 반복 수행하여도 상기 면저항($\triangle R_{nx}$) 값이 10이하일 수 있다.

[0080] 이상, 본 발명의 실시 예에 따른 상기 그래핀 박막의 제조방법에 대해 설명하였다. 이하, 본 발명의 실시 예에 따른, 상기 그래핀 박막을 포함하는 스트레처블 그래핀 FET에 대해 설명한다.

[0082] 도 5는 본 발명의 실시 예에 따른 스트레처블 그래핀 FET를 설명하기 위한 도면이다.

[0083] 본 발명의 또 다른 실시 예에 따르면, 상술한 그래핀 박막을 활성층으로 가지는 스트레처블 그래핀 FET(Field-Effect-Transistor)를 제공할 수 있다. 상기 스트레처블 그래핀 FET는 게이트 전극, 상기 게이트 전극 위에 접촉하는 게이트 절연층, 상기 게이트 절연층의 일부 영역에 위치하여 상술한 그래핀 박막으로 제공되는 활성층 및 상기 활성층의 일측에 접촉하는 제1 전극 및 제2 전극을 포함할 수 있으며, 상기 게이트 전극, 상기 게이트 절연층, 상기 활성층, 상기 제1 전극 및 상기 제2 전극은 유연소재로 제공될 수 있다.

[0084] 도 5를 참조하면, 상기 스트레처블 그래핀 FET(1000)는 게이트 전극(200) 게이트 절연층(300), 그래핀 활성층(400), 제1 전극(510) 및 제2 전극(530) 중 어느 하나 이상을 포함할 수 있다.

[0085] 상기 게이트 전극(200)은 통장적인 도전성 물질, 예를 들어 금속, 다결정 실리콘(Polycrystalline silicon), 전도성 산화물(Transparent Conducting Oxide; TCO) 또는 그래핀 필름등으로 제공될 수 있다. 본 발명에서는 연신기판(100) 위에 직접 성장된 그래핀 박막을 적용하였다.

[0086] 상기 연신기판(100)은 소정의 유연소재로 제조된 스트레처블(stretchable)한 기판일 수 있다. 상기 유연소재는 연신이 가능한 플라스틱 또는 고무 기판으로 제공될 수 있으며, 더 바람직하게는 폴리디메틸실록산(Polydimethylsiloxane; PDMS) 폴리에스테르(Polyester), 폴리우레탄(polyurethane; PU), 헥사메틸디실록산(hexamethyldisiloxane), 에코플렉스(ecoflex), 폴리우레탄 아크릴레이트(polyurethane acrylate; PUA), 폴리비닐알코올(polyvinyl alcohol; PVA), 폴리페닐메틸실록산(polyphenylmethylsiloxane) 및 에폭시 수지(epoxy resine) 중에서 선택되는 어느 하나 이상으로 제공될 수 있다. 본 발명에서 상기 연신기판(100)은 폴리디메틸실록산(PDMS)로 제공되는 것으로 예를 들어 설명하나 이에 한정되지 않는다.

[0087] 상기 게이트 절연층(300)은 상기 게이트 전극(200) 상면에 위치할 수 있으며, 더 바람직하게는 상기 게이트 전극(200) 상면에 100 내지 200nm 두께로 증착될 수 있다.

[0088] 실시 예에 따르면, 상기 게이트 절연층(300)은 신축성이 있는 고분자소재로 제공될 수 있으며, 바람직하게는 폴리이미드(polyimide), 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 폴리우레탄(polyurethanes), 폴리올레핀(polyolefin), 합성고무(synthetic rubbers), 폴리우레탄폴리클로로프렌(polychloroprene), 실리콘, 스티렌계 물질(styrenic materials), 열가소성 탄성 중합체(thermoplastic elastomer), 폴리부타디엔(polybutadiene), 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리이소부티렌(polyisobutylene), 올레핀계 물질(olefenic materials) 및 이들의 조합들로 이루어진 군에서 선택되는 어느 하나 이상으로 제공될 수 있다. 더 바람직하게는 폴리이미드(polyimide)로 제공될 수 있다.

[0089] 상기 그래핀 활성층(400)은 상기 게이트 절연층(300) 상면에 위치할 수 있으며, 후술할 제1 전극(510)에서 제2 전극(530)으로 전류가 흐르는 경로를 제공하는 채널(Channel)로 사용될 수 있다.

[0090] 실시 예에 따르면, 상기 그래핀 활성층(400)은 앞서 설명한 상기 스트레처블 그래핀 박막으로 제공될 수 있으며, 구체적으로 티타늄(Ti) 버퍼층(410), Ti-O-C 브릿지층(430) 및 그래핀 박막(450)으로 제공될 수 있다. 상기 티타늄(Ti) 버퍼층(410), 상기 Ti-O-C 브릿지층(430) 및 상기 그래핀 박막(450)에 대한 자세한 설명은 생략하도록 한다.

[0091] 실시 예에 따르면, 상기 그래핀 활성층(400)은 핀/Ti-O-C/Ti 구조로 제공될 수 있으며, 상기 티타늄(Ti) 버퍼층(410)의 티타늄(Ti)의 일부가 이산화티타늄(TiO_2)으로 산화되어 그래핀/Ti-O-C/TiO_{2-x} 구조로 제공될 수 있다.

[0092] 실시 예에 따르면, 상기 그래핀 활성층(400)은 상기 게이트 절연층(300) 위에 상기 활성층(400)이 형성되는 위치만을 노출시킨 섀도우 마스크(Shadow mask)를 부착한 상태에서 성장될 수 있으며, 더 바람직하게는 상기 섀도우 마스크(Shadow mask)를 부착한 상태에서 in-situ로 티타늄(Ti) 버퍼층(410) 및 그래핀 박막(450)을 성장시킬 수 있다. 그리고 티타늄(Ti) 버퍼층(410)을 부분적으로 산화시켜 상기 티타늄(Ti) 버퍼층(410)과 상기 그래핀

박막(450) 사이에 Ti-O-C 브릿지층(430)을 형성할 수 있다.

[0093] 상기 도 5에서는 상기 그래핀 활성층(400)과 상기 게이트 전극(200)의 연결관계를 설명하기 위해 그래핀 활성층(400)의 폭이 상기 게이트 전극(200)의 폭보다 다소 작게 도시하였으나, 이에 한정되지 않으며 경우에 따라서는 상기 게이트 전극(200)의 폭과 유사하거나 더 클 수 있음은 물론이다.

[0094] 상기 제1 전극(510) 및 상기 제2 전극(530)은 상기 그래핀 활성층(400)위에 위치하며, 둘 이상이 전극이 서로 소정 거리 이격한 상태로 위치할 수 있다. 예를 들어, 상기 제1 전극(510)이 그래핀 활성층(400)의 일 단에 접촉될 수 있으며, 상기 제2 전극은 상기 그래핀 활성층(400)의 일 단과 소정거리 이격된 상기 그래핀 활성층(400)의 타단에 접촉할 수 있다.

[0095] 실시 예에 따르면, 상기 제1 전극(510) 및 상기 제2 전극(530)은 통상적으로 공지된 도전성 물질로 제공될 수 있으며, 바람직하게는 금속, 폴리실리콘, 도전성 산화물로 형성될 수 있다. 상기 제1 전극(510)과 상기 제2 전극(530)은 서로 같은 종류의 물질로 제공될 수 있으나, 서로 다른 도전성 물질로 제공되어도 무방하다. 이하 본 발명에서는 상기 제1 전극(510) 및 상기 제2 전극(530)을 구성하는 물질로 하나의 전극에는 Au/Ti로, 다른 하나 이상의 전극에는 그래핀/Ti로 제공되는 것을 예를 들어 설명하나, 이에 한정되지 않는다.

[0096] 상기 제1 전극(510) 및 상기 제2 전극(530)이 전도성 물질층과 티타늄(Ti) 버퍼층을 포함하는 경우, 무산소 분위기에서 티타늄(Ti) 버퍼층이 증착되고 이어서 전도성 물질층이 증착되어지는데, 상기 증착 과정은 동일한 장비 내에서 연속하여 수행될 수 있다. 즉, 상기 티타늄(Ti) 버퍼층과 상기 전도성 물질층이 무산소 분위기에서 in-situ로 증착될 수 있다.

[0097] 실시 예에 따르면 상기 제1 전극(510), 상기 제2 전극(530) 및 상기 게이트 전극(200)은 동일한 성분으로 구성되는 물질층을 가질 수 있다. 아울러, 상기 제1 전극(510) 및 상기 제2 전극(530)은 단일층 또는 다중층일 수 있다. 상기 제1 전극 (510) 및 상기 제2 전극(530)의 형태 및 위치는 달라질 수 있다. 예를 들어, 상기 제1 전극(510)은 상기 그래핀 활성층(400)의 일단에서 그와 인접한 상기 게이트 절연층(300) 영역 위로 연장되는 구조를 가질 수 있다. 또한, 상기 제1 전극(510)및 상기 제2 전극(530)은 상기 그래핀 활성층(400)의 양단(일단 및 타단)이 아닌 다른 두 영역에 접촉하도록 구비될 수 있다.

[0098] 실시 예에 따르면, 상기 스트레처블 그래핀 FET(1000)은 상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 100% 이상, 더 바람직하게는 120% 인장하여도 홀 이동도(Hole mobility)가 $1.6x10^4$㎠/V·S을 초과할 수 있다. 또한, 상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 상기 스트레처블 그래핀 FET를 100% 이상, 더 바람직하게는 120% 인장하여도 전자 이동도(Electron mobility)가 $0.9x10^4$㎠/V·S을 초과할 수 있다.

[0099] 이는, 상기 스트레처블 그래핀 FET(1000)을 채널의 방향을 기준으로 수직 및 수평 중 어느 방향으로 120% 인장하여도 전기적 특성이 유지된다는 것을 의미한다.

[0100] 아울러, 상기 스트레처블 그래핀 FET(1000)는 상기 채널과 수평한 방향인 수평방향으로 상기 스트레처블 그래핀 FET를 140% 인장 하는 것을 5,000번 반복 수행하는 동안 홀 이동도(Hole mobility)가 $1.5x10^4$㎠/V·S를 초과하며, 같은 조건에서 전자 이동도(Electron mobility) 또한 $0.8x10^4$㎠/V·S을 초과할 수 있다.

[0101] 이는, 상기 스트레처블 그래핀 FET(1000)이 인장과 수축이 자주 반복될 수 있는 플랙서블 소자에서도 전기적 특성의 저하가 없이 사용할 수 있다는 것을 의미한다.

[0102] 이하, 실시예를 통해 본 발명에 따른 스트레처블 다층 그래핀 소자 및 이의 제조방법에 대하여 더욱 상세히 설명한다. 다만 하기 실시예는 본 발명을 상세히 설명하기 위한 하나의 참조일 뿐 본 발명이 이에 한정되는 것은 아니며, 여러 형태로 구현될 수 있다.

[0103] 또한 달리 정의되지 않은 한, 모든 기술적 용어 및 과학적 용어는 본 발명이 속하는 당업자 중 하나에 의해 일반적으로 이해되는 의미와 동일한 의미를 갖는다. 본원에서 설명에 사용되는 용어는 단지 특정 실시예를 효과적으로 기술하기 위함이고 본 발명을 제한하는 것으로 의도되지 않는다. 또한 명세서에서 특별히 기재하지 않은 첨가물의 단위는 중량%일 수 있다.

[0104] 가. Ti-O-C 브릿지층을 포함한 스트레처블 다층 그래핀 소자 제조

[0105] **[실시예 1]**

[0106] 무산소 분위기가 유지된 상태에서 티타늄(Ti) 버퍼층과 그래핀 박막을 성장시켜야 하기 때문에, 대향 타겟식 스퍼터링(FTS)과 PATCVD를 동일한 장비 내에서 수행할 수 있도록 장비를 상기 도 4와 같이 구성하였다. 도 4의 장비를 활용하여 저온 무산소 상태에서 기판 위에 소정 거리 이격하여 한 쌍의 티타늄(Ti) 버퍼층을 형성하였다. 구체적으로, 폴리디메틸실록산(Polydimethylsiloxane; PDMS)(160㎛) 기판 위에 대향 타겟식 스퍼터링 시스템(FTS)을 이용하여 상기 티타늄(Ti) 버퍼층을 증착하였다.

[0107] 바람직하게는 125℃에서 dc power 60W, 1.0mTorr로 직경 2인치 티타늄(Ti) 금속 타겟(순도 99.99%)에 대하여 10분 간 이온을 충돌시켰으며, 이 때의 상기 대향하는 한 쌍의 타겟사이의 거리(T-T)는 20㎝, 상기 타겟과 기판(T-S) 사이의 거리는 19㎝이다. 이를 통해 티타늄(Ti)로 이루어진 한 쌍의 제1 티타늄(Ti) 버퍼층을 10㎚ 두께로 증착하였다.

[0108] 상기 한 쌍의 제1 티타늄(Ti) 버퍼층의 증착 직후, 동일한 장치 내에서 상기 한 쌍의 제1 티타늄(Ti) 버퍼층위에 0.37㎚ 두께의 한 쌍의 제1 그래핀 박막을 성장시켰으며, PATCVD(Plasma-assisted thermal chemical vapor deposition)방법으로 성장시켰다. 구체적으로, 125℃, 6.0×Torr, Plasma power 120W의 상태에서 Ar, H_2, CH_4가스를 각각 10sscm, 50sccm 및 200sccm 주입하여 성장시켰다. 이 때의 상기 대향하는 한 쌍의 타겟사이의 거리(T-T)는 12㎝, 상기 타겟과 기판(T-S) 사이의 거리는 15㎝이다.

[0109] 이 후, 상기 한 쌍에 제1 그래핀 박막 일 면에 동일한 방법과 두께로 제2 티타늄(Ti) 버퍼층을 성장시켰으며, 상기 제1 그래핀 박막과 동일한 방법과 두께로 제2 그래핀 박막을 성장시켜 그래핀 박막이 2번 반복 적층되는 한 쌍의 이층 그래핀 소자(Two layers graphene device)를 제조하였다.

[0110] 마지막으로, 상술한 이층 그래핀 소자(Two layers graphene device)과 동일한 조건으로 상기 한 쌍의 이층 그래핀 소자 사이에 티타늄(Ti) 버퍼층 및 그래핀 박막으로 이루어진 채널을 형성하였으며, 상기 그래핀 소자 및 채널을 공기중에 노출하여 상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막 사이에 Ti-O-C 브릿지층을 형성하였다.

[0111] **[실시예 2]**

[0112] 상기 실시예 1에서 제조된 이층 그래핀 소자(Two layers graphene device)에 상기 제1 내지 제2 티타늄(Ti) 버퍼층과 동일한 방법으로 제3 티타늄(Ti) 버퍼층을 증착하였으며, 상기 제3 티타늄(Ti) 버퍼층 일 면에 상기 제1 내지 제2 그래핀 박막과 동일한 방법으로 제3 그래핀 박막을 성장시켜 삼층 그래핀 소자(Three layers graphene device)를 제조하였다.

[0113] **[실시예 3]**

[0114] 상기 실시예 2에서 제조된 삼층 그래핀 소자(Three layers graphene device)에 상기 제1 내지 제3 티타늄(Ti) 버퍼층과 동일한 방법으로 제4 티타늄(Ti) 버퍼층을 증착하였으며, 상기 제4 티타늄(Ti) 버퍼층 일 면에 상기 제1 내지 제3 그래핀 박막과 동일한 방법으로 제4 그래핀 박막을 성장시켜 사층 그래핀 소자(Four layers graphene device)를 제조하였다.

[0115] **[비교예 1]**

[0116] 상기 실시예 1에 개시된 방법으로 제1 티타늄(Ti) 버퍼층과 제1 그래핀 박막을 성장하여 단층 그래핀 소자(Mono layer graphene device)를 제조하였다.

[0118] **[분석 및 성능 평가]**

[0119] 1) 면 저항 분석:

[0120] 상기 실시예 1 내지 3으로 제조된 스트레처블 그래핀 소자에 있어서, 연신하지 않은 상태에서 그래핀 박막의 면 저항을 측정하였다. 상기 면 저항은 Impedance/gain-phase analyzer(HP4194A)를 사용하여 측정하였으며, 바람직하게는 Z-theta 방법에 의해 0.1 내지 10㎒의 범위에서 측정하였다. Z-theta 방법의 신뢰성은 ITO 박막일 면에 전사한 그래핀에 대한 4-점 프로브와 Z-theta 방법의 면 저항의 측정에 의해 확인하였으며, 구체적인 측정값은 도 6 및 표 1에 개시하였다.

표 1

[0121]

	비교예 1	실시예 1	실시예 2	실시예 3
그래핀 적층 횟수	1	2	3	4

면 저항(Ω/□)	83 ± 2	40 ± 3	15 ± 3	6 ± 2

[0122] 표 1을 참조하면, 150℃에서 성장시킨 단층 그래핀의 면 저항(비교예 1) 84 내지 94Ω/□에 비해 이층 그래핀 소자(실시예 1)는 37 내지 43Ω/□, 삼층 그래핀 소자(실시예 2)는 12 내지 18Ω/□, 그리고 사층 그래핀 소자(실시예 3)는 4 내지 8Ω/□로 측정되었다. 즉, 그래핀 적층 횟수가 증가할수록 도 6과 같이 상기 그래핀 소자들의 면 저항이 감소한 것을 확인할 수 있다.

[0123] 아울러 상기 면 저항은 2차 다항식의 형태로 감소하였으며, 바람직하게는 $R_{n-1} = 8 \cdot R_n^2 - 65.6 \cdot R_n + 142.5$로 감소하였다.

[0124] 이는 상술한 바와 같이 상기 적층구조가 반복될수록, 상기 그래핀 박막 사이에 형성된 상기 티타늄(Ti) 버퍼층이 산소를 흡수하고, 상기 흡수된 산소로 인하여 도핑되는 그래핀 박막이 증가하여 면 저항이 감소한 것으로 보여진다.

[0125] 2) 면저항($\triangle R_{nx}$) 분석

[0126] a. 연신(Stretchable) 특성 분석

[0127] 상기 실시예 1 내지 3 및 비교예 1로 제조된 스트레처블 그래핀 소자를 연신하였을 때, 저항값의 변화를 비교하기 위해 그래핀 소자의 면저항($\triangle R_{nx}$)을 분석하였다.

[0128] 본 발명에서의 면저항($\triangle R_{nx}$)이란, 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자의 연신으로 증가한 저항값을 연신 이전의 저항으로 나눈 값이며, 바람직하게는 하기 관계식 1로 정의될 수 있다. 각각의 저항값은 상기 면 저항과 동일한 방법으로 측정하였다.

[0129] [관계식 1]

[0130] $\triangle R_{nx} = (R_{nx} - R_{n0}) / R_{n0}$

[0131] (상기 관계식 1에서 R_{nx}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 x% 연신하였을 때 측정한 저항이며, R_{n0}는 상기 그래핀 박막이 n회 적층된 스트레처블 다층 그래핀 소자를 연신하지 않았을 때 측정한 저항을 의미한다. 이 때 상기 x는 소정의 자연수를 의미한다.)

[0132] 아울러 상기 연신은 상기 스트레처블 다층 그래핀 소자의 상기 채널에 수평한 방향, 더 구체적으로 채널 길이 방향으로 연신하였을 때 면 저항을 측정하여 상기 면저항을 산출하였으며(도 7), 상기 채널에 수직한 방향, 더 구체적으로 채널 길이에 수직한 방향으로 연신하였을 때 전기적 특성을 측정하였다(도 8). 이하, 상기 채널에 수평한 방향을 수평방향, 채널에 수직한 방향을 수직방향으로 정의한다.

[0133] 다른 관점에서 상기 수평방향은 상기 제1 전극(Source 전극;S) 및 제2 전극(Drain 전극;D)이 마주보는 방향일 수 있으며, 도 5에서 x축 방향일 수 있다. 또한, 상기 수직방향은 상기 수평방향과 수직한 방향 을 의미하며, 채널의 폭 방향을 의미할 수 있다. 상기 수직방향은 도 5의 y축 방향일 수 있다.

[0134] 상기 스트레처블 다층 그래핀 소자를 수평방향으로 소정%로 연장하였을 때의 면저항($\triangle R_{nx}$)을 도 7 및 표 2에 개시하였다.

표 2

[0135]

	수평방향으로의 연신율 (%)									
	0	10	20	30	40	50	60	70	80	90
실시예 1	0	0	0.025	0.275	0.475	1.975	8.425	11.8	20 초과	20 초과
실시예 2	0	0	0	0.267	0.467	1.466	7.5	10.3	15.0	20 초과
실시예 3	0	0	0	0.2	0.415	1.35	6	8.1	11.1	14.8
비교예 1	0	0	0.025	0.275	0.475	1.975	8.425	12.5	20 초과	20 초과

[0136] 상기 표 2 및 도 7을 참조하면, 상기 스트레처블 다층 그래핀 소자를 연신할수록 상기 면저항($\triangle R_{nx}$)이 증가하는

것을 확인할 수 있다. 이는, 앞서 설명한대로 상기 스트레처블 다층 그래핀 소자를 연신할수록 상기 다층 그래핀 소자에 기계적 손상이 발생되어 저항이 증가하였기 때문이다.

[0137] 구체적으로 상기 표 2를 참조하면, 상기 그래핀 박막을 2회 적층한 실시예 1은 수평방향으로 10% 인장함에 따라 상기 면저항($\triangle R_{nx}$)이 20% 지점에서부터 0.025, 0.275, 0.475, 1.975, 8.425 및 11.8 로 증가하였으며, 연신율이 80%이상이면 상기 면저항($\triangle R_{nx}$)이 20을 초과하는 것을 알 수 있다.

[0138] 상기 그래핀 박막을 3회 적층한 실시예 2은 수평방향으로 10% 인장함에 따라 상기 면저항($\triangle R_{nx}$)이 30% 지점에서부터 0.267, 0.467, 1.466, 7.5, 10.3 및 15.0 로 증가하였으며, 연신율이 90%이상이면 상기 면저항($\triangle R_{nx}$)이 20을 초과하는 것을 알 수 있다.

[0139] 마지막으로 상기 그래핀 박막을 4회 적층한 실시예 3은 수평방향으로 10% 인장함에 따라 상기 면저항($\triangle R_{nx}$)이 30% 지점에서부터 0.2, 0.415, 1.35, 6, 8.1, 11.1 및 14.8 로 증가한 것을 알 수 있다.

[0140] 즉, 상기 실시예 1 내지 2는 70%이상 인장하였을 때 상기 면저항($\triangle R_{nx}$)이 10을 초과하였으며, 상기 실시예 3은 80%이상 인장하였을 때 상기 면저항($\triangle R_{nx}$)이 10을 초과하였다. 이는 상기 그래핀 박막과 상기 티타늄(Ti) 버퍼층 사이에 Ti-O-C 브릿지층이 형성되었으며, 상기 그래핀 박막이 다수 적층됨에 따라 상기 Ti-O-C 브릿지층 또한 증가하여 기계적 손상을 방지하였기 때문이다. 이로 인해, 상기 그래핀 박막이 적층될수록 전기적 특성이 감소되는 양을 줄일 수 있다. 상기 그래핀 박막과 상기 티타늄(Ti) 버퍼층 사이에 Ti-O-C 브릿지층이 형성된 그림을 도 8에 개시하였다.

[0141] 반면에 상기 그래핀 박막을 적층하지 않은 비교예 1은 수평방향으로 10% 인장함에 따라 상기 면저항($\triangle R_{nx}$)이 20% 지점에서부터 0.025, 0.275, 0.475, 1.975, 8.425 및 12.5 로 증가하였으며, 연신율이 80%이상이면 상기 면저항($\triangle R_{nx}$)이 20을 초과하는 것을 알 수 있다. 이는, 상기 Ti-O-C 브릿지층이 다층으로 형성된 실시예에 비해 단층으로 형성되어 동일한 조건에서 인장하는 경우 저항이 상대적으로 높게 증가되기 때문이다.

[0142] 상기 스트레처블 다층 그래핀 소자를 수직방향으로 소정%로 연장하였을 때의 면저항($\triangle R_{nx}$)을 도 9 및 표 3에 개시하였다.

표 3

[0143]

	수직방향으로의 연신율 (%)									
	0	10	20	30	40	50	60	70	80	90
실시예 1	0	0	0.025	0.275	0.475	1.575	4.4	8.0	20 초과	20 초과
실시예 2	0	0	0	0.267	0.467	1.06	4.13	7.7	12	20 초과
실시예 3	0	0	0	0.2	0.415	1.0	4.126	5.0	8.5	11.9
비교예 1	0	0	0.025	0.325	0.38	2.6	5.51	9.3	20 초과	20 초과

[0144] 상기 도 9및 표 3을 참조하면, 수직 방향 또한 상기 수평방향과 마찬가지로 상기 스트레처블 다층 그래핀 소자를 연신할수록 상기 면저항($\triangle R_{nx}$)이 증가하는 것을 확인할 수 있다. 이는, 앞서 설명한 수평방향으로 연신하였을 때와 동일한 이유로 증가하는 것으로 판단된다.

[0145] 다만, 상기 수직방향에서는 면저항의 증가값이 상기 수평방향과 차이가 있는 것을 확인할 수 있다.

[0146] 구체적으로 상기 표 3을 참조하면, 상기 스트레처블 다층 그래핀 소자를 수평방향으로 60% 인장하였을 때 상기 면저항($\triangle R_{nx}$)이 실시예 1은 8.425, 실시예 2는 7.5, 실시예 3은 8.1 이었으며, 비교예 1은 8.425이나, 동일한 연신율을 수직방향으로 인장하였을 때, 실시예 1은 4.4, 실시예 2는 4.13 실시예 3은 4.126 이었으며, 비교예 1은 5.51로 수평방향으로 인장하였을 때 보다 더 감소한 것을 알 수 있다.

[0147] 이는 70%로 인장하였을 때도 유사한 결과가 나오는데, 구체적으로 상기 스트레처블 다층 그래핀 소자를 수직방향으로 70% 인장하였을 때 상기 면저항($\triangle R_{nx}$)은 실시예 1은 8.0, 실시예 2는 7.7, 실시예 3은 5.0 이었으며, 비교예 1은 9.3으로 수평방향으로 인장하였을 때 보다 면저항이 감소하였다. 특히, 상기 스트레처블 다층 그래핀 소자를 수직방향으로 70% 인장하여도 실시예 1 내지 3 및 비교예 1 모두 면저항이 10 미만인 것을 확인할 수

있다.

[0148] 상술한 면저항 차이는 상기 스트레처블 다층 그래핀 소자의 구조적인 차이로 인한 것으로 판단되며, 구체적으로 상기 스트레처블 다층 그래핀 소자를 수직 방향으로 인장하는 것이 상기 스트레처블 다층 그래핀 소자를 수평 방향으로 인장하는 것 보다 구조적 안정성이 더 높기 때문이다.

[0149] b. 반복 하중 시 연신(Stretchable) 특성 분석

[0150] 상기 실시예 1 내지 3 및 비교예 1로 제조된 스트레처블 그래핀 소자에 반복 하중을 가했을 때, 상기 스트레처블 그래핀 소자의 면저항($\triangle R_{nx}$)을 분석하였다.

[0151] 도 10을 참조하면, 상기 스트레처블 그래핀 소자를 소정의 연신율로 연신하는 것을 10^4cycle 반복하였을 때의 면저항($\triangle R_{nx}$)을 나타내었다. 상기 도 9의 구체적 측정값은 하기 표 4와 같다.

표 4

[0152]

	10^4cycle에서 스트레처블 다층 그래핀 소자의 면저항			
	30%	40%	50%	60%
실시예 1	2.3	5.5	9	15
실시예 2	1.8	5.5	8	13
실시예 3	1.5	4.5	6	10
비교예 1	2.3	6.5	10	16

[0153] 상기 표 4 및 도 10을 참조하면, 상기 스트레처블 다층 그래핀 소자에 10^4cycle 반복 하중을 주면 그래핀 박막의 적층 횟수에 따라 면저항이 상승되는 정도가 다르며, 그 차이는 연신율이 증가함에 따라 커지는 것을 알 수 있다.

[0154] 구체적으로, 상기 스트레처블 다층 그래핀 소자를 30%로 연신하는 것을 10^4cycle 반복 수행하면, 상기 실시예 1의 면저항($\triangle R_{nx}$)은 2.3, 실시예 2는 1.8 실시예 3은 1.5 이며, 비교예 1은 면저항($\triangle R_{nx}$)이 2.3인 것을 알 수 있다. 즉, 30% 연신하는 것을 반복 수행하였을 때 상기 실시예와 상기 비교예의 면저항($\triangle R_{nx}$)은 최대 0.8 까지 차이가 발생하는 것을 확인할 수 있다. 아울러, 상기 스트레처블 다층 그래핀 소자를 40% 연신하는 것을 반복 수행하였을 때 상기 실시예와 상기 비교예의 면저항($\triangle R_{nx}$)은 1.0 내지 2.0 차이가 발생하는 것을 알 수 있다.

[0155] 하지만, 상기 스트레처블 다층 그래핀 소자를 50%로 연신하는 것을 10^4cycle 반복 수행하면, 상기 실시예 1의 면저항은 9.0, 실시예 2의 면저항은 8.0 및 실시예 3의 면저항은 6.0 이며, 이는 10의 면저항을 가지는 비교예 1과 비교하였을 때, 최대 4.0의 차이가 발생하는 것을 확인할 수 있다. 또한, 상기 스트레처블 다층 그래핀 소자를 60%로 연신하는 것을 10^4cycle 반복 수행하면, 상기 실시예 1의 면저항은 15, 실시예 2의 면저항은 13 및 실시예 3의 면저항은 10 이며, 이는 16의 면저항을 가지는 비교예 1과 비교하였을 때, 상기 면저항($\triangle R_{nx}$) 차이가 최대 6.0인 것을 확인할 수 있다.

[0156] 즉, 상기 스트레처블 다층 그래핀 소자에 10^4cycle로 반복하중을 가하면, 동일한 연신율로 1회 연신하였을 때보다 면저항이 크게 증가하는 것을 확인할 수 있다. 또한, 상기 스트레처블 다층 그래핀 소자를 동일한 연신율로 10^4cycle로 반복하중을 가했을 때, 상기 연신율이 증가할수록 면저항이 상승되며,더 바람직하게는 상기 연신율이 30 내지 40%일 때 보다 50 내지 60%일 때 면저항의 증가폭이 상승되는 것을 확인할 수 있다.

[0157] 이는 상기 반복하중이 수행되면서 상기 그래핀 박막 또는 상기 티타늄(Ti) 버퍼층에 기계적 손상이 누적되어 저항이 더 크게 증가하였기 때문이며, 상기 연신율이 50% 이상으로 증가할 수록 누적되는 기계적 손상이 증가하였기 때문이다.

[0158] 3) 투과도 분석:

[0159] UV-vis 분광법을 사용하여 실시예 1 내지 3 및 비교예 1로 제조된 상기 스트레처블 다층 그래핀 소자에 550㎚ 파장을 투과시켜 투과도를 측정하였으며, 그 결과를 도 11 및 표 5에 개시하였다.

표 5

[0160]

	그래핀 박막 적층 횟수	투과도(%)
비교예 1	1	97.4
실시예 1	2	95.2
실시예 2	3	93.0
실시예 3	4	90.8

[0161] 표 5를 참조하면, 550㎚ 파장대에서 상기 그래핀 소자들은 90% 이상의 투과도을 가질 수 있다. 구체적으로 상기 그래핀 박막을 이층 적층한 실시예 1은 95.2±1%, 상기 그래핀 박막을 이층 적층한 실시예 2는 93.0±1%, 그리고 상기 그래핀 박막을 이층 적층한 실시예 3은 90.8±1%의 투과도을 확인할 수 있다. 한편 상기 그래핀 박막이 단일층으로 형성된 비교예 1은 93.0±1% 인 것을 확인할 수 있다. 즉, 그래핀 적층 횟수가 증가할수록 도 4와 같이 상기 그래핀 소자들의 면 저항이 감소하였으나 상기 실시예 1 내지 3 모두 90% 이상의 투과도을 가질 수 있다는 것을 확인하였다.

[0162] 나. Ti-O-C 브릿지층을 포함한 스트레처블 그래핀 FET 제조

[0163] [실시예 4]

[0164] 기판 - 게이트 전극층 - 게이트 절연층 - 활성층 - Source/Drain 전극을 각각 하기 표 6과 같은 재질로 제작하여 본 발명의 실시 예에 따른 스트레처블 그래핀 FET를 제조한다.

표 6

[0165]

	재 질
기판	PDMS
게이트 전극	Monolayer Graphene/TiO_{2-x}
게이트 절연층	PI
활성층	Monolayer Graphene/Ti-O-C/TiO_{2-x}
전극	Monolayer Graphene/TiO_{2-x}

[0166] 이 때, 상기 PDMS는 폴리디메틸실록산(Polydimethylsiloxane)을 의미하며, 상기 PI는 폴리이미드(Polyimide)를 의미한다. 또한, 상기 Graphene/TiO_{2-x}는 상기 실시예 1로 제조한 그래핀 박막 및 티타늄(Ti) 버퍼층을 의미한다.

[0167] 상기 PDMS 기판 위에 상기 티타늄(Ti) 버퍼층(10㎚ 두께)과 상기 그래핀 박막(단층, 0.4㎚ 두께)을 무산소 분위기에서 in-situ로 직접 형성하여 게이트 전극을 형성한다. 이 후, 상기 게이트 전극 위에 100㎚ 두께로 PI 절연층을 형성한다. 이어서 절연층 위에 litho-graphy 공정을 통해 가로와 세로가 각각 1,500 ㎛ 와 20 ㎛ 로 직사각형의 활성층을 형성한다. 그래핀 활성층 위에 제1 전극 (source) 과 제2 전극 (Drain) 사이의 거리는 변화시켜 이를 Channel length 로 결정하고 세로는 100 ㎛ 가 되도록 litho-grapheny 공정을 통해서 한정되었으며 각 전극은 Graphene/TiO_{2-x} 로 PATCVD 로 그래핀 성장과 같은 온도에서 수행하였다. Ti 버퍼층과 그래핀 성장의 조건은 비교예 1에서 설명한 조건과 같게 성장하였다.

[0168] **[분석 및 성능 평가]**

[0169] 1) 연신(Stretchable)특성 분석:

[0170] 상기 스트레처블 그래핀 FET의 연신특성을 분석하기 위해 상기 박막 트랜지스터가 형성된 기판의 양 끝을 고정하고 상기 활성층(채널)의 수평 및 수직한 방향으로 0에서 140%까지 연신하였을 때 홀 이동도(Hole mobility) 및 전자 이동도(Electron mobility)를 측정하였다. 이때의 결과값을 도 12 및 표 7에 정리한다.

표 7

[0171]

Strain(%)		0	30	60	90	120	140
홀 이동도 ($x10^4$ ㎠/V · S)	수평방향	2.13	2.13	2.09	1.99	1.83	1.71

	수직방향	2.13	2.15	2.04	1.95	1.88	1.73
전자 이동도	수평방향	1.186	1.18	1.15	1.09	0.978	0.945
($x10^4$㎠/V·S)	수직방향	1.186	1.15	1.14	1.11	0.988	0.961

[0172] 상기 도 12 및 표 7을 참조하면, 상기 스트레처블 그래핀 FET가 140%로 연신됨에 따라 상기 홀 이동도(Hole mobility) 및 전자 이동도(Electron mobility)가 모두 감소하는 것을 알 수 있다. 구체적으로 상기 홀 이동도(Hole mobility)는 연신이 되지 않은 0%를 기준으로 수평방향은 2.13(20%), 2.13(30%), 2.09(60%), 1.99(90%), 1.83(120%) 및 1.71x10^4㎠/V·S(140%)으로 감소하였으며, 수직방향은 2.13(20%), 2.15(30%), 2.04(60%), 1.95(90%), 1.88(120%) 및 1.73x10^4㎠/V·S(140%)로 감소하였다.

[0173] 상기 전자 이동도(Electron mobility) 또한 연신이 되지 않은 0%를 기준으로 수평방향은 1.186(20%), 1.18(30%), 1.15(60%), 1.09(90%), 0.978(120%) 및 0.945x10^4㎠/V·S(140%)로 감소하였으며, 수직방향은 1.186(20%), 1.15(30%), 1.14(60%), 1.11(90%), 0.988(120%) 및 0.961x10^4㎠/V·S(140%)로 감소하였다.

[0174] 다시 말해, 상기 홀 이동도(Hole mobility) 및 상기 전자 이동도(Electron mobility)는 상기 스트레처블 그래핀 FET가 연신됨에 따라 감소되지만 그 감소폭이 0.42x10^4㎠/V·S 및 0.241x10^4㎠/V·S 이하이며, 상기 스트레처블 그래핀 FET를 140%로 연장되어도 각각 1.70x10^4㎠/V·S 및 0.94x10^4㎠/V·S이상을 유지하는 것을 확인할 수 있다. 특히 60% 이상의 고연신 조건에서도 상기 홀 이동도(Hole mobility)가 2.04x10^4㎠ 내지 2.09x10^4㎠/V·S로 감소 비율이 1.8 내지 4.5%이며, 상기 전자 이동도(Electron mobility)는 1.15x10^4 내지 1.14x10^4㎠/V·S로 감소 비율이 3 내지 4%인 것을 알 수 있다.

[0175] 상기 홀 이동도(Hole mobility) 및 상기 전자 이동도(Electron mobility)가 60%이상의 연신에서도 각각 2.0x10^4㎠/V·S 및 1.1x10^4㎠/V·S이상을 유지하고, 더 나아가 140% 이상의 연신 조건에서도 1.70x10^4㎠/V·S 및 0.94x10^4㎠/V·S이상을 유지할 수 있는 이유는 앞서 설명하였듯이 상기 그래핀 박막과 상기 티타늄(Ti) 버퍼층 사이에 Ti-O-C 브릿지층이 형성되어 기계적 손상을 방지하였기 때문이며, 이러한 이유로 60% 이상으로 연신하여도 전기적 특성이 유지되는 것을 확인할 수 있다.

[0176] 3) 반복 하중 시 연신특성 분석:

[0177] 상기 스트레처블 그래핀 FET에 반복 하중을 작용하였을 때, 전기적 특성을 분석하기 위해 상기 수평방향으로 140% 연신하는 것을 5x10^3cycle 반복한 결과를 도 13 및 표 8에 개시하였다.

표 8

[0178]

Cycle(x 10^3)	0	1	2	3	4	5
홀 이동도 ($x10^4$㎠/V·S)	1.88	1.83	1.81	1.78	1.73	1.7
전자 이동도 ($x10^4$㎠/V·S)	0.978	0.967	0.961	0.951	0.937	0.928

[0179] 상기 도 13 및 표 8을 참조하면, 상기 홀 이동도(Hole mobility) 및 상기 전자 이동도(Electron mobility)는 반복 하중이 증가할 수록 값이 감소하였음을 알 수 있다. 구체적으로 상기 홀 이동도(Hole mobility)는 1.88x10^4㎠/V·S 에서 1.7x10^4㎠/V·S로 감소하였으며, 상기 전자 이동도(Electron mobility)는 0.978x10^4㎠/V·S 에서 0.928x10^4㎠/V·S로 감소하였다.

[0180] 구체적으로 상기 홀 이동도(Hole mobility)의 감소 비율을 살펴보면 초기 120%로 한번 연신한 결과를 기준으로 1.83(1x10^4), 1.81(2x10^4), 1.78(3x10^4), 1.73(4x10^4) 및 1.7x10^4㎠/V·S(5x10^4)로 감소한 것을 알 수 있다.

[0181] 상기 전자 이동도(Electron mobility) 또한 120%로 한번 연신한 결과를 기준으로 0.967($1x10^4$), 0.961($2x10^4$), 0.951($3x10^4$), 0.937($4x10^4$) 및 0.928$x10^4$㎠/V·S($5x10^4$)로 감소한 것을 알 수 있다.

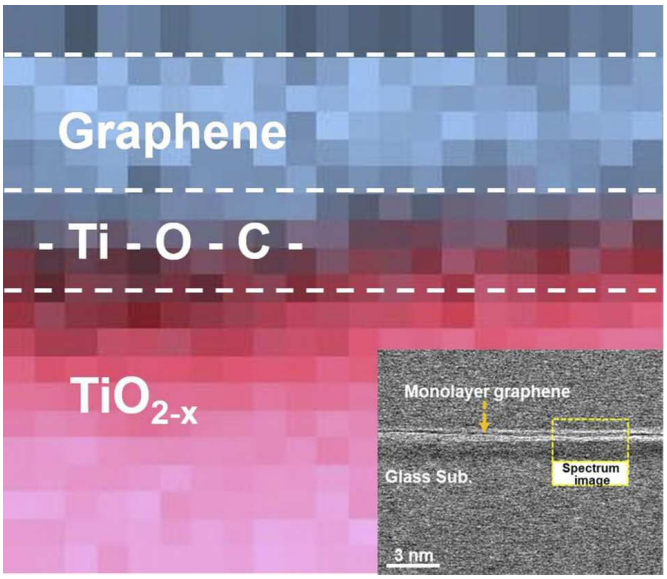
[0182] 즉 상기 스트레처블 그래핀 FET는 상기 제1 전극과 상기 제2 전극을 채널에 평행한 방향으로 140% 연신하는 것을 $5x10^3$cycle 반복 수행하여도 상기 홀 이동도(Hole mobility)가 $1.7x10^4$㎠/V·S이상, 상기 전자 이동도(Electron mobility)가 $0.9x10^4$㎠/V·S 이상인 것을 확인할 수 있다. 이는 상기 스트레처블 그래핀 FET가 반복적인 연신 상태에서도 전기적 특성을 안정적으로 유지할 수 있으며, 플랙서블 소자로 활용될 수 있음을 의미한다.

[0183] 이상과 같이 특정된 사항들과 한정된 제조예를 통해 본 발명이 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 제조예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

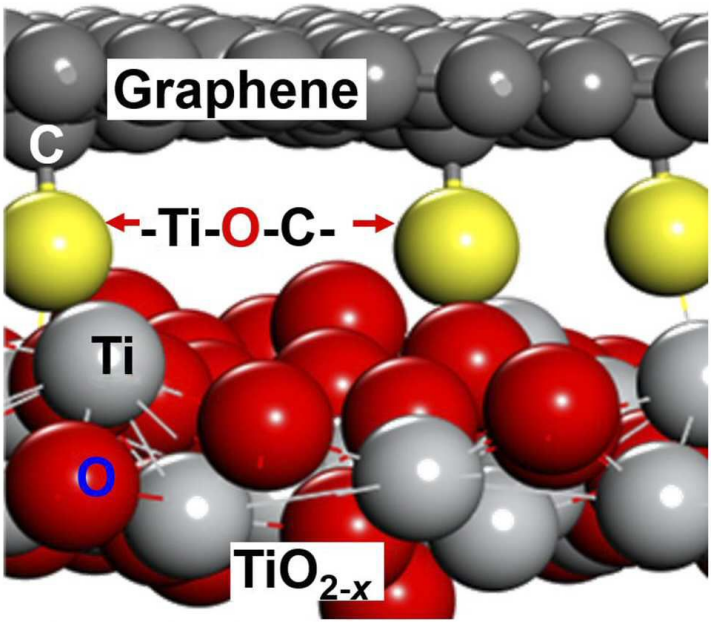
[0184] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

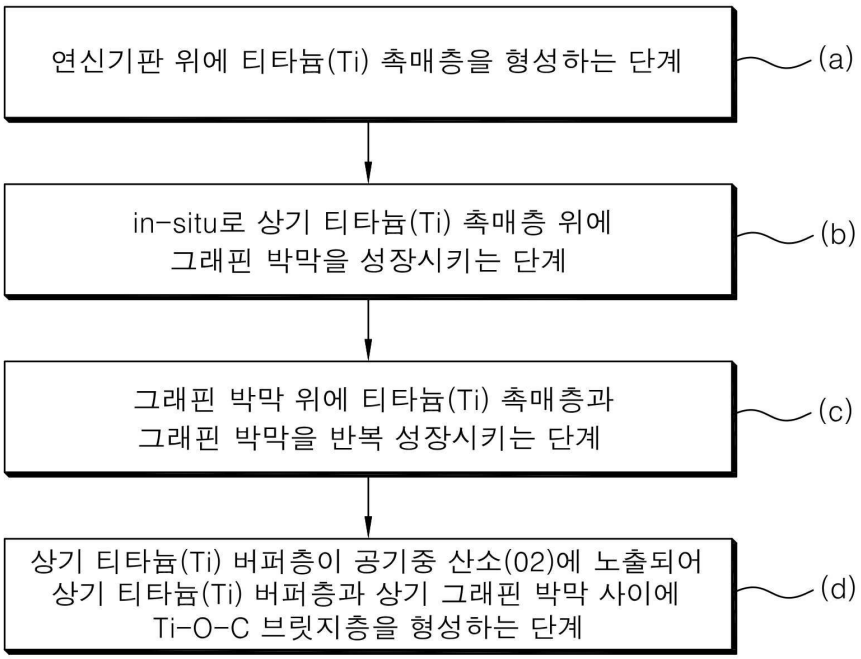
도면1



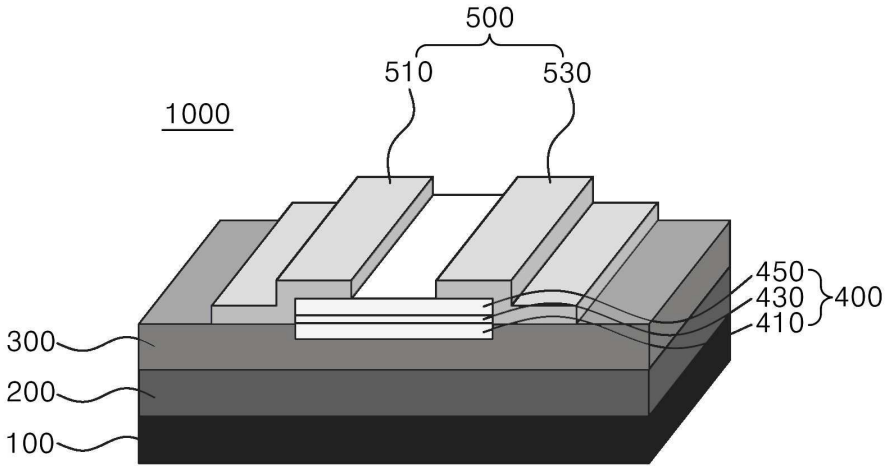
도면2


Graphene
C
-Ti-O-C-
Ti
O
TiO_{2-x}

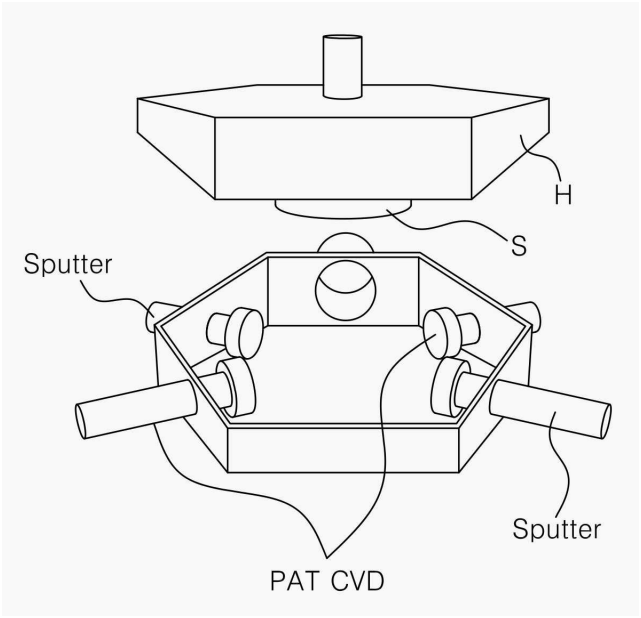
도면3


연신기판 위에 티타늄(Ti) 촉매층을 형성하는 단계
(a)
in-situ로 상기 티타늄(Ti) 촉매층 위에
그래핀 박막을 성장시키는 단계
(b)
그래핀 박막 위에 티타늄(Ti) 촉매층과
그래핀 박막을 반복 성장시키는 단계
(c)
상기 티타늄(Ti) 버퍼층이 공기중 산소(02)에 노출되어
상기 티타늄(Ti) 버퍼층과 상기 그래핀 박막 사이에
Ti-O-C 브릿지층을 형성하는 단계
(d)

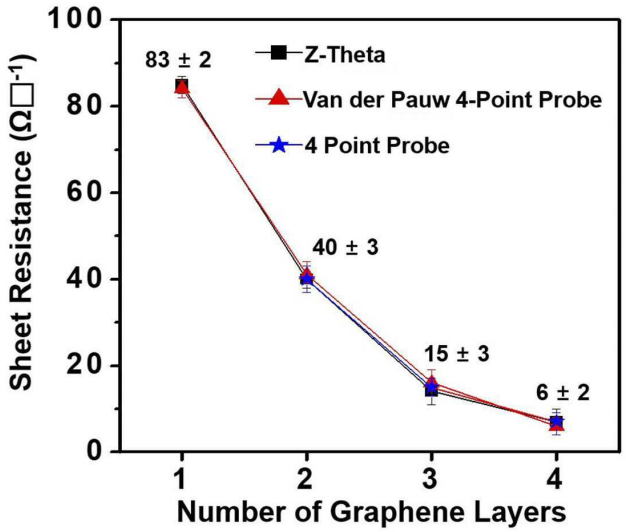
도면4


500
510
530
1000
450
430
400
410
300
200
100

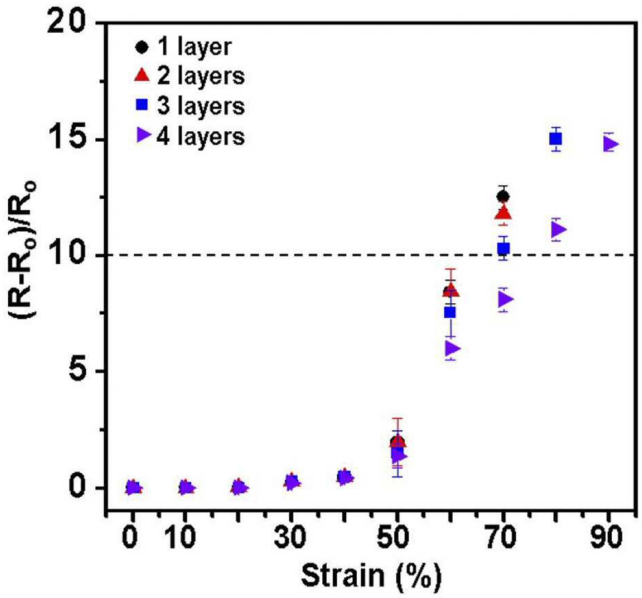
도면5


H
S
Sputter
Sputter
PAT CVD

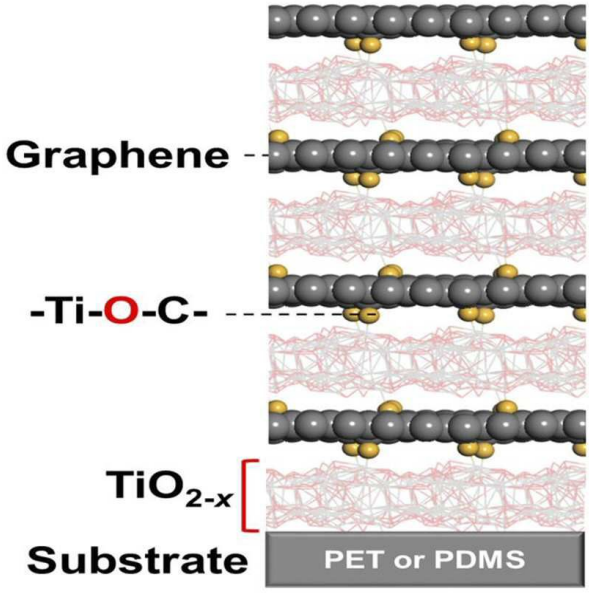
도면6


Sheet Resistance (Ω□-1)
Number of Graphene Layers
Z-Theta
Van der Pauw 4-Point Probe
4 Point Probe
83 ± 2
40 ± 3
15 ± 3
6 ± 2
100
80
60
40
20
0
1
2
3
4

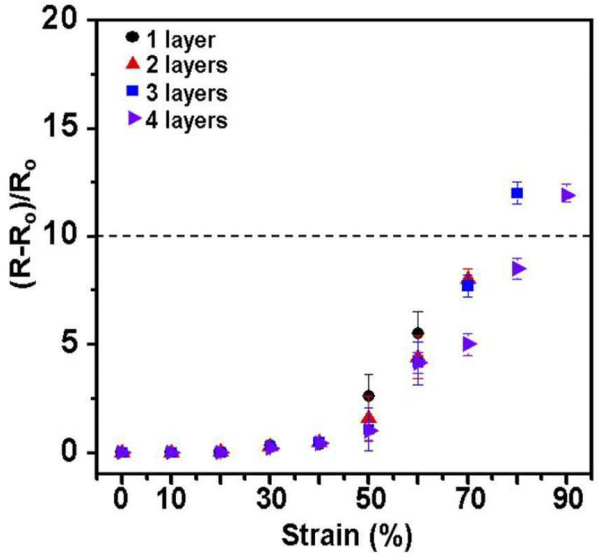
도면7


(R-Ro)/Ro
Strain (%)
1 layer
2 layers
3 layers
4 layers
20
15
10
5
0
0
10
30
50
70
90

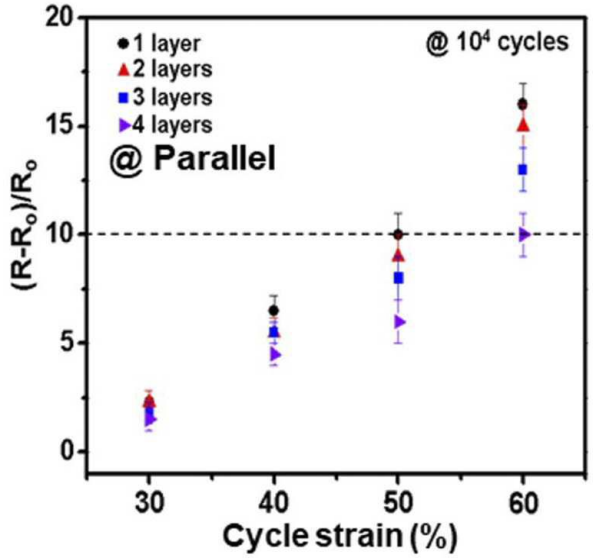
도면8


Graphene
-Ti-O-C-
TiO_{2-x}
Substrate
PET or PDMS

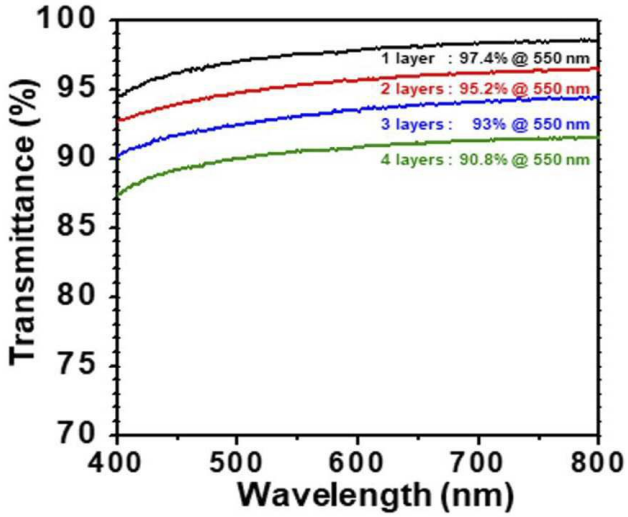
도면9


1 layer
2 layers
3 layers
4 layers
$(R-R_o)/R_o$
Strain (%)
0
5
10
15
20
0
10
30
50
70
90

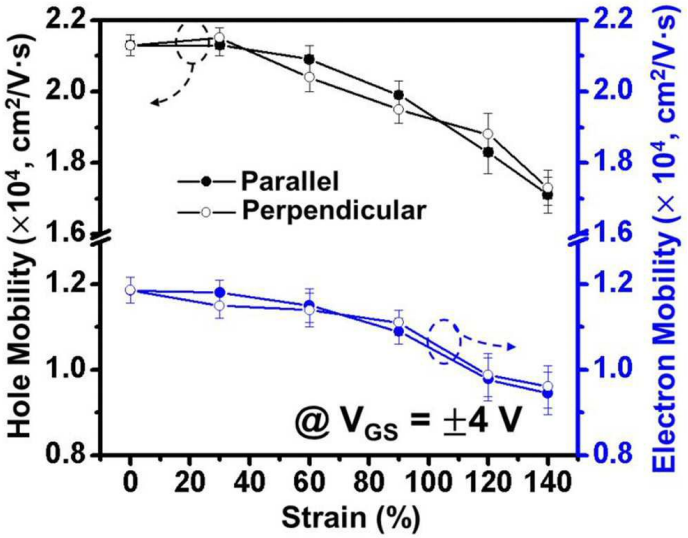
도면10


1 layer
2 layers
3 layers
4 layers
@ 10⁴ cycles
@ Parallel
(R-R₀)/R₀
Cycle strain (%)
0
5
10
15
20
30
40
50
60

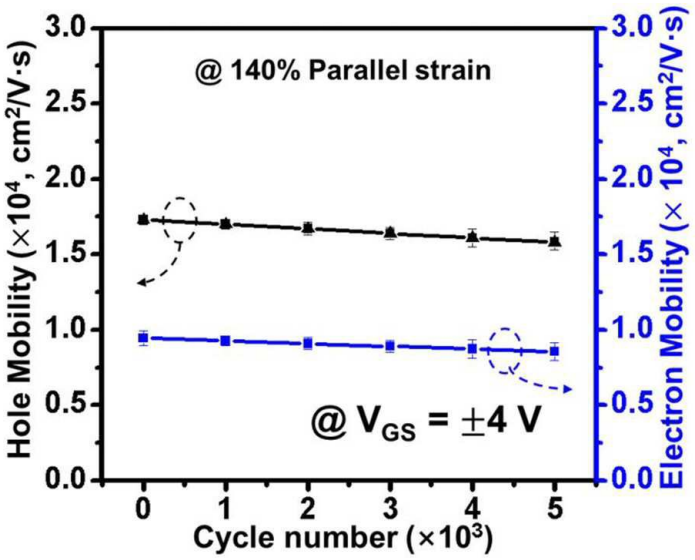
도면11


1 layer : 97.4% @ 550 nm
2 layers : 95.2% @ 550 nm
3 layers : 93% @ 550 nm
4 layers : 90.8% @ 550 nm
Transmittance (%)
Wavelength (nm)
70
75
80
85
90
95
100
400
500
600
700
800

도면12


Hole Mobility (×10⁴, cm²/V·s)
Electron Mobility (× 10⁴, cm²/V·s)
Parallel
Perpendicular
@ V_GS = ±4 V
Strain (%)

도면13


Hole Mobility (×10⁴, cm²/V·s)
Electron Mobility (× 10⁴, cm²/V·s)
@ 140% Parallel strain
@ V_GS = ±4 V
Cycle number (×10³)