

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4939735号
(P4939735)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.

F 1

H01L 27/115 (2006.01)
H01L 21/8247 (2006.01)
H01L 29/792 (2006.01)
H01L 29/788 (2006.01)
H01L 21/336 (2006.01)

HO1L 27/10 434
 HO1L 29/78 371
 HO1L 27/10 481

請求項の数 7 (全 23 頁) 最終頁に続く

(21) 出願番号

特願2004-179692 (P2004-179692)

(22) 出願日

平成16年6月17日 (2004.6.17)

(62) 分割の表示

特願2001-263736 (P2001-263736)
の分割

原出願日

平成13年8月31日 (2001.8.31)

(65) 公開番号

特開2004-336065 (P2004-336065A)

(43) 公開日

平成16年11月25日 (2004.11.25)

審査請求日

平成20年8月14日 (2008.8.14)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 塚本 恵介
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内(72) 発明者 池田 良広
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内(72) 発明者 岡崎 勉
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

最終頁に続く

(54) 【発明の名称】半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

(a) 半導体基板表面に形成され、第1絶縁膜によって区画された素子形成領域であつて、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域の主表面に形成された複数のメモリセルと、
 (c) 前記複数のメモリセルからなるメモリセルアレイと、
 (d) 前記メモリセルアレイの外周部に、少なくとも前記第1および第2方向に延在するように形成された第1導電性膜と、

を有する半導体集積回路装置であつて、

前記第1絶縁膜は、前記半導体基板に形成された溝内に埋め込まれて形成されており、
 前記接続部は、前記第2方向に延在する前記第1導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項 2】

(a) 半導体基板表面に形成され、第1絶縁膜によって区画された素子形成領域であつて、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域の主表面に形成された複数のメモリセルと、

10

20

(c) 前記複数のメモリセルからなるメモリセルアレイと、
 (d) 前記メモリセルアレイの外周部に、少なくとも前記第1および第2方向に延在するように形成された第1導電性膜と、
 を有する半導体集積回路装置であって、

前記3以上の素子形成領域のうち、最外の素子形成領域の前記第2方向の幅は、他の素子形成領域の幅より広く、

前記第1絶縁膜は、前記半導体基板に形成された溝内に埋め込まれて形成されており、
 前記接続部は、前記第2方向に延在する前記第1導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項3】

10

(a) 半導体基板表面に形成され、第1絶縁膜によって区画された素子形成領域であつて、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域の主表面上に形成された複数の不揮発性メモリセルと、
 (c) 前記複数の不揮発性メモリセルからなるメモリセルアレイと、
 (d) 前記メモリセルアレイの外周部に、少なくとも前記第1および第2方向に延在するように形成された第1導電性膜と、

を有する半導体集積回路装置であって、

前記複数の不揮発性メモリセルはそれぞれ、

(b1) 前記素子形成領域上に第2絶縁膜を介して形成された第2導電性膜と、
 (b2) 前記第2導電性膜上に第3絶縁膜を介して形成され、前記第2方向に延在する第3導電性膜と、
 を有し、

前記第1導電性膜は、前記第3導電性膜と同層の層を含んで形成されており、

前記第1絶縁膜は、前記半導体基板に形成された溝内に埋め込まれて形成されており、
 前記接続部は、前記第2方向に延在する前記第1導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項4】

20

請求項3に記載の半導体集積回路装置において、

前記不揮発性メモリセルにおける前記第2導電性膜は、前記不揮発性メモリセルのフローティングゲートを構成し、

前記不揮発性メモリセルにおける前記第3導電性膜は、前記不揮発性メモリセルのコントロールゲートを構成していることを特徴とする半導体集積回路装置。

【請求項5】

30

請求項1～4に記載の半導体集積回路装置において、

前記3以上の素子形成領域のうち最外の素子形成領域上には、メモリセルとして機能するメモリセルを形成しないことを特徴とする半導体集積回路装置。

【請求項6】

40

請求項1または2に記載の半導体集積回路装置において、

前記第1導電性膜は、前記複数のメモリセルとは接続しないダミー導電性膜であることを特徴とする半導体集積回路装置。

【請求項7】

請求項3または4に記載の半導体集積回路装置において、

前記第1導電性膜は、前記複数の不揮発性メモリセルとは接続しないダミー導電性膜であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置およびその製造方法に関し、特に、細長い素子形成領域

50

が並行に形成された半導体集積回路装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

半導体集積回路装置は、絶縁膜で区画された素子形成領域（アクティブ）の主表面に形成された素子や配線からなる。この素子形成領域は、例えば、素子分離領域により他の素子形成領域と分離され、この素子分離領域は、例えば、素子分離絶縁膜で形成される。素子分離絶縁膜は、例えば、S T I (Shallow Trench Isolation)技術を用いて形成される。このS T Iとは、半導体基板に形成した溝の上部に酸化シリコン膜などの絶縁膜を堆積し、溝外部の酸化シリコン膜を化学的機械研磨（C M P ; Chemical Mechanical Polishing）法等により除去することにより溝の内部に酸化シリコン膜を埋め込み、これを素子間の分離に用いるというものである。10

【0003】

例えば、電気的書き込みおよび消去が可能な不揮発性メモリ（E E P R O M : Electrically Erasable Programmable Read Only Memory）等のメモリL S I (Large Scale Integrated Circuit)は、一定の間隔（ピッチ）で並行に配置された、細長い素子形成領域上に形成される。

【0004】

このような素子形成領域は、メモリセルの微細化および高集積化に伴い、その幅がより小さくなり、また、狭ピッチで配置される傾向にある。

【0005】

なお、メモリセルの微細化に対応するため、いわゆるS A C (Self-Aligned Contact)技術を用いてドレインコンタクトを形成したN O R型のフラッシュメモリについては、例えば、I E D M (International Electron Devices Meeting) , 1998 , p p 979 - 982 , “A Novel 4.6F2NOR Cell Technology With Lightly Doped Source(LDS) Junction For High Density Flash Memories”（非特許文献1）に、記載されている。20

【非特許文献1】I E D M (International Electron Devices Meeting) , 1998 , p p 979 - 982 , “A Novel 4.6F2NOR Cell Technology With Lightly Doped Source(LDS) Junction For High Density Flash Memories”

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明者らは、半導体記憶装置、特に、前述のような不揮発性メモリについて検討した結果、下記の公知でない課題を見いたしました。

【0007】

即ち、素子の微細化が進むにつれ、メモリセルの不良が増加する。この原因について検討した結果、素子形成領域の端部に生じる結晶欠陥が原因ではないかと考えている。

【0008】

即ち、半導体集積回路装置内のメモリセル形成領域の外周部には、メモリセルを駆動するために必要な論理回路等（以下、周辺回路という）が形成される周辺回路形成領域が存在する。従って、メモリセルが形成される細長い素子形成領域が、狭いピッチで配置されたその周辺には、周辺回路が形成される他の素子形成領域が配置され、これらの素子形成領域間は、幅の広い絶縁膜で分離される。40

【0009】

従って、後述する実施の形態で詳細に説明するように、メモリセルが形成される細長い素子形成領域の端部に、応力が集中し結晶欠陥が生じやすい。

【0010】

このような欠陥が生じると、メモリセルのドレイン領域と半導体基板との間や、ソース領域とドレイン領域との間の、リーク電流が増加してしまう。さらに、このリーク電流が、センスアンプの動作電流以上になった場合には、不良となってしまう。

【0011】

10

20

30

40

50

また、前述したように、細長い素子形成領域上には、複数のメモリセルが形成されているため、一つのメモリセル内に欠陥が生じたとしても、かかるメモリセルと同一のデータ線に接続されているメモリセルが、すべて不良となってしまう。

【0012】

本発明の目的は、素子形成領域内の半導体基板の欠陥を低減させることにある。

【0013】

また、本発明の他の目的は、素子形成領域内の半導体基板の欠陥を低減させることによりリーク電流の低減を図ることにある。

【0014】

また、本発明の他の目的は、リーク電流の低減を図ることにより、製品の歩留まり向上や信頼性の向上を図ることにある。 10

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

(1) 本発明の半導体集積回路装置は、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、第1の方向と垂直な第2の方向に2以上配置された素子形成領域の端部を、メモリセルを囲むように形成された導電性膜の下まで伸長したものである。 20

【0018】

(2) 本発明の半導体集積回路装置は、絶縁膜によって区画され、第1方向に延在する素子形成部を、第1の方向と垂直な第2の方向に2以上配置し、この素子形成部の端部を第2方向に延在する接続部で接続したものである。

【0019】

(3) 本発明の半導体集積回路装置は、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、第1の方向と垂直な第2の方向に複数配置された素子形成領域のうち、最外の素子形成領域の第2方向の幅を、他の素子形成領域の幅より広くするものである。 30

【0020】

(4) 本発明の半導体集積回路装置は、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、第1の方向と垂直な第2の方向に複数配置された素子形成領域のうち、最外の素子形成領域上にはメモリセルとして機能するメモリセルを形成しないものである。

【発明の効果】

【0021】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。 40

【0022】

メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、前記第1の方向と垂直な第2の方向に2以上配置された素子形成領域の端部を、メモリセルを囲むように形成された導電性膜の下まで伸長したので、この伸長した領域に応力を集中させることができ、モリセルが形成される領域まで欠陥が伸びず、メモリセルのリーク電流を低減することができる。

【0023】

また、絶縁膜によって区画され、第1方向に延在する素子形成部を、第1の方向と垂直な第2の方向に2以上配置し、この素子形成部の端部を第2方向に延在する接続部で接続 50

したので、応力の加わる方向を変化させることができ、メモリセルのリーク電流を低減することができる。

【0024】

また、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、前記第1の方向と垂直な第2の方向に複数配置された素子形成領域のうち、最外の素子形成領域の前記第2方向の幅を、他の素子形成領域の幅より広くしたので、応力の影響を緩和することができ、メモリセルのリーク電流を低減することができる。

【0025】

また、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、前記第1の方向と垂直な第2の方向に複数配置された素子形成領域のうち、最外の素子形成領域上にはメモリセルとして機能するメモリセルを形成していないので、この最外の素子形成領域に応力を集中させることができ、メモリセルのリーク電流を低減することができる。10

【0026】

その結果、製品の歩留まり向上や信頼性の向上を図ることができる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。20

【0028】

(実施の形態1)

図1に本実施の形態の半導体集積回路装置の要部平面図を示す。図1の右部は、メモリセル形成領域MCFRを示し、左部は、周辺回路形成領域PCFRを示す。メモリセル形成領域MCFRには、NOR型の不揮発性メモリセルがアレイ状MCARに配置され、周辺回路形成領域には、周辺回路の一例として選択用MISFET Sが形成されている。

図2は、図1のA-A断面の概略図であり、図3は、図1のB-B断面の概略図である。

【0029】

図1に示すように、メモリセル形成領域には、X方向に延在した素子形成領域(アクティブ)Acが、Y方向に一定の間隔毎に配置されている。この素子形成領域Acは、例えば、酸化シリコン膜6等よりなる絶縁膜6で区画(規定)されている。即ち、素子形成領域Ac間に、素子分離絶縁膜である絶縁膜6で分離されている。この絶縁膜6は、図2および図3に示すように、例えば、半導体基板中の溝の内部に埋め込まれたSTI構造で形成されている。また、素子形成領域Acは、p型ウエル8が半導体基板1表面に露出した領域である。30

【0030】

この素子形成領域AcのY方向の幅Wは、例えば、約0.3μmであり、素子形成領域Ac間の間隔SWは、例えば、約0.4μmである。また、素子形成領域Acの長さ(X方向の幅)は、X方向に形成される例えば、128ビットのメモリセルMCに対応し、約80μmである。即ち、素子形成領域Acには、X方向に複数のメモリセルMCが形成されている。40

【0031】

この素子形成領域Acの上部には、Y方向に延在する制御電極(第2電極)CGが、一定の間隔毎に配置されている。この制御電極CGのX方向の幅Lは、例えば、約0.3μmであり、制御電極CG間の間隔LSは、例えば、約0.35μmである。また、この制御電極CGは、Y方向に配置されるメモリセルMCの制御電極CGと一緒に形成されるとともに、Y方向に延在するワード線WLとなる。

【0032】

この制御電極CGと素子形成領域Acとの間には、図2および図3に示すように、例え50

ば、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜が順次積層された積層膜（以下、ONO膜という）21等よりなる絶縁膜、浮遊電極（第1電極）FGおよび熱酸化膜等よりなるゲート絶縁膜9が形成されている。この浮遊電極FGは、メモリセル毎に独立して形成されている（図3参照）。

【0033】

この制御電極CGの両端の素子形成領域Ac中には、n⁺型半導体領域17（ソース、ドレイン領域）が形成されており、ドレイン領域17上には、プラグ（ドレインコンタクト）DC（P1）が、ソース領域17上には、プラグ（ソースコンタクト）SC（P1）が形成されている。このプラグDC（P1）は、メモリセル毎に独立して形成されているが、プラグSC（P1）は、同一のワード線WLに接続されるメモリセルMCのソース領域17の各々に電気的に接続されるとともに、Y方向に延在するソース線SLを構成する。即ち、プラグ（ソースコンタクト）SC（P1）は、Y方向に延在する配線であり、ソース線SLを構成する。後述するように、プラグDC（P1）とプラグSC（P1）とは、同じ製造工程で形成される。

【0034】

また、ドレイン領域17上は、プラグDC（P1）およびプラグDC（P2）による2層構造となっており、このプラグDC（P2）上には、副ビット線SBLが形成されている。この副ビット線SBLは、X方向に延在している。

【0035】

また、プラグSC（P1）は、図1に示すように、このプラグSC（P2）を介して共通のソース線CSLに接続されている。この共通ソース線CSLもX方向に延在しており、副ビット線SBLと同層の配線層で形成される。後述するように、プラグDC（P2）とプラグSC（P2）とは、同じ製造工程で形成される。

【0036】

このように、メモリセルMCは、主に、ソース、ドレイン領域である一対のn⁺型半導体領域17と、それらの間に形成されたチャネル形成領域（p型ウエル）8（Ac）と、チャネル形成領域上に形成されたゲート絶縁膜9と、ゲート絶縁膜9上に形成された浮遊電極（フローティングゲート）FGと、浮遊電極FG上に形成された絶縁膜21と、絶縁膜21上に形成された制御電極（コントロールゲート）CGとで構成される。Y方向に隣接するメモリセルMCのソース、ドレイン領域17間は、絶縁膜6により分離され、Y方向に配置されるメモリセルMCの制御電極CGは、ワード線WLと一体に形成される。Y方向に配置されるメモリセルMCのドレイン領域17は、プラグDC（P1）、DC（P2）を介して、それぞれ異なる副ビット線SBLに電気的に接続され、Y方向に配置されるメモリセルMCのソース領域17のそれぞれは、ソース線SLにより電気的に接続される。また、X方向に隣接するメモリセルMCのドレイン領域は共通に構成され、副ビット線SBLに電気的に接続される。X方向に隣接するメモリセルMCのソース領域17は共通に構成されソース線SLに電気的に接続される。

【0037】

ここで、メモリセルの書き込み、読み出しおよび消去動作について説明する。

【0038】

まず、書き込み動作について説明する。メモリセルにデータを書き込むには、メモリセルの制御電極CG（ワード線WL）に例えば9Vの電圧を印加し、メモリセルのドレイン領域（副ビット線SBL）に例えば4Vの電圧を印加し、素子形成領域Ac（p型ウエル8）に例えば3Vの電圧を印加し、メモリセルのソース領域（ソース線SL）を例えば0V（接地電位）に維持する。その結果、メモリセルのチャネル領域（ソース、ドレイン領域間）にホットエレクトロンが発生し、これが浮遊電極FGに注入される。

【0039】

次に、読み出し動作について説明する。メモリセルのデータを読み出すには、メモリセルの制御電極CG（ワード線WL）に例えば2.7Vの電圧を印加し、メモリセルのドレイン領域（副ビット線SBL）に例えば0.8Vの電圧を印加し、素子形成領域Ac（p

10

20

30

40

50

型ウエル 8) およびメモリセルのソース領域 (ソース線 S L) を例えば 0 V に維持する。この際メモリセルのソース、ドレイン領域間に電流が流れるか否かで、メモリセルのデータ (“ 1 ” もしくは “ 0 ”) を読み出す。電流が流れる場合は、メモリセルの浮遊電極 F G には電子が注入されておらず (閾値電圧以下であり) 、例えば、“ 0 ” のデータが記憶されていたことがわかる。また、電流が流れない場合は、メモリセルの浮遊電極 F G には電子が注入されており (閾値電圧以上であり) 、例えば、“ 1 ” のデータが記憶されていたことがわかる。

【 0 0 4 0 】

次いで、消去動作について説明する。メモリセルに書き込まれたデータを消去するには、メモリセルの制御電極 C G (ワード線 W L) に例えば 10 . 5 V の電圧を印加し、素子形成領域 A c (p 型ウエル 8) およびメモリセルのドレイン領域 (副ビット線 S B L) に例えば 10 . 5 V の電圧を印加し、メモリセルのソース領域 (ソース線 S L) をフローティング状態 (開放状態、 open 状態) に維持する。その結果、 F N (Fowler-Nordheim) トンネル現象により、制御電極 C G からメモリセルのチャネル領域 (ソース、ドレイン領域間) に、電子の放出が行われる。

【 0 0 4 1 】

また、メモリセルアレイの外周部には、制御電極 C G と同じ層で形成されたダミー導電性膜 D S G が形成されている。このダミー導電性膜 D S G は、メモリセル形成時に生じる異物の影響を低減し、また、メモリセル形成領域と周辺回路形成領域との段差を少なくする等のために形成される。

【 0 0 4 2 】

このダミー導電性膜 D S G も素子形成領域 (p 型ウエル 8) 上に形成され、これと素子形成領域 A c との間にも、例えば、 O N O 膜 2 1 等よりなる絶縁膜、浮遊電極 (第 1 電極) F G および熱酸化膜等よりなるゲート絶縁膜 9 が形成されている (図 2 および図 3 参照) 。

【 0 0 4 3 】

一方、周辺回路形成領域にも、周辺回路用の素子形成領域 L A c が形成され、この素子形成領域 L A c 上には、選択用 M I S F E T S のゲート電極 G を構成する導電性膜が形成されている。図 2 に示すように、このゲート電極 G は、制御電極 C G と同じ層で形成され、その下には、ゲート絶縁膜 9 b が形成されている。このゲート電極 G の両端の素子形成領域 L A c 中には、 n + 型半導体領域 2 7 (ソース、ドレイン領域) が形成されている。

【 0 0 4 4 】

ここで、図 1 に示すように、メモリセル形成領域の素子形成領域 A c は、最端のメモリセルのドレイン領域端部から X 方向に長さ D だけ伸びている。この長さ D のうち、距離 d 1 は、素子形成領域 A c を形成する最に用いられるマスクのずれ等を考慮した距離であり、距離 d 2 は、結晶欠陥が生じる領域を考慮した距離である。本実施の形態においては、 d 1 は、約 0 . 2 μ m であり、 d 2 は、約 0 . 3 μ m である。この d 2 の大きさは、前述したルールでメモリセル形成した場合に素子形成領域 A c に生じた結晶欠陥の長さが 0 . 3 μ m 程度であったことから、設定した。

【 0 0 4 5 】

このように、本実施の形態においては、素子形成領域 A c の端部を伸長したので、素子形成領域 A c に生じる結晶欠陥の影響を回避することができる。その結果、リーク電流の発生を低減でき、メモリセルの不良の発生率を低減することができる。

【 0 0 4 6 】

即ち、図 4 に示すように、素子形成領域 A c 間には、絶縁膜 6 が存在し、素子形成領域 A c には、その外周部の絶縁膜 6 による応力 (stress) が加わる。特に、メモリセル形成領域の外周部には、周辺回路との分離を図る等のために、広範囲に渡って絶縁膜 6 が形成されているため、素子形成領域 A c の端部には、応力が集中する。このように大きな応力が加わると、素子形成領域 A c を構成する結晶中に転位等の欠陥 (D e 1 、 D e 2) が生

10

20

30

40

50

じる。この欠陥を介してリーク電流が発生し、前述したように、このリーク電流が、センスアンプの動作電流以上になった場合には、不良となってしまう。

【0047】

しかしながら、本実施の形態においては、素子形成領域 A c の端部を伸長したので、図 5 に示すように、実質的なメモリセルが形成される領域（メモリセルアレイ M C A R ）までは、欠陥 D e 1 が延びず、メモリセルのリーク電流を低減することができる。

【0048】

なお、素子形成領域 A c の伸長部分上には、ダミー導電性膜 D S G が形成され、さらに、その下部には、O N O 膜 2 1 等よりなる絶縁膜、浮遊電極（第 1 電極）F G および熱酸化膜等よりなるゲート絶縁膜 9 が形成されている。従って、その構成は、疑似メモリセル構造となっている（但し、ソース領域は存在しない）が、かかるダミー導電性膜 D S G には、電位が印加されることなく、フローティング状態となっているため、チャネルが形成されず、リーク電流は発生しない。10

【0049】

また、本実施の形態においては、ダミー導電性膜 D S G の下を利用し、素子形成領域 A c を伸長したので、メモリセル形成領域を大きくすることなく、欠陥対策を行うことができる。

【0050】

次に、本実施の形態の半導体集積回路装置の製造方法の一例について説明する。図 6 ~ 図 12 は、本実施の半導体集積回路装置の製造方法を示す基板の要部断面図であり、図 6 ~ 図 8 は、図 1 の C - C 断面部と対応し、図 9 ~ 図 12 は、図 1 の D - D 断面部と対応する。20

【0051】

まず、図 6 に示すように、例えば 1 ~ 10 cm 程度の比抵抗を有する p 型の単結晶シリコンからなる半導体基板 1 を例えば、熱酸化することにより半導体基板 1 の表面に、パッド酸化膜（図示せず）を形成する。次いで、パッド酸化膜上に、例えば、窒化シリコン膜（図示せず）のような絶縁膜を堆積し、図示しないフォトレジスト膜（以下、単に「レジスト膜」という）をマスクに、素子分離領域上の窒化シリコン膜を除去する。

【0052】

次いで、レジスト膜を除去し、窒化シリコン膜をマスクとして、半導体基板 1 をエッチングすることにより深さ 250 nm 程度の素子分離溝 4 を形成する。30

【0053】

その後、半導体基板 1 を約 1150 °C でドライ酸化することによって、溝の内壁に、例えば、膜厚 30 nm 程度の酸化シリコン膜 5 のような熱酸化膜を形成する。この酸化シリコン膜 5 は、溝の内壁に生じたドライエッチングのダメージを回復すると共に、次の工程で溝の内部に埋め込まれる酸化シリコン膜 6 と半導体基板 1 との界面に生じるストレスを緩和するために形成する。

【0054】

次に、素子分離溝 4 の内部を含む半導体基板 1 上に C V D 法で、例えば、膜厚 600 nm 程度の酸化シリコン膜 6 よりなる絶縁膜を堆積し、次いで、1150 °C で 60 分の熱処理（アニール）を施し、酸化シリコン膜 6 の緻密化を図る。次いで、C M P 法で溝の上部の酸化シリコン膜 6 を研磨し、その表面を平坦化した後、窒化シリコン膜を除去する。なお、この際、窒化シリコン膜の膜厚分だけ酸化シリコン膜 6 の表面が半導体基板 1 の表面から突出しているが、以降の半導体基板 1 の洗浄工程や、表面酸化および酸化膜除去工程により酸化シリコン膜 6 の表面は、徐々に後退する。40

【0055】

以上の工程により、素子分離溝 4 内に、酸化シリコン膜 6 が埋め込まれた素子分離が形成される。

【0056】

次に、図 7 に示すように、半導体基板 1 の表面をウェット洗浄した後、半導体基板 1 を50

例えば、熱酸化することにより半導体基板1の表面に、スルー酸化膜(図示せず)のような絶縁膜を形成する。次いで、半導体基板1にp型不純物(例えば、ホウ素)をイオン打ち込みした後、熱処理を施し、前記不純物を拡散させることによって、メモリセル形成領域にp型ウエル8を形成する。このp型ウエル8が、半導体基板1の表面に露出した領域が、素子形成領域A cとなる。ここで、周辺回路形成領域においても、素子形成領域L A cを同様に形成する。

【0057】

次に、熱酸化によりp型ウエル8の表面に、例えば、膜厚8nm程度の熱酸化膜を形成した後(プレ酸化)、この熱酸化膜を除去し、半導体基板1(p型ウエル8)の表面を清浄化する。次いで、熱処理を施し、例えば、膜厚10.5nm程度の熱酸化膜を形成する。この熱酸化膜は、不揮発性メモリセルのゲート絶縁膜9を構成する。

10

【0058】

次に、ゲート絶縁膜9の上部に、例えば、膜厚100nm程度のリンをドープした多結晶シリコン膜10のような導電性膜をCVD法で堆積する。次に、レジスト膜(図示せず)をマスクにして多結晶シリコン膜10をドライエッチングすることにより、メモリセル形成領域に、X方向に長手方向が延在するストライプ状のパターンFG'(10)を形成する。

【0059】

次いで、図8に示すように、半導体基板1上に、パターンFG'(10)と、後述する制御電極CGとを分離するため、例えば、ONO膜21のような絶縁膜を形成する。このONO膜21は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜であり、例えば、CVD法により膜厚5nm程度の酸化シリコン膜、膜厚7nm程度の窒化シリコン膜および膜厚4nm程度の酸化シリコン膜を順次堆積することにより形成する。なお、最上層の酸化シリコン膜上に、さらに、10nm程度の窒化シリコン膜を堆積してもよい。

20

【0060】

ここで、周辺回路形成領域においては、周辺回路形成領域上のONO膜21、多結晶シリコン膜10およびゲート絶縁膜9を除去する。次いで、周辺回路形成領域の半導体基板1の表面をウェット洗浄した後、周辺回路形成領域のp型ウエル8の表面に、例えば、熱酸化により膜厚8nm程度のゲート絶縁膜9bを形成する。このゲート絶縁膜9bは、周辺回路形成領域に形成される選択用MISFET Sのゲート絶縁膜9bとなる(図2参照)。

30

【0061】

次いで、半導体基板1上に、導電性膜として、リンが $4.75 \times 10^{20} / \text{cm}^3$ 程度ドープされた多結晶シリコン膜22をCVD法により200nm程度で堆積することで形成する。続いて、その上部に例えば、300nm程度の窒化シリコン膜24のような絶縁膜をCVD法で堆積する。この多結晶シリコン膜22は、周辺回路形成領域に形成される選択用MISFET Sのゲート電極Gとなり、また、メモリセル形成領域に形成される不揮発性メモリセルの制御電極CGとなる。

40

【0062】

次に、図9に示すように、メモリセル形成領域のレジスト膜(図示せず)をマスクにして窒化シリコン膜24、多結晶シリコン膜22、ONO膜21およびパターンFG'(多結晶シリコン膜10)をドライエッチングする。

【0063】

このドライエッチングにより、多結晶シリコン22からなる制御電極CG(22)および多結晶シリコン膜10からなる浮遊電極FG(10)が形成される。浮遊電極FG(10)は、X方向に配置されるメモリセル毎に分割され、制御電極CGは、Y方向に延在するように形成され、ワード線WLを構成する。なお、制御電極CGは、多結晶シリコン膜22に限らず、高融点金属、シリサイド膜の単層膜または、積層膜、あるいは多結晶シリコン膜と高融点金属膜またはシリサイド膜との積層膜で構成してもよい。図9は、図8の

50

E - E 断面に対応し、また、図 1 の D - D 断面と対応する。

【 0 0 6 4 】

ここで、周辺回路形成領域においては、レジスト膜（図示せず）をマスクにして窒化シリコン膜 2 4 および多結晶シリコン膜 2 2 をドライエッチングすることにより、選択用 M I S F E T S 用のゲート電極 G を形成する（図 2 参照）。

【 0 0 6 5 】

次に、メモリセル形成領域の p 型ウエル 8 に n 型不純物（例えば、ヒ素）をイオン打ち込みした後、熱処理を施し、前記不純物を拡散させることによって、n⁺型半導体領域 17（ソース、ドレイン領域）を形成する。また、この際、p 型不純物（例えば、ホウ素）を斜めイオン打ち込みすることによりゲート絶縁膜 9 の下にチャネルインプラ領域（図示せず）を形成してもよい。10

【 0 0 6 6 】

ここで、周辺回路形成領域においては、p 型ウエル 8 に n 型不純物（例えば、ヒ素）をイオン打ち込みした後、熱処理を施し前記不純物を拡散させることによって、ゲート電極 G の両側に、n⁻型半導体領域（図示せず）を形成する。

【 0 0 6 7 】

次いで、例えば、850 の熱処理（ライト酸化）を施すことにより多結晶シリコン膜 10 および 22 の側壁にライト酸化膜（熱酸化膜）26 を形成する。このライト酸化膜 26 は、シリコン基板の表面にその膜厚が 10 nm 程度の酸化シリコン膜が形成される条件と同様の条件で形成される。また、この膜は、前述の浮遊電極 F G（多結晶シリコン膜 10）や制御電極（多結晶シリコン膜 22）のエッチングの際に、ゲート絶縁膜 9 の端部に生じたダメージを回復するために形成する。20

【 0 0 6 8 】

次いで、半導体基板 1 上に、例えば、CVD 法で窒化シリコン膜 28 のような絶縁膜を堆積する。

【 0 0 6 9 】

ここで、周辺回路形成領域においては、窒化シリコン膜 28 を異方的にエッチングすることによって、周辺回路形成領域のゲート電極 G の側壁にサイドウォールスペーサ（図示せず）を形成する。次に、周辺回路形成領域の p 型ウエル 8 に n 型不純物（リン P またはヒ素 As）をイオン打ち込みした後、950 で 10 秒の熱処理を施し、前記不純物を拡散させることによって、選択用 M I S F E T S 用の n⁺型半導体領域 27（ソース、ドレイン領域）を形成する。30

【 0 0 7 0 】

以上の工程により、メモリセル形成領域に、制御電極 C G（多結晶シリコン膜 22）、ONO 膜 21、浮遊電極 F G（多結晶シリコン膜 10）およびゲート絶縁膜 9 を有する NOR 型不揮発性メモリセルが形成され、周辺回路形成領域に選択用 M I S F E T S が形成される。

【 0 0 7 1 】

次いで、図 10 に示すように、窒化シリコン膜 28 の上部に、例えば、CVD 法で 200 nm 程度の酸化シリコン膜 30 のような絶縁膜を形成した後、酸化シリコン膜 30 に図 1 に示すプラグ D C（P1）およびプラグ S C（P1）のパターンを形成するため、レジスト膜（図示せず）をマスクにしたドライエッチングで酸化シリコン膜 30 をドライエッチングし、続いて窒化シリコン膜 28 をドライエッチングすることによって、n⁺型半導体領域 17（ソース、ドレイン領域）上部にコンタクトホール C 1 および配線溝 H M 1 を形成する。即ち、ドレイン領域（17）上には、コンタクトホール C 1 を形成し、ソース領域上（17）には、配線溝 H M 1 を形成する。40

【 0 0 7 2 】

上記酸化シリコン膜 30 のエッチングは、窒化シリコンに対する酸化シリコンのエッティングレートが大きくなるような条件で行い、窒化シリコン膜 28 が完全に除去されないようにする。

10

20

30

40

50

【0073】

また、窒化シリコン膜28のエッティングは、シリコンや酸化シリコンに対する窒化シリコンのエッティングレートが大きくなるような条件で行い、基板1や酸化シリコン膜が深く削れないようにする。さらに、このエッティングは、窒化シリコン膜28が異方的にエッティングされるような条件で行い、制御電極CGや浮遊電極FGの側壁に窒化シリコン膜28を残すようにする。これにより、フォトリソグラフィの解像限界で決まる最小寸法よりも微細な径を有するコンタクトホールC1や微細な幅の配線溝HM1が制御電極CGや浮遊電極FGに対して自己整合（セルファーライン）で形成される。

【0074】

次に、コンタクトホールC1および配線溝HM1の内部を通じて、n型不純物（例えは10、ヒ素）をイオン打ち込みした後、熱処理を施し、前記不純物を拡散させることによって、n⁺型半導体領域19を形成する。このn⁺型半導体領域19は、このコンタクトホールC1内に形成されるプラグとの接触抵抗を低減するために形成される。

【0075】

次いで、図11に示すように、コンタクトホールC1および配線溝HM1の内部を含む酸化シリコン膜30の上部に、例えは、薄い窒化シリコン膜32のような絶縁膜を形成する。次いで、エッチバックすることによって酸化シリコン膜30上およびコンタクトホールC1および配線溝HM1底部の窒化シリコン膜32を除去する。この窒化シリコン膜32は、後述する半導体基板1の洗浄の際、制御電極CGの上部の酸化シリコン膜30がエッティングされ、プラグ等の間がショートするのを防ぐために形成される。
20

【0076】

次いで、半導体基板1を例えはフッ酸系の洗浄液を用いて洗浄した後、コンタクトホールC1および配線溝HM1内を含む酸化シリコン膜30上に、導電性膜を堆積する。例えは、10nm程度のTi（チタン）および80nm程度のTiN（窒化チタン）を順次スパッタ法により堆積（図示せず）し、さらに、350nm程度のW（タングステン）膜をCVD法により堆積する。

【0077】

次いで、コンタクトホールC1および配線溝HM1外部のW膜、TiN膜およびTi膜からなる導電性膜をCMP法により除去することにより、プラグP1を形成する。即ち、ドレイン領域（17）上のコンタクトホールC1内に、プラグDC（P1）を形成し、ソース領域（17）上の配線溝HM1内にプラグSC（P1）を形成する。なお、前述したように、このプラグSC（P1）は、Y方向に延在する配線であり、ソース線SLを構成する。
30

【0078】

次いで、プラグP1上を含む酸化シリコン膜30上に、例えは、CVD法により300nm程度の酸化シリコン膜35のような絶縁膜を堆積する。

【0079】

次いで、プラグP1上の酸化シリコン膜35を除去することによりコンタクトホールC2を形成する。なお、図12中には、ドレイン領域上のプラグDC（P1）上のコンタクトホールC2のみが表れており、ソース領域上のプラグSC（P1）上のコンタクトホールC2は、図12とは異なる断面に表れる。
40

【0080】

次いで、コンタクトホールC2内を含む酸化シリコン膜35上に、導電性膜を堆積する。例えは、100nm程度のW膜（図示せず）をスパッタ法により堆積し、さらに、250nm程度のW膜40をCVD法により堆積する。

【0081】

次いで、W膜40等からなる導電性膜を図示しないレジスト膜をマスクにドライエッティングすることによって第1層配線M1および第1層配線M1とプラグP1との接続部（プラグP2）とを形成する。即ち、プラグDC（P2）およびプラグSC（P2）を形成する。図中の第1層配線M1は、図1における副ビット線SBLとなり、図12に示す断面
50

には表れないプラグ S C (P 2) 上の第 1 層配線 M 1 は、共通ソース線 C S L となる。

【 0 0 8 2 】

この後、第 1 層配線 M 1 上を含む酸化シリコン膜 3 5 上に、例えば、C V D 法により酸化シリコン膜のような絶縁膜を堆積し、さらに、その上に、W 膜等からなる導電性膜を堆積することによって、第 2 層配線が形成されるが、これらの図示については、省略する。

【 0 0 8 3 】

以上、詳細に説明した半導体集積回路装置の製造方法においては、例えば、1) 酸化シリコン膜 6 の緻密化のための熱処理、2) スルーハウジングの形成の際の熱処理、3) 半導体基板 1 (p 型ウエル 8) の表面の清浄化のための酸化(プレ酸化)、4) ゲート絶縁膜 9 の形成の際の熱処理、および 5) ライト酸化膜 2 6 の形成の際の熱処理等、種々の熱処理工程を有する。

【 0 0 8 4 】

このような熱処理工程において、半導体基板に形成した溝の内部に埋め込まれた酸化シリコン膜 6 、特に、溝の内壁に生じたドライエッティングのダメージを回復するために形成される薄い熱酸化膜(酸化シリコン膜 5)の酸化が進行し、素子形成領域に加わる応力が大きくなる。

【 0 0 8 5 】

また、n⁺型半導体領域 1 7 (ソース、ドレイン領域)やn⁺型半導体領域 1 9 を形成する際のイオン打ち込みによっても、素子形成領域に応力が加わる。

【 0 0 8 6 】

さらに、窒化シリコン膜は、膜応力の大きい膜であるため、例えば、コンタクトホール C 1 や配線溝 H M 1 を自己整合的に形成するために用いられる窒化シリコン膜 2 8 の堆積時にも、素子形成領域に応力が加わる。

【 0 0 8 7 】

しかしながら、本実施の形態によれば、前述した通り、素子形成領域 A c の端部を伸長したので、前記応力が加わっても、メモリセルが形成される領域までは、欠陥が延びず、メモリセルのリーク電流を低減する等の効果を得ることができる。

【 0 0 8 8 】

(実施の形態 2)

図 1 3 に本実施の形態の半導体集積回路装置の要部平面図を示す。図 1 3 の右部は、メモリセル形成領域 M C F R を示し、左部は、周辺回路形成領域 P C F R を示す。メモリセル形成領域には、N O R 型の不揮発性メモリセルがアレイ状に配置され、周辺回路形成領域には、周辺回路の一例として選択用 M I S F E T S が形成されている。本実施の形態の半導体集積回路装置は、図 1 と対比して明らかのように、素子形成部 A c 1 の端部が接続部 A c 2 で接続されている以外は、その構成が実施の形態 1 と同様であるため、詳細な説明は省略し、特徴的な部分のみ説明する。

【 0 0 8 9 】

即ち、図 1 3 に示すように、メモリセル形成領域には、X 方向に延在した素子形成部 A c 1 が、Y 方向に一定の間隔毎に配置されており、この素子形成部 A c 1 の端部は、Y 方向に延在する接続部 A c 2 によって接続されている。

【 0 0 9 0 】

このように、本実施の形態においては、素子形成部 A c 1 の端部を、接続部 A c 2 によって接続したので、図 1 4 に示すように、応力の加わる方向を変化させることができる。従って、実施の形態 1 の効果に加え、さらに、応力が素子形成部 A c 1 に集中することを緩和することができる。その結果、実質的なメモリセルが形成される領域(メモリセルアレイ M C F R)までは、欠陥 D e 1 が延びず、メモリセルのリーク電流を低減することができる。

【 0 0 9 1 】

なお、図 1 3 においては、素子形成部 A c 1 のすべてを接続部 A c 2 で接続したが、図 1 5 に示すように、いくつかの素子形成部 A c 1 每に(図 1 5 の場合は、2 つの素子形成

10

20

30

40

50

部 A c 1 每に)、接続部 A c 2 を設けてよい。

【0092】

(実施の形態3)

図16に本実施の形態の半導体集積回路装置の要部平面図を示す。図16の右部は、メモリセル形成領域MCFRを示し、左部は、周辺回路形成領域PCFRを示す。メモリセル形成領域には、NOR型の不揮発性メモリセルがアレイ状に配置され、周辺回路形成領域には、周辺回路の一例として選択用MISFET Sが形成されている。本実施の形態の半導体集積回路装置は、図1と対比して明らかのように、メモリセル形成領域に、配置された複数の素子形成領域A c、A c Wのうち、最外の素子形成領域A c Wの幅が、他の素子形成領域A c の幅より広くなっている以外は、その構成が実施の形態1と同様であるため、詳細な説明は省略し、特徴的な部分のみ説明する。10

【0093】

即ち、図16に示すように、メモリセル形成領域には、X方向に延在した素子形成領域A c、A c Wが、Y方向に一定の間隔毎に配置されており、この素子形成領域A c、A c Wのうち、Y方向について最端に位置する素子形成領域A c WのY方向の幅が、他の素子形成領域A c のそれより広くなっている。

【0094】

このように、本実施の形態においては、最外の素子形成領域A c Wの幅を他の素子形成領域A c より広く形成したので、図17に示すように、応力の影響を緩和することができ、最外の素子形成領域A c Wの欠陥(Defect)の発生率を低減することができる。その結果、メモリセルのリーク電流を低減することができる。20

【0095】

また、実施の形態1で説明したように、素子形成領域A c、A c Wの端部を伸長すれば、メモリセルが形成される領域まで欠陥(Defect)が延びることを防止することができ、実施の形態1で説明した効果を得ることができる。

【0096】

(実施の形態4)

図18に本実施の形態の半導体集積回路装置の要部平面図を示す。図18の右部は、メモリセル形成領域MCFRを示し、左部は、周辺回路形成領域PCFRを示す。メモリセル形成領域には、NOR型の不揮発性メモリセルがアレイ状に配置され、周辺回路形成領域には、周辺回路の一例として選択用MISFET Sが形成されている。図19は、図18のA-A断面の概略図であり、図20は、図18のB-B断面の概略図である。30

【0097】

本実施の形態の半導体集積回路装置は、図13と対比して明らかのように、メモリセル形成領域に、配置された複数の素子形成部A c 1の最外に、素子形成領域DACを設けたこと以外は、その構成が実施の形態2と同様であるため、詳細な説明は省略し、特徴的な部分のみ説明する。

【0098】

即ち、図18に示すように、メモリセル形成領域には、X方向に延在した素子形成部A c 1が、Y方向に一定の間隔毎に配置されており、この素子形成部A c のうち最外に位置する素子形成部A c 1のさらに外側に素子形成領域DACが配置されている。40

【0099】

この素子形成領域DAC上には、メモリセルとして機能するメモリセルが形成されていない。即ち、素子形成領域DAC上には、Y方向に制御電極CGが延在しているが、この制御電極CGの両端には、プラグDCやプラグSCが形成されていない。

【0100】

また、制御電極CGのY方向の端部には、この制御電極CGの引き出し部(制御電極CGとさらに上層の配線との接続部)CAが交互に形成されている。図18においてかかる領域(CA)が形成されていない制御電極CGについては、図18には現れていない他の端部に前記引き出し部を有する。50

【0101】

このように、本実施の形態においては、複数の素子形成部 A c 1 の最外に素子形成領域 D A c を設けたので、この領域に応力を集中させることができ、モリセルが形成される領域、つまり、図 2 1 に示す素子形成部 A c 1 に、欠陥 (D e 2) が延びず、メモリセルのリーク電流を低減することができる。

【0102】

また、引き出し部 C A の下を利用し、素子形成領域 D A c を形成したので、メモリセル形成領域を大きくすることなく、欠陥対策を行うことができる。

【0103】

また、実施の形態 2 で説明したように、これらの素子形成部 (A c 1 、 D A c) の端部を、接続部 A c 2 によって接続すれば、実施の形態 2 で説明した効果 (欠陥 D e 1 の影響の低減) を得ることができる。 10

【0104】

図 2 2 に、本実施の形態の半導体集積回路装置に対応する回路図を示す。図示するように、メモリセル M C がアレイ状に配置されている。但し、 D A c (素子形成領域) 上のメモリセルは、メモリセルとしての動作を行わない。また、 D S G (ダミー導電性膜) 上には、実施の形態 1 で説明した疑似メモリセルが形成される。なお、 M B L は、主ビット線を表す。また、 S は、前述した選択用 M I S F E T を表す。また、これらのメモリセルは、あるブロック (B l o c k) を一つの単位としており、例えば、このブロック毎に、データを一括消去することができる。 1 つのウエル (W E L L) を 1 ブロックとすることができます。なお、実施の形態 1 ~ 3 で説明した半導体集積回路装置に対応する回路図は、図 2 2 の D A c (素子形成領域) 上のメモリセルがないことを除き、同様である。 20

【0105】

以上、実施の形態 1 ~ 4 を具体的に説明したが、本発明はかかる実施の形態に限定されるものではなく、例えば、実施の形態 3 の素子形成領域 A c や A c W の端部を実施の形態 2 のように、接続部 A c 2 によって接続してもよい。また、実施の形態 4 の素子形成領域 A c 1 、 D A c の端部を、接続部 A c 2 によって接続せず、実施の形態 1 のように、これらの素子形成領域の端部を伸長するだけでもよい。このように、これらの実施の形態中で説明した構成を適宜組み合わせてもよい。

【0106】

30

(実施の形態 5)

実施の形態 1 ~ 4 で説明した半導体集積回路装置は、以下に説明するコンピュータシステムに利用することができる。

【0107】

図 2 3 は、実施の形態 1 ~ 4 で説明した半導体集積回路装置 (不揮発性メモリ) が取り込まれたコンピュータシステムを示し、このシステムはシステムバス S B を介して相互に接続されたホスト C P U (Central Processing Unit) 2 3 1 と、入出力装置 2 3 2 、 R A M (Random Access Memory) 2 3 3 、メモリカード 2 3 4 とから構成されている。

【0108】

メモリカード 2 3 4 は例えばハードディスク記憶装置の置換用途として数十ギガバイトの大容量記憶の不揮発性メモリ (E E P R O M チップ 1 ~ チップ 4) を含み、実施の形態 1 ~ 4 で説明した不揮発性メモリの利点、例えば、装置内の欠陥の低減、リーク電流の低減、もしくは装置の歩留まり向上や信頼性の向上といった利点を享受するので、最終製品である記憶装置としても十分な産業的利点を有するものである。 40

【0109】

尚、本発明は厚さの比較的薄いメモリカード 2 3 4 に限定されるものでは無く、厚さが比較的厚い場合であっても、ホストバスシステムとのインターフェイスとホストシステムのコマンドを解析して不揮発性メモリを制御することが可能なインテリジェントなコントローラとを含むどのような不揮発性記憶装置にも適用可能なことは言うまでもない。

【0110】

50

長期間に記憶されるデータはこの不揮発性の記憶装置に記憶される一方、ホストCPU 231によって処理されて頻繁に変更されるデータは揮発性メモリのRAM 233に格納される。

【0111】

カード234はシステムバスSBと接続されるシステムバスインターフェイスSBIを持ち、例えばATAシステムバスなどの標準バスインターフェイスを可能とする。システムバスインターフェイスSBIに接続されたコントローラCRは、システムバスSBに接続されたホストCPU231や入出力装置232のホストシステムからのコマンドとデータとを受け付ける。

【0112】

コマンドがリード命令の場合は、コントローラCRは実施の形態1～4で説明した不揮発性メモリを有する複数のチップ1～4(CH1～4)の必要なひとつまたは複数をアクセスして読み出しデータをホストシステムへ転送する。

【0113】

コマンドがライト命令の場合は、コントローラCRは複数のチップ1～4(CH1～4)の必要なひとつまたは複数をアクセスしてホストシステムからの書き込みデータをその内部に格納する。この格納動作は、不揮発性メモリの必要なブロックやセクターやメモリセルへのプログラム動作とペリファイ動作とを含んでいる。

【0114】

コマンドが消去命令の場合は、コントローラは複数のチップ1～4(CH1～4)の必要なひとつまたは複数をアクセスして、その内部に記憶されるデータを消去する。この消去動作は、不揮発性メモリの必要なブロック、セクターまたはメモリセルへの消去動作とペリファイ動作とを含んでいる。

【0115】

本発明の実施例による不揮発性メモリは、1つのメモリセルにデジタルデータの1ビットを記憶させるためメモリセルに2値の閾値電圧を持たせる技術ばかりでなく、1つのメモリセルにデジタルデータの多ビットを記憶させるためメモリセルに4値あるいはそれ以上の多値の閾値電圧を持たせる技術にも適用可能であることは言うまでもない。

【0116】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0117】

特に、本実施の形態においては、NOR型の不揮発性メモリを例に説明したが、AND型、NAND型等の不揮発性メモリを始め、細長い素子形成領域を有する半導体集積回路装置に広く適用可能である。

【産業上の利用可能性】

【0118】

本発明は、半導体集積回路装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0119】

【図1】本発明の実施の形態1である半導体集積回路装置を示す基板の要部平面図である。

【図2】本発明の実施の形態1である半導体集積回路装置を示す基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置を示す基板の要部断面図である。

【図4】本発明の実施の形態1の効果を説明するための半導体集積回路装置を示す基板の要部平面図である。

【図5】本発明の実施の形態1である半導体集積回路装置を示す基板の要部平面図である

10

20

30

40

50

。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。 10

【図11】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図12】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図13】本発明の実施の形態2である半導体集積回路装置を示す基板の要部平面図である。

【図14】本発明の実施の形態2である半導体集積回路装置を示す基板の要部平面図である。

【図15】本発明の実施の形態2である半導体集積回路装置を示す基板の要部平面図である。 20

【図16】本発明の実施の形態3である半導体集積回路装置を示す基板の要部平面図である。

【図17】本発明の実施の形態3である半導体集積回路装置を示す基板の要部平面図である。

【図18】本発明の実施の形態4である半導体集積回路装置を示す基板の要部平面図である。

【図19】本発明の実施の形態4である半導体集積回路装置を示す基板の要部断面図である。

【図20】本発明の実施の形態4である半導体集積回路装置を示す基板の要部断面図である。 30

【図21】本発明の実施の形態4である半導体集積回路装置を示す基板の要部平面図である。

【図22】本発明の実施の形態4である半導体集積回路装置に対応する回路図である。

【図23】本発明の半導体集積回路装置を用いたコンピュータシステムを示す図である。

【符号の説明】

【0120】

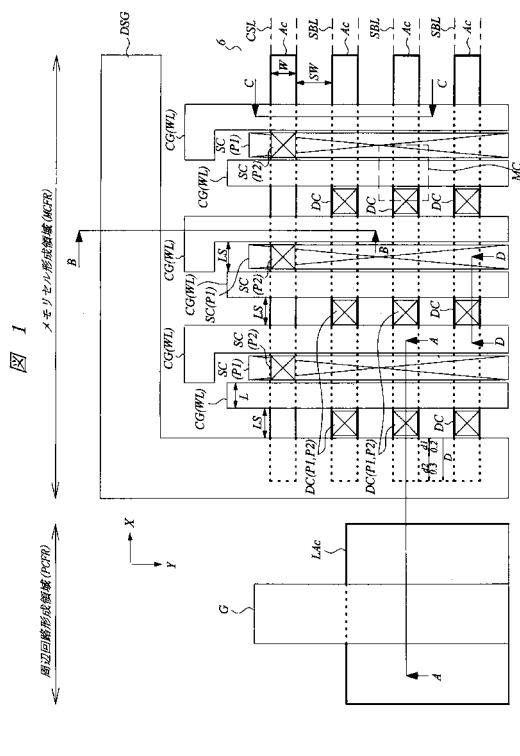
- 1 半導体基板
- 4 素子分離溝
- 5 酸化シリコン膜(熱酸化膜)
- 6 酸化シリコン膜(絶縁膜)
- 8 p型ウエル
- 9 ゲート絶縁膜
- 9 b ゲート絶縁膜
- 10 多結晶シリコン膜
- 17 n⁺型半導体領域
- 19 n⁺型半導体領域
- 21 ONO膜(絶縁膜)
- 22 多結晶シリコン膜
- 24 室化シリコン膜

40

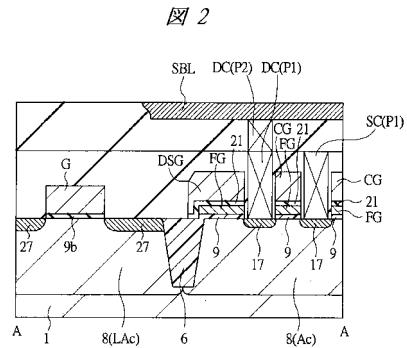
50

2 6	ライト酸化膜	
2 7	n^+ 型半導体領域	
2 8	窒化シリコン膜	
3 0	酸化シリコン膜	
3 2	窒化シリコン膜	
3 5	酸化シリコン膜	
4 0	W膜	
A c	素子形成領域	
A c 1	素子形成部	10
A c 2	接続部	
A c W	素子形成領域	
D A c	素子形成領域	
L A c	素子形成領域	
C 1	コントラクトホール	
C 2	コントラクトホール	
C A	引き出し部	
S C	プラグ	
D C	プラグ	
P 1	プラグ	
P 2	プラグ	20
C G	制御電極	
F G	浮遊電極	
F G'	パターン	
G	ゲート電極	
D S G	ダミー導電性膜	
D e 1、D e 2	欠陥	
M B I	主ビット線	
S B L	副ビット線	
S L	ソース線	
W L	ワード線	30
M 1	第1層配線	
D、d 1、d 2	距離	
M C	メモリセル	
S	選択用M I S F E T	
2 3 2	入出力装置	
2 3 3	R A M	
2 3 4	メモリカード	
S B	システムバス	
S B I	システムバスインターフェイス	
C R	コントローラ	40
C H 1 ~ C H 4	チップ	
M C F R	メモリセル形成領域	
P C F R	周辺回路形成領域	
M C A R	メモリセルアレイ	

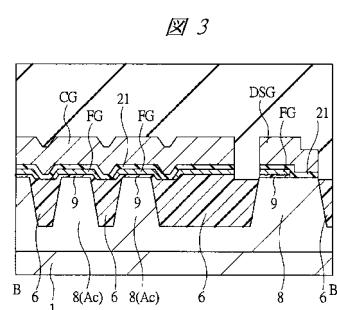
【図1】



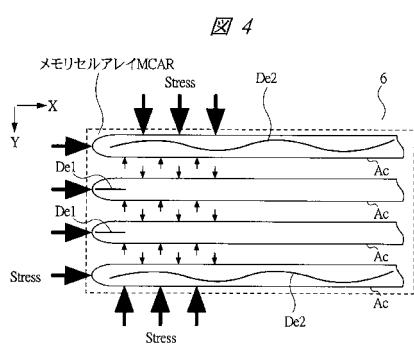
【図2】



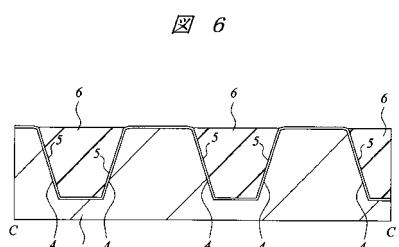
【図3】



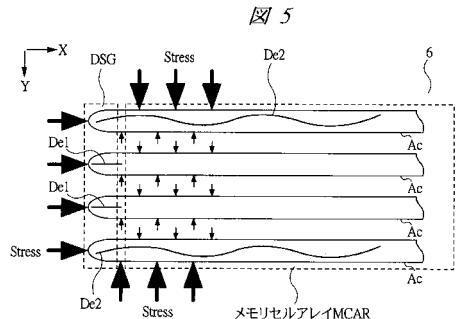
【図4】



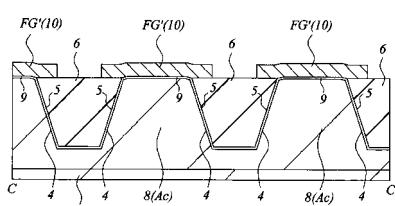
【図6】



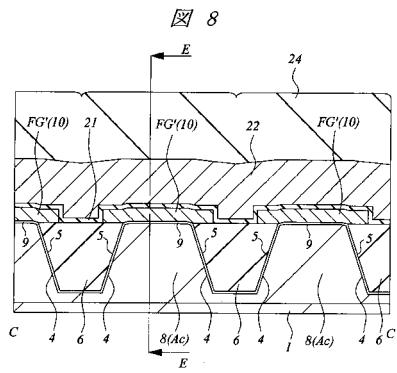
【図5】



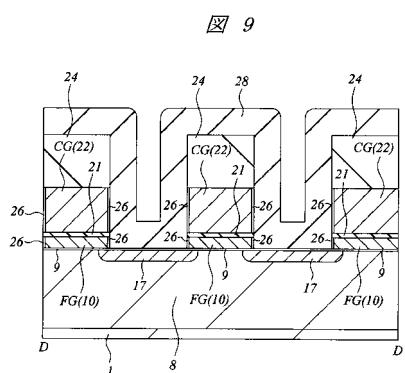
【図7】



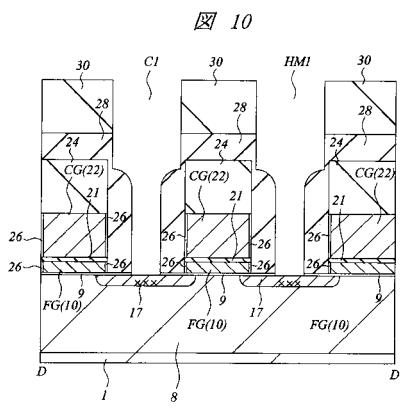
【図8】



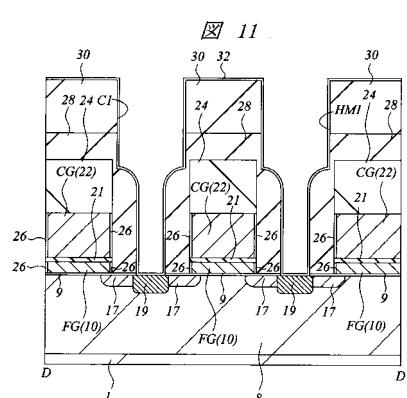
【図9】



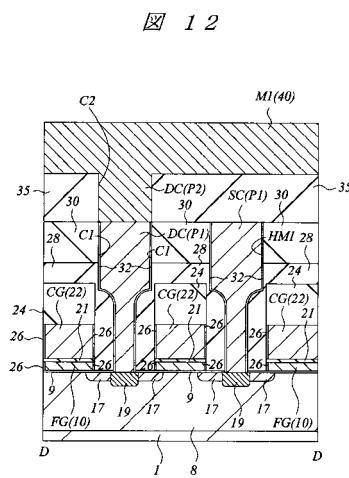
【図10】



【図11】

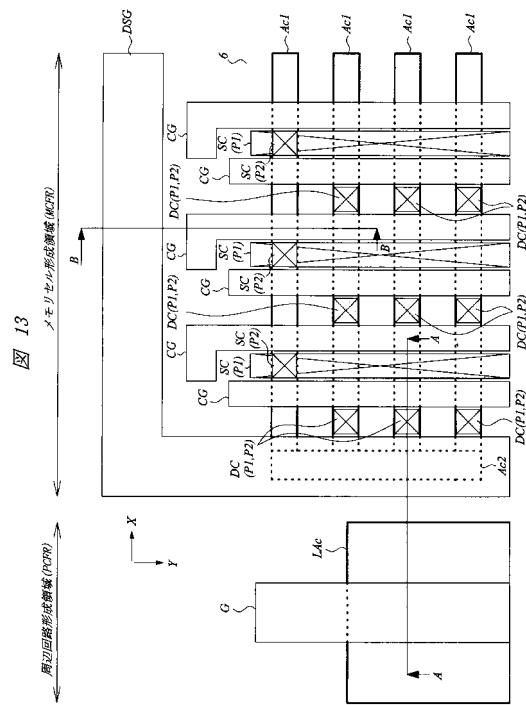


【図12】



☒ 12

【図13】



10

25 (WCDR)

【図14】

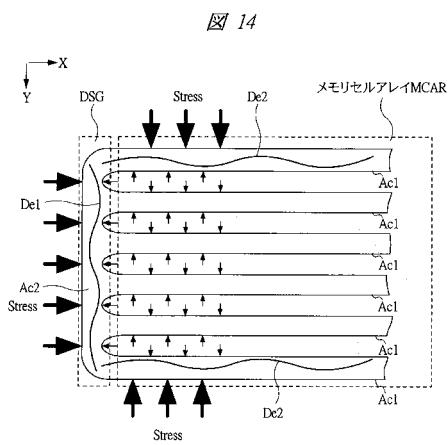
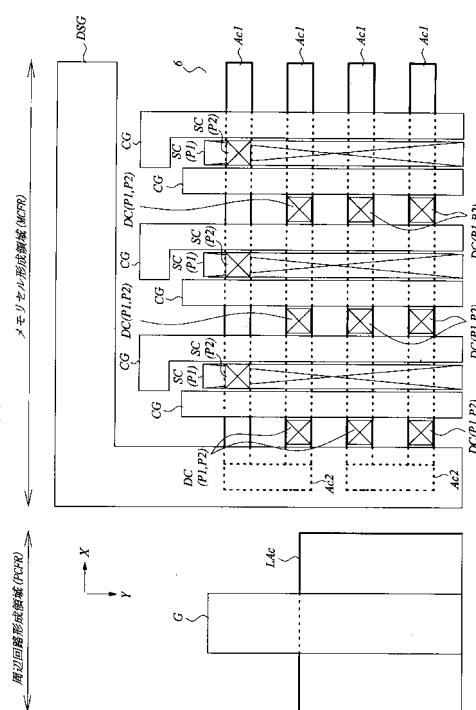


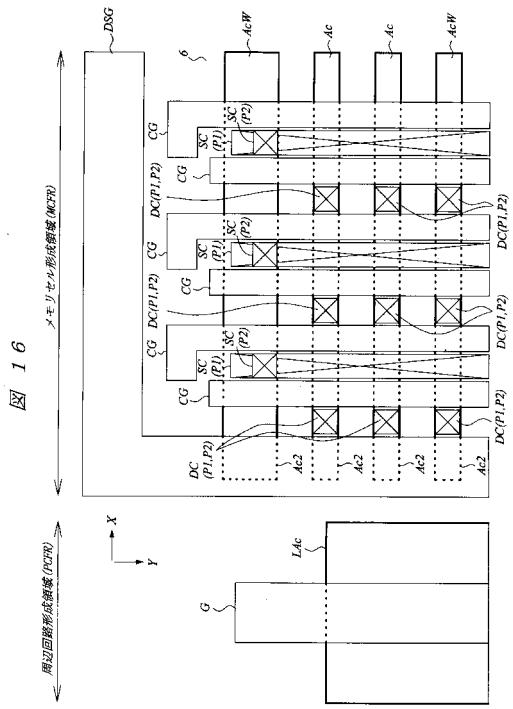
图 14

【図15】

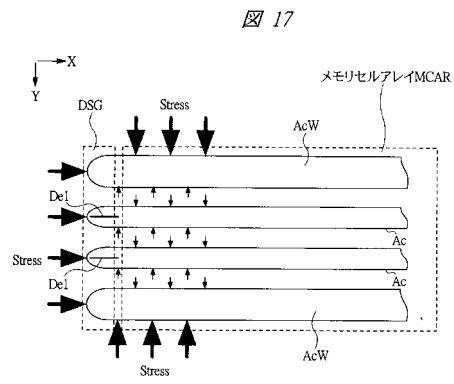


周辺回路形成領域 (PCFR)

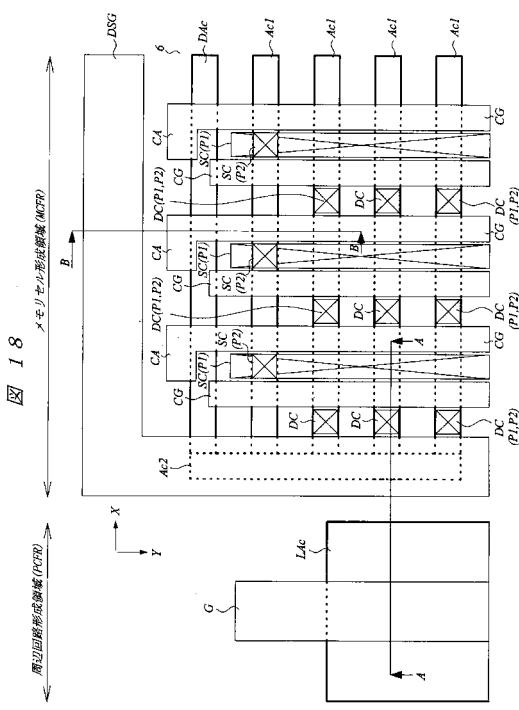
【図16】



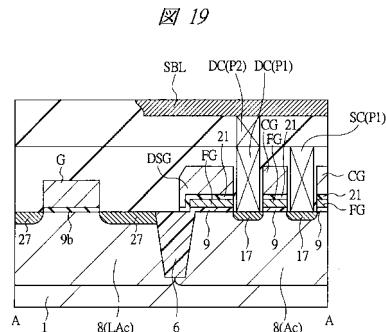
【図17】



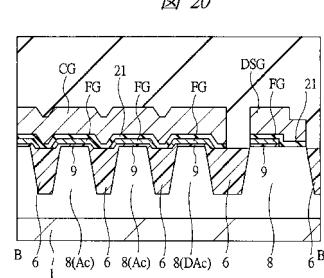
【図18】



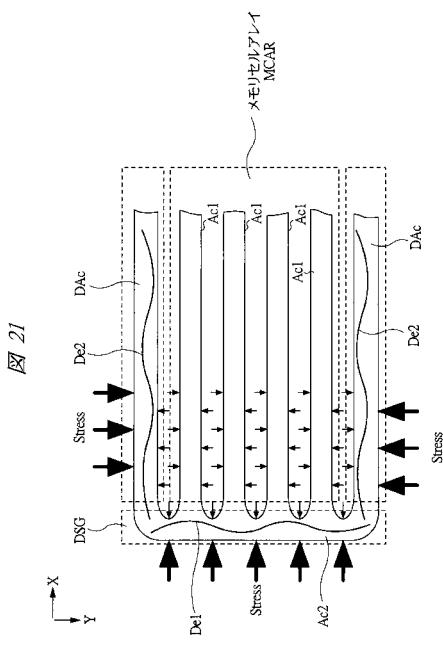
【図19】



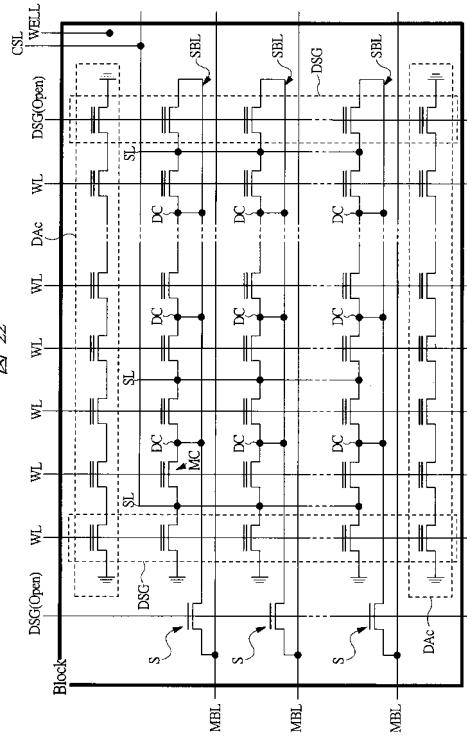
【図20】



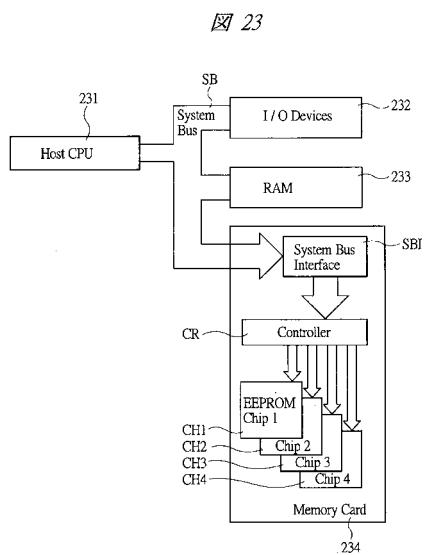
【図21】



【図22】



【図23】



フロントページの続き

(51)Int.Cl. F I
H 01 L 27/10 (2006.01)

(72)発明者 岡田 大介
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
(72)発明者 柳田 博史
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 宮部 裕一

(56)参考文献 特開2001-332708 (JP, A)
特開平10-242420 (JP, A)
特開平10-150163 (JP, A)
特開平10-022480 (JP, A)
特開平09-097762 (JP, A)
特開平11-097652 (JP, A)
特開平02-196462 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 27 / 115
H 01 L 27 / 088
H 01 L 29 / 788
H 01 L 29 / 792
H 01 L 21 / 8247
H 01 L 21 / 76
H 01 L 21 / 8234