(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2010 年 11 月 25 日 (25.11.2010)

PCT

(10) 国际公布号
WO 2010/133142 A1

(51) 国际专利分类号:
G06F 15/16 (2006.01)

(21) 国际申请号: PCT/CN2010/072614

(22) 国际申请日: 2010 年 5 月 11 日 (11.05.2010)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
200910084526.1 2009 年 5 月 20 日 (20.05.2009) CN

(71) 申请人 (对除美国外的所有指定国): **联想（北京）有限公司 (LENOVO (BEIJING) CO., LTD.)** [CN/CN]; 中国北京市海淀区上地西路 6 号, Beijing 100085 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **陈浩 (CHEN, Hao)** [CN/CN]; 中国北京市海淀区上地西路 6 号, Beijing 100085 (CN)。 **谭海防 (TAN, Haifang)** [CN/CN]; 中国北京市海淀区上地西路 6 号, Beijing 100085 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: METHOD, DEVICE AND TERMINAL FOR CONTROLLING DUAL-PROCESSOR SWITCH

(54) **发明名称** : 控制双处理器切换的方法、装置及终端

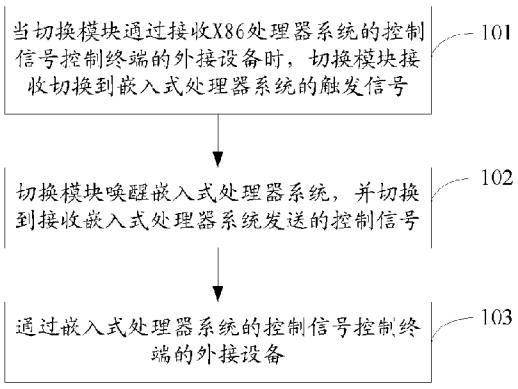


图 1 / FIG. 1

101 WHEN THE SWITCH MODULE IS CONTROLLING THE PERIPHERAL DEVICES OF THE TERMINAL BY RECEIVING CONTROL SIGNALS FROM THE X86 PROCESSOR SYSTEM, THE SWITCH MODULE RECEIVES A TRIGGER SIGNAL OF SWITCHING TO THE EMBEDDED PROCESSOR SYSTEM
102 THE SWITCH MODULE WAKES UP THE EMBEDDED PROCESSOR SYSTEM, AND SWITCHES TO RECEIVE CONTROL SIGNALS SENT FROM THE EMBEDDED PROCESSOR SYSTEM
103 CONTROLS THE PERIPHERAL DEVICES OF THE TERMINAL BY USING THE CONTROL SIGNALS FROM THE EMBEDDED PROCESSOR SYSTEM

(57) **Abstract**: A method, device and terminal for controlling dual-processor switch. Said terminal comprises an X86 processor system, an embedded processor system and a switch module connecting the X86 processor system with the embedded processor system, and the switch module is connected to the peripheral devices of said terminal. Said method comprises: when said switch module is controlling said peripheral devices by receiving control signals from the X86 processor system, the switch module receives a trigger signal of switching to the embedded processor system; said switch module wakes up said embedded processor system, and switches to receive control signals sent from said embedded processor system; and controls said peripheral devices by using the control signals from the embedded processor system. The method enables the embedded processor system to control the peripheral devices of the terminal individually through the switch module; therefore, the embedded processor system can accomplish specific applications of the terminal without starting up the X86 processor system.

[见续页]

WO 2010/133142 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

一种控制双处理器切换的方法、装置及终端。所述终端包括 X86 处理器系统、嵌入式处理器系统和连接所述 X86 处理器系统和嵌入式处理器系统的切换模块，切换模块与所述终端的外接设备相连。所述方法包括：当所述切换模块通过接收 X86 处理器系统的控制信号控制所述外接设备时，切换模块接收切换到嵌入式处理器系统的触发信号；所述切换模块唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号；并通过使用嵌入式处理器系统的控制信号控制所述外接设备。该方法可以通过切换模块实现嵌入式处理器系统对终端外接设备的单独控制，因此可以由嵌入式处理器系统完成终端的特定应用，而不必开启 X86 处理器系统。

控制双处理器切换的方法、装置及终端

技术领域

本发明涉及通信技术领域，特别涉及控制双处理器切换的方法、装置及终端。

背景技术

现有的异构处理器计算环境主要指由双处理器组成的终端，通常双处理器中一个是 X86 处理器，另一个是嵌入式处理器（ARM 处理器或 MIPS 处理器）。X86 处理器通常具有高速率、高功耗的特点，是一种通用的 Windows 操作系统处理器，由于其计算能力远高于嵌入式处理器，因此终端的显示屏、USB（Universal Serial Bus，通用串行总线）接口、键盘、扬声器等外接设备通常都直接与 X86 处理器相连，由 X86 处理器通过 PC（Personal Computer，个人计算机）总线标准对视频系统、音频系统、存储系统和外设输入输出系统进行控制。但是，由于嵌入式处理器通常具有低功耗、低速率的特点，是一种非通用处理器，因此在 X86 处理器处于睡眠状态，或者终端处于电量较低的状态时，需要嵌入式处理器可以完成特定的应用，例如上网、或者媒体播放等，以达到省电和快速启动应用的目的。

发明人在对现有技术的研究过程中发现，基于现有的双处理器架构，由于嵌入式处理器采用自有总线标准，与 X86 所采用的 PC 总线标准不一致，导致嵌入式处理器难以对终端的外接设备单独进行控制，因此在完成特定应用时，仍然需要 X86 处理器处于唤醒状态，也就是说要两个处理器要同时处于工作状态，由此可知，在 X86 处理器处于休眠状态或待机状态时完成特定应用，需要唤醒 X86 处理器，所以将增加终端的功耗。

发明内容

本发明的目的在于提供控制双处理器切换的方法、装置及终端，以解决现有技术中在进行特定应用时需要启动两个处理器，导致终端功耗增加的问题。

为解决上述技术问题，本发明提供如下技术方案:

一种控制双处理器切换的方法，应用于包括 X86 处理器系统和嵌入式处理器系统的终端，所述终端还包括与所述 X86 处理器系统和嵌入式处理器系

统连接的切换模块，所述切换模块与所述终端的外接设备相连，所述方法包括:

当所述切换模块通过接收X86处理器系统的控制信号控制所述外接设备时，所述切换模块接收切换到嵌入式处理器系统的触发信号;

所述切换模块唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号;

通过所述嵌入式处理器系统的控制信号控制所述外接设备。

一种控制双处理器切换的装置，应用于包括X86处理器系统和嵌入式处理器系统的终端，所述切换装置与所述终端的外接设备相连，所述装置包括:

接收单元，用于当切换单元通过接收X86处理器系统的控制信号控制所述外接设备时，接收切换到嵌入式处理器系统的触发信号;

切换单元，用于唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。

一种终端，包括：X86处理器系统、嵌入式处理器系统和切换装置，所述切换装置与所述终端的外接设备相连，

所述切换装置用于，当通过接收X86处理器系统的控制信号控制所述外接设备时，接收切换到嵌入式处理器系统的触发信号，唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。

由以上本发明提供的技术方案可见，本发明实施例的终端包括X86处理器系统、嵌入式处理器系统和连接所述X86处理器系统和嵌入式处理器系统的切换模块，切换模块与所述终端的外接设备相连，当所述切换模块通过接收X86处理器系统的控制信号控制所述外接设备时，所述切换模块接收切换到嵌入式处理器系统的触发信号，所述切换模块唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。由于本发明实施例可以通过切换模块实现嵌入式处理器系统对终端外接设备的单独控制，因此可以由嵌入式处理器系统完成终端的特定应用，而不必开启X86处理器系统，由此节约了终端功耗；并且将终端的切换控制功能集成在切换模块中，节约了终端的涉及成本和器件数量。

附图说明

图 1 为本发明控制双处理器切换的方法的第一实施例流程图;

图 2 为本发明控制双处理器切换的方法的第二实施例流程图;

图 3 为本发明控制双处理器切换的装置的第一实施例框图;

图 4 为本发明控制双处理器切换的装置的一个应用实例结构图;

图 5 为图 4 中显示协议转换模块的结构示意图;

图 6 为图 4 中存储共享模块的结构示意图;

图 7 为本发明控制双处理器切换的装置的第二实施例框图;

图 8 为本发明控制双处理器切换的装置的另一个应用实例结构图;

图 9 为本发明终端的实施例框图。

具体实施方式

本发明的核心是提供控制双处理器切换的方法、装置及终端，该终端包括 X86 处理器系统、嵌入式处理器系统和与所述 X86 处理器系统和嵌入式处理器系统连接的切换模块，切换模块与所述终端的外接设备相连，当所述切换模块通过接收 X86 处理器系统的控制信号控制所述外接设备时，所述切换模块接收切换到嵌入式处理器系统的触发信号，所述切换模块唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。

为了使本技术领域的人员更好地理解本发明方案，并使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图和具体实施方式对本发明作进一步详细的说明。

本发明实施例中的终端包括 X86 处理器系统和嵌入式处理器系统，这两个处理器均可以通过切换模块独立对终端的外接设备进行控制。嵌入式处理器可以具体为 ARM 处理器或者 MIPS 处理器。终端的外接设备通常包括显示屏、USB 外接设备（摄像头、蓝牙、无线网卡等）、FLASH（闪存）或存储卡接口、音频设备（扬声器、耳机或麦克风）。其中，嵌入式处理器可以与所述切换模块分开设置；或者所述嵌入式处理器也可以集成在所述切换模块内，通过内部总线与所述切换模块相连。切换模块通常可以是集成了多个切换单元功能的芯片，或者集成了多个切换单元功能和嵌入式处理器功能的芯片。

本发明控制双处理器切换的方法的第一实施例流程如图 1 所示:

步骤 101：当切换模块通过接收 X86 处理器系统的控制信号控制终端的外接设备时，切换模块接收切换到嵌入式处理器系统的触发信号。

其中，切换模块可以包括：与显示模块相连的显示切换单元；与 USB 外接设备相连的 USB 信号切换单元；与闪存或存储卡接口相连的存储共享切换单元；与音频设备相连的音频信号切换单元。

具体的，切换模块通过接收 X86 处理器系统的控制信号控制外接设备至少包括下述一种方式：所述显示切换单元接收所述 X86 处理器系统通过显卡发送的显示控制信号并控制所述显示模块；所述 USB 信号切换单元接收所述 X86 处理器系统通过南桥发送的 USB 控制信号并控制所述 USB 外接设备；所述存储共享切换单元接收所述X86处理器系统通过南桥发送的存储控制信号并控制所述闪存或存储卡接口；所述音频信号切换单元接收所述 X86 处理器系统通过声卡发送的音频控制信号并控制所述音频设备。

步骤 102：切换模块唤醒嵌入式处理器系统，并切换到接收嵌入式处理器系统发送的控制信号。

其中，所述切换模块通过 SPI 接口向所述嵌入式处理器系统发送唤醒信号，然后所述切换模块获取终端当前的应用数据，并生成控制显示协议转换和存储共享所需的时钟信号。

具体的，切换模块接收切换到嵌入式处理器的触发信号可以包括：所述终端上切换按键被按下时，所述切换模块接收所述切换按键对应的切换到嵌入式处理器的触发信号；当所述X86处理器系统处于休眠状态或待机状态时，所述切换模块接收到通过嵌入式处理器系统控制外接设备的触发信号；当所述终端的电量低于阈值时，所述切换模块接收切换到嵌入式处理器系统的触发信号；当所述终端启动专有应用软件时，所述切换模块接收切换到嵌入式处理器系统的触发信号。

具体的，根据当前终端的不同应用，切换到接收嵌入式处理器系统发送的控制信号至少包括下述任意一种：所述显示切换单元切换到接收所述嵌入式处理器系统发送的经过显示协议转换的显示控制信号；所述 USB 信号切换单元切换到接收所述嵌入式处理器系统发送的 USB 控制信号；所述存储共享切换单元切换到接收所述嵌入式处理器系统发送的存储控制信号；所述音频信号切换单元切换到接收所述嵌入式处理器系统发送的音频控制信号。

步骤 103：通过嵌入式处理器系统的控制信号控制终端的外接设备。

进一步，当所述嵌入式处理器系统集成在所述切换模块内时，所述切换模块还包括与所述总线相连的基带处理单元，终端还可以通过基带处理单元进行无线通信信道的编码和解码，通过与所述基带处理单元相连的射频单元和天线进行无线通信。

本发明控制双处理器切换的方法的第二实施例流程如图 2 所示，该实施例以终端播放视频为例详细示出了控制双处理器切换的过程，该终端内的切换模块分别与 X86 处理器系统和嵌入式处理器系统相连，并且还与终端的外接设备相连。

假设该终端内的双处理器分别指 X86 处理器和 ARM 处理器，其中 X86 处理器位于 X86 处理器系统中，X86 处理器系统内还包括显卡、声卡、北桥、南桥、EC、按键、键盘、触摸板、电池等部件，这些部件通过 PC 总线受 X86 处理器的控制，而 ARM 处理器位于嵌入式处理器系统中。

步骤 201：X86 处理器系统控制视频文件的播放。

当 X86 处理器系统进行视频文件播放时，此时显示切换单元，USB 信号切换单元，音频信号切换单元都切换到接收 X86 处理器系统发送的控制信号，此时嵌入式处理器可以处于休眠状态。

步骤 202：判断是否触发切换条件，若是，则执行步骤 203；否则，返回步骤 201。

切换条件的触发例如可以包括：终端上的特殊按键被用户按下，电池电量低于 10%，或者用户通过专有应用软件触发。

步骤 203：切换模块唤醒 ARM 处理器系统，获取当前的视频文件信息。

在切换模块内可以设置切换逻辑控制单元，X86 处理器系统的 EC 通过 I2C 接口或者串口向切换模块的切换逻辑控制单元发送通知切换的消息，该切换逻辑控制单元通过 SPI 接口唤醒 ARM 处理器，并将获取的当前的视频文件信息发送到嵌入式处理器端，等待嵌入式处理器端播放该视频文件。

步骤 204：切换模块通知 PLL 单元生成控制显示协议转换和存储共享所需的时钟信号。

切换逻辑控制单元向 PLL（Phase locked loop，锁相环）单元发送控制消息使其工作并产生显示协议控制单元以及存储共享所需要的时钟信号

步骤 205：切换模块发送切换指令至显示切换单元、USB 信号切换单元、存储共享切换单元、音频信号切换单元和显示协议转换单元。

步骤 206：与 ARM 处理器相连的显示协议转换单元将数字信号转换为模拟信号。

其中，显示协议转换单元的作用是将数字嵌入式处理器输出的 RGB 数字显示信号转换为 DISPLAYPORT（输出接口）或者 LVDS（Low Voltage Differential Signal，低压差分信息）模拟信号，以便支持显示屏的输出。

步骤 207：显示切换单元、USB 信号切换单元、音频信号切换单元切换到接收 ARM 处理器系统发送的控制信号。

其中，显示切换单元将 X86 处理器系统显卡输出的信号与显示协议转换单元产生的 LVDS 或者 DISPLAYPORT 信号进行切换，当 X86 处理器系统播放视频文件时，显示切换单元的输出为 X86 处理器系统显卡的信号，当 X86 处理器系统进入休眠/待机/关机状态时，显示切换单元的输出为嵌入式处理器端的显示信号。需要说明的是，本发明实施例中的 X86 处理器系统可以具体为 PC 系统。

USB 信号切换单元将 X86 处理器系统南桥输出的 USB 信号和嵌入式处理器端的 USB 信号进行切换，当 X86 处理器系统播放视频文件时，USB 信号切换单元的输出为 X86 处理器系统的 USB 信号，当 X86 处理器系统进入休眠/待机/关机状态时，USB 信号切换单元的输出为嵌入式处理器端的 USB 信号，输出信号用于连接 USB 接口的外接设备，例如摄像头，蓝牙，无线网卡，存储盘等。

音频信号切换单元将 X86 处理器系统声卡输入输出的模拟音频信号与嵌入式处理器端输入输出的模拟音频信号进行切换，切换的输出信号连接扬声器，耳机，麦克风等外接设备。

步骤 208：存储共享切换单元将闪存或存储卡接口的控制转换到 ARM 处理器系统。

存储共享切换单元使 X86 处理器系统和嵌入式处理器端都能够访问到 FLASH 存储空间，以便数据的统一化管理，并节省了 X86 处理器系统与嵌入式处理器端数据的同步时间，由于 FLASH 的存储特性，在 X86 处理器系统进入休眠/待机/关机时可以不再访问硬盘，达到节省终端功耗的目的。

步骤 209：嵌入式处理器系统根据获取的视频文件信息控制视频软件的连续播放，结束当前流程。

本发明控制双处理器切换的装置的第一实施例框图如图 3 所示，该装置

应用于包括X86处理器系统和嵌入式处理器系统的终端中，其中，X86处理器系统、嵌入式处理器系统和该装置分别设置，该装置可以具体为芯片。该切换装置与所述终端的外接设备相连，该装置包括：接收单元310和切换单元320。

其中，接收单元310用于当切换单元通过接收X86处理器系统的控制信号控制所述外接设备时，接收切换到嵌入式处理器系统的触发信号；切换单元320用于唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。

具体的，切换单元320可以包括（图3中未示出）：

接口单元，用于通过SPI接口向所述嵌入式处理器发送唤醒信号；

配置单元，用于获取终端当前的应用数据；

时钟单元，用于生成控制显示协议转换和存储共享所需的时钟信号；

与显示模块相连的显示切换单元，用于接收所述X86处理器通过显卡发送的显示控制信号并控制所述显示模块，以及用于切换到接收所述嵌入式处理器发送的经过显示协议转换的显示控制信号；

与USB外接设备相连的USB信号切换单元，用于接收所述X86处理器通过南桥发送的USB控制信号并控制所述USB外接设备，以及用于切换到接收所述嵌入式处理器发送的USB控制信号；

与闪存或存储卡接口相连的存储共享切换单元，用于接收所述X86处理器通过南桥发送的存储控制信号并控制所述闪存或存储卡接口，以及用于切换到接收所述嵌入式处理器发送的存储控制信号；

与音频设备相连的音频信号切换单元，接收所述X86处理器通过声卡发送的音频控制信号并控制所述音频设备，以及用于切换到接收所述嵌入式处理器发送的音频控制信号。

当图3所示装置为一芯片时，该芯片设置在终端内，通过该芯片控制终端的双处理器，该终端的结构示意图如图4所示：

其中，芯片分别与X86处理器系统和嵌入式处理器端相连，芯片内包括芯片配置及切换逻辑控制模块、显示协议转换模块、显示切换模块、PLL模块、USB信号切换模块、存储共享模块、音频切换模块。显示切换模块与显示屏幕相连，USB信号切换模块与USB外设相连，存储共享模块与FLASH

或存储卡接口相连，音频信号切换模块与扬声器、耳机、麦克风等音频设备相连。下面对各个模块的功能分别进行介绍:

显示协议转换模块的作用是将数字 RGB 的显示信号转换为 DISPLAYPORT（或者 LVDS）信号，以便支持显示输出。

存储共享模块的作用是使X86处理器系统和嵌入式处理器端都能够访问到 FLASH 存储空间，以便数据的统一化管理，并节省了从电脑与嵌入式处理器端数据同步时间，由于 FLASH 的存储特性，在 X86 处理器系统进入休眠/待机/关机可以不再访问硬盘，达到节省终端电量的目的。

芯片配置以及切换逻辑模块的作用是接收 X86 处理器系统 EC 以及嵌入式处理器端的控制命令，并进行显示切换，USB 信号切换，模拟信号切换，存储共享切换的逻辑控制，以及负责各模块的内部电源控制，当某些时刻嵌入式处理器端不需要信号，例如在播放音频时，如果不需要 USB 信号切换，则可以把这部分电路进行低功耗处理以节省终端功耗。

PLL 模块的作用是产生时钟倍频，并且使输出时钟与原时钟保持精确的频率倍数关系和相位关系，针对于本芯片，提供例如显示协议转换内部的 DISPLAYPORT 以及存储共享的 USB 所需的时钟。

显示切换模块的作用是将X86处理器系统显示卡输出的信号与显示协议转换产生的 LVDS 或者 DISPLAYPORT 信号进行切换，当 X86 处理器系统工作时，此模块的输出为 X86 处理器系统显示卡这路的信号，当 X86 处理器系统进入休眠/待机/关机时，此模块的输出为嵌入式处理器端的显示信号。

USB 信号切换模块的作用是将 X86 处理器系统南桥输出的 USB 信号和嵌入式处理器端的 USB 信号进行切换，当 X86 处理器系统工作时，此模块的输出为 X86 处理器系统的 USB 信号，当 X86 处理器系统进入休眠/待机/关机时，此模块的输出为嵌入式处理器端的 USB 信号。输出的 USB 信号用于连接 USB 接口的外设，例如图中所示的摄像头，蓝牙，无线网卡，存储盘等。

音频信号切换模块的作用是将X86处理器系统声卡输入输出的模拟音频信号与嵌入式处理器端输入输出的模拟音频信号进行切换，切换的输出连接扬声器，耳机，麦克风等外接设备。

进一步，显示协议转换模块的具体结构示意图可以参见图 5，该显示协议转换模块可以包括：视频数据捕获单元，数据处理单元，数据成帧单元、

数据编码单元，数据转换单元。

其中，视频数据捕获单元负责捕获端口的 18 位并行显示数据，并且可以根据芯片配置以及切换逻辑的设置进行参数修改；数据处理单元的作用是将图像数据进行拉伸处理，比如嵌入式处理器的显示输出一般最大支持的显示分辨率为 1280 × 800，而 X86 处理器系统支持的显示分辨率一般在 1400 × 900 以上。要将数据进行插值处理以满足较大分辨率，否则无法正常输入到显示屏幕（尤其是笔记本的显示屏）；数据成帧单元的作用是按照显示屏幕要求的 displayport 或者 LVDS 的信号帧格式进行数据重组；数据编码单元的作用是将成帧后的数据进行 8BIT/10BIT 编码；数据转换单元的作用是支持 displayport 模拟化信号变换，保证前端可实现最低功耗、最高效率的每位数据传输；辅助通道转换单元的作用是将芯片配置以及切换逻辑的命令转换为 displayport 辅助通道的数据。

进一步，存储共享模块的具体结构示意图可以参见图 6，该存储共享模块可以包括: USB 控制器单元、硬盘控制器单元和 FLASH 控制和 ECC（Error Checking and Correcting，错误检查纠正）引擎单元。该存储共享模块的存在，使得 X86 处理器系统和嵌入式处理器系统可以同时访问该模块，以提升终端内数据的访问速度。

其中，硬盘控制器单元提供 X86 处理器系统的 SATA（Serial Advanced Technology Attachment，串行 ATA 硬盘接口规范）接口协议，保证 X86 处理器系统的数据输入兼容性；USB 控制器单元提供嵌入式处理器端的 USB 接口协议，保证嵌入式处理器端数据输入的兼容性；FLASH 控制和 ECC 引擎单元提供外部 FLASH 芯片以及存储卡的读写控制逻辑以及 ECC 校验，保证 FLASH 数据长期读写的可靠性。

本发明控制双处理器切换的装置的第二实施例框图如图 7 所示，该装置应用于包括 X86 处理器系统和嵌入式处理器系统的终端中，其中，嵌入式处理器系统集成在该装置中，该装置可以具体为芯片。该切换装置与所述终端的外接设备相连，该装置包括：嵌入式处理器单元 710、接收单元 720 和切换单元 730。

其中，嵌入式处理器单元 710 通过内部总线与所述切换单元 730 相连；接收单元 720 用于当切换单元通过接收 X86 处理器的控制信号控制所述外接设备时，接收切换到嵌入式处理器 710 的触发信号；切换单元 730 用于唤醒

所述嵌入式处理器，并切换到接收所述嵌入式处理器 710 发送的控制信号，通过所述嵌入式处理器 710 的控制信号控制所述外接设备。

进一步，该装置还可以包括基带处理单元 740，与所述内部总线相连，用于进行无线通信信道的编码和解码，通过与所述基带处理单元相连的射频单元和天线进行无线通信。

具体的，切换单元 730 可以包括（图 7 中未示出）:

接口单元，用于通过 SPI 接口向所述嵌入式处理器发送唤醒信号;

配置单元，用于获取终端当前的应用数据;

时钟单元，用于生成控制显示协议转换和存储共享所需的时钟信号;

与显示模块相连的显示切换单元，用于接收所述 X86 处理器通过显卡发送的显示控制信号并控制所述显示模块，以及用于切换到接收所述嵌入式处理器发送的经过显示协议转换的显示控制信号;

与 USB 外接设备相连的 USB 信号切换单元，用于接收所述 X86 处理器通过南桥发送的 USB 控制信号并控制所述 USB 外接设备，以及用于切换到接收所述嵌入式处理器发送的 USB 控制信号;

与闪存或存储卡接口相连的存储共享切换单元，用于接收所述 X86 处理器通过南桥发送的存储控制信号并控制所述闪存或存储卡接口，以及用于切换到接收所述嵌入式处理器发送的存储控制信号;

与音频设备相连的音频信号切换单元，接收所述 X86 处理器通过声卡发送的音频控制信号并控制所述音频设备，以及用于切换到接收所述嵌入式处理器发送的音频控制信号。

当图 7 所示装置为一芯片时，该芯片内集成了切换功能和嵌入式处理器系统，该终端的结构示意图如图 8 所示:

其中，集成了嵌入式处理器系统功能的芯片与 X86 处理器系统相连，芯片内包括芯片配置及切换逻辑控制模块、显示协议转换模块、显示切换模块、PLL 模块、USB 信号切换模块、存储共享模块、音频切换模块，还包括基带处理模块。显示切换模块与显示屏幕相连，USB 信号切换模块与 USB 外设相连，存储共享模块与 FLASH 或存储卡接口相连，音频信号切换模块与扬声器、耳机、麦克风等音频设备相连，上述各模块以及基带处理模块和嵌入式处理器在芯片内部均与内部总线相连。下面对各个模块的功能分别进行介绍:

显示协议转换模块的作用是将数字 RGB 的显示信号转换为DISPLAYPORT（或者 LVDS）信号，以便支持显示输出。

存储共享模块的作用是使X86处理器系统和嵌入式处理器端都能够访问到 FLASH 存储空间，以便数据的统一化管理，并节省了从电脑与嵌入式处理器端数据同步时间，由于 FLASH 的存储特性，在 X86 处理器系统进入休眠/待机/关机可以不再访问硬盘，达到节省终端电量的目的。

芯片配置以及切换逻辑模块的作用是接收 X86 处理器系统 EC 以及嵌入式处理器端的控制命令，并进行显示切换，USB 信号切换，模拟信号切换，存储共享切换的逻辑控制，以及负责各模块的内部电源控制，当某些时刻嵌入式处理器端不需要信号，例如在播放音频时，如果不需要 USB 信号切换，则可以把这部分电路进行低功耗处理以节省终端功耗。

PLL 模块的作用是产生时钟倍频，并且使输出时钟与原时钟保持精确的频率倍数关系和相位关系，针对于本芯片，提供例如显示协议转换内部的DISPLAYPORT 以及存储共享的 USB 所需的时钟。

显示切换模块的作用是将X86处理器系统显示卡输出的信号与显示协议转换产生的 LVDS 或者 DISPLAYPORT 信号进行切换，当 X86 处理器系统工作时，此模块的输出为 X86 处理器系统显示卡这路的信号，当 X86 处理器系统进入休眠/待机/关机时，此模块的输出为嵌入式处理器端的显示信号。

USB 信号切换模块的作用是将 X86 处理器系统南桥输出的 USB 信号和嵌入式处理器端的 USB 信号进行切换，当 X86 处理器系统工作时，此模块的输出为 X86 处理器系统的 USB 信号，当 X86 处理器系统进入休眠/待机/关机时，此模块的输出为嵌入式处理器端的 USB 信号。输出的 USB 信号用于连接 USB 接口的外设，例如图中所示的摄像头，蓝牙，无线网卡，存储盘等。

音频信号切换模块的作用是将X86处理器系统声卡输入输出的模拟音频信号与嵌入式处理器端输入输出的模拟音频信号进行切换，切换的输出连接扬声器，耳机，麦克风等外接设备。

基带处理模块的主要作用在于进行无线通信信道的编码和解码，该模块支持 WCDMA，HSDPA，HSUPA，GSM，GPRS，EDGE，IS-95A/B，1X，1xEV-DO 等协议，通过连接的射频单元以及天线组成无线通信部分。

内部总线的作用在于进行内部数据的高速交换，例如嵌入式处理器和基

带处理模块间的数据交换，以及 USB 信号切换模块和基带处理模块间的数据交换等。当 X86 处理器系统正常工作时，芯片中的嵌入式处理器可以进入休眠，而内部总线和基带处理模块可以保持工作状态，此时 X86 处理器系统的 USB 连接可以通过内部总线与基带处理模块通信，此时芯片以及射频单元和天线可以充当 X86 处理器系统的无线通信模块，例如 3G 上网卡；当 X86 处理器系统进入休眠/待机/关机时，芯片内部的嵌入式处理器可以访问基带处理模块以及射频单元和天线，可以进行无线通信和上网。

本发明终端的实施例框图如图 9 所示，该终端包括：X86 处理器系统 910、嵌入式处理器系统 920 和切换装置 930，所述切换装置与所述终端的外接设备相连。

其中，切换装置用于 930 当通过接收 X86 处理器系统 910 的控制信号控制所述外接设备时，接收切换到嵌入式处理器系统 920 的触发信号，唤醒所述嵌入式处理器系统 920，并切换到接收所述嵌入式处理器系统 920 发送的控制信号，通过所述嵌入式处理器系统 920 的控制信号控制所述外接设备。

其中，嵌入式处理器系统 920 可以与所述切换装置 930 分开设置；或者所述嵌入式处理器系统 920 也可以集成在所述切换装置 930 内，通过内部总线与所述切换装置 930 相连。进一步，切换装置 930 还用于通过基带处理单元进行无线通信信道的编码和解码，并通过与所述基带处理单元连接的射频单元和天线进行无线通信。

需要指出的是，本发明可以应用于具有双处理器的手机、PDA 或笔记本电脑等终端内。通过以上的实施方式的描述可知，本发明实施例的终端包括 X86 处理器系统、嵌入式处理器系统和连接所述 X86 处理器系统和嵌入式处理器系统的切换模块，切换模块与所述终端的外接设备相连，当所述切换模块通过接收 X86 处理器系统的控制信号控制所述外接设备时，所述切换模块接收切换到嵌入式处理器系统的触发信号，所述切换模块唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。由于本发明实施例可以通过切换模块实现嵌入式处理器系统对终端外接设备的单独控制，因此可以由嵌入式处理器系统完成终端的特定应用，而不必开启 X86 处理器系统，由此节约了终端功耗；并且将终端的切换控制功能集成在切换模块中，节约了终端的涉及成本和器件数量。

本领域的技术人员可以清楚地了解到本发明可借助软件加必需的通用硬件平台的方式来实现。基于这样的理解，本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品可以存储在存储介质中，如ROM/RAM、磁碟、光盘等，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行本发明各个实施例或者实施例的某些部分所述的方法。

以上所述的本发明实施方式，并不构成对本发明保护范围的限定。任何在本发明的精神和原则之内所作的修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种控制双处理器切换的方法，应用于包括 X86 处理器系统和嵌入式处理器系统的终端，其特征在于，所述终端还包括与所述 X86 处理器系统和嵌入式处理器系统连接的切换模块，所述切换模块与所述终端的外接设备相连，所述方法包括:

当所述切换模块通过接收X86处理器系统的控制信号控制所述外接设备时，所述切换模块接收切换到嵌入式处理器系统的触发信号;

所述切换模块唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号;

通过所述嵌入式处理器系统的控制信号控制所述外接设备。

2、根据权利要求 1 所述的方法，其特征在于，所述切换模块包括:

与显示模块相连的显示切换单元;

与 USB 外接设备相连的 USB 信号切换单元;

与闪存或存储卡接口相连的存储共享切换单元;

与音频设备相连的音频信号切换单元。

3、根据权利要求 2 所述的方法，其特征在于，所述切换模块通过接收X86 处理器系统的控制信号控制外接设备至少包括下述一种方式:

所述显示切换单元接收所述X86处理器系统通过显卡发送的显示控制信号并控制所述显示模块;

所述 USB 信号切换单元接收所述 X86 处理器系统通过南桥发送的 USB 控制信号并控制所述 USB 外接设备;

所述存储共享切换单元接收所述X86处理器系统通过南桥发送的存储控制信号并控制所述闪存或存储卡接口;

所述音频信号切换单元接收所述X86处理器系统通过声卡发送的音频控制信号并控制所述音频设备。

4、根据权利要求 2 所述的方法，其特征在于，所述切换模块接收切换到嵌入式处理器系统的触发信号包括:

所述终端上切换按键被按下时，所述切换模块接收所述切换按键对应的切换到嵌入式处理器系统的触发信号;

当所述 X86 处理器系统处于休眠状态或待机状态时，所述切换模块接收

到通过嵌入式处理器系统控制外接设备的触发信号;

当所述终端的电量低于阈值时，所述切换模块接收切换到嵌入式处理器系统的触发信号;

当所述终端启动专有应用软件时，所述切换模块接收切换到嵌入式处理器系统的触发信号。

5、根据权利要求 2 所述的方法，其特征在于，所述切换模块唤醒所述嵌入式处理器系统包括:

所述切换模块通过 SPI 接口向所述嵌入式处理器系统发送唤醒信号;

所述切换模块获取终端当前的应用数据;

生成控制显示协议转换和存储共享所需的时钟信号。

6、根据权利要求 2 所述的方法，其特征在于，所述切换到接收嵌入式处理器系统发送的控制信号至少包括下述任意一种:

所述显示切换单元切换到接收所述嵌入式处理器系统发送的经过显示协议转换的显示控制信号;

所述 USB 信号切换单元切换到接收所述嵌入式处理器系统发送的 USB 控制信号;

所述存储共享切换单元切换到接收所述嵌入式处理器系统发送的存储控制信号;

所述音频信号切换单元切换到接收所述嵌入式处理器系统发送的音频控制信号。

7、根据权利要求 1 所述的方法，其特征在于，所述嵌入式处理器与所述切换模块分开设置; 或

所述嵌入式处理器系统集成在所述切换模块内，通过内部总线与所述切换模块相连。

8、根据权利要求 7 所述的方法，其特征在于，当所述嵌入式处理器系统集成在所述切换模块内时，所述切换模块还包括与所述总线相连的基带处理单元，所述方法还包括:

基带处理单元进行无线通信信道的编码和解码，通过与所述基带处理单元相连的射频单元和天线进行无线通信。

9、一种控制双处理器切换的装置，应用于包括 X86 处理器系统和嵌入式处理器系统的终端，其特征在于，所述切换装置与所述终端的外接设备相

连，所述装置包括:

接收单元，用于当切换单元通过接收 X86 处理器系统的控制信号控制所述外接设备时，接收切换到嵌入式处理器系统的触发信号;

切换单元，用于唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。

10、根据权利要求 9 所述的装置，其特征在于，所述切换单元包括:

与显示模块相连的显示切换单元，用于接收所述 X86 处理器系统通过显卡发送的显示控制信号并控制所述显示模块;

与 USB 外接设备相连的 USB 信号切换单元，用于接收所述 X86 处理器系统通过南桥发送的 USB 控制信号并控制所述 USB 外接设备;

与闪存或存储卡接口相连的存储共享切换单元，用于接收所述 X86 处理器系统通过南桥发送的存储控制信号并控制所述闪存或存储卡接口;

与音频设备相连的音频信号切换单元，接收所述 X86 处理器系统通过声卡发送的音频控制信号并控制所述音频设备。

11、根据权利要求 9 所述的装置，其特征在于，所述切换单元包括:

接口单元，用于通过 SPI 接口向所述嵌入式处理器系统发送唤醒信号;

配置单元，用于获取终端当前的应用数据;

时钟单元，用于生成控制显示协议转换和存储共享所需的时钟信号;

与显示模块相连的显示切换单元，用于切换到接收所述嵌入式处理器系统发送的经过显示协议转换的显示控制信号;

与 USB 外接设备相连的 USB 信号切换单元，用于切换到接收所述嵌入式处理器系统发送的 USB 控制信号;

与闪存或存储卡接口相连的存储共享切换单元，用于切换到接收所述嵌入式处理器系统发送的存储控制信号;

与音频设备相连的音频信号切换单元，用于切换到接收所述嵌入式处理器系统发送的音频控制信号。

12、根据权利要求 9 所述的装置，其特征在于，所述嵌入式处理器系统与所述切换装置分开设置;或所述嵌入式处理器系统集成在所述切换装置内，通过内部总线与所述切换装置相连。

13、根据权利要求 12 所述的装置，其特征在于，当所述嵌入式处理器系

统集成在所述切换装置内时，所述装置还包括:

与所述总线相连的基带处理单元,用于进行无线通信信道的编码和解码,通过与所述基带处理单元相连的射频单元和天线进行无线通信。

14、一种终端，其特征在于，包括：X86 处理器系统、嵌入式处理器系统和切换装置，所述切换装置与所述终端的外接设备相连，

所述切换装置用于，当通过接收 X86 处理器系统的控制信号控制所述外接设备时，接收切换到嵌入式处理器系统的触发信号，唤醒所述嵌入式处理器系统，并切换到接收所述嵌入式处理器系统发送的控制信号，通过所述嵌入式处理器系统的控制信号控制所述外接设备。

15、根据权利要求 14 所述的终端，其特征在于，所述嵌入式处理器系统与所述切换装置分开设置;或所述嵌入式处理器系统集成在所述切换装置内，通过内部总线与所述切换装置相连。

16、根据权利要求 15 所述的终端，其特征在于，所述切换装置还用于，通过基带处理单元进行无线通信信道的编码和解码，并通过与所述基带处理单元连接的射频单元和天线进行无线通信。

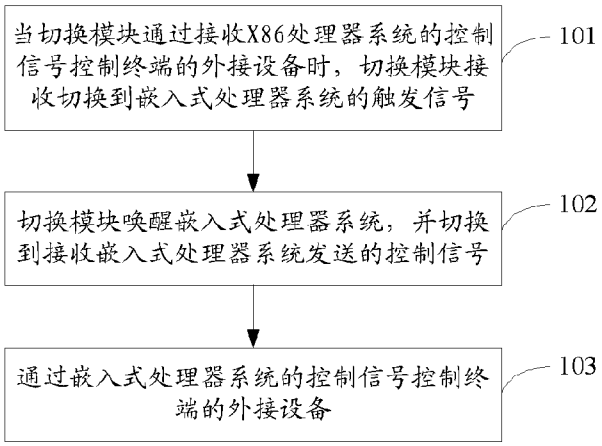

当切换模块通过接收X86处理器系统的控制信号控制终端的外接设备时，切换模块接收切换到嵌入式处理器系统的触发信号
101
切换模块唤醒嵌入式处理器系统，并切换到接收嵌入式处理器系统发送的控制信号
102
通过嵌入式处理器系统的控制信号控制终端的外接设备
103

图 1

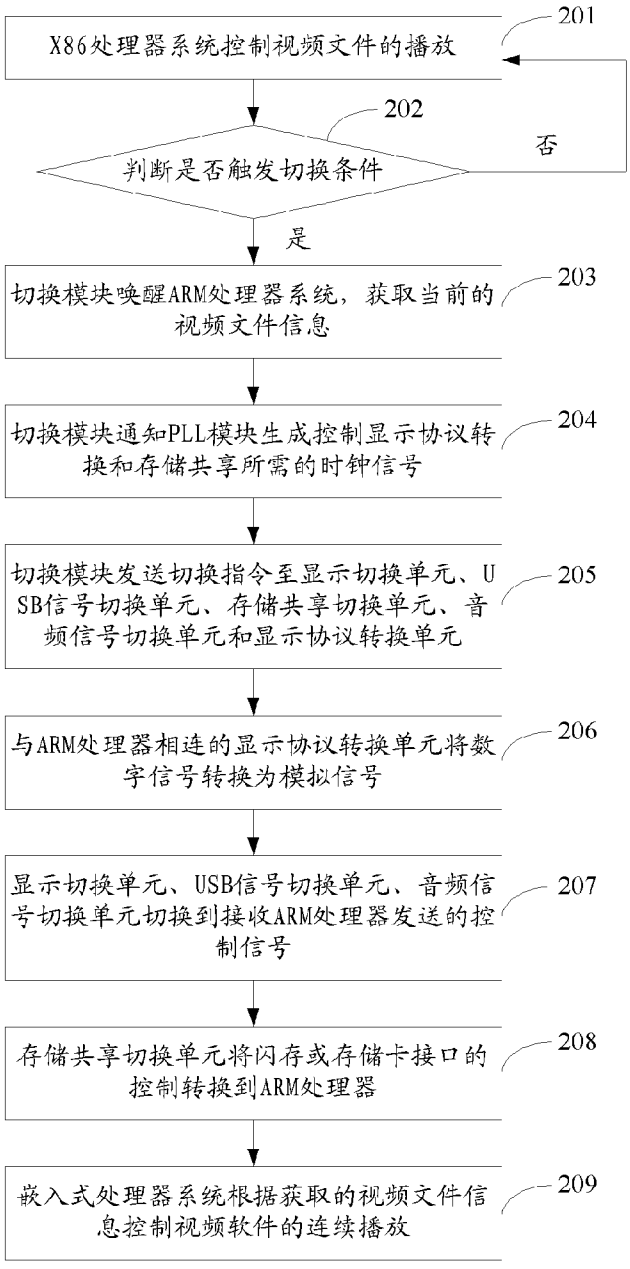

X86处理器系统控制视频文件的播放
201
判断是否触发切换条件
202
否
是
切换模块唤醒ARM处理器系统，获取当前的视频文件信息
203
切换模块通知PLL模块生成控制显示协议转换和存储共享所需的时钟信号
204
切换模块发送切换指令至显示切换单元、USB信号切换单元、存储共享切换单元、音频信号切换单元和显示协议转换单元
205
与ARM处理器相连的显示协议转换单元将数字信号转换为模拟信号
206
显示切换单元、USB信号切换单元、音频信号切换单元切换到接收ARM处理器发送的控制信号
207
存储共享切换单元将闪存或存储卡接口的控制转换到ARM处理器
208
嵌入式处理器系统根据获取的视频文件信息控制视频软件的连续播放
209

图 2

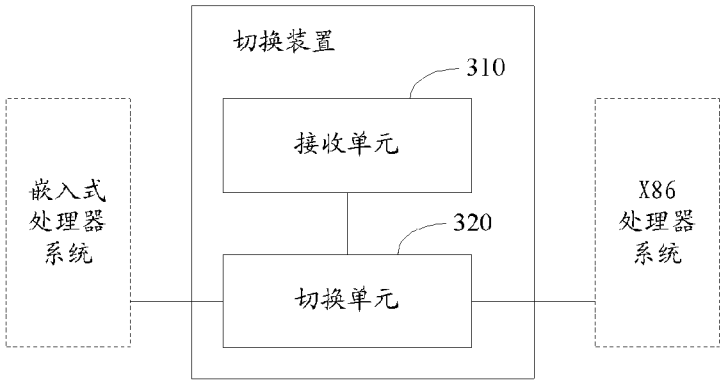

切换装置
310
接收单元
320
切换单元
嵌入式处理器系统
X86处理器系统

图 3

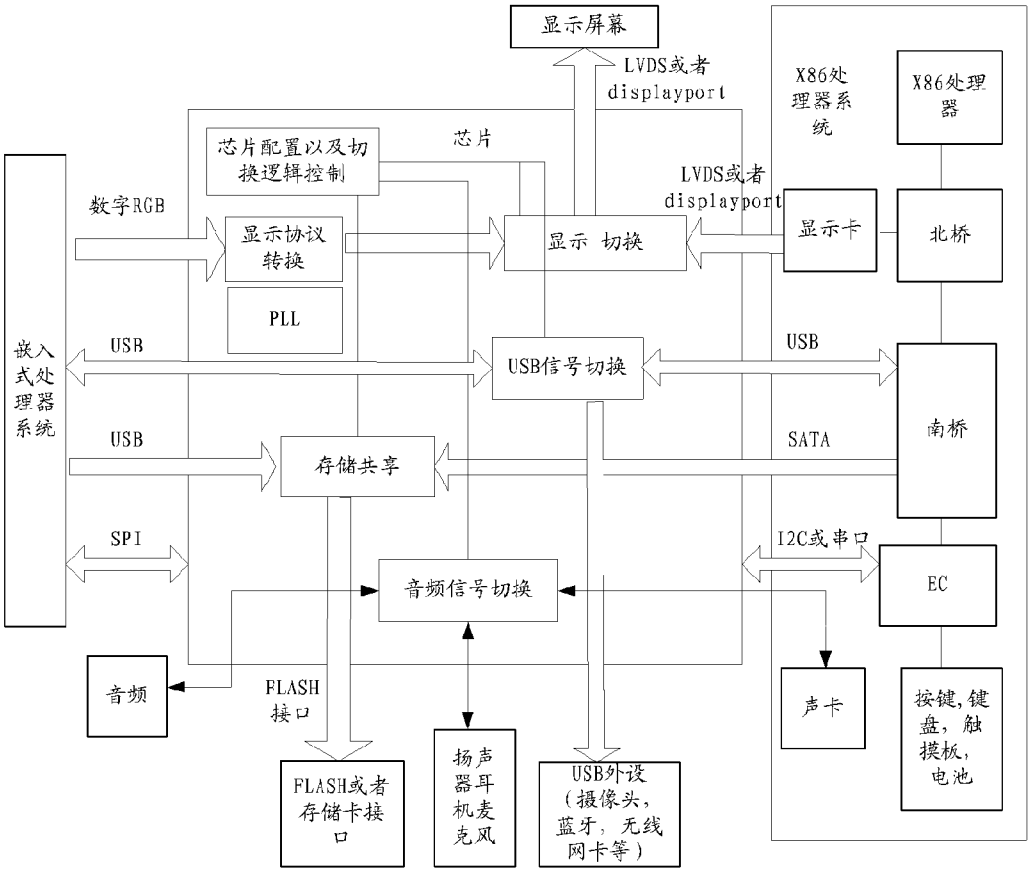

显示屏幕
LVDS或者displayport
X86处理器系统
X86处理器
芯片配置以及切换逻辑控制
芯片
数字RGB
显示协议转换
显示 切换
LVDS或者displayport
显示卡
北桥
PLL
嵌入式处理器系统
USB
USB信号切换
USB
南桥
USB
存储共享
SATA
SPI
音频信号切换
I2C或串口
EC
音频
FLASH接口
声卡
按键,键盘,触摸板,电池
FLASH或者存储卡接口
扬声器耳机麦克风
USB外设（摄像头，蓝牙，无线网卡等）

图 4

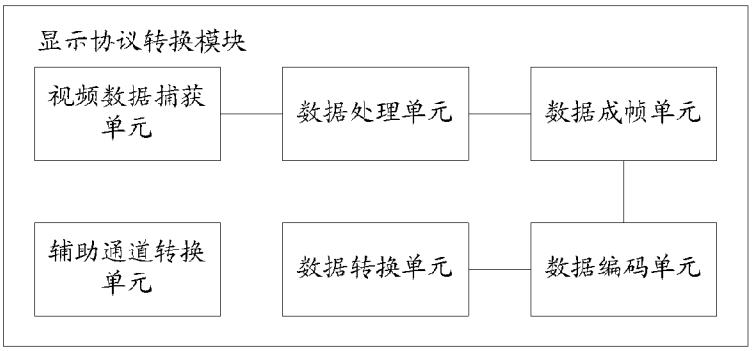

显示协议转换模块
视频数据捕获单元
数据处理单元
数据成帧单元
辅助通道转换单元
数据转换单元
数据编码单元

图 5

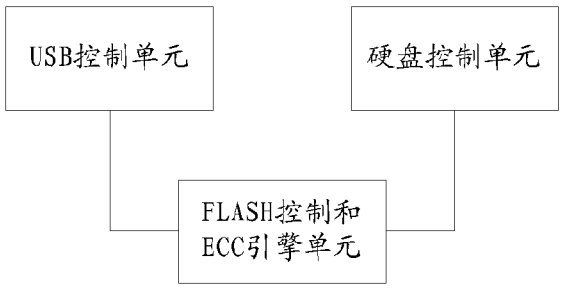

USB控制单元
硬盘控制单元
FLASH控制和ECC引擎单元

图 6

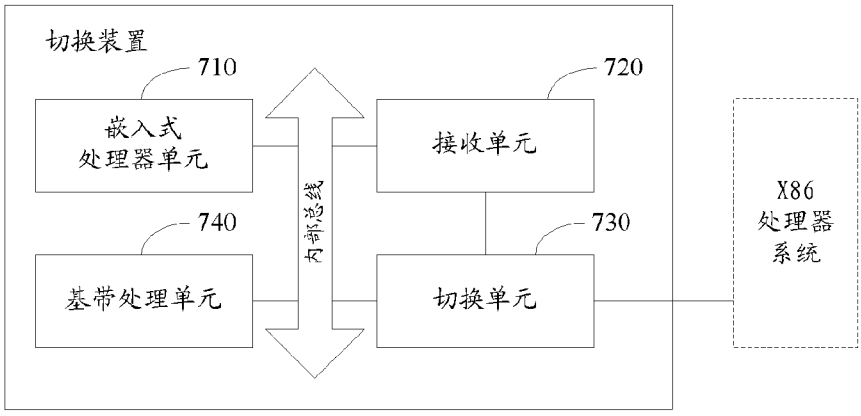

切换装置
710
720
嵌入式处理器单元
接收单元
内部总线
740
730
基带处理单元
切换单元
X86处理器系统

图 7

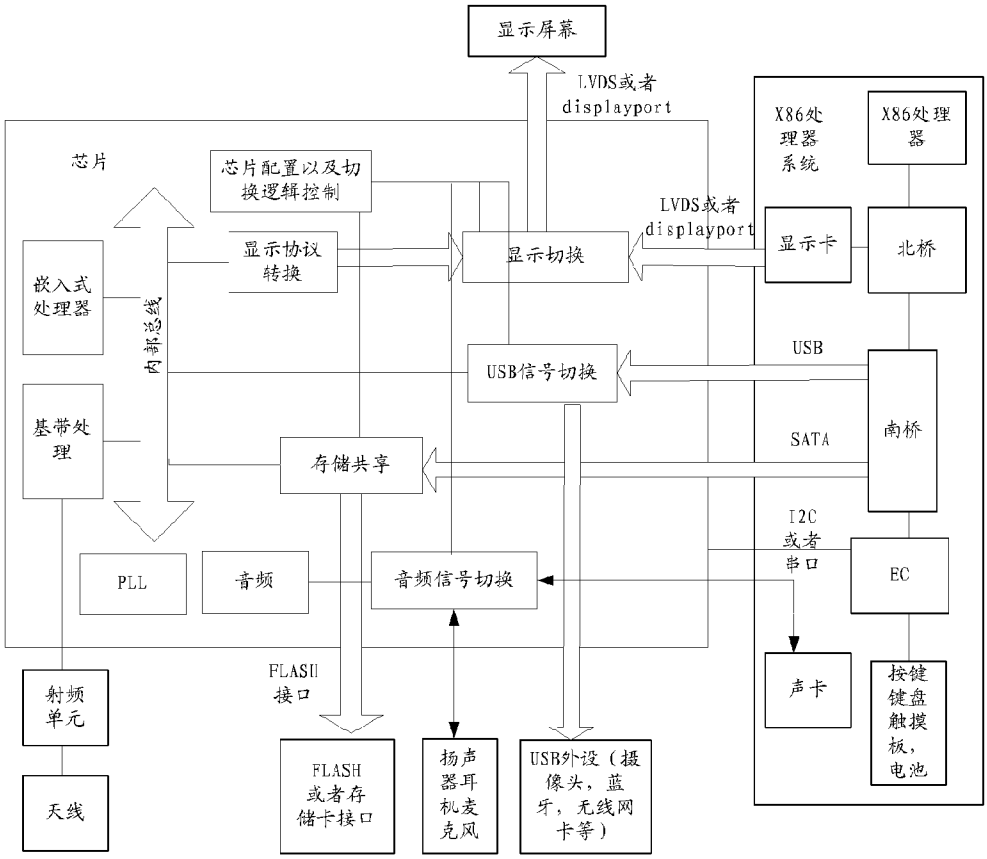

显示屏幕
LVDS或者
displayport
X86处
理器
系统
X86处理
器
芯片
芯片配置以及切
换逻辑控制
LVDS或者
displayport
显示卡
北桥
嵌入式
处理器
内部总线
显示协议
转换
显示切换
USB
USB信号切换
基带处
理
SATA
南桥
存储共享
I2C
或者
串口
EC
PLL
音频
音频信号切换
声卡
按键
键盘
触摸
板，
电池
射频
单元
FLASH
接口
天线
FLASH
或者存
储卡接口
扬声
器耳
机麦
克风
USB外设（摄
像头，蓝
牙，无线网
卡等）

图 8

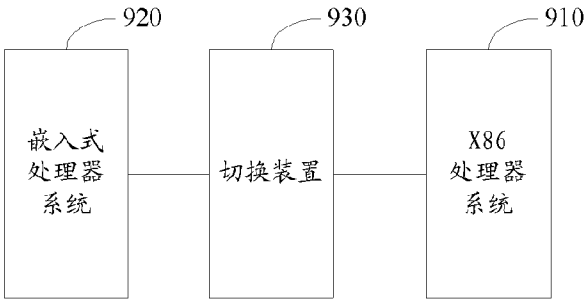

920
930
910
嵌入式
处理器
系统
切换装置
X86
处理器
系统

图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2010/072614

A. CLASSIFICATION OF SUBJECT MATTER

G06F 15/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F 15/-, G06F 1/-, G06F 13/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Database: WPI,EPODOC,CPRS,CNKI

Keywords: CPU, X86, processor, multi-processor, dual-processor, embedded, switch, peripheral equipment, external device, control

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2003188077A1(DELL PRODUCTS LP) 02 Oct. 2003 (02.10.2003) the description page 2 [0024]-page 3 [0044], page 4 [0054]-[0056], Fig.1	1-2,4,7,9,12,14-15
A		3,5-6,8,10-11,13,16
A	CN1801132A(LENOVO BEIJING CO LTD) 12 Jul. 2006 (12.07.2006) the whole document	1-16
A	EP1533707A2(SAMSUNG ELECTRONICS CO LTD) 25 May 2005 (25.05.2005) the whole document	1-16

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 Jul. 2010 (20.07.2010)	**12 Aug. 2010 (12.08.2010)**
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer SUN, Yan Telephone No. (86-10)62412061

Form PCT/ISA /210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/072614

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2003188077A1	02.10.2003	US6735663B2	11.05.2004
CN1801132A	12.07.2006	CN100399318C	02.07.2008
EP1533707A2	25.05.2005	US2005060458A1	17.03.2005
		JP2005078630A	24.03.2005
		CN1591367A	09.03.2005
		KR20050023699A	10.03.2005
		CN100369018C	13.02.2008

国际检索报告

国际申请号
PCT/CN2010/072614

A. 主题的分类

G06F 15/16(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G06F 15/-, G06F 1/-, G06F 13/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

数据库:WPI,EPODOC,CPRS,CNKI

关键词: 处理器,多处理器,双处理器,X86,嵌入式,CPU,切换,外设,外部设备,外围设备,控制, processor, multi-processor, dual-processor, embedded, switch, peripheral equipment, external device, control

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US2003188077A1(DELL PRODUCTS LP) 02. 10 月 2003 (02.10.2003) 说明书第 2 页[0024]-第 3 页[0044], 第 4 页[0054]-[0056], 图 1	1-2,4,7,9,12,14-15
A		3,5-6,8,10-11,13,16
A	CN1801132A(联想(北京)有限公司) 12. 7 月 2006 (12.07.2006) 全文	1-16
A	EP1533707A2(SAMSUNG ELECTRONICS CO LTD) 25. 5 月 2005 (25.05.2005) 全文	1-16

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
20. 7 月 2010 (20.07.2010)	**12.8 月 2010 (12.08.2010)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号： (86-10)62019451	受权官员 孙艳 电话号码：(86-10) **62412061**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/072614

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US2003188077A1	02.10.2003	US6735663B2	11.05.2004
CN1801132A	12.07.2006	CN100399318C	02.07.2008
EP1533707A2	25.05.2005	US2005060458A1	17.03.2005
		JP2005078630A	24.03.2005
		CN1591367A	09.03.2005
		KR20050023699A	10.03.2005
		CN100369018C	13.02.2008